



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0140870
(43) 공개일자 2014년12월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0061830
(22) 출원일자 2013년05월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
정명중
경기 용인시 기흥구 덕영대로2077번길 20, 106동 604호 (영덕동, 신일아파트)
박진우
경기 양주시 삼승로38번길 55, 309동 901호 (삼승동, GS자이3단지아파트)
박정선
경기 용인시 기흥구 덕영대로2077번길 20, 203동 202호 (영덕동, 신일아파트)
(74) 대리인
권혁수, 오세준, 송윤호

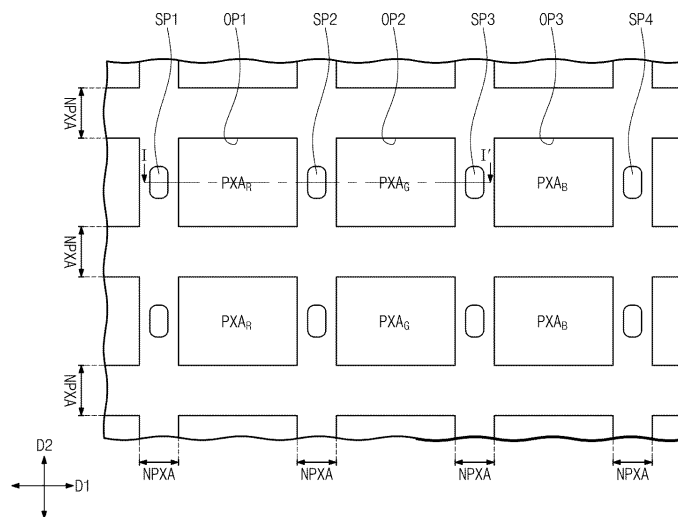
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기발광 표시패널 제조방법

(57) 요약

본 발명에 따른 유기발광 표시패널 제조방법은 발광영역, 발광영역에 인접한 스페이서들을 포함하는 표시기관에 스페이서들과 결합하는 삽입부들을 구비한 도너기판을 이용하여, 상기 삽입부들이 대응되는 스페이서들과 각각 결합되도록 도너기판을 정렬하는 단계를 포함한다. 각 발광영역에 대응하는 도너기판을 이용하여 전사패턴을 형성함으로써, 인접하는 발광영역에 대해 도너기판이 줄 수 있는 영향을 방지하고, 불량이 감소된 유기발광 표시패널을 제조할 수 있다.

대표도



특허청구의 범위

청구항 1

제1 발광영역 및 제2 발광영역을 구비한 베이스 기관, 상기 제1 발광영역과 상기 제2 발광영역에 각각 배치된 제1 전극들, 상기 베이스 기관 상에 배치되고 스페이서들을 포함하는 화소 정의막을 포함하는 표시기관을 형성하는 단계;

상기 스페이서들 중 제1 발광영역에 인접한 제1 그룹의 스페이서들 각각에 대응하는 제1 삽입부들을 구비한 제1 도너기판을 상기 제1 삽입부들이 상기 제1 그룹의 스페이서들에 각각 결합되도록 상기 표시기관 상에 정렬하는 단계;

상기 제1 발광영역에 대응하는 상기 제1 도너기판의 일부분에 광을 조사하여 상기 제1 발광영역의 상기 제1 전극 상에 제1 전사패턴을 형성하는 단계; 및

상기 제1 전사패턴 상에 제2 전극을 형성하는 단계를 포함하는 유기발광 표시패널 제조방법.

청구항 2

제1 항에 있어서,

상기 표시기관을 형성하는 단계는,

상기 베이스 기관 상에 전극층을 형성한 후, 상기 전극층을 패터닝하여 상기 제1 전극들을 형성하는 단계; 및

상기 베이스 기관 상에 상기 제1 전극들을 노출시키는 개구부들 및 상기 스페이서들을 구비한 상기 화소 정의막을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 3

제1 항에 있어서,

상기 제1 도너기판을 상기 표시기관 상에 정렬하는 단계는,

상기 제1 도너기판 상에 압력을 가하여 상기 제1 도너기판을 상기 제1 발광영역의 상기 제1 전극에 접촉시키는 단계를 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 4

제1 항에 있어서,

상기 제1 삽입부들은 홀 또는 홈부인 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 5

제1 항에 있어서,

상기 제1 도너기판은 베이스 부재, 상기 베이스 부재의 일면 상에 배치된 광-열 변환층 및 상기 광-열 변환층 상에 배치된 전사층을 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 6

제1 항에 있어서,

상기 제1 전사패턴을 형성하는 단계는,

광투과영역이 상기 제1 발광영역에 중첩되도록 상기 제1 도너기판 상에 마스크를 배치시키는 단계;

상기 마스크 상에 광을 조사하여 상기 제1 발광영역에 상기 제1 전사패턴을 전사시키는 단계; 및

상기 제1 도너기판을 상기 표시기관 상에서 제거하는 단계를 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 7

제6 항에 있어서,

상기 제1 전사패턴은 발광층을 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 8

제7 항에 있어서,

상기 제1 전사패턴은 정공 수송층을 더 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 9

제8 항에 있어서,

상기 제1 전사패턴은 상기 정공 수송층 및 상기 발광층 사이에 배치된 버퍼층을 더 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 10

제1 항에 있어서,

상기 제1 전사패턴을 형성하는 단계와 상기 제2 전극을 형성하는 단계 사이에,

상기 스페이서들 중 제2 발광영역에 인접한 제2 그룹의 스페이서들 각각에 대응하는 제2 삽입부들을 구비한 제2 도너기판을 상기 제2 삽입부들이 상기 제2 그룹의 스페이서들에 각각 결합되도록 상기 표시기판에 정렬하는 단계; 및

상기 제2 발광영역에 대응하는 상기 제2 발광영역의 일부분에 광을 조사하여 상기 제2 발광영역의 상기 제1 전극 상에 제2 전사패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 11

제10 항에 있어서,

상기 제1 전사패턴 및 상기 제2 전사패턴은 서로 다른 색을 발광하는 발광층을 각각 포함하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 12

제10 항에 있어서,

상기 제1 발광영역 및 상기 제2 발광영역은 복수 개로 구비되고, 상기 복수 개의 제1 발광영역들 및 상기 복수 개의 제2 발광영역들 각각은 제1 방향으로 배열되고,

상기 제1 그룹의 스페이서들은 상기 복수 개의 제1 발광영역들의 일측에 각각 배치된 제1 스페이서들 및 상기 복수 개의 제1 발광영역들의 타측에 각각 배치된 제2 스페이서들을 포함하고, 상기 제1 스페이서들과 상기 제2 스페이서들은 상기 제1 방향에 직교하는 제2 방향으로 서로 이격되어 배치된 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 13

제12 항에 있어서,

상기 제2 그룹의 스페이서들은 상기 복수 개의 제2 발광영역들의 일측에 각각 배치된 상기 제2 스페이서들 및 상기 복수 개의 제2 발광영역들의 타측에 각각 배치된 제3 스페이서들을 포함하고, 상기 제2 스페이서들과 상기 제3 스페이서들은 상기 제2 방향으로 서로 이격되어 배치된 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 14

제12 항에 있어서,

상기 제2 그룹의 스페이서들은 상기 복수 개의 제2 발광영역들의 일측에 각각 배치된 제3 스페이서들 및 상기 복수 개의 제2 발광영역들의 타측에 각각 배치된 제4 스페이서들을 포함하고, 상기 제2 스페이서들과 상기 제3 스페이서들은 상기 제2 방향으로 서로 이격되어 배치된 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 15

제10 항에 있어서,

상기 제1 발광영역 및 상기 제2 발광영역은 복수 개로 구비되어 각각 제1 방향으로 배열되고,

상기 제1 그룹의 스페이서들은 상기 제1 발광영역들 사이에 각각 배치되고,

상기 제2 그룹의 스페이서들은 상기 제2 발광영역들 사이에 각각 배치되는 것을 특징으로 하는 유기발광 표시패널 제조방법.

청구항 16

제1 항에 있어서,

상기 제2 전극은 상기 제1 발광영역 및 상기 제2 발광영역을 커버하는 것을 특징으로 하는 유기발광 표시패널 제조방법.

명세서

기술분야

[0001] 본 발명은 유기발광 표시패널 제조방법에 관한 것으로, 더욱 상세하게는 도너기관을 이용한 유기발광 표시패널 제조방법에 관한 것이다.

배경기술

[0002] 디스플레이의 한 예로, 유기발광소자를 이용한 유기발광 표시패널이 최근 활발히 제안되고 있다. 유기발광 표시패널은 다른 디스플레이에 비해 박형이 우수하고, 시야각이 넓고, 컨트라스트 특성이 높다. 또한, 응답속도가 빠르고, 저전압 구동이 가능하다는 다양한 장점을 가지고 있어, 차세대 디스플레이로 주목받고 있다.

[0003] 유기발광 표시패널은 다양한 방법에 의해 제조될 수 있다. 예컨대, 잉크젯 프린팅, 스핀 코팅과 같은 습식공정에 의해 제조될 수 있다. 또는 유기발광 표시패널은 순차적인 증착공정을 통해 제조될 수 있다.

[0004] 유기발광 표시패널을 제조하는 방법 중, 유기층을 포함하는 도너 기판을 이용하여 전사패턴을 형성하는 방법이 있다. 피전사기판 상에 전사층을 포함하는 도너 기판을 정렬시키고 광을 조사한다. 광이 조사된 영역의 전사층은 피전사기판 상에 전사되어 유기발광소자를 구성하는 전사패턴을 형성한다.

[0005] 도너 기판을 정렬하는 과정에서 도너기판이 인접한 발광영역과 접촉할 수 있다. 이로 인해, 인접한 발광영역에도 전사가 발생할 수 있고, 인접한 발광영역이 유기물로 오염될 수 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 특정한 발광영역에서만 전사패턴을 형성하고, 도너기판으로 인해 인접한 발광영역에 미치는 영향을 감소시킬 수 있는 유기발광 표시패널 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기발광 표시패널 제조방법은 제1 발광영역 및 제2 발광영역을 구비한 베이스 기판, 상기 제1 발광영역과 상기 제2 발광영역에 각각 배치된 제1 전극들, 상기 베이스 기판 상에 배치되고 스페이서들을 포함하는 화소 정의막을 포함하는 표시기판을 형성하는 단계, 상기 스페이서들 중 제1 발광영역에 인접한 제1 그룹의 스페이서들 각각에 대응하는 제1 삽입부들을 구비한 제1 도너기판을 상기 제1 삽입부들이 상기 제1 그룹의 스페이서들에 각각 결합되도록 상기 표시기판에 정렬하는 단계, 상기 제1 발광영역에 대응하는 상기 제1 도너기판의 일부분에 광을 조사하여 상기 제1 발광영역의 상기 제1 전극 상에 제1 전사패턴을 형성하는 단

계, 및 상기 제1 전사패턴 상에 제2 전극을 형성하는 단계를 포함한다.

- [0008] 상기 표시기판을 형성하는 단계는, 상기 베이스 기판 상에 전극층을 형성한 후, 상기 전극층을 패터닝하여 상기 제1 전극들을 형성하는 단계, 상기 베이스 기판 상에 상기 제1 전극들을 노출시키는 개구부들 및 상기 스페이서들을 구비한 상기 화소 정의막을 형성하는 단계를 포함한다.
- [0009] 상기 제1 도너기판을 상기 표시기판 상에 정렬하는 단계는, 상기 제1 도너기판 상에 압력을 가하여 상기 제1 도너기판을 상기 제1 발광영역의 상기 제1 전극에 접촉시키는 단계를 포함한다.
- [0010] 상기 제1 삽입부들은 홀 또는 홈부이다. 상기 제1 도너기판은 베이스 부재, 상기 베이스 부재의 일면 상에 배치된 광-열 변환층 및 상기 광-열 변환층 상에 배치된 전사층을 포함한다.
- [0011] 상기 제1 전사패턴을 형성하는 단계는, 광투과영역이 상기 제1 발광영역에 중첩되도록 상기 제1 도너기판 상에 마스크를 배치시키는 단계, 상기 마스크 상에 광을 조사하여 상기 제1 발광영역에 상기 제1 전사패턴을 전사시키는 단계, 및 상기 제1 도너기판을 상기 표시기판 상에서 제거하는 단계를 포함한다.
- [0012] 상기 제1 전사패턴은 발광층을 포함한다. 상기 제1 전사패턴은 정공 수송층을 더 포함할 수 있다.
- [0013] 본 발명에 따른 유기발광 표시패널 제조방법은 상기 제1 전사패턴을 형성하는 단계와 상기 제2 전극을 형성하는 단계 사이에, 상기 스페이서들 중 제2 발광영역에 인접한 제2 그룹의 스페이서들 각각에 대응하는 제2 삽입부들을 구비한 제2 도너기판을 상기 제2 삽입부들이 상기 제2 그룹의 스페이서들에 각각 결합되도록 상기 표시기판에 정렬하는 단계, 및 상기 제2 발광영역에 대응하는 상기 제2 도너기판의 일부분에 광을 조사하여 상기 제2 발광영역의 상기 제1 전극 상에 제2 전사패턴을 형성하는 단계를 더 포함한다.
- [0014] 상기 제1 전사패턴 및 상기 제2 전사패턴은 서로 다른 색을 발광하는 발광층을 각각 포함한다.
- [0015] 상기 제1 발광영역 및 상기 제2 발광영역은 복수 개로 구비되고, 상기 복수 개의 제1 발광영역들 및 상기 복수 개의 제2 발광영역들 각각은 제1 방향으로 배열되고, 상기 제1 그룹의 스페이서들은 상기 복수 개의 제1 발광영역들의 일측에 각각 배치된 제1 스페이서들 및 상기 복수 개의 제1 발광영역들의 타측에 각각 배치된 제2 스페이서들을 포함하고, 상기 제1 스페이서들과 상기 제2 스페이서들은 상기 제1 방향에 직교하는 제2 방향으로 서로 이격되어 배치된다.
- [0016] 상기 제2 그룹의 스페이서들은 상기 복수 개의 제2 발광영역들의 일측에 각각 배치된 상기 제2 스페이서들 및 상기 복수 개의 제2 발광영역들의 타측에 각각 배치된 제3 스페이서들을 포함하고, 상기 제2 스페이서들과 상기 제3 스페이서들은 상기 제2 방향으로 서로 이격되어 배치될 수 있다.
- [0017] 또한, 상기 제2 그룹의 스페이서들은 상기 복수 개의 제2 발광영역들의 일측에 각각 배치된 제3 스페이서들 및 상기 복수 개의 제2 발광영역들의 타측에 각각 배치된 제4 스페이서들을 포함하고, 상기 제2 스페이서들과 상기 제3 스페이서들은 상기 제2 방향으로 서로 이격되어 배치될 수 있다.
- [0018] 상기 제1 발광영역 및 상기 제2 발광영역은 복수 개로 구비되어 각각 제1 방향으로 배열되고, 상기 제1 그룹의 스페이서들은 제1 발광영역들 사이에 각각 배치되고, 상기 제2 그룹의 스페이서들은 제2 발광영역들 사이에 각각 배치될 수 있다.
- [0019] 상기 제2 전극은 상기 제1 발광영역 및 상기 제2 발광영역을 커버한다.

발명의 효과

- [0020] 상술한 바에 따르면, 본 발명의 일 실시예에 따른 유기발광 표시패널 제조방법은 각 발광영역에 대응하는 도너기판들을 구비하여, 각 발광영역에 전사패턴을 형성한다. 각 발광영역에 대응하는 도너기판들은 인접하는 발광영역들에 영향을 주지않고, 대응하는 발광영역에만 전사패턴을 형성할 수 있다. 따라서, 본 발명의 일 실시예에 따른 유기발광 표시패널 제조방법은 표시패널의 불량률을 저하시킬 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명에 따라 제조된 유기발광 표시패널의 사시도이다.
- 도 2는 일 화소(PX)의 회로도들 간략히 도시한 것이다.
- 도 3은 본 발명의 일 실시예에 따른 표시패널의 평면도이다.

도 4는 도 3의 I-I'를 따라 자른 단면도이다.

도 5a내지 도 5k는 본 발명의 일 실시예에 따른 표시패널의 제조방법을 도시한 단면도이다.

도 6은 본 발명의 일 실시예에 따른 제1 도너기판을 정렬하는 단계를 도시한 단면도이다.

도 7은 본 발명의 다른 실시예에 따라 제조된 유기발광 표시패널의 평면도를 도시한 것이다.

도 8은 본 발명의 다른 실시예에 따라 제조된 유기발광 표시패널의 평면도를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 도 1은 본 발명에 따라 제조된 유기발광 표시패널의 사시도이고, 도 2는 일 화소(PX)의 회로도를 간략히 도시한 것이다. 상기 유기발광 표시패널(이하, 표시패널)은 표시영역(DA)과 비표시영역(NDA)으로 구성된다.
- [0023] 상기 비표시영역(NDA)은 정보가 표시되지 않는 영역으로, 상기 표시패널을 구동시키기 위한 각종 회로 및 배선이 배치되는 영역이다. 상기 비표시영역(NDA)은 상기 표시영역(DA)에 인접하여 상기 표시영역(DA)의 주변을 따라 형성된다.
- [0024] 상기 표시영역(DA)은 전기신호를 입력받아 정보를 표시하는 영역이다. 상기 표시영역(DA)은 복수 개의 화소영역들(PXA)을 포함한다. 도시하지 않았으나, 상기 표시패널은 복수 개의 데이터 라인들, 및 복수 개의 주사 라인들을 포함한다. 상기 복수 개의 주사 라인들과 상기 복수 개의 데이터 라인들은 서로 다른 방향으로 연장되고, 서로 절연된다.
- [0025] 도시하지 않았으나, 상기 복수 개의 화소영역들(PXA)은 발광영역 및 비발광영역을 포함한다. 상기 비발광영역에는 각종 신호라인들과 스위칭소자등이 배치될 수 있다. 상기 발광영역에는 발광소자가 배치된다.
- [0026] 상기 복수 개의 화소영역들(PXA)은 각각 적어도 하나 이상의 화소를 구비한다. 상기 화소는 상기 복수 개의 주사 라인들 중 대응하는 주사 라인들과 복수 개의 데이터 라인들 중 대응하는 데이터 라인들에 연결된다.
- [0027] 도 2에서는 상기 복수 개의 주사 라인들 중 i 번째 주사 라인(S_i)과 복수 개의 데이터 라인들 중 j 번째 데이터 라인(D_j)에 연결된 화소(PX_{ij})의 등가회로도를 예시적으로 도시하였다.
- [0028] 상기 화소(PX_{ij})는 적어도 하나의 트랜지스터, 적어도 하나의 커패시터, 및 유기발광소자를 포함한다. 다만, 상기 화소(PX_{ij})는 하나의 예시에 불과하고 상기 화소(PX_{ij})의 구성은 변형되어 실시될 수 있다.
- [0029] 상기 화소(PX_{ij})는 제1 트랜지스터(TFT1), 제2 트랜지스터(TFT2), 커패시터(Cap), 및 유기발광소자(OLED_{ij})를 포함한다. 상기 제1 트랜지스터(TFT1)는 상기 i 번째 주사라인(S_i)에 연결된 제어전극, 상기 j 번째 데이터 라인(D_j)에 연결된 입력전극, 및 출력전극을 포함한다. 상기 제1 트랜지스터(TFT1)는 상기 i 번째 주사 라인(S_i)에 인가된 주사 신호에 응답하여 상기 j 번째 데이터 라인(D_j)에 인가된 데이터 신호를 출력한다.
- [0030] 상기 커패시터(Cap)는 상기 제1 트랜지스터(TFT1)에 연결된 제1 전극 및 상기 제1 전원전압(ELVDD)을 수신하는 제2 전극을 포함한다. 상기 커패시터(Cap)는 상기 제1 트랜지스터(TFT1)로부터 수신한 상기 데이터 신호에 대응하는 전압과 상기 제1 전원전압(ELVDD)의 차이에 대응하는 전하량을 충전한다.
- [0031] 상기 제2 트랜지스터(TFT2)는 상기 제1 트랜지스터(TFT1)의 상기 출력 전극 및 상기 커패시터(Cap)의 상기 제1 전극에 연결된 제어전극, 상기 제1 전원전압(ELVDD)을 수신하는 입력전극, 및 출력전극을 포함한다. 상기 제2 트랜지스터(TFT2)의 상기 출력전극은 상기 유기발광소자(OLED_{ij})에 연결된다.
- [0032] 상기 제2 트랜지스터(TFT2)는 상기 커패시터(Cap)에 저장된 전하량에 대응하여 상기 유기발광소자(OLED_{ij})에 흐르는 구동전류를 제어한다. 상기 커패시터(Cap)에 충전된 전하량에 따라 상기 제2 트랜지스터(TFT2)의 턴-온 시간이 결정된다. 실질적으로 상기 제2 트랜지스터(TFT2)의 상기 출력전극은 상기 유기발광소자(OLED_{ij})에 상기 제1 전원전압(ELVDD)보다 낮은 레벨의 전압을 공급한다.
- [0033] 상기 제1 트랜지스터(TFT1) 및 상기 제2 트랜지스터(TFT2)는 상기 비발광영역에 배치될 수 있다. 또는 상기 유기발광소자(OLED_{ij})와 중첩되어 상기 유기발광소자(OLED_{ij})의 하단에 배치될 수 있다.

- [0034] 상기 유기발광소자(OLED_{ij})는 상기 제2 트랜지스터(TFT2)에 연결된 제1 전극 및 상기 제2 전원전압(ELVSS)을 수신하는 제2 전극을 포함한다. 상기 유기발광소자(OLED_{ij})는 상기 제1 전극과 상기 제2 전극 사이에 배치된 제1 공통층, 유기발광패턴, 및 제2 공통층을 포함할 수 있다. 상기 유기발광소자(OLED_{ij})는 상기 제2 트랜지스터(TFT2)의 턴-온 구간동안 발광된다.
- [0035] 상기 유기발광소자(OLED_{ij})가 배치되는 영역은 상기 발광영역과 대응된다. 상기 유기발광소자(OLED_{ij})에서 생성된 광의 컬러는 상기 유기발광패턴을 이루는 물질에 의해 결정된다. 예컨대, 상기 유기발광소자(OLED_{ij})에서 생성된 광의 컬러는 적색, 녹색, 청색, 백색 중 어느 하나일 수 있다.
- [0036] 도 3은 본 발명의 일 실시예에 따른 표시패널의 평면도이다. 도 3에서는 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)을 예시적으로 도시하였다. 도 3에 도시된 것과 같이, 상기 표시패널의 표시영역(DA)은 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)과 상기 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)에 인접하는 비발광영역(NPXA)으로 구성된다.
- [0037] 도 3에 도시된 것과 같이, 상기 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)은 제1 방향(D1)으로 서로 이격되어 배치된다. 상기 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)은 실질적으로 도 3의 상기 유기발광소자(OLED_{ij})가 배치되는 영역이다. 상기 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)은 제1 발광영역, 제2 발광영역 및 제3 발광영역을 포함한다.
- [0038] 상기 제1 발광영역, 상기 제2 발광영역 및 상기 제3 발광영역은 각각 복수 개로 구비된다. 상기 제1 발광영역들(PXA_R), 상기 제2 발광영역들(PXA_G) 및 상기 제3 발광영역들(PXA_B)은 각각 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 배열된다.
- [0039] 도 3에 도시된 것과 같이, 상기 비발광영역(NPXA)은 상기 복수 개의 발광영역들(PXA_R, PXA_G, PXA_B)을 에워싼다. 상기 비발광영역(NPXA)에는 도 2의 제1 트랜지스터(TFT1), 제2 트랜지스터(TFT2) 및 각종 신호배선들이 배치될 수 있다. 상기 비발광영역(NPXA) 상에는 복수 개의 스페이서들(SP1, SP2, SP3, SP4)이 배치된다.
- [0040] 상기 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 상기 비발광영역(NPXA)과 중첩하여 배치된다. 상기 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 상기 제1 방향으로 서로 이격되어 배치된다. 상기 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 제1 스페이서, 제2 스페이서, 제3 스페이서 및 제4 스페이서를 포함한다.
- [0041] 상기 제1 스페이서, 상기 제2 스페이서, 상기 제3 스페이서 및 상기 제4 스페이서는 각각 복수 개로 구비된다. 상기 제1 스페이서들(SP1)은 각각 상기 제1 발광영역(PXA_R)의 일측에 배치되고, 상기 제2 스페이서들(SP2)들은 각각 상기 제1 발광영역(PXA_R)의 타측에 배치된다.
- [0042] 상기 제1 발광영역(PXA_R)과 인접하여 배치되는 스페이서들은 제1 그룹을 구성한다. 따라서, 상기 제1 그룹의 스페이서들은 상기 제1 스페이서들(SP1) 및 상기 제2 스페이서들(SP2)을 포함한다.
- [0043] 상기 제1 그룹의 스페이서들은 각각 상기 제1 개구부(OP1)를 사이에 두고, 상기 제1 방향(D1)으로 서로 이격되어 배치된다. 상기 제1 그룹의 스페이서들은 상기 제2 방향(D2)으로 배열된다.
- [0044] 상기 제2 스페이서들(SP2) 및 상기 제3 스페이서들(SP3)은 각각 상기 제2 발광영역(PXA_G)과 인접하여 배치된다. 상기 제2 스페이서들(SP2)은 각각 상기 제2 발광영역(PXA_G)의 일측에 배치되고, 상기 제3 스페이서들(SP3)은 각각 상기 제2 발광영역(PXA_G)의 타측에 배치된다.
- [0045] 상기 제2 발광영역(PXA_G)과 인접하여 배치되는 스페이서들은 제2 그룹을 구성한다. 따라서, 상기 제2 그룹의 스페이서들은 상기 제2 스페이서들(SP2) 및 상기 제3 스페이서들(SP3)을 포함한다.
- [0046] 상기 제2 그룹의 스페이서들은 각각 상기 제2 개구부(OP2)를 사이에 두고, 상기 제1 방향(D1)으로 서로 이격되어 배치된다. 상기 제2 그룹의 스페이서들은 상기 제2 방향(D2)으로 배열된다.
- [0047] 도 3에 도시된 것과 같이, 상기 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 각각 상기 복수 개의 발광영역들

(PXA_R, PXA_G, PXA_B) 각각의 사이에 배치된다. 상기 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 다양한 형상으로 제공될 수 있으며, 상기 개구부들의 상기 제2 방향(D2)으로의 길이만큼 연장될 수 있다.

- [0048] 도 4는 도 3의 I-I'를 따라 자른 단면도이다. 도 4에서는 상기 제1 발광영역(PXA_R) 및 상기 제2 발광영역(PXA_G)의 단면을 예시적으로 도시하였다.
- [0049] 도 4에 도시된 것과 같이, 베이스 기판(SUB)의 일면 상에 절연층(INL)이 배치된다. 구체적으로 도시되지는 않았으나, 상기 절연층(INL)은 복수 개의 박막들을 포함할 수 있다. 상기 복수 개의 박막들은 무기 박막 및/또는 유기 박막을 포함한다. 상기 베이스 기판의 일면과 상기 절연층 사이에 박막 트랜지스터들이 형성될 수 있다. 상기 박막 트랜지스터들은 상기 제1 트랜지스터(TFT1: 도 2 참조) 및 상기 제2 트랜지스터(TFT2: 도 2 참조)일 수 있다.
- [0050] 상기 절연층(INL) 상에 개구부(OP1, OP2)를 포함하는 화소 정의막(PDL)이 배치된다. 상기 개구부들(OP1, OP2)은 상기 복수 개의 발광영역(PXA_R, PXA_G)들 각각에 대응한다. 상기 절연층(INL) 상에 상기 유기발광소자(OLED-R, OLED-G)들이 배치된다.
- [0051] 상기 유기발광소자(OLED-R, OLED-G)들은 제1 전극(ED1), 제1 공통층(FL1) 유기발층(EML), 상기 제2 공통층(FL2) 및 제2 전극(ED2)을 포함한다. 본 실시예에서 상기 제1 전극(ED1)은 상기 양극으로, 상기 제2 전극(ED2)은 음극으로 설명된다.
- [0052] 도 4에 도시된 것과 같이, 상기 제1 발광영역(PXA_R) 및 상기 제2 발광영역(PXA_G)에 각각 대응하도록 상기 제1 전극들이 각각 배치된다. 상기 제1 전극(ED1)은 상기 제1 전원전압(ELVDD: 도 2 참조)을 수신한다. 도시되지 않았으나, 상기 복수 개의 발광영역들에 배치된 상기 제1 전극들은 표시패널 차원에서 제1 전극층을 구성한다.
- [0053] 도 4에 도시된 것과 같이, 상기 절연층(INL) 상에는 상기 복수 개의 개구부들을 포함하는 화소 정의막(PDL)이 배치된다. 상기 제1 개구부(OP1) 및 상기 제2 개구부(OP2)는 각각 상기 제1 전극(ED1)의 적어도 일부분을 노출시킨다. 상기 복수 개의 개구부들은 각각 발광영역들과 대응된다. 상기 발광영역들에는 각각 유기발광소자가 배치된다.
- [0054] 상기 절연층(INL) 상에는 복수 개의 유기발광소자들(OLED-R 및 OLED-G)이 배치될 수 있다. 상기 복수 개의 유기발광소자들(OLED-R 및 OLED-G)은 화소정의막(PDL)에 의해 구획된다. 상기 복수 개의 유기발광소자들(OLED-R 및 OLED-G)은 각각 제1 전극(ED1), 제1 공통층(FL1), 발광층(EML-R 또는 EML-G), 제2 공통층(FL2) 및 제2 전극(ED2)을 포함한다.
- [0055] 도 3을 참조하여 살펴보면, 상기 화소 정의막(PDL)은 일면 상에 상기 복수 개의 스페이서들을 구비한다. 상기 복수 개의 스페이서들은 상기 화소 정의막(PDL)과 동일한 물질로 구성될 수 있다. 상기 화소 정의막(PDL)에 중첩하는 상기 복수 개의 스페이서들은 상기 복수 개의 발광영역들 각각에 인접하도록 각각 상기 복수 개의 발광영역들 사이에 배치된다.
- [0056] 도 4에 도시된 것과 같이, 상기 개구부들(OP1, OP2)에 의해 각각 노출된 제1 전극(ED1) 및 상기 화소 정의막(PDL) 상에 상기 제1 공통층(FL1)이 배치된다. 상기 제1 공통층(FL1)은 정공 주입층(Hole injection layer)을 포함한다. 상기 정공 주입층은 상기 제1 전극(ED1)에 접촉한다. 또한, 상기 제1 공통층(FL1)은 상기 정공 주입층 상에 배치된 정공 수송층(Hole transport layer)을 더 포함할 수 있다.
- [0057] 상기 제1 공통층(FL1)의 상기 제1 발광영역(PXA_R) 상에는 제1 발광층(EML-R)이 배치된다. 또한, 상기 제1 공통층(FL1)의 상기 제2 발광영역(PXA_G) 상에는 제2 발광층(EML-R)이 배치된다.
- [0058] 상기 제1 발광층(EML-R) 및 상기 제2 발광층(EML-G) 상에는 각각 제2 공통층(FL2)이 배치될 수 있다. 상기 제2 공통층은 상기 복수 개의 발광영역들 및 상기 화소정의막(PDL)을 커버할 수 있다.
- [0059] 상기 제2 공통층(FL2)은 전자 주입층(Electron injection layer)을 포함한다. 또한, 상기 제2 공통층(FL2)은 상기 제1 발광층(EML-R)과 상기 전자 주입층(EML-G) 사이 및 상기 제2 발광층(EML-G)과 상기 전자 주입층 사이에 배치되는 전자 수송층(Hole transport layer)을 더 포함할 수 있다. 한편, 본 발명의 다른 실시예에서, 상기 제2 공통층(FL2)은 생략될 수 있다.
- [0060] 상기 발광영역들에 대응되도록 상기 제2 공통층(FL2) 상에 상기 제2 전극(ED2)이 배치된다. 상기 복수 개의 발

광영역들에 배치된 복수 개의 제2 전극들은 표시패널 차원에서 제2 전극층을 구성할 수 있다. 상기 제2 전극(ED2)은 상기 제2 전원전압(ELVSS: 도 2 참조)을 수신한다.

- [0061] 도시되지 않았으나, 상기 제2 전극(ED2) 상에 보호층 또는 컬러필터층이 배치될 수 있다. 상기 제2 전극(ED2) 상에 상기 베이스 기관(SUB)과 마주하는 또 다른 베이스 기관이 배치될 수 있다. 상기 또 다른 베이스 기관은 상기 복수 개의 화소들을 보호하는 봉지기판일 수 있다.
- [0062] 도 5a 내지 도 5k는 본 발명의 일 실시예에 따른 표시패널의 제조방법을 도시한 단면도이다. 도 5a 내지 도 5k는 도 4에 도시된 발광영역들(PXA_R, PXA_G)에 대응하는 단면을 도시한다.
- [0063] 도 5a에 도시된 것과 같이, 상기 베이스 기관(SUB) 상에 상기 제1 전극(ED1)을 형성한다. 상기 제1 전극(ED1)은 복수 개로 구비된다. 상기 베이스 기관(SUB) 상에서 상기 복수 개의 제1 전극들이 배치된 영역들은 각각 상기 제1 발광영역(PXA_R) 및 상기 제2 발광영역(PXA_G)으로 정의된다.
- [0064] 도시된 것과 같이, 상기 제1 전극들(ED1)은 상기 베이스 기관(SUB) 상에 배치된 상기 절연층(INL) 상에 배치될 수 있다. 상기 제1 전극들(ED1)은 상기 베이스 기관(SUB) 상에 전극층을 형성한 후, 상기 전극층을 패터닝하여 형성한다.
- [0065] 상기 절연층(INL)은 순차적으로 적층된 복수 개의 박막들을 포함할 수 있다. 또한, 상기 제1 전극들(ED1)이 형성되기 이전에 상기 베이스 기관(SUB) 상에는 박막 트랜지스터가 형성될 수 있다. 상기 박막 트랜지스터는 증착, 노광, 현상 공정을 통해 형성된다. 상기 박막 트랜지스터의 형성공정은 당업자에게 자명한 바, 상세한 설명은 생략하기로 한다. 한편, 상기 절연층(INL)에 포함된 복수 개의 박막들 중 어느 하나는 상기 박막 트랜지스터의 일부를 구성할 수 있다.
- [0066] 도 5b에 도시된 것과 같이, 상기 절연층(INL) 상에는 상기 제1 전극들(ED1)을 커버하는 기저막(BL)을 형성한다. 상기 기저막(BL)을 패터닝하여 상기 복수 개의 개구부들과 상기 복수 개의 스페이서들을 포함하는 화소정의막을 형성한다.
- [0067] 도 5b에 도시된 것과 같이, 마스크(MA1)를 사용하는 노광공정, 및 현상공정을 거쳐 상기 기저막(BL)을 패터닝한다. 상기 마스크(MA1)로는 슬릿 마스크나 회절 마스크를 이용할 수 있다.
- [0068] 도 5b에 도시된 것과 같이, 상기 마스크(MA1)는 광투과영역(TR), 광차단영역(BR) 및 상기 광투과영역(TR)과 상기 광차단영역(BR)에 인접한 반투과영역(HR)을 포함한다. 상기 광투과영역(TR)은 입사광을 모두 투과시킨다. 이에 반해, 상기 광차단영역(BR)은 입사광을 모두 차단한다. 상기 반투과영역(HR)은 입사광의 일부만을 투과시킨다.
- [0069] 상기 마스크(MA1)는 상기 투과영역(TR)이 상기 제1 발광영역(PXA_R) 및 상기 제2 발광영역(PXA_G)에 중첩되도록 배치된다. 또한, 상기 광차단영역(BR)은 상기 제1 스페이서(SP1), 상기 제2 스페이서(SP2) 및 상기 제3 스페이서(SP3)가 형성될 영역 상에 각각 대응되도록 배치된다.
- [0070] 도 5c에 도시된 것과 같이, 상기 마스크(MA1)상에 광을 조사하는 노광공정을 거치면, 상기 화소 정의막(PDL)이 형성된다. 상기 화소 정의막(PDL)은 복수 개의 개구부들(OP1, OP2)을 포함하며, 상기 제1 스페이서(SP1), 상기 제2 스페이서(SP2) 및 상기 제3 스페이서(SP3)를 포함한다.
- [0071] 도 5c에 도시된 것과 같이, 상기 광투과부(TR)와 대응되는 영역에는 복수 개의 개구부들(OP1, OP2)이 형성된다. 상기 개구부들(OP1, OP2)은 각각 제1 전극들을 노출시키고, 제1 발광영역(PXA_R) 및 제2 발광영역(PXA_G)을 정의한다.
- [0072] 상기 제1 스페이서(SP1), 상기 제2 스페이서(SP2) 및 상기 제3 스페이서(SP3)는 상기 화소정의막(PDL) 중, 완전히 제거되지 않은 영역에서 형성된다. 상기 스페이서들(SP1, SP2, SP3)의 높이는 상기 광차단부(BR)와 상기 반투과부(HR)의 투과량 차이를 통해 제어될 수 있다. 따라서, 상기 반투과부(HR)의 투과성이 높아지면, 상기 제1 내지 제3 스페이서의 상기 제3 방향(D3)으로의 두께, 즉 높이는 증가한다.
- [0073] 도 5d 및 도 5e는 제1 도너기관(DS-R)을 표시기관 상에 정렬하는 단계를 도시한 것이다. 도 5d에 도시된 것과 같이, 상기 화소 정의막(PDL) 상에 상기 제1 도너기관(DS-R)을 정렬한다.
- [0074] 상기 제1 도너기관(DS-R)은 제1 삽입부들(IP1)을 구비한다. 상기 제1 삽입부들(IP1)은 상기 제1 그룹의 스페이서들과 대응된다. 따라서, 상기 제1 도너 기관(DS-R)은 상기 제1 삽입부들(IP1)이 상기 제1 스페이서(SP1) 및

상기 제2 스페이서(SP2)에 결합되도록 상기 화소 정의막(PDL) 상에 배치된다.

- [0075] 도 5d에서는 상기 제1 삽입부들(IP1)이 홈부인 실시예를 도시하였다. 상기 제1 삽입부들(IP1)은 상기 제1 도너기판(DS-R)과 상기 제1 전극(ED1)이 접촉될 수 있도록 한다. 상기 제1 삽입부들(IP1)은 상기 제1 그룹의 스페이서들이 결합될 수 있는 다양한 형상을 가질 수 있다.
- [0076] 상기 제3 스페이서(SP3)는 상기 제1 삽입부들(IP1)과 대응되지 않는다. 따라서, 상기 제3 스페이서(SP3)는 상기 제1 도너기판(DS-R)과 결합되지 않는다. 상기 제1 도너기판(DS-R)의 상기 제3 스페이서(SP3) 상에 배치된 영역과 상기 제2 스페이서(SP2) 상에 배치된 영역 사이에는 소정의 단차가 형성될 수 있다.
- [0077] 도 5e에 도시된 것과 같이, 상기 제1 도너기판(DS-R)을 상기 화소 정의막(PDL) 상에 배치시킨 후, 상기 제1 도너기판(DS-R) 상에 압력(PP)을 가한다. 상기 압력(PP)에 의해 상기 제1 도너기판(DS-R)은 상기 제1 개구부(OP1)에 의해 노출된 제1 전극과 접촉된다.
- [0078] 5e에 도시된 것과 같이, 상기 제1 도너기판(DS-R)은 상기 제2 개구부(OP2)에 의해 노출된 제1 전극과 접촉하지 않는다. 상기 제2 발광영역(PXA_G)에서 상기 제1 도너기판(DS-R)은 상기 제2 개구부(OP2)에 의해 노출된 제1 전극과 소정의 갭(GP)을 형성한다. 따라서, 상기 제1 도너기판(DS-R)이 상기 제2 발광영역(PXA_G)에 미치는 영향이 감소된다.
- [0079] 도 5f 및 도 5g는 제1 전사패턴(TL-R)을 형성하는 단계를 도시한 것이다. 상기 제1 전사패턴(TL-R)을 형성하는 단계는 마스크를 배치시키는 단계, 제1 전사패턴(TL-R)을 전사시키는 단계 및 상기 제1 도너기판(DS-R)을 제거하는 단계를 포함한다.
- [0080] 도 5f에 도시된 것과 같이, 압력(PP)을 가한 후, 상기 제1 도너기판(DS-R) 상에 마스크(MA2)를 배치한다. 상기 마스크(MA2)로는 예컨대, 회절마스크 또는 슬릿마스크를 이용할 수 있다. 상기 마스크(MA2)는 광투과영역(TR)이 상기 제1 발광영역(PXA_R)에 중첩되도록 배치된다.
- [0081] 도시되지 않았으나, 상기 제1 도너기판(DS-R)은 베이스 부재, 상기 베이스 부재 상에 배치되는 전사층 및 상기 베이스 부재와 상기 전사층 사이에 배치되는 광-열 변환층을 포함한다.
- [0082] 상기 베이스 부재는 상기 입사광이 상기 광-열 변환층에 전달되도록 투명한 재질을 사용한다. 상기 베이스 기판은 예컨대, 폴리에스테르, 폴리아크릴, 폴리에틸렌, 폴리에틸렌테레프탈레이트와 같은 투명한 고분자 물질을 포함할 수 있다.
- [0083] 상기 광-열 변환층은 상기 베이스 부재의 일면 상에 배치된다. 상기 광-열 변환층은 상기 입사광을 흡수하여 열 에너지로 변환시킨다. 상기 광-열 변환층은 상기 입사광의 특정한 파장대 영역을 흡수할 수 있다. 상기 광-열 변환층은 예컨대 카본블랙 또는 흑연을 포함할 수 있다.
- [0084] 상기 전사층은 상기 광-열 변환층 상에 배치된다. 상기 전사층은 상기 광-열 변환층과 접촉되어 있다. 상기 전사층은 열에너지에 의해 상기 광-열 변환층과의 접착력이 약화되거나 기화됨으로써 전사패턴을 형성한다. 상기 전사층은 열에너지를 공급받아 기화되는 물질로서, 유기발광소자를 구성하는 기능성 물질들을 포함할 수 있다.
- [0085] 도 5f에서는 입사광을 화살표로 나타내었다. 상술한 바와 같이, 상기 마스크(MA2)상에 광을 조사하면, 상기 입사광은 상기 광투과영역(TR)에서 투과된다. 상기 제1 도너기판(DS-R)은 상기 제1 발광영역(PXA_R)에서만 상기 입사광이 열 에너지로 변환된다.
- [0086] 상기 제1 전사패턴은 다양한 방법에 의해 형성될 수 있다. 예컨대, 도시되지는 않았으나, 레이저 빔을 이용하여 상기 제1 발광영역(PXA_R)만을 조사할 수 있다. 이 경우, 상기 마스크(MA2) 없이도 국소부위에 선택적으로 광을 조사할 수 있다..
- [0087] 도 5g에 도시된 것과 같이, 상기 제1 도너기판(DS-R)을 상기 표시기판 상에서 제거한다. 상기 선택적인 광조사에 의해 상기 제1 발광영역(PXA_R)에는 제1 전사패턴(TL-R)이 형성된다.
- [0088] 상기 제1 전사패턴(TL-R)은 제1 발광층(EML-R)을 포함한다. 상기 제1 공통층(FL1)과 상기 제1 발광층(EML-R)은 순차적으로 다른 도너기판을 통해 전사될 수 있다. 또는, 도시된 것과 같이, 상기 제1 발광층(EML-R) 및 상기 제1 공통층(FL1)을 포함하는 하나의 도너기판을 이용하여, 한번에 전사될 수 있다.
- [0089] 도시되지 않았으나, 상기 제1 전사패턴(TL-R)은 상기 제1 공통층(FL1) 및 상기 제1 발광층(EML-R) 사이에 배치

된 버퍼층을 더 포함할 수 있다. 이 때, 상기 제1 공통층(FL1), 상기 제1 발광층(EML-R), 및 상기 버퍼층을 모두 포함하는 전사층을 구비한 도너기판을 이용하여, 한번에 패터닝될 수 있다.

- [0090] 도 5h 내지 도 5j는 제2 도너기판(DS-G)을 정렬하는 단계 및 상기 제2 전사패턴(TL-G)을 형성하는 단계를 도시한 것이다. 이하, 도 5d 내지 도 5g에서 설명한 사항과 중복되는 설명에 대해서는 생략하기로 한다.
- [0091] 도 5h에 도시된 것과 같이, 상기 제2 도너기판(DS-G)은 제2 삽입부들(IP2)을 구비한다. 상기 제2 삽입부들(IP2)은 상기 제2 그룹의 스페이서들과 대응된다. 따라서, 상기 제2 도너기판(DS-G)은 상기 제2 삽입부들(IP2)에 대응되는 스페이서들(SP2, SP3)이 각각 결합되도록 배치된다.
- [0092] 상기 제2 도너기판(DS-G)을 상기 화소 정의막(PDL) 상에 배치시킨 후, 상기 제2 도너기판(DS-G) 상에 압력(PP)을 가한다. 상기 압력(PP)에 의해 상기 제2 도너기판(DS-G)은 상기 제2 개구부(OP2)에 의해 노출된 제1 전극과 접촉된다.
- [0093] 도 5h에 도시된 것과 같이, 상기 제2 삽입부들(IP2)은 상기 제1 스페이서(SP1)와는 결합되지 않는다. 상기 제2 도너기판(DS-G) 상에 상기 압력(PP)이 가해지면, 상기 제1 발광영역(PXA_R)에는 소정의 갭(GP)이 형성된다. 이 때, 상기 제2 도너기판(DS-R)과 상기 제1 전사패턴(TL-R)은 일부영역에서 접촉될 수 있다. 그러나 적어도 상기 제2 도너기판(DS-G)은 상기 제1 발광영역(PXA_R) 상에서는 접촉되지 않는다. 따라서, 전사과정에서 상기 제1 발광영역(PXA_R)에서 상기 제2 도너기판(DS-G)과 상기 제1 전사패턴(TL-R)이 직접 접촉되어 발생하는 불량이 감소될 수 있다.
- [0094] 도 5i에 도시된 것과 같이, 상기 압력(PP)이 가해진 상기 제2 도너기판(DS-G) 상에 마스크(MA3)를 배치하고, 광을 조사한다. 상기 마스크(MA3)는 상기 광투과영역(TR)이 상기 제2 발광영역(PXA_G)과 중첩되도록 배치된다.
- [0095] 상기 마스크(MA3) 상에는 광이 조사된다. 도 5f에 도시된 것과 같이, 조사된 광은 상기 광투과부(TR)에서만 투과되어, 상기 제2 도너기판(DS-G)에 미친다. 따라서, 상기 제2 전사패턴(TL-G)은 상기 광투과부(TR)에 대응하는 발광영역(PXA_G)에만 형성될 수 있다.
- [0096] 상기 제2 전사패턴은 다양한 방법에 의해 형성될 수 있으며, 예컨대, 도시되지는 않았으나, 레이저를 이용하여, 상기 제2 발광영역(PXA_G)만을 조사할 수 있다. 이 경우, 상기 마스크(MA3) 없이도 국소부위에 선택적으로 광을 조사할 수 있다.
- [0097] 도 5j에 도시된 것과 같이, 상기 제2 전사패턴(TL-G)은 제2 발광층(EML-G)을 포함한다. 상기 제1 전사패턴(TL-R)의 상기 제1 발광층(EML-R)과 상기 제2 전사패턴(TL-G)의 상기 제2 발광층(EML-G)은 서로 다른 색을 발광하는 물질로 형성될 수 있다.
- [0098] 상기 제2 전사패턴(TL-G)은 상기 제1 공통층(FL1)을 더 포함할 수 있다. 상기 제1 공통층(FL1)은 예컨대, 상기 정공수송층일 수 있다.
- [0099] 상기 제1 공통층(FL1)과 상기 제2 발광층(EML-G)은 다른 도너기판에 의해 순차적으로 패터닝될 수 있다. 또는, 상기 제1 공통층(FL1)과 상기 제2 발광층(EML-G)을 모두 포함하는 도너기판에 의해 한번에 전사되어 형성될 수 있다.
- [0100] 도시되지 않았으나, 상기 제2 전사패턴(TL-G)은 상기 제1 공통층(FL1) 및 상기 제2 발광층(EML-G) 사이에 배치되는 버퍼층을 더 포함할 수 있다. 이 경우, 상기 제1 공통층(FL1), 버퍼층 및 상기 제2 발광층(EML-G)은 동시에 전사될 수 있다.
- [0101] 도 5k에서는 본 발명에 따라 제조된 유기발광 표시패널의 최종형태를 도시하였다. 도 5k에 도시된 것과 같이, 상기 제1 전사패턴(TL-R: 도 5j 참조) 및 상기 제2 전사패턴(TL-G: 도 5j 참조) 상에 제2 공통층(FL2) 및 상기 제2 전극(ED2)이 형성된다.
- [0102] 상기 제2 공통층(FL2)은 다양한 방법으로 형성될 수 있다. 예컨대, 상기 제2 공통층(FL2)은 액상으로 제공되어 잉크젯 프린팅 또는 노즐 프린팅 방식에 의해 형성될 수 있다. 또한, 상기 제2 공통층(FL2)은 증착공정에 의해 형성될 수 있다.
- [0103] 상기 제2 전극(ED2)은 상기 제1 발광영역(PXA_R) 및 상기 제2 발광영역(PXA_G)을 커버하도록 형성된다. 또한, 도시된 것과 같이, 상기 제1 발광영역(PXA_R) 및 상기 제2 발광영역(PXA_G)을 일체로 커버하도록 층으로 형성될 수 있

다.

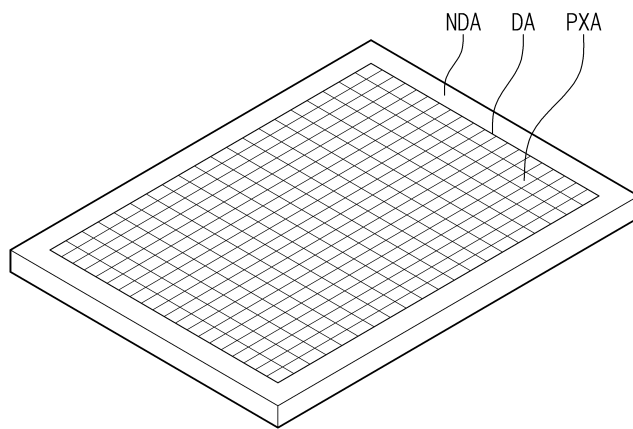
- [0104] 도 6은 본 발명의 일 실시예에 따른 제1 도너기판(DS-R1)이 표시기판 상에 정렬하는 단계를 도시한 단면도이다. 도 6에서는 도 5d와 대응되는 제조단계를 예시적으로 도시하였다. 상기 제1 도너기판(DS-R1)의 제1 삽입부들(IP11)은 상기 제1 도너기판(DS-R1)을 관통하는 홀(hole)일 수 있다. 상기 제1 삽입부들(IP11)은 상기 제1 그룹의 스페이서들(SP1, SP2)과 결합된다. 상기 제1 삽입부들(IP11)은 상기 제1 그룹의 스페이서들(SP1, SP2)이 관통될 정도의 직경으로 구비된다.
- [0105] 상기 제1 삽입부들(IP11)은 상기 제1 도너기판(DS-R1)과 노출된 제1 전극(ED1)을 접촉시킨다. 또한, 도시하지 않았으나, 상기 제1 도너기판(DS-R1)과 동일하게, 제2 도너기판도 상기 제2 도너기판을 관통하는 제2 삽입부들을 구비할 수 있다.
- [0106] 도 7은 본 발명의 다른 실시예에 따라 제조된 유기발광 표시패널의 평면도를 도시한 것이다. 도 3과 동일한 구성에 대해서는 중복되는 설명은 생략하기로 한다.
- [0107] 도 7에 도시된 것과 같이, 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 발광영역들 사이에 배치될 수 있다. 상기 복수 개의 스페이서들(SP1, SP2, SP3, SP4)은 각각 복수 개로 구비된다.
- [0108] 상기 제1 스페이서들(SP1) 및 상기 제2 스페이서들(SP2)은 각각 상기 제1 발광영역들(PXA_R) 각각에 인접하여 배치될 수 있다. 또한, 상기 제3 스페이서들(SP3) 및 상기 제4 스페이서들(SP4)은 각각 상기 제2 발광영역들(PXA_G) 각각에 인접하여 배치될 수 있다.
- [0109] 도 3 및 도 7을 참조할 때, 본 발명의 다른 실시예에 따라 제조된 표시패널은 적어도 두 개 이상의 스페이서들이 복수 개의 발광영역들 각각의 사이에 배치된다. 상기 제1 도너기판(DS-R: 도 5d 참조)은 상기 제1 스페이서(SP1) 및 상기 제2 스페이서(SP2)와 대응하는 제1 삽입부들을 구비한다.
- [0110] 또한, 상기 제2 도너기판은 상기 제3 스페이서(SP3) 및 상기 제4 스페이서(SP4)와 대응되는 제2 삽입부들을 구비한다. 따라서, 상기 제1 도너기판 및 상기 제2 도너기판은 각각 인접하는 주변 발광영역들에 접촉될 확률이 낮아진다. 결국, 본 발명에 따른 유기발광 표시패널 제조방법은 패터닝 과정에서의 불량률을 감소시킬 수 있다.
- [0111] 도 8은 본 발명의 다른 실시예에 따라 제조된 유기발광 표시패널의 평면도를 도시한 것이다. 도 3을 참조할 때, 상기 표시패널에 있어서, 복수 개의 스페이서들은 동일한 발광영역들 사이에 배치된다.
- [0112] 도 8에 도시된 것과 같이, 상기 제1 발광영역 내지 상기 제3 발광영역은 복수 개로 구비되어 각각 상기 제1 방향(D1)으로 배열된다. 상기 제1 스페이서들은 상기 제1 발광영역들 사이에 각각 배치된다. 제2 스페이서들은 상기 제2 발광영역들 사이에 각각 배치되고, 제3 스페이서들은 상기 제3 발광영역들 사이에 각각 배치된다. 따라서, 상기 제1 스페이서들 내지 상기 제3 스페이서들은 각각 상기 발광영역들과 동일한 상기 제1 방향(D1)으로 배열된다.
- [0113] 도시되지 않았으나, 상기 스페이서들은 각각의 발광영역들 사이에 복수 개로 구비될 수 있다. 따라서, 상기 제1 스페이서들은 상기 제1 발광영역들 사이에 각각 적어도 두 개 이상씩 배치될 수 있다. 이 때, 상기 제1 도너기판이 상기 제1 발광영역과 인접하는 발광영역들에 미치는 영향이 낮아지므로, 패터닝 불량률이 감소될 수 있다.

부호의 설명

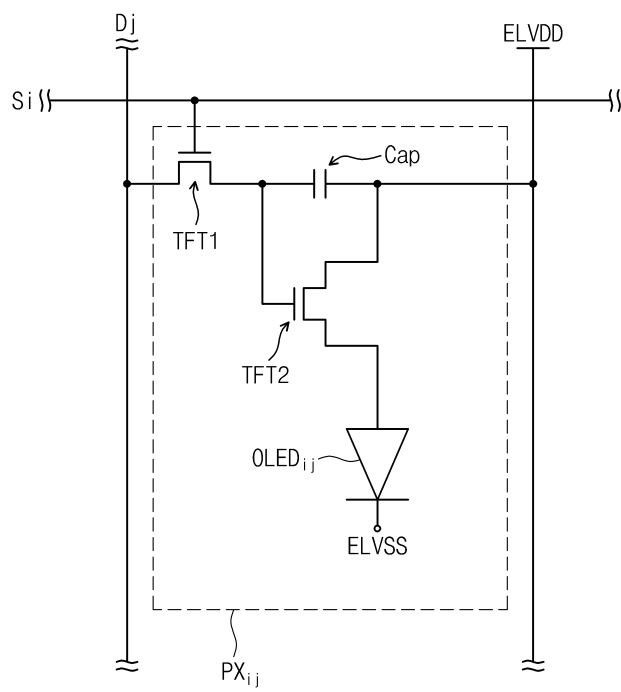
- [0114]
- | | |
|---------------|---------------|
| PXAR: 제1 발광영역 | PXAG: 제2 발광영역 |
| PXAB: 제3 발광영역 | SP1: 제1 스페이서 |
| SP2: 제2 스페이서 | SP3: 제3 스페이서 |
| DS-R: 제1 도너기판 | DS-G: 제2 도너기판 |
| TL-R: 제1 전사패턴 | TL-G: 제2 전사패턴 |

도면

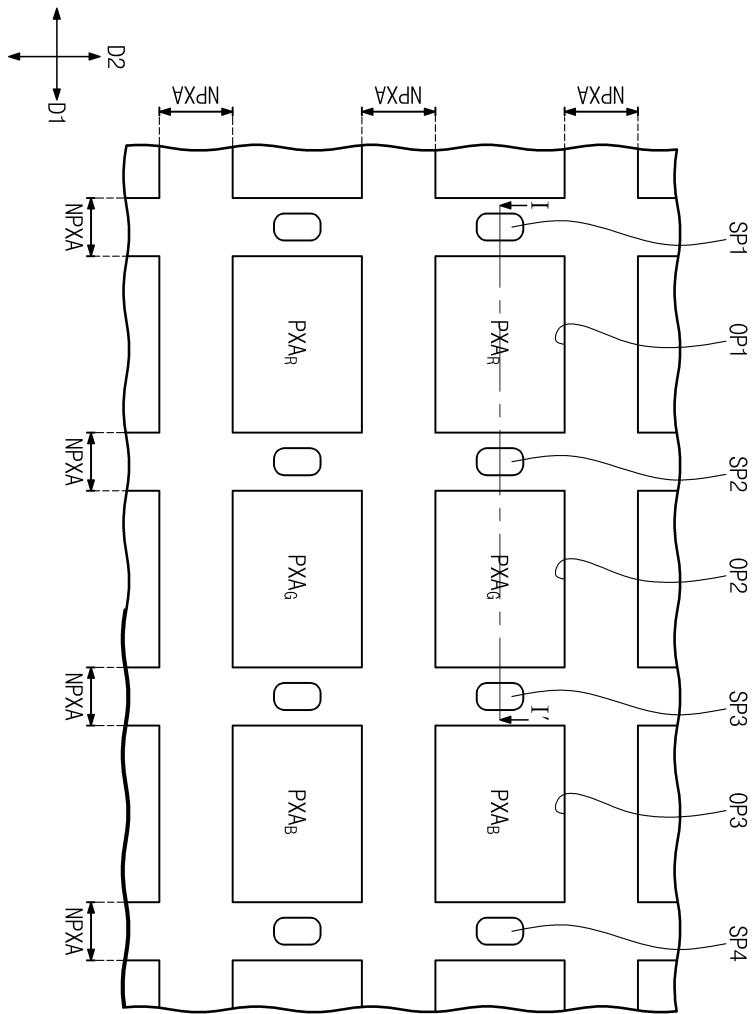
도면1



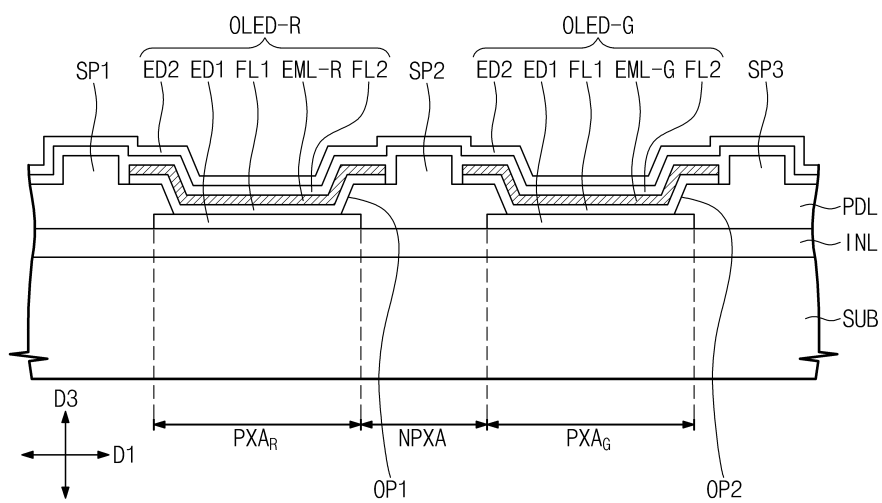
도면2



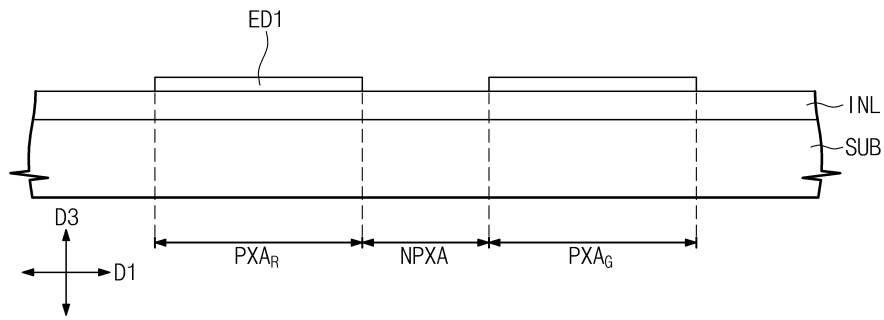
도면3



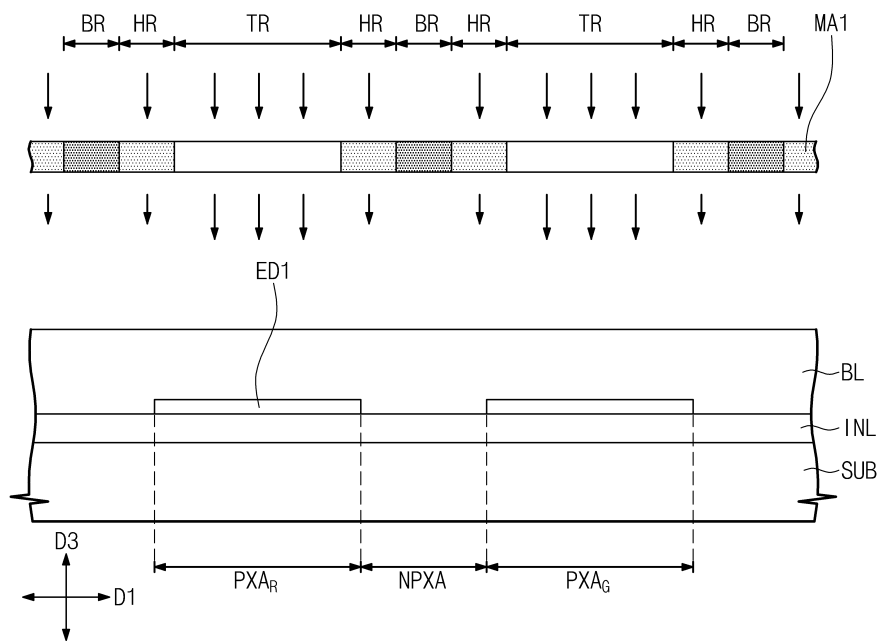
도면4



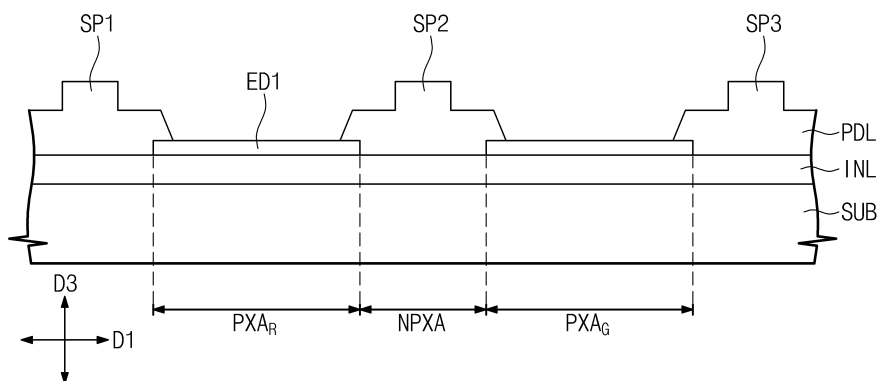
도면5a



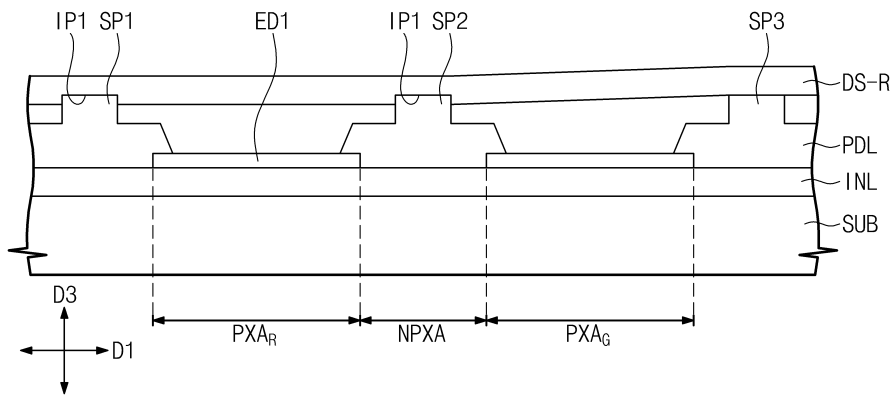
도면5b



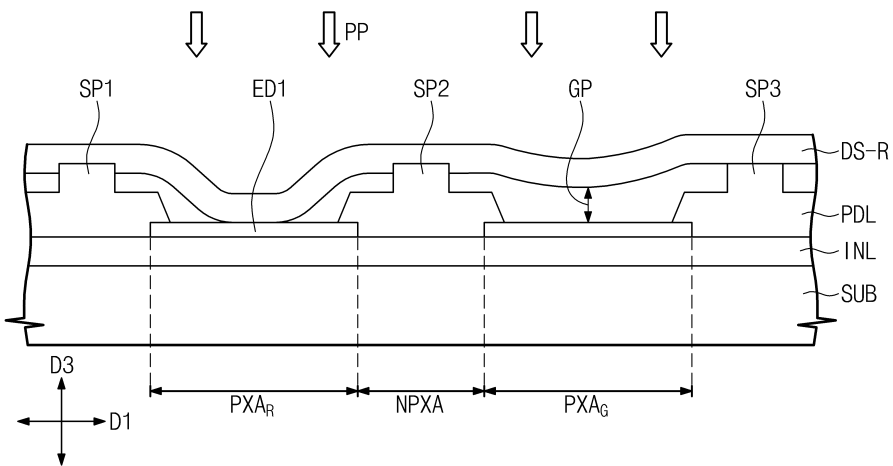
도면5c



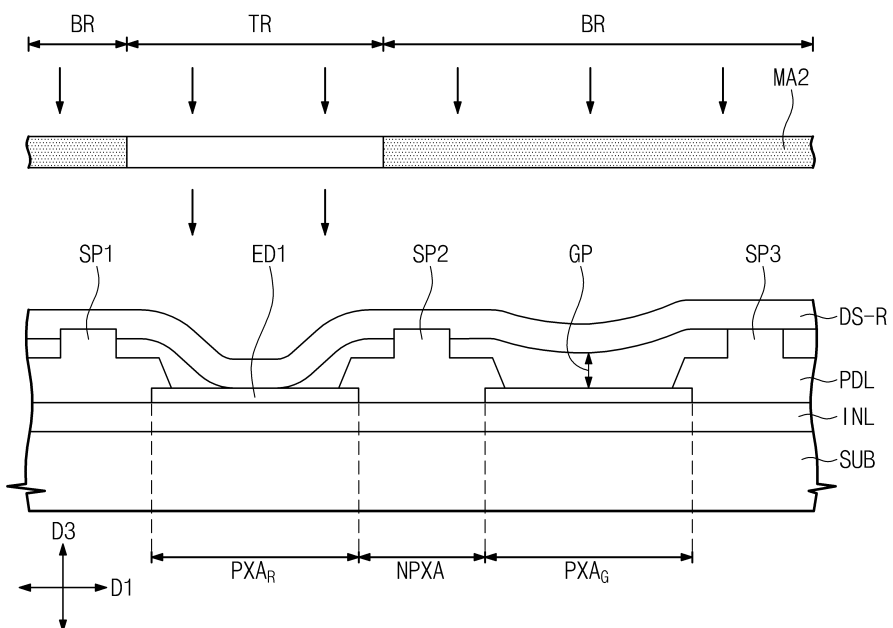
도면5d



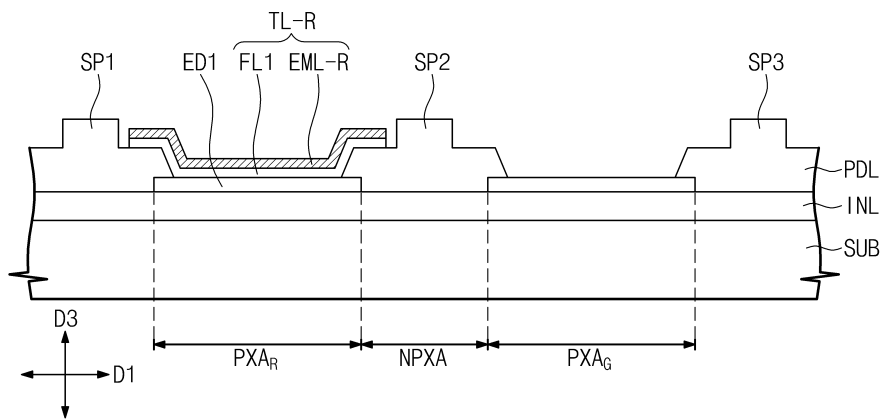
도면5e



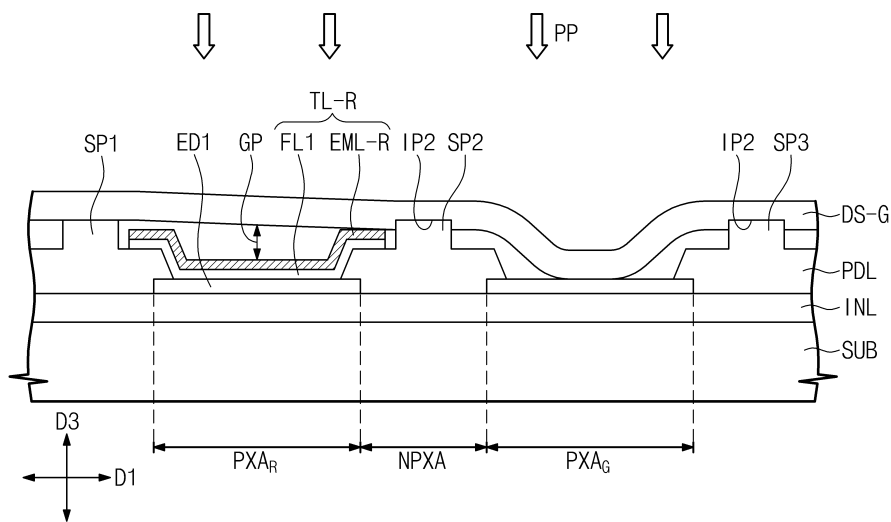
도면5f



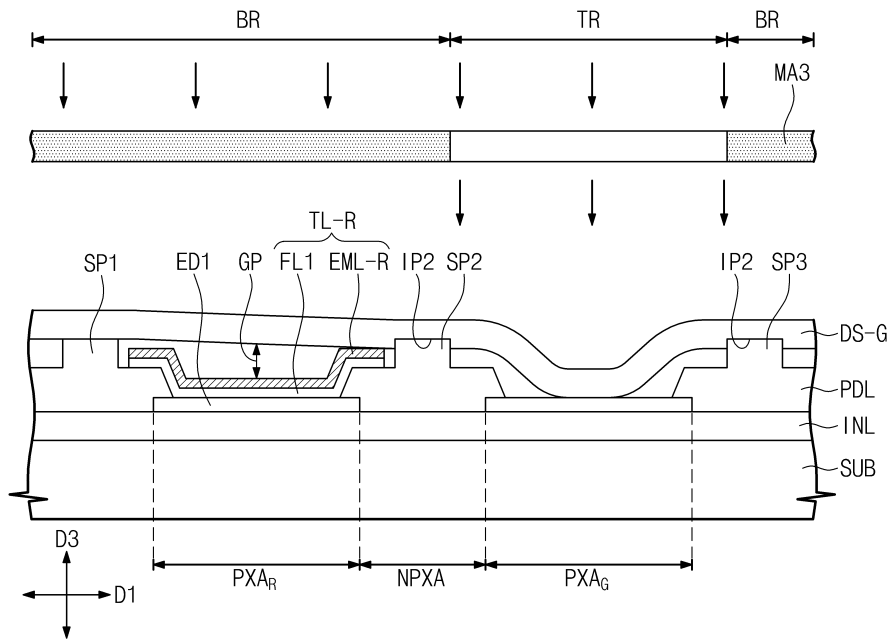
도면5g



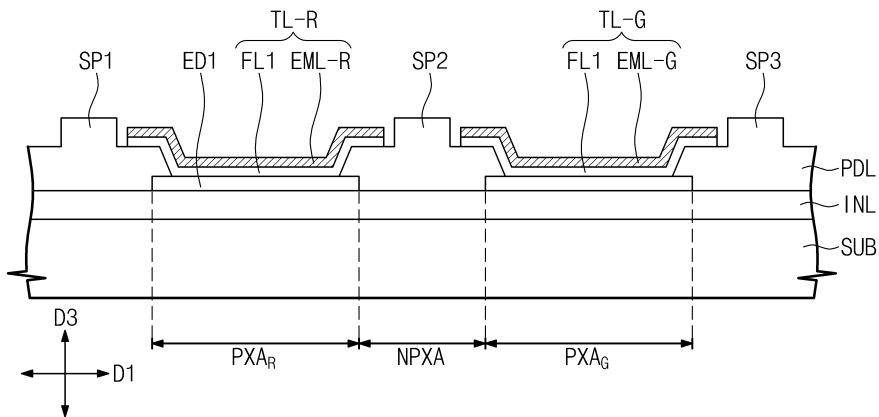
도면5h



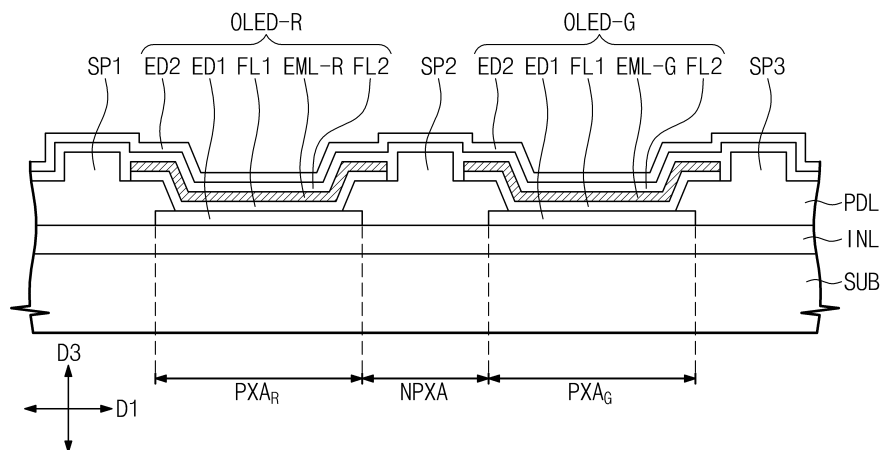
도면5i



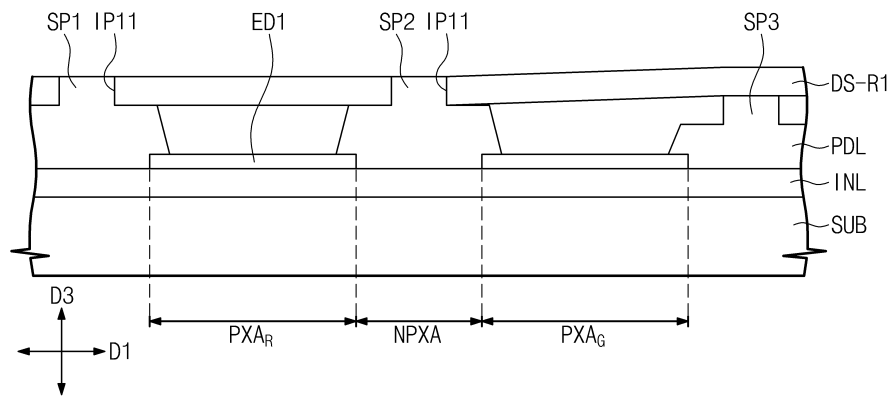
도면5j



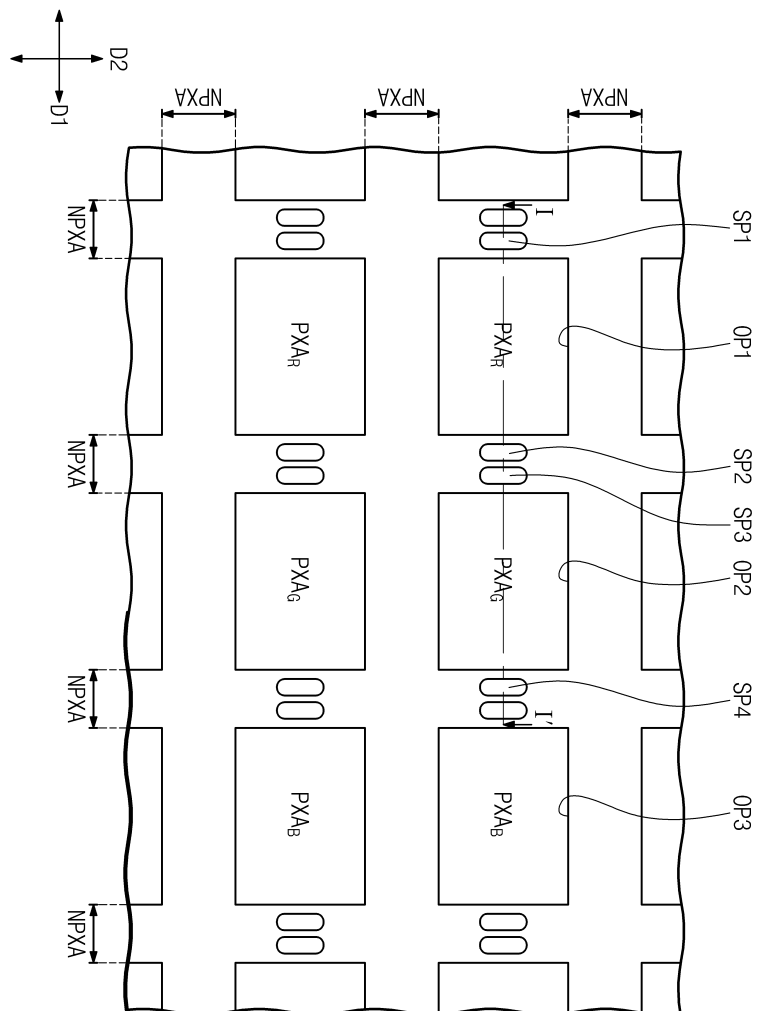
도면5k



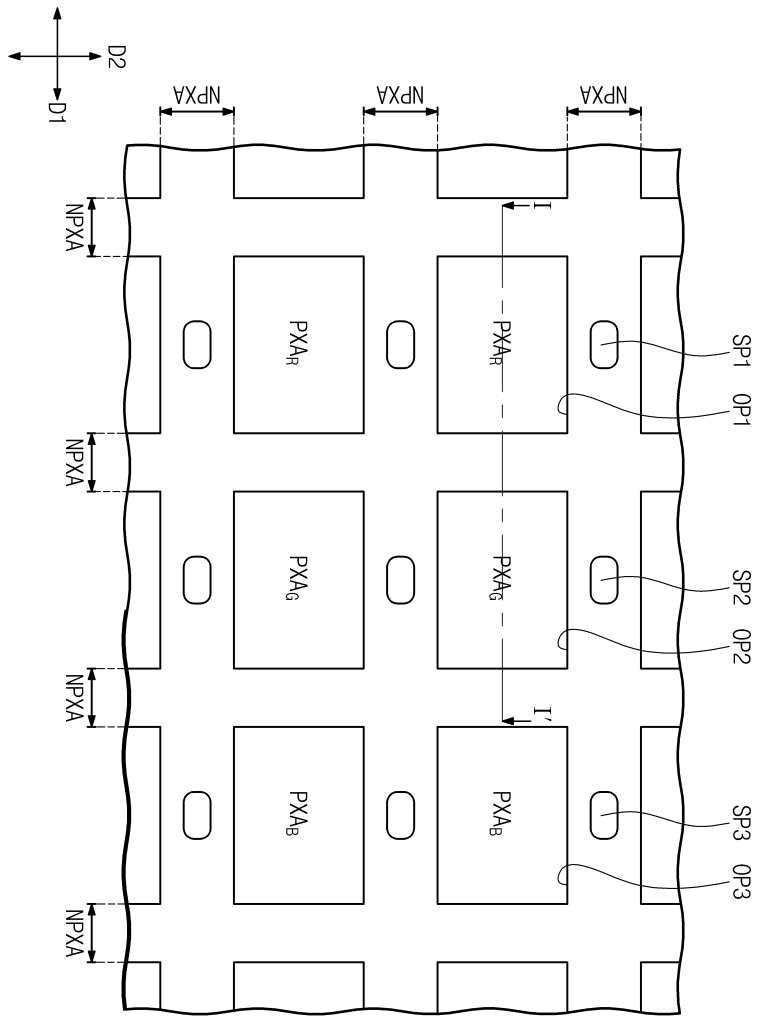
도면6



도면7



도면8



专利名称(译)	标题：制造OLED显示板的方法		
公开(公告)号	KR1020140140870A	公开(公告)日	2014-12-10
申请号	KR1020130061830	申请日	2013-05-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG MYUNG JONG 정명종 PARK JIN WOO 박진우 PARK JUNG SUN 박정선		
发明人	정명종 박진우 박정선		
IPC分类号	H01L51/56 H05B33/10		
CPC分类号	H01L51/0013 H01L27/3246 H01L51/0015 H01L51/56		
代理人(译)	KWON, HYUK SOO SE JUN OH 宋, 云何		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的制造有机发光显示面板的方法包括使用具有发光区域的供体基板和与包括与发光区域相邻的间隔物的显示基板上的间隔物耦合的多个插入部分，分别合并并对准供体基底。通过使用对应于各发光区域的施主衬底，以形成转印图案，从而可以防止用于将光供体基板的发光邻近区域，并且可以制造有机发光显示面板的效果，缺陷减少有。

