



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0080811
(43) 공개일자 2014년07월01일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0148775
(22) 출원일자 2012년12월18일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
전우식
경기도 화성시 반송동 동일하이빌 712호
구영모
경기 수원시 영통구 태장로 45, 201동 606호 (망포동, 망포마을현대2차아파트)
(74) 대리인
권혁수, 송윤호, 오세준

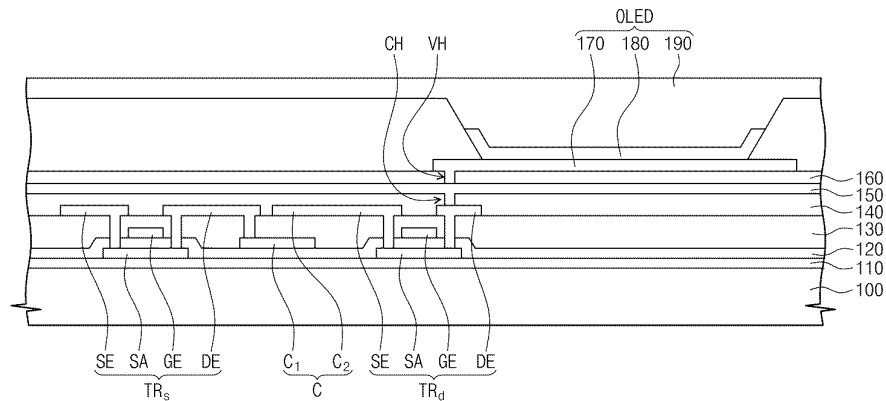
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

유기 발광 표시 장치는 기판 상에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터를 커버하는 제1 보호막, 상기 제1 보호막 상에 배치되어 상기 박막 트랜지스터에 접속하는 도전성 유기막, 및 상기 도전성 유기막 상에 배치되고, 상기 도전성 유기막에 접속하는 유기 발광 소자를 포함한다.

대표도



(72) 발명자

이민우

경기 수원시 영통구 청명북로 81, 409동 1203호 (영통동, 청명마을4단지아파트)

이재구

경기 용인시 기흥구 강남동로 54, 702동 402호 (구갈동, 강남마을7단지계룡리슈빌아파트)

특허청구의 범위

청구항 1

기관 상에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터를 커버하는 제1 보호막;

상기 제1 보호막 상에 배치되어 상기 박막 트랜지스터에 접속하는 도전성 유기막; 및

상기 도전성 유기막 상에 배치되고, 상기 도전성 유기막에 접속하는 유기 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 도전성 유기막은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고,

상기 고분자 물질은 $-COOH$, $-SH$, $-NH_2$, $-NH$, $-N$ 중 어느 하나의 치환기를 포함하는 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 유기 발광 표시 장치는

상기 도전성 유기막에 접속하는 제1 전극;

상기 제1 전극 상에 배치되고 적어도 발광층을 포함하는 유기막; 및

상기 유기막 상에 배치되는 제2 전극을 구비하는 유기 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 도전성 유기막 및 상기 유기 발광 소자 사이에 배치되는 제2 보호막을 더 포함하며,

상기 제2 보호막은 상기 도전성 유기막의 일부를 노출시키는 비아 홀을 구비하고, 상기 제1 전극은 상기 비아 홀을 통하여 상기 도전성 유기막과 접속하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

상기 제2 보호막은

상기 도전성 유기막 상에 배치되는 무기 보호막; 및

상기 무기 보호막 상에 배치되는 유기 보호막을 포함하는 유기 발광 표시 장치.

청구항 6

제1 항에 있어서,

상기 제1 보호막은 실리콘 산화물 및 실리콘 질화물 중 어느 하나인 유기 발광 표시 장치.

청구항 7

기관 상에 배치되는 박막 트랜지스터;

상기 박막 트랜지스터를 커버하는 보호막; 및

상기 보호막 상에 배치되고, 상기 박막 트랜지스터에 접속하는 유기 발광 소자를 포함하며,
상기 유기 발광 소자는

상기 보호막 상에 배치되는 도전성 유기물을 포함하는 제1 전극;

상기 제1 전극 상에 배치되는 유기막; 및

상기 유기막 상의 제2 전극을 구비하는 유기 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 8

제7 항에 있어서,

상기 제1 전극은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고,

상기 고분자 물질은 -COOH, -SH, -NH₂, -NH, -N 중 어느 하나의 치환기를 포함하는 유기 발광 표시 장치.

청구항 9

제7 항에 있어서,

상기 보호막은 실리콘 산화물 및 실리콘 질화물을 포함하는 유기 발광 표시 장치.

청구항 10

기판 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터를 커버하고, 상기 박막 트랜지스터의 드레인 전극의 일부를 노출시키는 콘택 홀을 구비하는 제1 보호막을 형성하는 단계;

상기 제1 보호막 상에 상기 드레인 전극에 접속하는 도전성 유기막을 형성하는 단계; 및

상기 도전성 유기막에 접속하는 유기 발광 소자를 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제10 항에 있어서,

상기 도전성 유기막은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고,

상기 고분자 물질은 -COOH, -SH, -NH₂, -NH, -N 중 어느 하나의 치환기를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11 항에 있어서,

상기 도전성 유기막에 광을 조사하는 단계를 더 포함하며,

상기 도전성 유기막에 조사된 광에 의하여 상기 도전성 유기막 내부에서는 라디칼 반응이 발생하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12 항에 있어서,

상기 도전성 유기막에 상기 광을 조사함과 동시에 산소(O₂), 오존(O₃), 이산화질소(NO₂), 과산화수소(H₂O₂), 암모니아(NH₃), 및 하이드라진(N₂H₄) 중 적어도 하나의 반응 개시제(initiator)를 상기 도전성 유기막에 공급하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제11 항에 있어서,

상기 유기 발광 소자를 형성하는 단계는

상기 도전성 유기막에 접속하는 제1 전극을 형성하는 단계;

상기 제1 전극 상에 적어도 발광층을 포함하는 유기막을 형성하는 단계; 및

상기 유기막 상에 제2 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14 항에 있어서,

상기 도전성 유기막 및 상기 유기 발광 소자 사이에 배치되는 제2 보호막을 형성하는 단계; 및

상기 제2 보호막을 패터닝하여 상기 도전성 유기막의 일부를 노출시키는 비아 홀을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15 항에 있어서,

상기 제2 보호막을 형성하는 단계는

상기 도전성 유기막 상에 무기 보호막을 형성하는 단계; 및

상기 무기 보호막 상에 유기 보호막을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제10 항에 있어서,

상기 보호막은 실리콘 산화물 및 실리콘 질화물을 포함하는 유기 발광 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 전기 배선간 전기 접속 특성이 향상된 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 유기 발광 표시 장치는 화소 정의막에 의하여 일부가 노출된 애노드 전극 상에 유기막이 배치되며, 상기 유기막 상에 캐소드 전극이 배치된 구조를 가진다. 상기 유기 발광 표시 장치는 상기 애노드 전극 및 상기 캐소드 전극으로부터 각각 정공(hole) 및 전자(electron)를 상기 유기막으로 주입시키며, 상기 유기막에서는 주입된 전자와 정공이 재결합하여 여기자(exciton)를 생성한다. 상기 여기자는 여기 상태(excited state)로부터 기저(ground) 상태로 떨어질 때 방출되는 에너지를 광의 형태로 방출한다.

[0003] 상기 유기 발광 표시 장치는 박막 트랜지스터가 배치된 기판, 및 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결된 화소 전극을 구비하는 유기 발광 소자를 포함한다.

[0004] 한편, 상기 드레인 전극 및 상기 화소 전극은 일반적으로 콘택 홀을 통하여 접촉되어 전기적으로 연결된다. 상기 드레인 전극 및 상기 화소 전극의 접촉 면적은 상기 콘택 홀의 크기에 비례하여 매우 작을 수 있다. 따라서, 드레인 전극 및 상기 화소 전극의 접촉 면적이 작아, 상기 드레인 전극 및 상기 화소 전극 사이에 접촉 불량이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 전기 배선간 전기 접속 특성이 향상된 유기 발광 표시 장치를 제공하는 데에 있다.

[0006] 본 발명의 다른 목적은 상기 유기 발광 표시 장치의 제조 방법을 제공하는 데에 있다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위한 유기 발광 표시 장치는 기판 상에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터를 커버하는 제1 보호막, 상기 제1 보호막 상에 배치되어 상기 박막 트랜지스터에 접속하는 도전성 유기막, 및 상기 도전성 유기막 상에 배치되고, 상기 도전성 유기막에 접속하는 유기 발광 소자를 포함한다.

[0008] 상기 도전성 유기막은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고, 상기 고분자 물질은 $-COOH$, $-SH$, $-NH_2$, $-NH$, $-N$ 중 어느 하나의 치환기를 포함할 수 있다.

[0009] 상기 유기 발광 표시 장치는 상기 도전성 유기막에 접속하는 제1 전극, 상기 제1 전극 상에 배치되고 적어도 발광층을 포함하는 유기막, 및 상기 유기막 상에 배치되는 제2 전극을 구비하는 유기 발광 소자를 포함할 수 있다.

[0010] 상기 도전성 유기막 및 상기 유기 발광 소자 사이에 배치되는 제2 보호막을 더 포함하며, 상기 제2 보호막은 상기 도전성 유기막의 일부를 노출시키는 비아 홀을 구비하고, 상기 제1 전극은 상기 비아 홀을 통하여 상기 도전성 유기막과 접속할 수 있다.

[0011] 또한, 본 발명의 유기 발광 표시 장치는 기판 상에 배치되는 박막 트랜지스터, 상기 박막 트랜지스터를 커버하는 보호막, 및 상기 보호막 상에 배치되고, 상기 박막 트랜지스터에 접속하는 유기 발광 소자를 포함하며, 상기 유기 발광 소자는 상기 보호막 상에 배치되는 도전성 유기물을 포함하는 제1 전극, 상기 제1 전극 상에 배치되는 유기막, 및 상기 유기막 상의 제2 전극을 구비하는 유기 발광 소자를 포함할 수 있다.

[0012] 또한, 본 발명의 다른 목적을 달성하기 위한 유기 발광 표시 장치의 제조 방법은 기판 상에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터를 커버하고, 상기 박막 트랜지스터의 드레인 전극의 일부를 노출시키는 콘택 홀을 구비하는 제1 보호막을 형성하는 단계, 상기 제1 보호막 상에 상기 드레인 전극에 접속하는 도전성 유기막을 형성하는 단계, 및 상기 도전성 유기막에 접속하는 유기 발광 소자를 형성하는 단계를 포함한다.

[0013] 상기 도전성 유기막에 광을 조사하는 단계를 더 포함하며, 상기 도전성 유기막에 조사된 광에 의하여 상기 도전성 유기막 내부에서는 라디칼 반응이 발생할 수 있다.

[0014] 상기 도전성 유기막에 상기 광을 조사함과 동시에 산소(O_2), 오존(O_3), 이산화질소(NO_2), 과산화수소(H_2O_2), 암모니아(NH_3), 및 하이드라진(N_2H_4) 중 적어도 하나의 반응 개시제(initiator)를 상기 도전성 유기막에 공급할 수 있다.

발명의 효과

[0015] 상술한 바와 같은 본 발명의 유기 발광 표시 장치는 박막 트랜지스터의 드레인 전극 및 유기 발광 소자의 제1 전극을 전기적으로 연결하는 도전성 유기막을 구비한다. 상기 도전성 유기막은 상기 드레인 전극 및 상기 제1 전극과의 전기적 접속 특성이 우수하다. 따라서, 상기 도전성 유기막을 구비하는 유기 발광 표시 장치는 전기 배선간 전기 접속 특성이 향상될 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 개념 회로도이다.

도 2는 도 1의 어느 하나 화소를 설명하기 위한 평면도이다.

도 3은 도 2의 I-I' 라인에 따른 단면도이다.

도 4 내지 도 8은 도 1 내지 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 단면도이다.

도 10 내지 도 13은 도 9에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

도 14는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0018] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0019] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0020] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 개념 회로도이다.
- [0022] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 영상을 표시하기 위한 표시부(10)을 구비하는 표시 기관(DS), 스캔 드라이브(scan drive, 20) 및 데이터 드라이브(data drive, 30)를 포함할 수 있다.
- [0023] 상기 스캔 드라이브(20) 및 상기 데이터 드라이브(30)는 각각 신호 배선들과 접속되어 상기 표시부(10)와 전기적으로 연결될 수 있다. 여기서, 상기 신호 배선은 스캔 라인들(SL₁, SL₂, SL_n), 데이터 라인들(DL₁, DL₂, DL_m) 및 전원 공급 라인들(VL)을 포함하며, 적어도 하나의 신호 배선은 타 신호 배선들과 교차할 수 있다.
- [0024] 이를 보다 상세히 설명하면, 상기 스캔 드라이브(20)는 다수의 상기 스캔 라인들(SL₁, SL₂, SL_n)에 의해 상기 표시부(10)와 전기적으로 연결될 수 있다. 상기 스캔 드라이브(20)는 상기 스캔 라인들(SL₁, SL₂, SL_n)을 통해 상기 표시부(10)로 스캔 신호를 보낼 수 있다. 상기 스캔 라인들(SL₁, SL₂, SL_n)은 상기 표시 기관(DS) 상에서 일 방향, 예를 들면, 제1 방향으로 연장될 수 있다.
- [0025] 상기 데이터 드라이브(30)는 상기 데이터 라인들(DL₁, DL₂, DL_m)에 전기적으로 연결된다. 따라서, 상기 데이터 드라이브(30)는 다수의 상기 데이터 라인들(DL₁, DL₂, DL_m)에 의해 상기 표시부(10)와 전기적으로 연결될 수 있다. 상기 데이터 드라이브(30)는 상기 데이터 라인들(DL₁, DL₂, DL_m)을 통해 상기 표시부(10)로 데이터 신호를 보낼 수 있다.
- [0026] 상기 데이터 라인들(DL₁, DL₂, DL_m)은 상기 스캔 라인들(SL₁, SL₂, SL_n)과 다른 방향, 예를 들면, 제2 방향으로 연장되어 상기 스캔 라인들(SL₁, SL₂, SL_n)과 교차할 수 있다. 상기 데이터 라인들(DL₁, DL₂, DL_m) 및 상기 스캔 라인들(SL₁, SL₂, SL_n)은 서로 교차할 수 있다.
- [0027] 상기 전원 공급 라인들(VL)은 상기 표시부(10)로 전원을 인가할 수 있다. 상기 전원 공급 라인들(VL)은 상기 데이터 라인들(DL₁, DL₂, DL_m) 및 상기 스캔 라인들(SL₁, SL₂, SL_n)과 서로 교차할 수 있다.
- [0028] 상기 표시부(10)는 다수의 화소(PX)들을 포함할 수 있다. 각 화소(PX)는 상기 데이터 라인들(DL₁, DL₂, DL_m) 중 대응되는 데이터 라인, 상기 스캔 라인들(SL₁, SL₂, SL_n) 중 대응되는 스캔 라인, 및 상기 전원 공급 라인들(VL) 중 대응되는 전원 공급 라인(VL)과 각각 전기적으로 연결될 수 있다. 상기 각 화소(PX)는 스위칭 박막 트랜지스

터(TRs), 구동 박막 트랜지스터(TRd), 캐패시터(C) 및 유기 발광 소자(OLED)를 포함할 수 있다.

- [0029] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 상기 스캔 라인들(SL1, SL2, SLn) 및 상기 데이터 라인들(DL1, DL2, DLm) 중 대응하는 상기 스캔 라인 및 상기 데이터 라인에 접속한다. 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 반도체 활성층, 상기 반도체 활성층에 절연된 게이트 전극, 및 상기 반도체 활성층에 접속하는 소스 전극 및 드레인 전극을 구비한다.
- [0030] 한편, 상기 유기 전계 발광 표시 장치의 구동을 간략하게 설명하면, 상기 스캔 드라이브(20)로부터 스캔 신호가, 상기 데이터 드라이브(30)로부터 데이터 신호가 상기 스캔 라인들(SL1, SL2, SLn) 및 상기 데이터 라인들(DL1, DL2, DLm)을 따라 상기 각 화소(PX)로 전달된다. 상기 스캔 신호 및 상기 데이터 신호를 받는 상기 각 화소(PX)의 스위칭 박막 트랜지스터(TRs)는 상기 구동 박막 트랜지스터(TRd)를 온/오프할 수 있다. 상기 구동 박막 트랜지스터(TRd)는 상기 데이터 신호에 따른 구동 전류를 상기 유기 발광 소자(OLED)에 공급한다. 상기 구동 전류를 공급받은 유기 발광 소자(OLED)는 상기 구동 전류를 이용하여 광을 생성할 수 있다.
- [0031] 한편, 상기 데이터 신호를 일정기간 저장하기 위한 캐패시터(C)가 상기 스위칭 박막 트랜지스터(TRs)의 상기 드레인 전극 및 상기 구동 박막 트랜지스터(TRd)의 상기 게이트 전극 사이에 연결되어 위치한다. 상기 캐패시터(C)에 저장된 데이터 신호는 상기 스위칭 박막 트랜지스터(TRs)가 오프된 상태에서도 상기 구동 박막 트랜지스터(TRd)의 상기 게이트 전극에 일정한 데이터 신호를 인가할 수 있다.
- [0032] 상세하게 도시되어 있지는 않지만, 상기 유기 전계 발광 표시 장치는 상기 구동 박막 트랜지스터의 문턱 전압을 보상하기 위하여, 추가적으로 다수의 박막 트랜지스터들 및 캐패시터들을 더 포함할 수 있다.
- [0033] 이하, 도 2 및 도 3을 이용하여 상기 유기 발광 표시 장치의 구조를 보다 구체적으로 설명하며, 상기 유기 발광 표시 장치에서 베이스 기판에서 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 유기 발광 소자(OLED)가 배치되는 방향을 "상부"로 가정하여 설명한다.
- [0034] 도 2는 도 1의 어느 하나 화소를 설명하기 위한 평면도이며, 도 3은 도 2의 I-I' 라인에 따른 단면도이다.
- [0035] 도 2 및 도 3을 참조하면, 상기 유기 발광 표시 장치의 각 화소(PX)는 상기 데이터 라인들(DL1, DL2, DLm) 중 대응되는 데이터 라인, 상기 스캔 라인들(SL1, SL2, SLn) 중 대응되는 스캔 라인, 및 상기 전원 공급 라인들(VL) 중 대응되는 전원 공급 라인(VL)과 각각 전기적으로 연결될 수 있다. 또한, 상기 각 화소(PX)는 스위칭 박막 트랜지스터(TRs), 구동 박막 트랜지스터(TRd), 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)에 전기적으로 접속하는 캐패시터(C), 및 상기 유기 발광 소자(OLED)를 포함할 수 있다.
- [0036] 이하에서는 제1 스캔 라인(SL1) 및 제1 데이터 라인(DL1)에 접속하는 화소(PX)를 예로서 설명한다.
- [0037] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 상기 제1 스캔 라인(SL1) 및 상기 제1 데이터 라인(DL1)에 접속한다. 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 반도체 활성층(SA), 상기 반도체 활성층(SA)에 절연된 게이트 전극(GE), 및 상기 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다.
- [0038] 이를 보다 상세히 설명하면, 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 광 투과가 가능한 유리 또는 투명 플라스틱 재질의 베이스 기판(100) 상에 배치된 반도체 활성층(SA), 상기 반도체 활성층(SA)에 절연된 게이트 전극(GE), 및 상기 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다.
- [0039] 상기 반도체 활성층(SA)은 비정질 실리콘(a-Si), 다결정 실리콘(p-Si) 및 산화물 반도체 중 어느 하나를 포함할 수 있다. 또한, 상기 반도체 활성층(SA)은 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 접속하는 영역은 불순물이 도핑 또는 주입된 소스 영역 및 드레인 영역일 수 있으며, 상기 소스 영역 및 상기 드레인 영역 사이의 영역은 채널 영역일 수 있다. 여기서, 상기 산화물 반도체는 Zn, In, Ga, Sn 및 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 예를 들면, 상기 산화물 반도체는 IGZO(Indium-Gallium-Zinc Oxide)를 포함할 수 있다.
- [0040] 한편, 도면 상에는 도시하지 않았으나, 상기 반도체 활성층(SA)이 산화물 반도체를 포함하는 경우, 상기 산화물 반도체 활성층(SA)의 상부 및 하부에 상기 산화물 반도체 활성층(SA)으로 유입되는 광을 차단하기 위한 광 차단막을 배치할 수도 있다.
- [0041] 상기 반도체 활성층(SA) 및 상기 베이스 기판(100) 사이에는 버퍼층(110)이 배치될 수 있다. 상기 버퍼층(110)

은 실리콘 산화막 및 실리콘 질화막 중 어느 하나일 수 있으며, 상기 실리콘 산화막 및 상기 실리콘 질화막을 포함하는 다중막 구조일 수 있다. 상기 버퍼층(110)은 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 유기 발광 소자(OLED)로 불순물이 확산되는 것을 방지하고, 수분 및 산소의 침투를 방지한다. 또한, 상기 버퍼층(110)은 상기 베이스 기판(100)의 표면을 평탄화할 수 있다.

[0042] 상기 반도체 활성층(SA) 및 상기 베이스 기판(100) 상에는 상기 반도체 활성층(SA)을 커버하여, 상기 반도체 활성층(SA) 및 상기 게이트 전극(GE)을 절연시키는 게이트 절연막(120)이 배치된다. 상기 게이트 절연막(120)은 실리콘 산화물(SiO_2) 및 실리콘 질화물(SiNx) 중 적어도 하나를 포함한다.

[0043] 상기 게이트 절연막(120)의 상에는 일방향으로 연장된 상기 제1 스캔 라인(SL_1) 및 제1 캐패시터 전극(C_1)이 배치된다. 상기 제1 스캔 라인(SL_1)의 일부는 상기 화소(PX)로 연장되어 상기 반도체 활성층(SA)의 상기 채널 영역과 중첩하는 상기 게이트 전극(GE)일 수 있다.

[0044] 상기 게이트 절연막(120) 및 상기 게이트 전극(GE) 상에는 층간 절연막(130)이 배치될 수 있다. 상기 층간 절연막(130)은 상기 게이트 절연막(120)과 같이 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 또한, 상기 층간 절연막(130)은 상기 반도체 활성층(SA)의 상기 소스 영역 및 상기 드레인 영역의 일부를 노출시킬 수 있다.

[0045] 상기 층간 절연막(130) 상에는 상기 제1 스캔 라인(SL_1)과 절연되어 교차하는 상기 제1 데이터 라인(DL_1), 상기 전원 공급 라인(VL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 배치된다. 상기 소스 전극(SE), 상기 드레인 전극(DE), 상기 제2 캐패시터 전극(C_2), 상기 제1 데이터 라인(DL_1) 및 상기 전원 공급 라인(VL)은 광을 반사시킬 수 있는 물질을 포함할 수 있다. 예를 들면, 상기 소스 전극(SE), 상기 드레인 전극(DE), 상기 제2 캐패시터 전극(C_2), 상기 제1 데이터 라인(DL_1) 및 상기 전원 공급 라인(VL)은 알루미늄(Al) 또는 알루미늄 합금(Al-alloy)를 포함할 수 있다.

[0046] 또한, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 층간 절연막에 의해 상기 게이트 전극(GE)과 절연될 수 있다. 또한, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 소스 영역 및 상기 드레인 영역과 접속한다.

[0047] 한편, 본 실시예에서는 상기 구동 박막 트랜지스터(TRd) 및 상기 스위칭 박막 트랜지스터(TRs) 모두가 탑 게이트(top gate) 구조의 박막 트랜지스터인 경우를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 구동 박막 트랜지스터(TRd) 및 상기 스위칭 박막 트랜지스터(TRs) 중 적어도 하나는 바텀 게이트 구조의 박막 트랜지스터일 수 있다.

[0048] 상기 캐패시터(C)는 제1 캐패시터 전극(C_1) 및 제2 캐패시터 전극(C_2)을 구비한다. 상기 제1 캐패시터 전극(C_1)은 상기 제1 스캔 라인(SL_1) 및 상기 게이트 전극(GE)과 동일한 물질로 이루어질 수 있으며, 동일층 상에 배치될 수 있다. 즉, 상기 제1 캐패시터 전극(C_1)은 상기 게이트 절연막(120) 상에 배치될 수 있다. 상기 제2 캐패시터 전극(C_2)은 상기 제1 데이터 라인(DL_1), 상기 전원 공급 라인(VL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 동일한 물질로 이루어질 수 있으며, 동일층 상에 배치될 수 있다.

[0049] 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 캐패시터(C)가 배치된 상기 베이스 기판(100) 상에는 제1 보호막(140)이 배치된다. 즉, 상기 제1 보호막(140)은 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 캐패시터(C)를 커버할 수 있다. 또한, 상기 제1 보호막(140)은 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)을 구비할 수 있다.

[0050] 상기 제1 보호막(140)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다.

[0051] 상기 제1 보호막(140) 상에는 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 접속하는 도전성 유기막(150)이 배치될 수 있으며, 상기 도전성 유기막(150)은 광을 투과시킬 수도 있다. 상기 도전성 유기막(150)은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고, 상기 고분자 물질은 $-\text{COOH}$, $-\text{SH}$, $-\text{NH}_2$, $-\text{NH}$, $-\text{N}$ 중 어느 하나의 치환기를 포함할 수 있다. 따라서, 상기 치환기에 의하여 외부에서, 적외선, 자외선 및 방사선 중 어느 하나가 상기 도전성 유기막(150)으로 조사되는 경우, 상기 도전성 유기막(150)의 내부에서는 라디칼 반응이 발생할 수 있다. 상기 라디칼 반응에 의하여 상기 도전성 유기막(150) 및 상기 드레인 전극(DE)의 전기적 접속 특성이 향상될 수 있다.

- [0052] 상기 도전성 유기막(150) 상에는 제2 보호막(160)이 배치될 수 있다. 상기 제2 보호막(160)은 상기 도전성 유기막(150)의 일부를 노출시키는 비아 홀(VH)을 구비할 수 있다. 여기서, 상기 비아 홀(VH)은 상기 제1 보호막(140)의 콘택 홀(CH)과 중첩될 수 있다.
- [0053] 또한, 상기 제2 보호막(160)은 적어도 하나의 막을 포함할 수 있다. 예를 들면, 상기 제2 보호막(160)은 무기 보호막 및 상기 무기 보호막 상에 배치되는 유기 보호막을 포함할 수 있다. 상기 무기 보호막은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 또한, 상기 유기 보호막은 아크릴(Acryl), PI(Polyimide), PA(Polyamide) 및 BCB(Benzocyclobutene) 중 어느 하나를 포함할 수 있다. 즉, 상기 유기 보호막은 투명하고, 유연성이 있어 하부 구조의 굴곡을 완화시켜 평탄화시킬 수 있는 평탄화막일 수 있다.
- [0054] 상기 제2 보호막(160) 상에는 상기 유기 발광 소자(OLED)가 배치될 수 있다. 상기 유기 발광 소자(OLED)는 상기 도전성 유기막(150)과 접촉하는 제1 전극(170), 상기 제1 전극(170) 상에 배치되는 유기막(180), 및 상기 유기막(180) 상에 배치되는 제2 전극(190)을 포함할 수 있다.
- [0055] 상기 제1 전극(170) 및 상기 제2 전극(190) 중 적어도 하나는 투과형 전극일 수 있다. 예를 들면, 상기 유기 발광 표시 장치가 배면 발광형 표시 장치인 경우, 상기 제1 전극(170)은 투과형 전극이며, 상기 제2 전극(190)은 반사형 전극일 수 있다. 또한, 상기 유기 발광 표시 장치가 전면 발광형 표시 장치인 경우, 상기 제1 전극(170)은 반사형 전극이며, 상기 제2 전극(190)은 투과형 전극일 수도 있다. 또한, 상기 유기 발광 표시 장치가 양면 발광형 표시 장치인 경우, 상기 제1 전극(170) 및 상기 제2 전극(190)은 모두 투과형 전극일 수도 있다.
- [0056] 또한, 상기 제1 전극(170) 및 상기 제2 전극(190) 중 어느 하나는 애노드(anode) 전극일 수 있으며, 다른 하나는 캐소드(cathode) 전극일 수 있다.
- [0057] 본 실시예에서는 상기 제1 전극(170)이 투명 애노드 전극이며, 상기 제2 전극(190)이 반사형 캐소드 전극인 경우를 예로써 설명한다.
- [0058] 상기 제1 전극(170)은 상기 제2 보호막(160) 상에 배치되고, 상기 비아 홀(VH)을 통하여 상기 도전성 유기막(150)과 접촉한다. 상기 제1 전극(170)은 상기 제2 전극(190)에 비하여 일함수가 높은 투명 도전성 산화물을 포함할 수 있다. 예를 들면, 상기 제1 전극(170)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 어느 하나를 포함할 수 있다.
- [0059] 상기 제1 전극(170)은 화소 정의막(PDL)에 의하여 일부가 노출될 수 있다. 상기 화소 정의막(PDL)은 유기 절연 물질을 포함할 수 있다. 예를 들면, 상기 화소 정의막(PDL)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA), 폴리아크릴로니트릴(PAN), 폴리아미드(polyamide), 폴리이미이드(polyimide), 폴리아릴에테르(polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 불소계 고분자, 에폭시 수지(epoxy resin), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 실록세인계 수지(siloxane series resin) 및 실란 수지(silane) 중 적어도 하나를 포함할 수 있다.
- [0060] 상기 제2 전극(190)은 상기 제1 전극(170)에 비하여 일함수가 작은 물질, 예를 들면, Mo, W, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 합금 중 적어도 하나를 포함할 수 있다. 또한, 상기 제2 전극(190) 상에는 상기 제2 전극(190)의 상기 전압 강하(IR-drop)를 방지하기 위한 도전막(미도시)을 더 포함할 수 있다.
- [0061] 상기 유기막(180)은 상기 화소 정의막(PDL)에 의하여 노출된 상기 제1 전극(170) 상에 배치된다. 또한, 상기 유기막(180)은 적어도 발광층(EML)을 포함하며, 일반적으로 다층 박막 구조를 가질 수 있다. 예를 들면, 상기 유기막(180)은 정공을 주입하는 정공 주입층(hole injection layer, HIL), 정공의 수송성이 우수하고 상기 발광층(emitting layer, EML)에서 결합하지 못한 전자의 이동을 억제하여 정공과 전자의 재결합 기회를 증가시키기 위한 정공 수송층(hole transport layer, HTL), 주입된 전자와 정공의 재결합에 의하여 광을 발하는 상기 발광층(EML), 상기 발광층(EML)에서 결합하지 못한 정공의 이동을 억제하기 위한 정공 억제층(hole blocking layer, HBL), 전자를 상기 발광층(EML)으로 원활히 수송하기 위한 전자 수송층(electron transport layer, ETL), 및 전자를 주입하는 전자 주입층(electron injection layer, EIL)을 구비할 수 있다. 한편, 상기 유기막(180)의 상기 발광층에서 생성되는 광의 색상은 적색(red), 녹색(green), 청색(blue) 및 백색(white) 중 어느 하나일 수 있으나, 본 실시예에서 이를 한정하는 것은 아니다. 예를 들어, 상기 유기막(180)의 상기 발광층에서 생성되는 광의 색상은 마젠타(magenta), 시안(cyan), 옐로(yellow) 중 어느 하나일 수 있다.
- [0062] 상기와 같은 유기 발광 표시 장치는 상기 구동 박막 트랜지스터(TRD)의 상기 드레인 전극(DE) 및 상기 제1 전극

(170) 사이에 상기 도전성 유기막(150)이 배치되어 상기 드레인 전극(DE) 및 상기 제1 전극(170) 사이에 발생할 수 있는 접촉 불량을 방지할 수 있다.

[0063] 이하, 도 4 내지 도 8을 참조하여, 상기 유기 발광 표시 장치의 제조 방법을 설명한다.

[0064] 도 4 내지 도 8은 도 1 내지 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

[0065] 도 4를 참조하면, 우선, 베이스 기판(100)을 준비한다. 상기 베이스 기판(100)은 투명한 절연체로 이루어질 수 있다. 예를 들면, 상기 절연 기판(100)은 유리 또는 투명 플라스틱과 같은 고분자로 이루어지는 리지드 타입(rigid type)의 절연 기판일 수 있다. 여기서, 상기 절연 기판(100)이 플라스틱 기판으로 이루어지는 경우, 상기 절연 기판(100)은 폴리에틸렌 테레프탈레이트(Polyethylene Terephthalate, PET), 섬유강화 플라스틱(fiber reinforced plastic), 또는 폴리에틸렌 나프탈레이트(Polyethylene Naphthalate, PEN) 등으로 이루어질 수 있다. 또한, 상기 베이스 기판(100)은 투명 플렉시블 타입(flexible type)의 절연 기판일 수 있다.

[0066] 그런 다음, 상기 베이스 기판(100) 상에 버퍼층(110)을 형성한다. 상기 버퍼층(110)은 실리콘 산화막 및 실리콘 질화막 중 어느 하나일 수 있으며, 상기 실리콘 산화막 및 상기 실리콘 질화막을 포함하는 다중막 구조일 수 있다. 상기 버퍼층(110)은 상기 베이스 기판(100)에 포함되어 있는 불순물이 확산되는 것을 방지한다. 또한, 상기 버퍼층(110)은 수분 및 산소가 외부로부터 침투하는 것을 방지한다. 또한, 상기 버퍼층(110)은 상기 베이스 기판(100)의 표면을 평탄화할 수 있다.

[0067] 상기 버퍼층(110)을 형성한 후, 상기 버퍼층(110) 상에 스위칭 박막 트랜지스터(TRs), 캐패시터(C) 및 구동 박막 트랜지스터(TRd)를 형성한다.

[0068] 이하, 상기 스위칭 박막 트랜지스터(TRs), 상기 캐패시터(C) 및 상기 구동 박막 트랜지스터(TRd)의 형성을 보다 상세히 설명한다.

[0069] 우선, 상기 버퍼층(110) 상에 반도체 활성층(SA)을 형성한다. 상기 반도체 활성층(SA)은 비정질 실리콘(a-Si), 다결정 실리콘(p-Si) 및 산화물 반도체 중 어느 하나를 포함할 수 있다. 여기서, 상기 반도체 활성층(SA)이 상기 다결정 실리콘을 포함하는 경우에는, 상기 버퍼층(110) 상에 비정질 실리콘(a-Si)을 증착한 후, 상기 비정질 실리콘을 결정화하고 패터닝하여 상기 반도체 활성층(SA)을 형성할 수 있다.

[0070] 상기 반도체 활성층(SA)을 형성한 후, 상기 반도체 활성층(SA) 및 상기 버퍼층(110) 상에 게이트 절연막(120)을 형성한다. 상기 게이트 절연막(120)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다.

[0071] 상기 게이트 절연막(120)을 형성한 후, 상기 게이트 절연막(120) 상에 게이트 전극(GE), 스캔 라인(SL) 및 제1 캐패시터 전극(C1)을 형성한다. 상기 게이트 전극(GE)은 상기 반도체 활성층(SA)과 중첩될 수 있다. 여기서, 상기 게이트 전극(GE)과 중첩하는 상기 반도체 활성층(SA)의 영역은 채널 영역일 수 있으며, 상기 채널 영역 양측의 영역은 소스 영역 및 드레인 영역일 수 있다.

[0072] 상기 게이트 전극(GE), 상기 스캔 라인(SL) 및 상기 제1 캐패시터 전극(C1)을 형성한 후, 층간 절연막(130)을 형성한다. 상기 층간 절연막(130)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0073] 상기 층간 절연막(130)을 형성한 후, 상기 층간 절연막(130)을 패터닝하여 상기 소스 영역 및 상기 드레인 영역을 노출시킨다. 이와 동시에, 상기 제1 캐패시터 전극(C1)의 일부를 노출시킨다.

[0074] 그런 다음, 상기 소스 영역에 접속하는 소스 전극(SE), 상기 드레인 영역에 접속하는 드레인 전극(DE), 상기 제1 캐패시터 전극(C1)과 절연되는 제2 캐패시터 전극(C2), 데이터 라인(DL) 및 전원 공급 라인(VL)을 형성하여, 스위칭 박막 트랜지스터(TRs), 캐패시터(C), 및 구동 박막 트랜지스터(TRd)를 형성한다.

[0075] 즉, 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 각각 상기 반도체 활성층(SA), 상기 게이트 전극(GE), 상기 소스 전극(SE) 및 상기 드레인 전극(DE)을 포함한다. 또한, 상기 캐패시터(C)는 상기 제1 캐패시터 전극(C1) 및 상기 제2 캐패시터 전극(C2)을 포함한다. 여기서, 상기 스위칭 박막 트랜지스터(TRs)의 드레인 전극(DE)은 상기 제1 캐패시터 전극(C1)에 접속할 수 있다.

[0076] 한편, 상기 소스 전극(SE), 상기 드레인 전극(DE), 상기 제2 캐패시터 전극(C2), 상기 데이터 라인(DL) 및 상기 전원 공급 라인(VL)은 광을 반사시킬 수 있는 물질을 포함할 수 있다. 예를 들면, 상기 소스 전극(SE), 상기 드레인 전극(DE), 상기 제2 캐패시터 전극(C2), 상기 데이터 라인(DL) 및 상기 전원 공급 라인(VL)은 알루미늄(Al) 또는 알루미늄 합금(Al-alloy)를 포함할 수 있다.

- [0077] 또한, 상기 각 화소(PX)에서 상기 구동 박막 트랜지스터(TRd)의 상기 드레인 전극(DE)은 상기 스위칭 박막 트랜지스터(TRs), 상기 캐패시터(C), 및 상기 구동 박막 트랜지스터(TRd)이 배치되지 않은 영역까지 확장될 수 있다.
- [0078] 도 5를 참조하면, 상기 스위칭 박막 트랜지스터(TRs), 상기 캐패시터(C), 및 상기 구동 박막 트랜지스터(TRd)가 형성된 상기 베이스 기판(100) 상에 제1 보호막(140)을 형성한다. 상기 제1 보호막(140)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다.
- [0079] 그런 다음, 상기 제1 보호막(140)을 패터닝하여, 상기 구동 박막 트랜지스터(TRd)의 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)을 형성한다.
- [0080] 상기 콘택 홀(CH)을 형성한 후, 상기 제1 보호막(140) 상에 도전성 유기막(150)을 형성한다. 상기 도전성 유기막(150)은 상기 콘택 홀(CH)을 통하여 상기 구동 박막 트랜지스터(TRd)의 상기 드레인 전극(DE)에 접촉된다.
- [0081] 상기 도전성 유기막(150)은 외부에서 공급되는 열, 자외선, 또는 방사선에 의하여 라디칼 반응이 발생할 수 있는 물질을 포함할 수 있다. 예를 들면, 상기 도전성 유기막(150)은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고, 상기 고분자 물질은 -COOH, -SH, -NH₂, -NH-, -N- 중 어느 하나의 치환기를 포함할 수 있다.
- [0082] 도 6을 참조하면, 상기 도전성 유기막(150)을 형성한 후, 상기 도전성 유기막(150)에 광을 조사한다. 여기서, 상기 광은 적외선, 자외선 및 방사선 중 어느 하나일 수 있다.
- [0083] 상기 도전성 유기막(150)에 광이 조사되면, 상기 도전성 유기막(150)의 내부에서 상기 치환기에 의하여 자유 라디칼(free radical)이 생성되고, 상기 자유 라디칼에 의하여 연쇄적인 라디칼 반응이 발생한다. 상기 라디칼 반응에 의하여 상기 도전성 유기막(150)의 계면은 도전성 금속 또는 도전성 산화물과의 전기적 접촉 특성이 향상될 수 있다. 따라서, 상기 도전성 유기막(150) 및 상기 드레인 전극(DE) 사이의 전기적 접촉 특성이 향상될 수 있다.
- [0084] 한편, 상기 도전성 유기막(150)에 상기 광을 조사함과 동시에, 산소(O₂), 오존(O₃), 이산화질소(NO₂), 과산화수소(H₂O₂), 암모니아(NH₃), 및 하이드라진(N₂H₄) 중 적어도 하나의 반응 개시제(initiator)를 상기 도전성 유기막(150)에 공급할 수 있다.
- [0085] 상기 도전성 유기막(150)에 광을 조사하여 라디칼 반응을 발생시킨 후, 상기 도전성 유기막(150) 상에 제2 보호막(160)을 형성할 수 있다. 상기 제2 보호막(160)은 적어도 하나의 막을 포함할 수 있다. 예를 들면, 상기 제2 보호막(160)은 무기 보호막 및 상기 무기 보호막 상에 배치되는 유기 보호막을 포함할 수 있다. 상기 무기 보호막은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 또한, 상기 유기 보호막은 아크릴(Acryl), PI(Polyimide), PA(Polyamide) 및 BCB(Benzocyclobutene) 중 어느 하나를 포함할 수 있다. 즉, 상기 유기 보호막은 투명하고, 유연성이 있어 하부 구조의 굴곡을 완화시켜 평탄화시킬 수 있는 평탄화막일 수 있다.
- [0086] 도 7을 참조하면, 상기 제2 보호막(160)을 형성한 후, 상기 제2 보호막(160)을 패터닝하여 상기 도전성 유기막(150)의 일부를 노출시키는 비아 홀(VH)을 형성한다. 여기서, 상기 비아 홀(VH)이 배치된 위치는 상기 콘택 홀(CH)이 배치된 위치와 중첩될 수 있다.
- [0087] 상기 비아 홀(VH)을 형성한 후, 상기 제2 보호막(160)에 제1 전극(170)을 형성한다. 여기서, 상기 제1 전극(170)의 일부는 상기 비아 홀(VH)에을 통하여 상기 도전성 유기막(150)에 접촉된다.
- [0088] 또한, 상기 제1 전극(170)은 투명 도전막일 수 있다. 예를 들면, 상기 제1 전극(170)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 어느 하나의 투명 도전성 산화물을 포함할 수 있다.
- [0089] 도 8을 참조하면, 상기 제1 전극(170)을 형성한 후, 상기 제1 전극(170)의 일부를 노출시키는 화소 정의막(PDL)을 형성한다.
- [0090] 상기 화소 정의막(PDL)을 형성한 후, 상기 제1 전극(170) 상에 유기막(180)을 형성할 수 있다. 상기 유기막(180)은 증착, 전자 또는 프린팅 방법을 통하여 형성될 수 있다.
- [0091] 상기 유기막(180)은 적어도 발광층(EML)을 포함하며, 일반적으로 다층 박막 구조를 가질 수 있다. 예를 들면,

상기 유기막(180)은 정공을 주입하는 정공 주입층(hole injection layer, HIL), 정공의 수송성이 우수하고 상기 발광층(EML)에서 결합하지 못한 전자의 이동을 억제하여 정공과 전자의 재결합 기회를 증가시키기 위한 정공 수송층(hole transport layer, HTL), 주입된 전자와 정공의 재결합에 의하여 광을 발하는 상기 발광층(EML), 상기 발광층(EML)에서 결합하지 못한 정공의 이동을 억제하기 위한 정공 억제층(hole blocking layer, HbL), 전자를 상기 발광층(EML)으로 원활히 수송하기 위한 전자 수송층(electron transport layer, ETL), 및 전자를 주입하는 전자 주입층(electron injection layer, EIL)을 구비할 수 있다.

[0092] 상기 유기막(180)을 형성한 후, 상기 유기막(180) 상에 제2 전극(190)을 형성하여 유기 발광 소자(OLED)를 제조한다. 여기서, 상기 제2 전극(190)은 일함수가 작은 금속, 예를 들면, Mo, W, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

[0093] 상기 제2 전극(190)을 형성한 후, 일반적인 봉지 공정을 통하여 유기 발광 표시 장치를 제조할 수 있다. 예를 들면, 상기 제2 전극(190) 상부에 투명 절연 물질을 포함하는 봉지 기판(미도시)을 배치하고, 상기 유기 발광 소자(OLED)가 배치된 상기 베이스 기판(100) 및 상기 봉지 기판을 합착하여 상기 유기 발광 표시 장치를 제조할 수 있다.

[0094] 또한, 상기 제2 전극(190) 상부에 투명 절연막(미도시)을 형성하여 상기 유기 발광 소자(OLED)가 외부 환경과 격리되도록 하여 상기 유기 발광 표시 장치를 제조할 수도 있다.

[0095] 이하, 도 9 내지 도 14를 통하여 본 발명의 다른 실시예들을 설명한다. 도 9 내지 도 14에 있어서, 도 1 내지 도 8에 도시된 구성 요소와 동일한 구성 요소는 동일한 참조번호를 부여하고, 그에 대한 구체적인 설명은 생략한다. 또한, 도 9 내지 도 14에서는 중복된 설명을 피하기 위하여 도 1 내지 도 8과 다른 점을 위주로 설명한다.

[0096] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 단면도이다.

[0097] 도 9를 참조하면, 유기 발광 표시 장치의 각 화소는 베이스 기판(100) 상에 배치되는 스위칭 박막 트랜지스터(TRs), 구동 박막 트랜지스터(TRd), 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)에 전기적으로 접속하는 캐패시터(C), 및 상기 유기 발광 소자(OLED)를 포함할 수 있다.

[0098] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 광 투과가 가능한 유리 또는 투명 플라스틱 재료의 베이스 기판(100) 상에 배치된 반도체 활성층(SA), 상기 반도체 활성층(SA)에 절연된 게이트 전극(GE), 및 상기 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다.

[0099] 상기 캐패시터(C)는 제1 캐패시터 전극(C1) 및 제2 캐패시터 전극(C2)을 구비한다.

[0100] 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 캐패시터(C)가 배치된 상기 베이스 기판(100) 상에는 제1 보호막(140)이 배치된다. 즉, 상기 제1 보호막(140)은 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 캐패시터(C)를 커버할 수 있다. 또한, 상기 보호막(140)은 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)을 구비할 수 있다.

[0101] 상기 보호막(140) 상에는 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 접속하는 도전성 유기막(150)이 배치될 수 있으며, 상기 도전성 유기막(150)은 광을 투과시킬 수도 있다. 상기 도전성 유기막(150)은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고, 상기 고분자 물질은 -COOH, -SH, -NH₂, -NH, -N 중 어느 하나의 치환기를 포함할 수 있다.

[0102] 상기 도전성 유기막(150) 상에는 유기 발광 소자(OLED)가 배치될 수 있다. 상기 유기 발광 소자(OLED)는 상기 도전성 유기막(150) 상에 배치되는 제1 전극(170), 상기 제1 전극(170)의 일부를 노출시키는 화소 정의막(PDL), 상기 제1 전극(170) 상에 배치되는 유기막(180), 및 상기 유기막(180) 상에 배치되는 제2 전극(190)을 포함한다.

[0103] 이하, 도 10 내지 도 13을 참조하여, 상기 유기 발광 표시 장치의 제조 방법을 설명한다.

[0104] 도 10 내지 도 13은 도 9에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

[0105] 도 10을 참조하면, 베이스 기판(100) 상에 버퍼층(110)을 형성하고, 상기 버퍼층(110) 상에 스위칭 박막 트랜지스터(TRs), 구동 박막 트랜지스터(TRd), 및 캐패시터(C)를 형성한다.

- [0106] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 반도체 활성층(SA), 상기 반도체 활성층(SA)에 절연된 게이트 전극(GE), 및 상기 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다. 상기 캐패시터(C)는 제1 캐패시터 전극(C1) 및 제2 캐패시터 전극(C2)을 구비한다.
- [0107] 도 11을 참조하면, 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd), 및 상기 캐패시터(C)를 형성한 후, 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd), 및 상기 캐패시터(C)를 커버하는 보호막(140)을 형성한다.
- [0108] 상기 보호막(140)을 형성한 후, 상기 보호막(140)을 패터닝하여 상기 구동 박막 트랜지스터(TRd)의 상기 드레인 전극(DE)을 노출시키는 콘택 홀(CH)을 형성한다.
- [0109] 상기 콘택 홀(CH)을 형성한 후, 상기 보호막(140) 상에 도전성 유기막(150)을 형성한다. 상기 도전성 유기막(150)은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고, 상기 고분자 물질은 -COOH, -SH, -NH₂, -NH-, -N- 중 어느 하나의 치환기를 포함할 수 있다.
- [0110] 상기 도전성 유기막(150)을 형성한 후, 상기 도전성 유기막(150)에 광을 조사한다. 여기서, 상기 광은 적외선, 자외선, 및 방사선 중 어느 하나일 수 있다.
- [0111] 상기 도전성 유기막(150)에 광이 조사되면, 상기 도전성 유기막(150)의 내부에서 상기 치환기에 의하여 자유 라디칼(free radical)이 생성되고, 상기 자유 라디칼에 의하여 연쇄적인 라디칼 반응이 발생한다. 상기 라디칼 반응에 의하여 상기 도전성 유기막(150) 및 상기 드레인 전극(DE) 사이의 전기적 접속 특성이 향상될 수 있다.
- [0112] 한편, 상기 도전성 유기막(150)에 상기 광을 조사함과 동시에, 산소(O₂), 오존(O₃), 이산화질소(NO₂), 과산화수소(H₂O₂), 암모니아(NH₃), 및 하이드라진(N₂H₄) 중 적어도 하나의 반응 개시제(initiator)를 상기 도전성 유기막(150)에 공급할 수 있다.
- [0113] 상기 도전성 유기막(150)에 광을 조사하여 라디칼 반응을 발생시킨 후, 상기 도전성 유기막(150) 상에 유기 발광 소자(OLED)를 형성한다.
- [0114] 이를 보다 상세히 설명하면, 도 12에 도시된 바와 같이, 상기 도전성 유기막(150) 상에 제1 전극(170)을 형성한다. 상기 제1 전극(170)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 어느 하나를 포함할 수 있다.
- [0115] 그런 다음, 도 13에 도시된 바와 같이, 상기 제1 전극(170)의 일부를 노출시키는 화소 정의막(PDL)을 형성한다.
- [0116] 상기 화소 정의막(PDL)을 형성한 후, 상기 제1 전극(170) 상에 유기막(180)을 형성할 수 있다. 상기 유기막(180)은 증착, 전사 또는 프린팅 방법을 통하여 형성될 수 있다.
- [0117] 상기 유기막(180)을 형성한 후, 상기 유기막(180) 상에 제2 전극(190)을 형성하여 유기 발광 소자(OLED)를 제조한다.
- [0118] 도 14는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 단면도이다.
- [0119] 도 14를 참조하면, 유기 발광 표시 장치의 각 화소는 베이스 기판(100) 상에 배치되는 스위칭 박막 트랜지스터(TRs), 구동 박막 트랜지스터(TRd), 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)에 전기적으로 접속하는 캐패시터(C), 및 상기 유기 발광 소자(OLED)를 포함할 수 있다.
- [0120] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 구동 박막 트랜지스터(TRd)는 광 투과가 가능한 유리 또는 투명 플라스틱 재료의 베이스 기판(100) 상에 배치된 반도체 활성층(SA), 상기 반도체 활성층(SA)에 절연된 게이트 전극(GE), 및 상기 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다.
- [0121] 상기 캐패시터(C)는 제1 캐패시터 전극(C1) 및 제2 캐패시터 전극(C2)을 구비한다.
- [0122] 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 캐패시터(C)가 배치된 상기 베이스 기판(100) 상에는 보호막(140)이 배치된다. 즉, 상기 보호막(140)은 상기 스위칭 박막 트랜지스터(TRs), 상기 구동 박막 트랜지스터(TRd) 및 상기 캐패시터(C)를 커버할 수 있다. 또한, 상기 보호막(140)은 상기 구동 박막 트랜지스터(TRd)의 상기 드레인 전극(DE)의 일부를 노출시키는 콘택 홀(CH)을 구비할 수 있다.

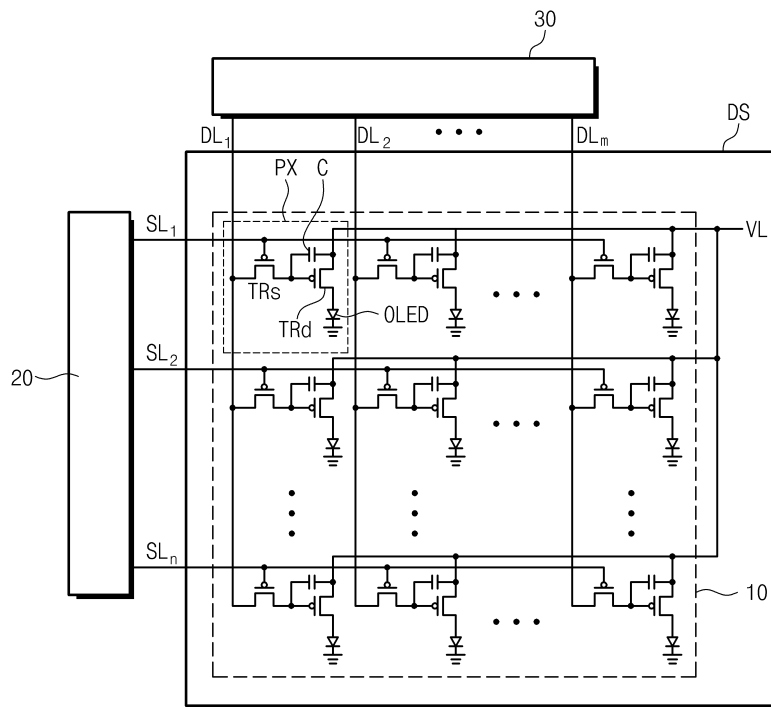
- [0123] 상기 보호막(140) 상에는 상기 콘택 홀(CH)을 통하여 상기 드레인 전극(DE)과 접속하는 유기 발광 소자(OLED)가 배치될 수 있다.
- [0124] 상기 유기 발광 소자(OLED)는 상기 콘택 홀(CH)을 통하여 상기 구동 박막 트랜지스터(TRd)의 상기 드레인 전극(DE)과 접속되는 도전성 유기막(155), 상기 도전성 유기막(155)의 일부를 노출시키는 화소 정의막(PDL), 상기 도전성 유기막(155) 상에 배치되는 유기막(180), 및 상기 유기막(180) 상에 배치되는 제2 전극(190)을 포함한다.
- [0125] 즉, 상기 도전성 유기막(155)이 유기 발광 소자(OLED)의 전극일 수 있다. 상기 도전성 유기막(155)은 광을 투과시키며, 도전성을 갖는 유기물을 포함할 수 있다.
- [0126] 상기 도전성 유기막(155)은 전도성 불순물이 도핑된 폴리에틸렌계, 전도성 불순물이 도핑된 폴리피롤계 및 전도성 불순물이 도핑된 폴리티오펜계 중 적어도 하나의 고분자 물질을 포함하고, 상기 고분자 물질은 -COOH, -SH, -NH₂, -NH, -N 중 어느 하나의 치환기를 포함할 수 있다.
- [0127] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 기술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

부호의 설명

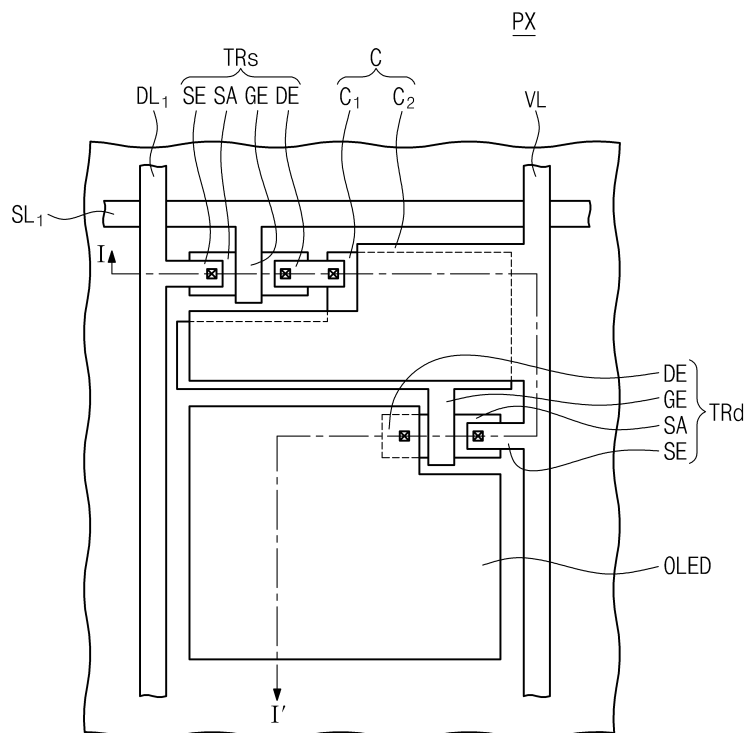
- [0128]
- | | |
|---|--|
| 10; 표시부 | 20; 스캔 드라이브 |
| 30; 데이터 드라이브 | 100; 베이스 기관 |
| 110; 버퍼층 | 120; 게이트 절연막 |
| 130; 층간 절연막 | 140; 제1 보호막 |
| 150; 도전성 유기막 | 160; 제2 보호막 |
| 155, 170; 제1 전극 | 180; 유기막 |
| 190; 제 2 전극 | DS; 표시 기관 |
| SL ₁ , SL ₂ , SL _n ; 스캔 라인 | DL ₁ , DL ₂ , DL _m ; 데이터 라인 |
| VL; 전원 공급 라인 | TRs; 스위칭 박막 트랜지스터 |
| TRd; 구동 박막 트랜지스터 | OLED; 유기 전계 발광 소자 |
| C; 캐패시터 | C ₁ ; 제 1 캐패시터 전극 |
| C ₂ ; 제2 캐패시터 전극 | SA; 반도체 활성층 |
| GE; 게이트 전극 | SE; 소스 전극 |
| DE; 드레인 전극 | PX; 화소 |
| CH; 콘택 홀 | VH; 비아 홀 |

도면

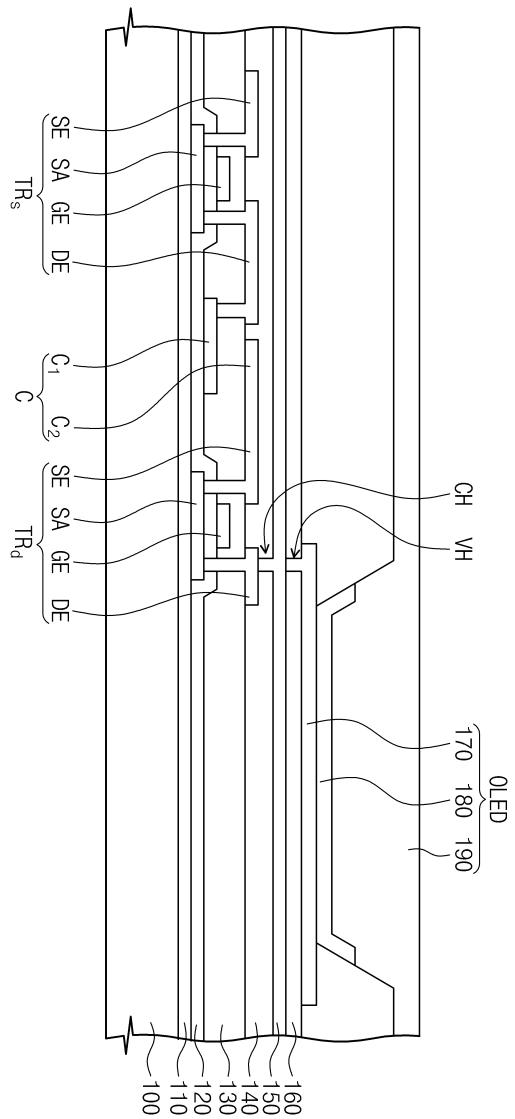
도면1



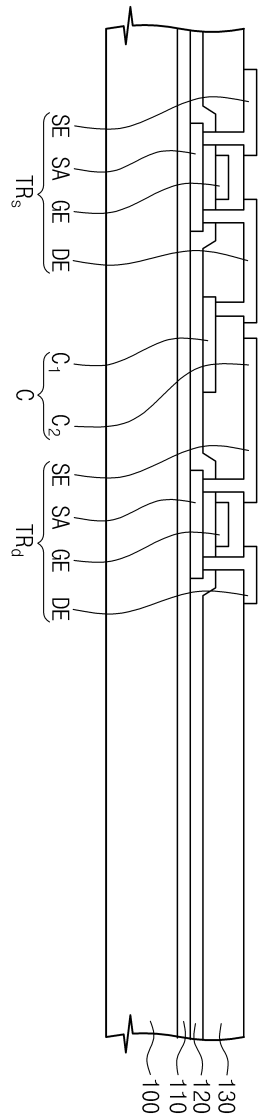
도면2



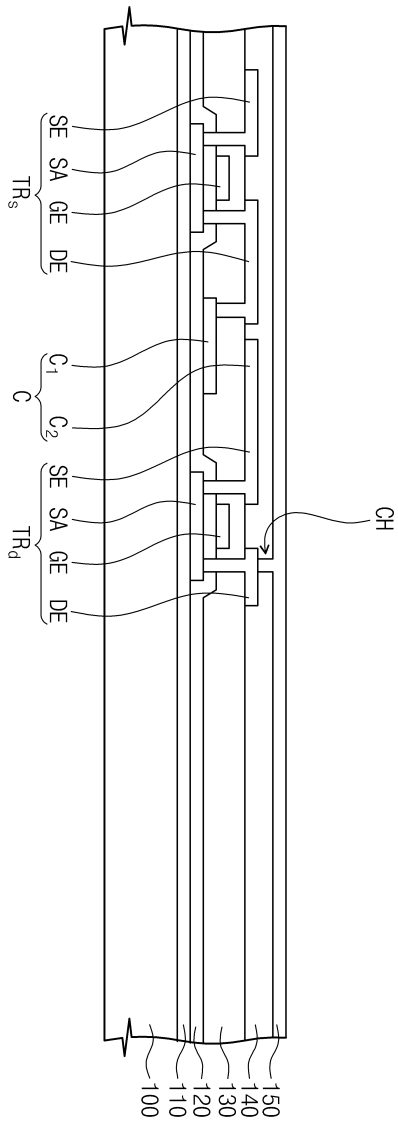
도면3



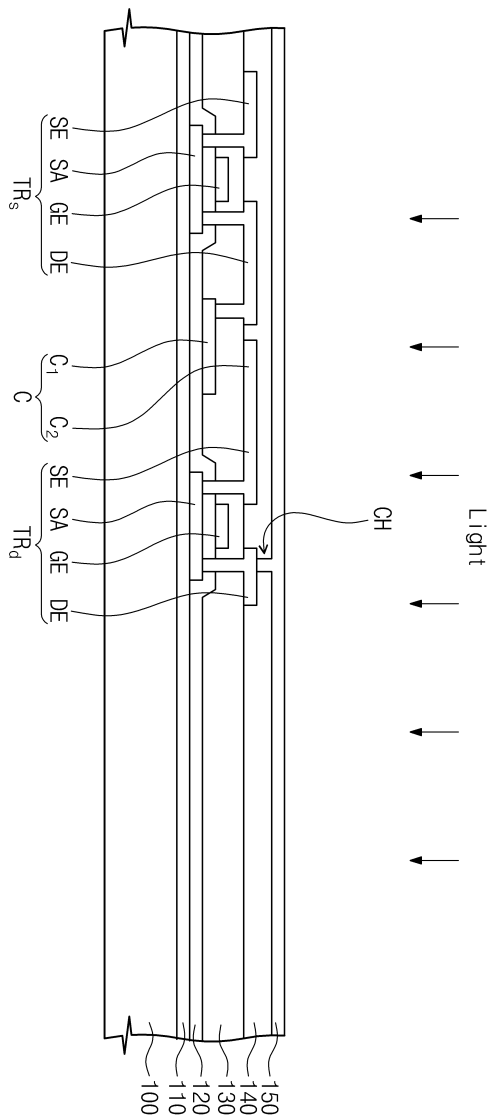
도면4



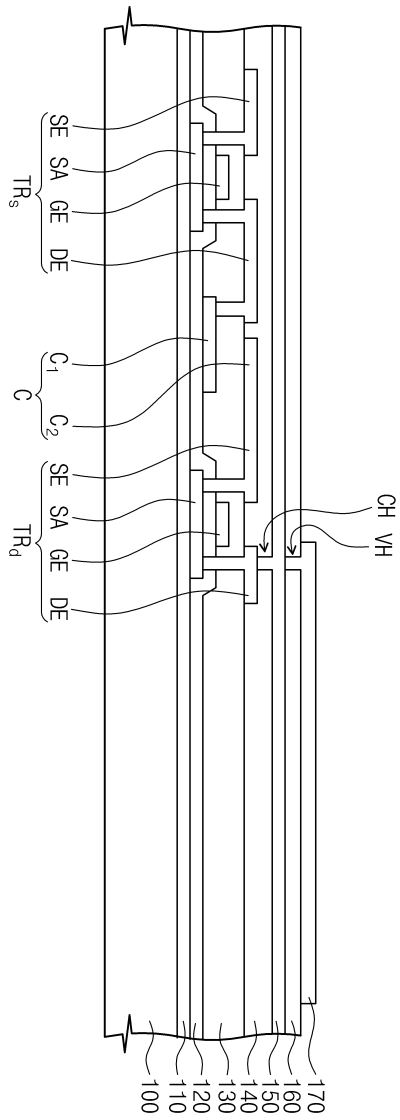
도면5



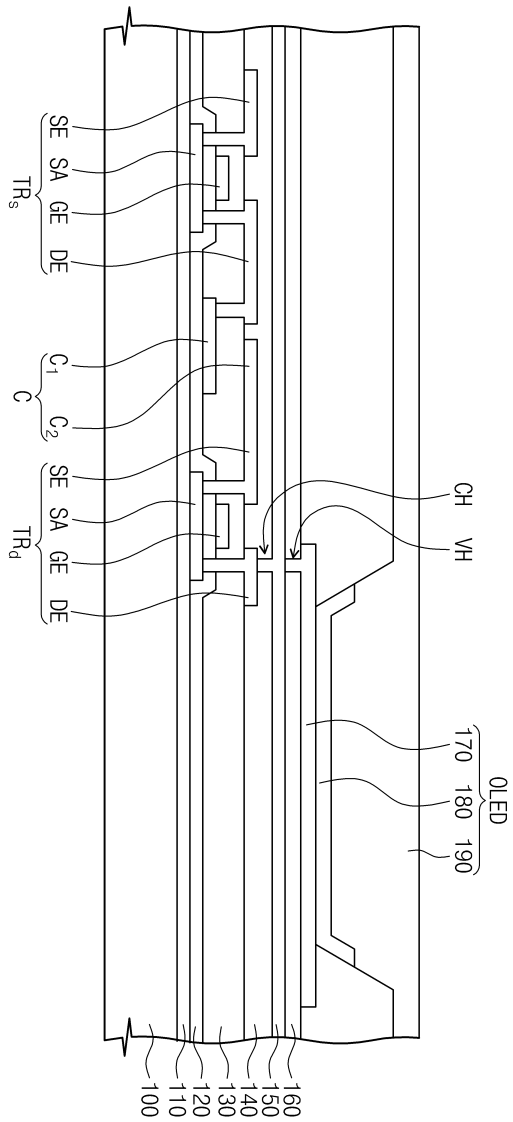
도면6



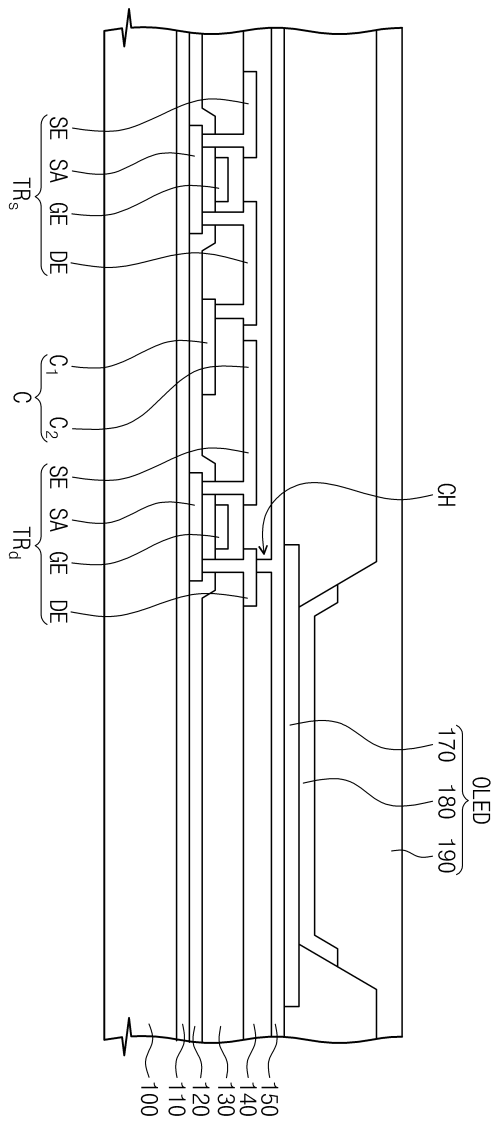
도면7



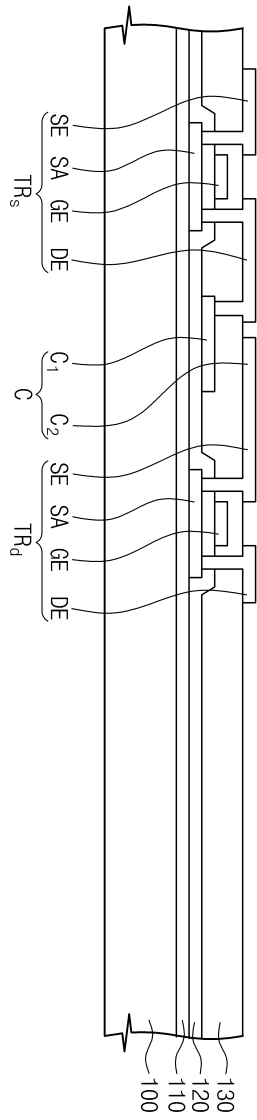
도면8



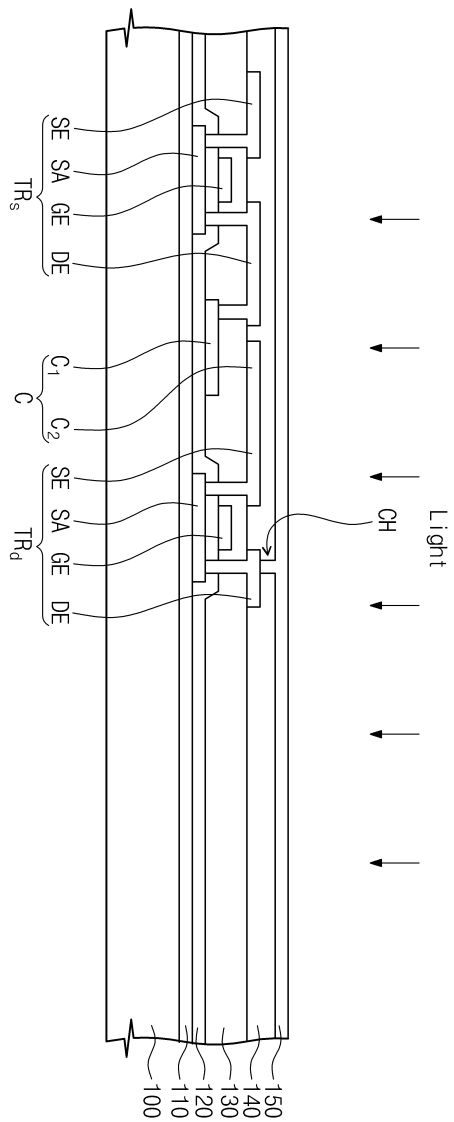
도면9



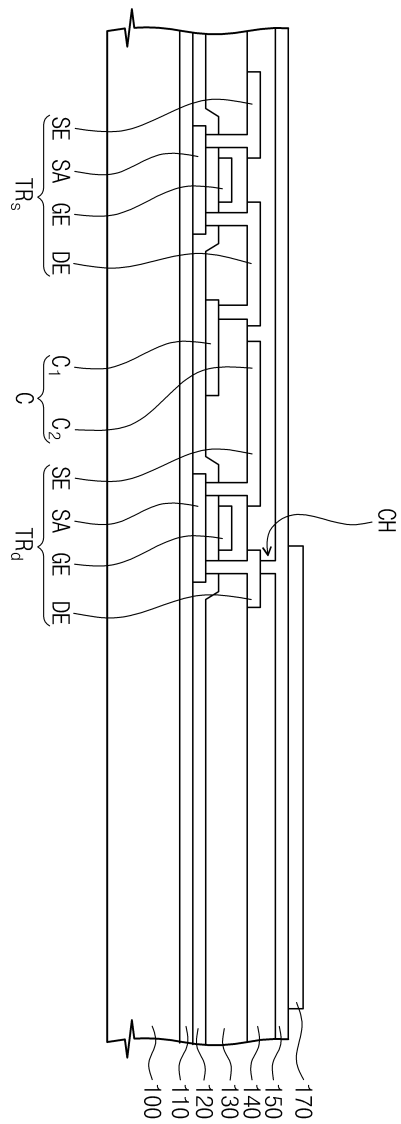
도면10



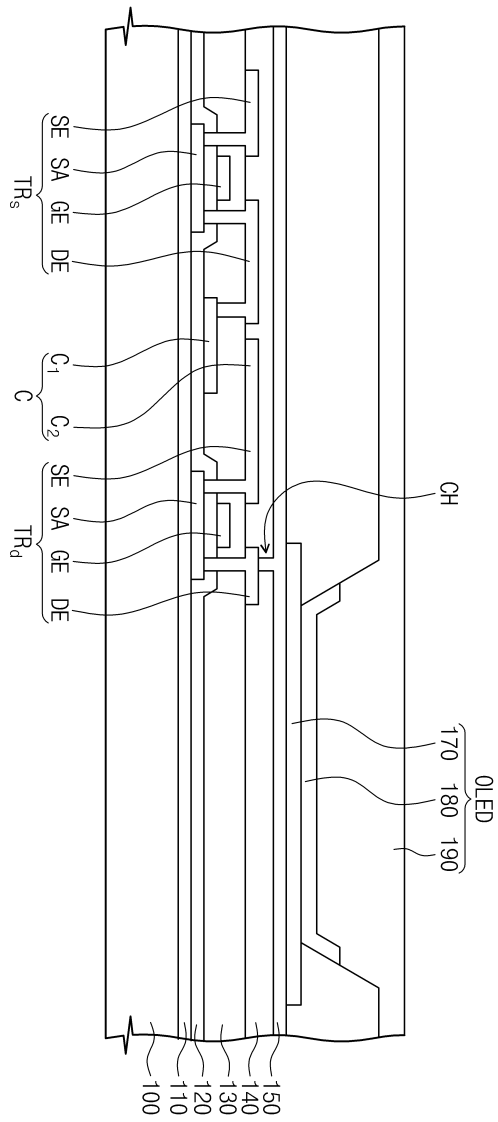
도면11



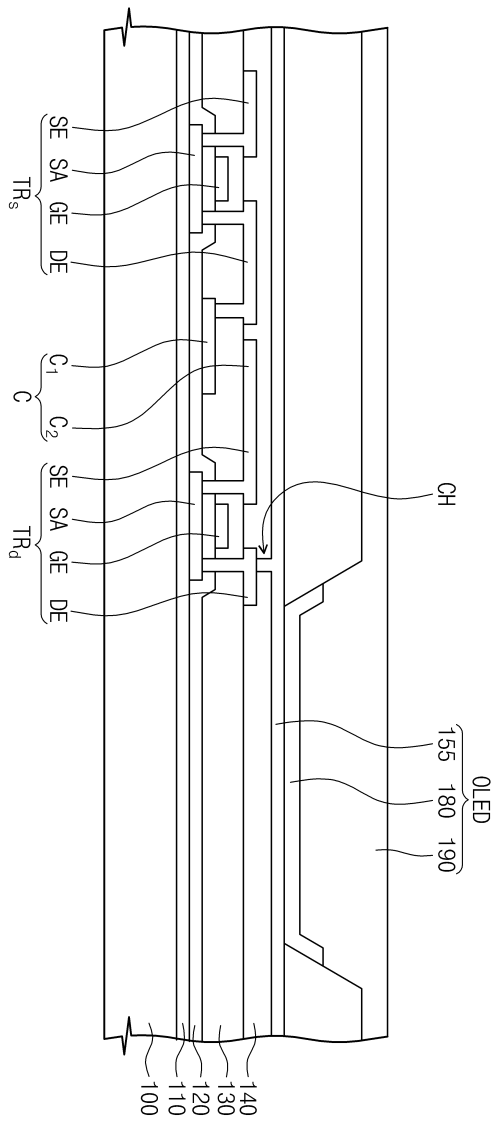
도면12



도면13



도면14



专利名称(译)	OLED显示器及其制造方法		
公开(公告)号	KR1020140080811A	公开(公告)日	2014-07-01
申请号	KR1020120148775	申请日	2012-12-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON WOOSIK 전우식 KOO YOUNGMO 구영모 LEE MIN WOO 이민우 LEE JAEGOO 이재구		
发明人	전우식 구영모 이민우 이재구		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L51/5206 H01L27/3248 H01L51/56		
其他公开文献	KR102034870B1		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器包括：设置在基板上的薄膜晶体管；覆盖该薄膜晶体管的第一钝化层；设置在第一钝化层上并连接至该薄膜晶体管的导电有机层；以及导电有机层。有机发光元件连接至导电有机膜。专利出版物10-2014-0080811

