



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0131706
(43) 공개일자 2018년12월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/12 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2017-0067705
(22) 출원일자 2017년05월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이소형
경기도 고양시 덕양구 화신로 311 (화정동, 별빛
마을9단지아파트) 924동 1402호
공남용
경기도 파주시 하우안길 26-19 223동 104호 (야당
동,도시농부)
(74) 대리인
특허법인로알

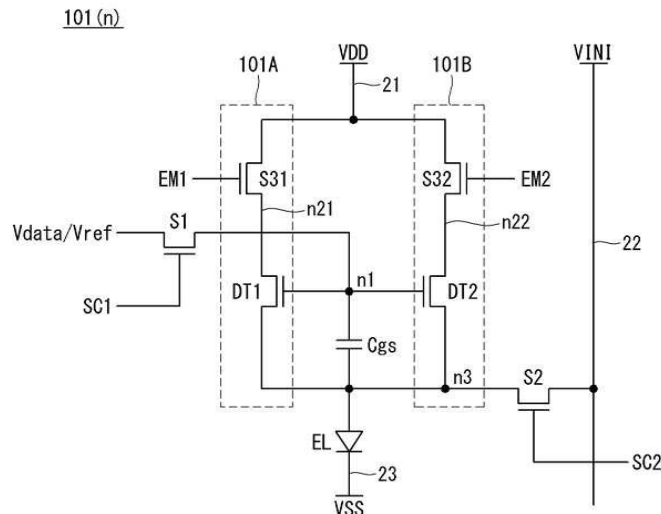
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **전계 발광 표시장치**

(57) 요약

본 발명은 전계 발광 표시장치에 관한 것으로, 제1 발광 제어 신호에 응답하여 픽셀 구동 전압과 발광 소자 사이의 전류 경로를 스위칭하는 제1 EM 스위치 소자와, 상기 제1 EM 스위치 소자와 상기 발광 소자 사이에 연결된 제1 구동 소자를 이용하여 상기 발광 소자를 구동하는 제1 구동부; 및 제2 발광 제어 신호에 응답하여 상기 픽셀 구동 전압과 상기 발광 소자 사이의 전류 경로를 스위칭하는 제2 EM 스위치 소자와, 상기 제2 EM 스위치 소자와 상기 발광 소자 사이에 연결된 제2 구동 소자를 이용하여 상기 발광 소자를 구동하는 제2 구동부를 구비한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/1251 (2013.01)

H01L 27/1255 (2013.01)

G09G 2230/00 (2013.01)

G09G 2320/0257 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

신정수

경기도 안양시 동안구 평촌대로179번길 30 503동
107호 (호계동, 목련우성아파트)

양정열

경기도 의정부시 동일로 660 (금오동, 2차신도브래
뉴업아파트) 210동 604호

이희성

인천광역시 연수구 선학로 100 (선학동, 금호아파
트) 2동 1804호

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 전계 발광 표시장치에 있어서,

상기 픽셀들 각각의 서브 픽셀들은

제1 발광 제어 신호에 응답하여 픽셀 구동 전압과 발광 소자 사이의 전류 경로를 스위칭하는 제1 EM 스위치 소자와, 상기 제1 EM 스위치 소자와 상기 발광 소자 사이에 연결된 제1 구동 소자를 이용하여 상기 발광 소자를 구동하는 제1 구동부; 및

제2 발광 제어 신호에 응답하여 상기 픽셀 구동 전압과 상기 발광 소자 사이의 전류 경로를 스위칭하는 제2 EM 스위치 소자와, 상기 제2 EM 스위치 소자와 상기 발광 소자 사이에 연결된 제2 구동 소자를 이용하여 상기 발광 소자를 구동하는 제2 구동부를 구비하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 구동 소자들과 상기 EM 스위치 소자들 각각의 반도체 패턴은 산화물 반도체를 포함한 트랜지스터들을 포함하는 전계 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 및 제2 구동 소자들은 하나의 게이트를 공유하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 구동 소자들은 기판 상에 수직으로 적층되고,

상기 제1 및 제2 구동 소자들 중 어느 하나가 제1 반도체 패턴 위에 상기 게이트가 배치된 탑 게이트 구조의 트랜지스터이고,

다른 하나가 제2 반도체 패턴 아래에 상기 게이트가 배치된 보텀 게이트 구조의 트랜지스터인 전계 발광 표시장치.

청구항 5

제 3 항에 있어서,

상기 제1 및 제2 구동 소자들 각각은 상기 하나의 게이트를 공유하는 탑 게이트 구조의 트랜지스터인 전계 발광 표시장치.

청구항 6

제 3 항에 있어서,

상기 제1 및 제2 구동 소자들 각각은 상기 하나의 게이트를 공유하는 보텀 게이트 구조의 트랜지스터인 전계 발광 표시장치.

청구항 7

제 1 항에 있어서,

노말 구동 모드에서 매 프레임마다 데이터가 상기 픽셀들에 기입되고,
 상기 제1 및 제2 구동부들이 상기 노말 구동 모드 내에서 교번 구동되고,
 상기 노말 구동 모드의 제1 구동부 구동 시간 동안 상기 제1 EM 신호가 게이트 온 전압으로 발생되어 상기 제1 EM 스위치 소자가 턴-온되고,
 상기 노말 구동 모드의 제2 구동부 구동 시간 동안 상기 제2 EM 신호가 게이트 온 전압으로 발생되어 상기 제2 EM 스위치 소자가 턴-온되는 전계 발광 표시장치.

청구항 8

제 1 항에 있어서,
 노말 구동 모드에서 매 프레임마다 데이터가 상기 픽셀들에 기입되고,
 저소비 전력 구동 모드에서 상기 노말 구동 모드 보다 낮은 프레임 레이트로 상기 데이터가 상기 픽셀들에 기입되며,
 상기 노말 구동 모드에서 상기 제1 EM 신호가 게이트 온 전압으로 발생되어 상기 제1 구동부가 구동되고,
 상기 저소비 전력 구동 모드에서 상기 제2 EM 신호가 게이트 온 전압으로 발생되어 상기 제2 구동부가 구동되는 전계 발광 표시장치.

청구항 9

제 1 항에 있어서,
 노말 구동 모드에서 매 프레임마다 데이터가 상기 픽셀들에 기입되고,
 저소비 전력 구동 모드에서 상기 노말 구동 모드 보다 낮은 프레임 레이트로 상기 데이터가 상기 픽셀들에 기입되며,
 상기 노말 구동 모드에서 상기 제1 및 제2 EM 신호들이 교대로 게이트 온 전압으로 발생되어 상기 제1 및 제2 구동부가 교번 구동되고,
 상기 저소비 전력 구동 모드에서 상기 제2 EM 신호가 게이트 온 전압으로 발생되어 상기 제2 구동부가 구동되는 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,
 상기 제2 구동 소자의 채널비(W/L)가 상기 제1 구동 소자의 채널비(W/L) 보다 작은 전계 발광 표시장치.

청구항 11

제 9 항에 있어서,
 상기 제2 구동부가 구동될 때 상기 제2 구동부에 인가되는 상기 픽셀 구동 전압이,
 상기 제1 구동부가 구동될 때 상기 제1 구동부에 인가되는 상기 픽셀 구동 전압 보다 낮은 전계 발광 표시장치.

청구항 12

제 1 항에 있어서,
 상기 구동 소자들의 게이트들과 상기 발광 소자 사이에 연결되는 스토리지 커패시터를 더 구비하고,
 미리 설정된 문턱 전압 샘플링 기간에 제1 및 제2 구동 소자들의 문턱 전압이 상기 스토리지 커패시터에 저장되고,
 상기 문턱 전압 샘플링 기간 이후에 설정된 데이터 기입 기간에 상기 구동 소자들의 게이트들에 데이터전압이 공급되는 전계 발광 표시장치.

청구항 13

제 1 항에 있어서,

상기 제1 구동부는,

상기 제1 구동 소자와 상기 발광 소자 사이에 배치되어 제3 발광 제어 신호에 응답하여 상기 제1 구동 소자와 상기 발광 소자 사이의 전류 경로를 스위칭하는 제3 EM 스위치 소자를 더 구비하고,

상기 제2 구동부는,

상기 제2 구동 소자와 상기 발광 소자 사이에 배치되어 제4 발광 제어 신호에 응답하여 상기 제2 구동 소자와 상기 발광 소자 사이의 전류 경로를 스위칭하는 제4 EM 스위치 소자를 더 구비하는 전계 발광 표시장치.

청구항 14

제 1 항 또는 제 13 항에 있어서,

제1 스캔 신호에 응답하여 초기화 시간과, 상기 초기화 시간 이후에 할당된 샘플링 시간에 소정의 기준 전압을 상기 제1 및 제2 구동 소자들의 게이트에 공급한 후, 상기 샘플링 시간 이후에 할당된 데이터 기입 시간에 데이터 전압을 상기 제1 및 제2 구동 소자들의 게이트에 공급하는 제1 스위치 소자; 및

제2 스캔 신호에 응답하여 상기 초기화 시간에 소정의 초기화 전압을 상기 발광 소자의 애노드와 상기 제1 및 제2 구동 소자들의 소스 전극들에 공급하는 제2 스위치 소자를 더 구비하는 전계 발광 표시장치.

청구항 15

제 1 항 또는 제 13 항에 있어서,

제1 스캔 신호에 응답하여 초기화 시간과, 상기 초기화 시간 이후에 할당된 샘플링 시간에 소정의 기준 전압을 상기 제1 및 제2 구동 소자들의 게이트에 공급하는 제1 스위치 소자; 및

제2 스캔 신호에 응답하여 상기 초기화 시간에 소정의 초기화 전압을 상기 발광 소자의 애노드와 상기 제1 및 제2 구동 소자들의 소스 전극들에 공급하는 제2 스위치 소자; 및

제3 스캔 신호에 응답하여 상기 샘플링 시간에 이어서 할당된 데이터 기입 시간에 데이터 전압을 상기 제1 및 제2 구동 소자들의 게이트에 공급하는 제3 스위치 소자를 더 구비하는 전계 발광 표시장치.

청구항 16

제 15 항에 있어서,

센싱 모드에서 상기 제1 및 제3 스캔 신호가 동시에 게이트 온 전압으로 발생되어 상기 제1 및 제3 스위치 소자들이 동시에 턴-온되고,

상기 기준 전압이 공급되는 기준 전압 라인, 상기 제1 및 제3 스위치 소자들 및 상기 데이터 전압이 공급되는 데이터 라인을 포함한 전류 경로를 통해 상기 제3 스위치 소자의 문턱 전압이 센싱되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 하나의 발광 소자에 두 개의 구동 소자들이 연결된 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light

Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 유기 발광 표시장치의 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0005] 구동 소자의 전기적 특성 편차를 보상하기 위해, 전계 발광 표시장치에 내부 보상 방법과 외부 보상 방법이 적용될 수 있다. 내부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 게이트-소스 간 전압을 이용하여 픽셀들 간 구동 소자의 전기적 특성 편차를 실시간 자동으로 보상한다. 외부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 픽셀의 전압을 센싱하고, 센싱된 전압을 바탕으로 외부 회로에서 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 소자의 전기적 특성 편차를 보상한다.

[0006] 유기 발광 표시장치의 픽셀들 각각은 입력 영상의 픽셀 데이터에 따라 OLED에 흐르는 전류를 조절하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않을 수 있다. 구동 소자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 입력 영상의 픽셀 데이터에 따라 구동 소자의 스트레스가 달라진다. 구동 소자의 스트레스가 증가할수록 구동 소자의 열화가 빨라진다. 픽셀들의 구동 소자가 스트레스 누적으로 인하여 구동 소자의 문턱 전압이 시프트(shift)되고 그 결과, 영상이 바뀌어도 이전 영상의 잔상이 보일 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 구동 소자의 스트레스 누적으로 인하여 초래되는 잔상을 방지하고 소비 전력을 줄일 수 있는 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 전계 발광 표시장치는 데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한다.

[0009] 상기 픽셀들 각각의 서브 픽셀들은 제1 발광 제어 신호에 응답하여 픽셀 구동 전압과 발광 소자 사이의 전류 경로를 스위칭하는 제1 EM 스위치 소자와, 상기 제1 EM 스위치 소자와 상기 발광 소자 사이에 연결된 제1 구동 소자를 이용하여 상기 발광 소자를 구동하는 제1 구동부; 및 제2 발광 제어 신호에 응답하여 상기 픽셀 구동 전압과 상기 발광 소자 사이의 전류 경로를 스위칭하는 제2 EM 스위치 소자와, 상기 제2 EM 스위치 소자와 상기 발광 소자 사이에 연결된 제2 구동 소자를 이용하여 상기 발광 소자를 구동하는 제2 구동부를 구비한다.

발명의 효과

[0010] 본 발명은 내부 보상 회로를 포함한 픽셀 회로를 이용하여 두 개의 구동 소자들의 문턱 전압을 보상하여 발광 소자를 구동하고, 그 구동 소자들을 교대로 구동함으로써 스트레스 누적을 경감하고 구동 소자들의 전기적 특성 회복 시간을 확보한다. 본 발명은 저소비 전력 구동 모드에서 프레임 레이트를 낮추고 낮은 채널비를 갖는 구동소자를 구동한다. 따라서, 본 발명은 전계 발광 표시장치에서 구동 소자의 스트레스 누적으로 인하여 초래되는 잔상을 방지하고 소비 전력을 줄일 수 있다.

[0011] 본 발명은 채널비가 다른 구동 소자들에 인가되는 픽셀 구동 전압을 조정하여 노말 구동 모드와 저소비 전력 구동 모드에서 휘도를 동일하게 할 수 있다.

[0012] 본 발명은 픽셀 회로에 연결된 데이터 전압 경로와 기준 전압 경로를 분리하여 고해상도/고속 표시패널에서 구동 소자의 샘플링 시간을 충분히 확보할 수 있고, 데이터 전압 경로와 기준 전압 경로 상의 스위치 소자들을 연결한 전류 경로를 이용하여 스위치 소자의 문턱 전압을 센싱할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
 도 2는 본 발명의 제1 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.
 도 3a 내지 도 4d는 도 2에 도시된 픽셀 회로의 동작을 보여 주는 도면들이다.
 도 5는 노말 구동 모드에서 발광 제어 신호들의 일 예를 보여 주는 파형도이다.
 도 6은 노말 구동 모드와 저소비 전력 구동 모드를 보여 주는 도면이다.
 도 7은 트랜지스터에서 반도체 채널층의 폭 및 길이를 보여 주는 도면이다.
 도 8은 노말 구동용 트랜지스터와 저소비 전력 구동용 트랜지스터의 전달 특성을 보여 주는 도면이다.
 도 9는 노말 구동 모드와 저소비 전력 구동 모드에서 발광 제어 신호들의 일 예를 보여 주는 파형도이다.
 도 10 및 도 11은 본 발명의 실시예에 따른 픽셀 회로의 단면 구조를 보여 주는 표시패널의 단면도들이다.
 도 12는 도 10 및 도 11에 도시된 구동 소자들의 평면 구조를 보여 주는 평면도이다.
 도 13은 공통 게이트를 공유하는 구동 소자들의 다른 평면 구조를 보여 주는 평면도이다.
 도 14는 본 발명의 제2 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.
 도 15는 도 14에 도시된 구동 소자들의 제1 및 제2 전극들이 동시에 플로팅되는 예를 보여 주는 도면이다.
 도 16a 내지 도 17d는 도 14에 도시된 픽셀 회로의 동작을 보여 주는 도면들이다.
 도 18a 내지 도 19d는 본 발명의 제3 실시예에 따른 픽셀 회로를 보여 주는 도면들이다.
 도 20은 스위치 소자의 문턱 전압 센싱 방법을 보여 주는 도면이다.
 도 21은 센싱 모드에서 기준 전압이 높아지는 예를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0015] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0016] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0018] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성요소가 개재될 수 있다.
- [0019] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다. 예컨대, 도 4의 픽셀 회로에서 구성 요소들 앞에 붙여진 제1, 제2, 제3 및 제4와 같은 서수는 스위치 소자들(S1~S4)을 통해 데이터 라인들에 순차적으로 충전되는 순서를 기준으로 붙여진 것이다.

- [0020] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0021] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS) 중 하나 이상을 포함할 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0022] 스위치 소자들로 이용되는 TFT의 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스위칭한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. NMOS의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. PMOS의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기 발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0024] 본 발명은 전계 발광 표시장치의 화질과 수명을 개선하기 위하여 구동 소자의 열화를 보상하기 위한 보상 회로를 픽셀 회로에 적용한다. 이 보상 회로는 서브 픽셀 내의 내부 보상 회로를 이용하여 구동 소자의 문턱 전압을 샘플링하고 입력 영상의 데이터 전압을 문턱 전압만큼 보상하여 픽셀들을 구동함으로써 구동 소자들 간의 문턱 전압 편차를 픽셀 회로 내부에서 실시간 자동으로 보상한다. 또한, 본 발명은 픽셀 회로에서 하나의 발광 소자에 두 개의 구동 소자들을 연결하고, 그 구동 소자들을 교번 구동하여 구동 소자들의 스트레스 누적 진행을 늦추고 구동 소자들의 열화를 개선함으로써 잔상을 방지한다.
- [0025] 도 1을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.
- [0026] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(102)과 교차되는 다수의 게이트 라인들(103), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0027] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 도 2 및 도 14의 예와 같이, 하나의 발광 소자(EL)에 연결된 제1 및 제2 구동 소자(DT1, DT2), 다수의 스위치 소자(S1~S34), 및 커패시터(Cgs)를 포함한다. 구동 소자와 스위치 소자는 NMOS 또는 PMOS 구조의 TFT로 구현될 수 있다. 픽셀 회로는 도 2 및 도 14에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 도 2 및 도 14는 NMOS 구조의 픽셀 회로를 예시하였으나 픽셀 회로의 구동 소자와 스위치 소자들은 PMOS로 구현될 수 있다. 픽셀 회로는 데이터 라인(102)과 게이트 라인(103)에 연결된다.
- [0028] 표시패널(100)은 도 2 및 도 14에 도시된 바와 같이 픽셀 구동 전압 또는 고전위 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 제1 전원 라인(21), 픽셀 회로를 초기화하기 위한 소정의 초기화 전압(VINI)을 서브 픽셀들(101)에 공급하기 위한 제2 전원 라인(22), 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극 등을 더 포함한다. 전원 라인들과 VSS 전극은 도시하지 않은 전원 회로에 연결된다.
- [0029] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나

픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.

- [0030] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)가 배치될 수 있다.
- [0031] 표시패널 구동회로(110, 112, 120)는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기나 웨어러블 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.
- [0032] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 컨트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환하여 데이터 신호를 발생한다. 데이터 구동부(110)는 채널들 각각에서 출력 버퍼를 통해 데이터 신호의 전압(이하 “데이터 전압”이라 함)을 출력한다. 디멀티플렉서(112)는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 디멀티플렉서(112)에 의해 데이터 구동부(110)의 한 채널이 다수의 데이터 라인들에 시분할 연결되기 때문에 데이터 라인들(102)의 개수가 감소될 수 있다.
- [0033] 게이트 구동부(120)는 액티브 영역의 TFT 어레이와 함께 표시패널(100) 상의 베젤(bezel) 영역 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 스캔 신호(SC1, SC2)와 발광 제어 신호(이하, “EM 신호”라 함)를 포함한다.
- [0034] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호(SC1, SC2)를 출력하고, 시프트 클럭에 따라 스캔 신호(SC1, SC2)를 순차적으로 시프트한다. 제2 게이트 구동부(122)는 EM 신호(EM)를 출력하고, 시프트 클럭에 따라 EM 신호(EM)를 순차적으로 시프트한다. 베젤이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)을 구성하는 스위치 소자들이 액티브 영역(AA) 내에 분산 배치될 수 있다.
- [0035] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기 중 어느 하나일 수 있다.
- [0036] 타이밍 컨트롤러(130)는 노말 구동 모드에서 프레임 레이트(Frame rate)를 입력 프레임 주파수보다 높게 조정할 수 있다. 예를 들어, 타이밍 컨트롤러(130)는 입력 프레임 주파수를 i 배 채배하여 프레임 주파수 $\times i$ (i 는 0보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러(130)는 저소비 전력 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0037] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)의 동작 타이밍을 제어하기 위한 스위치 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0038] 도 2는 픽셀 회로의 제1 실시예를 보여 주는 회로도이다. 도 3a 내지 도 4d는 도 2에 도시된 픽셀 회로의 입력 신호들을 보여 주는 도면들이다. 이 픽셀 회로는 다수의 스위치 소자들을 이용한 내부 보상 회로를 포함한다.
- [0039] 도 2를 참조하면, 픽셀 회로는 하나의 발광 소자(EL)에 연결된 제1 및 제2 구동 소자(DT1, DT2), 제1 내지 제3-2 스위치 소자들(S1 내지 S32), 스토리지 커패시터(Cgs) 등을 포함한다. 픽셀 구동 전압(VDD)은 제1 전원 라인(21)을 통해 서브 픽셀들(101(n))에 공급된다.

- [0040] 구동 소자들(DT1, DT2)의 게이트에 0V 보다 높은 전압이 인가되고, 구동 소자들(DT1, DT2)의 드레인-소스 간에 전류가 발생될 때 구동 TFT들(DT1, DT2)의 스트레스가 증가하여 구동 TFT들(DT1, DT2)의 열화가 진행된다. 또한, 구동 TFT들(DT1, DT2)의 반도체 채널에 빛이 조사될 때 전류가 발생되어 구동 소자들(DT1, DT2)의 열화가 진행된다. 이러한 구동 소자들(DT1, DT2)의 열화는 구동 소자들(DT1, DT2)이 턴-온될 때 흐르는 온 전류(On current)의 저하와 문턱 전압 시프트(shift)를 초래할 수 있다. 이러한 구동 소자들(DT1, DT2)의 열화로 인하여, 발광 소자(EL)의 휘도 변화와 잔상이 나타날 수 있다.
- [0041] 본 발명의 픽셀 회로는 교번적으로 구동되는 제1 및 제2 구동부들(101A, 101B)을 포함한다. 제1 구동부(101A)는 제3-1 스위치 소자(S31)와 제1 구동 소자(DT1)를 포함하여 제1 EM 신호(EM1)이 입력될 때 구동되어 발광 소자(EL)에 전류를 공급한다. 제2 구동부(101B)는 제3-2 스위치 소자(S32)와 제2 구동 소자(DT2)를 포함하여 제2 EM 신호(EM2)에 응답하여 발광 소자(EL)에 전류를 공급한다. 제1 구동부(101A)의 제3-1 스위치 소자(S31)는 제2 구동부(101B)가 구동될 때 턴-오프(turn-off)되어 픽셀 구동 전압(VDD)과 발광 소자(EL)의 애노드 사이의 전류 경로(path)를 차단한다. 제3-1 스위치 소자(S31)가 턴-오프될 때 제1 구동 소자(DT1)의 제1 전극이 플로팅(floating)되어 제1 구동 소자(DT1)의 드레인-소스 간에 전류가 흐르지 않는다. 제2 구동부(101B)의 제3-2 스위치 소자(S32)는 제1 구동부(101A)가 구동될 때 턴-오프되어 픽셀 구동 전압(VDD)과 발광 소자(EL)의 애노드 사이의 전류 경로를 차단한다. 제3-2 스위치 소자(S32)가 턴-오프될 때 제2 구동 소자(DT2)의 제1 전극이 플로팅되어 제2 구동 소자(DT2)의 드레인-소스 간에 전류가 흐르지 않는다.
- [0042] 본 발명은 구동 소자들(DT1, DT2)의 제1 전극 즉, 드레인을 교대로 플로팅(floating)하여 구동 소자들(DT1, DT2)의 드레인-소스 간에 흐르는 전류를 차단함으로써 구동 소자들(DT1, DT2)의 스트레스 누적을 경감하고 구동 소자들(DT1, DT2)의 회복을 유도한다. 본 발명은 도 3a 내지 도 4d와 같은 내부 보상 방법으로 구동 소자들(DT1, DT2)의 문턱 전압(V_{th}) 만큼 데이터 전압(V_{data})을 보상하고 구동 소자들(DT1, DT2)을 교번 구동함으로써 픽셀들의 휘도 변화와 잔상을 방지한다.
- [0043] 구동 소자들(DT1, DT2)과 스위치 소자들(S1 내지 S32)은 산화물 반도체 패턴을 포함한 NMOS 구조의 Oxide TFT로 구현될 수 있다. Oxide TFT는 TFT의 오프 상태에서 발생하는 누설 전류가 작기 때문에 소비 전력을 줄일 수 있을 뿐 아니라 누설 전류로 인한 픽셀의 전압 감소를 방지할 수 있기 때문에 플리커 방지 효과를 높일 수 있다.
- [0044] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 데이터 전압(V_{data})에 따라 구동 소자들(DT1, DT2)에 의해 조절되는 전류로 발광한다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제3 노드(n_3)를 통해 구동 소자들(DT1, DT2)에 연결되고, OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극(23)에 연결된다. 스토리지 커패시터(C_{gs})는 제1 및 제3 노드(n_1 , n_3)를 통해 구동 소자들(DT1, DT2)의 게이트와 소스 사이에 연결된다.
- [0045] 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)에 응답하여 소정의 기준 전압(V_{ref})을 제1 노드(n_1)에 공급한 후 데이터 전압(V_{data})을 제1 노드(n_1)에 공급한다. 기준 전압(V_{ref})은 픽셀 구동 전압(VDD) 보다 낮고 제1 노드(n_1)의 전압을 초기화하는 전압으로 설정된다. 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)가 인가되는 제1 게이트 라인에 연결된 게이트, 데이터 라인에 연결된 제1 전극, 및 제1 노드(n_1)에 연결된 제2 전극을 포함한다. 데이터 라인에 기준 전압(V_{ref})과 데이터 전압(V_{data})이 공급된다.
- [0046] 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)에 응답하여 소정의 초기화 전압(V_{INI})을 제3 노드(n_3)를 통해 발광 소자(EL)의 픽셀 전극(또는 애노드)에 공급한다. 초기화 전압(V_{INI})은 발광 소자(EL)가 발광되지 않는 전압으로 설정된다. 초기화 전압(V_{INI})은 픽셀 구동 전압(VDD) 보다 낮다. 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)가 인가되는 제2 게이트 라인에 연결된 게이트, 초기화 전압(V_{INI})이 인가되는 제2 전원 라인(22)에 연결된 제1 전극, 및 제3 노드(n_3)에 연결된 제2 전극을 포함한다.
- [0047] 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)에 응답하여 픽셀 구동 전압(VDD)이 인가되는 제1 전원 라인(21)과 제1 구동 소자(DT1) 사이의 전류 경로를 스위칭한다. 제3-1 스위치 소자(S31)와 제3-2 스위치 소자(S32)는 교번적으로 온/오프된다. 따라서, 제3-1 스위치 소자(S31)는 제3-2 스위치 소자(S32)의 오프 시간에 턴-온되어 제1 전원 라인(21)과 제1 구동 소자(DT1) 사이의 전류 경로를 형성한다. 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)가 인가되는 제3-1 게이트 라인에 연결된 게이트, 제2-1 노드(n_{21})를 통해 제1 전원 라인(21)에 연결된 제1 전극, 및 제2-1 노드(n_{21})를 통해 제1 구동 소자(DT1)의 제1 전극에 연결된 제2 전극을 포함한다.
- [0048] 제1 구동 소자(DT1)는 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)의 전류를 조절한다. 제1 구동 소자

(DT1)는 제2 구동 소자(DT2)와 교대로 발광 소자(EL)를 구동한다. 제1 구동 소자(DT1)는 제1 노드(n1)에 연결된 게이트, 제2-1 노드(n21)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.

[0049] 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)에 응답하여 픽셀 구동 전압(VDD)이 인가되는 제1 전원 라인(21)과 제2 구동 소자(DT2) 사이의 전류 경로를 스위칭한다. 제3-2 스위치 소자(S32)는 제3-1 스위치 소자(S31)의 오프 시간에 턴-온되어 제1 전원 라인(21)과 제2 구동 소자(DT2) 사이의 전류 경로를 형성한다. 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)가 인가되는 제3-2 게이트 라인에 연결된 게이트, 제2-2 노드(n22)를 통해 제1 전원 라인(21)에 연결된 제1 전극, 및 제2-2 노드(n22)를 통해 제2 구동 소자(DT2)의 제1 전극에 연결된 제2 전극을 포함한다.

[0050] 제2 구동 소자(DT2)는 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)의 전류를 조절한다. 제2 구동 소자(DT2)는 제1 구동 소자(DT1)와 교대로 발광 소자(EL)를 구동한다. 제2 구동 소자(DT2)는 제1 노드(n1)에 연결된 게이트, 제2-2 노드(n22)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.

[0051] 도 3a 내지 도 4d는 제n 서브 픽셀의 픽셀 회로(101(n))의 동작을 보여 주는 도면들이다. 픽셀 회로들 각각은 도 3a 내지 도 4d에 도시된 내부 보상 방법으로 구동되어 구동 소자들(DT1, DT2)의 문턱 전압(V_{th})을 샘플링하고, 그 문턱 전압(V_{th}) 만큼 데이터 전압(V_{data})을 보상한다. 도 3a 내지 도 4d에서 화살표는 전류 흐름을 나타낸다. 도 3a 내지 도 3d는 제1 구동부(101A)에 의해 발광 소자(EL)가 구동되는 동작을 단계적으로 보여 준다. 도 4a 내지 도 4d는 제2 구동부(101B)에 의해 발광 소자(EL)가 구동되는 동작을 단계적으로 보여 준다.

[0052] 도 3a를 참조하면, 스캔 신호들(SC1, SC2)과 제1 EM 신호(EM1)는 제1 초기화 시간(T_{i1})이 시작될 때 게이트 온 전압으로 변한다. 제2 EM 신호(EM2)는 제1 구동부(101A)가 구동되는 기간 동안 게이트 오프 전압으로 유지된다. NMOS에서, 게이트 온 전압은 게이트 하이 전압(V_{GH})으로 설정되고, 게이트 오프 전압은 게이트 로우 전압(V_{GL})으로 설정될 수 있다. 따라서, 제1 초기화 시간(T_{i1}) 동안 제3-2 스위치 소자(S32)를 제외한 다른 스위치 소자들(S1, S2, S31)이 턴-온된다.

[0053] 제1 초기화 시간(T_{i1}) 동안 입력 영상의 데이터 전압(V_{data})과 무관하게 설정된 기준 전압(V_{ref})이 데이터 라인들(102)에 공급된다. 제1 초기화 시간(T_{i1}) 동안, 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)의 게이트 온 전압에 따라 턴-온되고, 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)의 게이트 온 전압에 따라 턴-온된다. 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)의 게이트 온 전압에 따라 턴-온된다.

[0054] 제1 초기화 시간(T_{i1}) 동안 픽셀 회로에서 각 노드들의 전압이 초기화된다. 제1 초기화 시간(T_{i1})에 제1 노드(n1)는 V_{ref} 로, 제2-1 노드(n21)는 VDD로, 제3 노드(n3)는 VINI로 각각 초기화된다.

[0055] 도 3b를 참조하면, 제1 샘플링 시간(T_{s1})이 시작될 때 제1 EM 신호(EM1)가 게이트 오프 전압으로 반전되어 제3-1 스위치 소자(S31)가 턴-오프된다. 제1 샘플링 시간(T_{s1}) 동안 제1 및 제2 스캔 신호들(SC1, SC2)은 게이트 온 전압을 유지하고, 제2 EM 신호(EM2)는 게이트 오프 전압을 유지한다. 따라서, 제1 샘플링 시간(T_{s1}) 동안 제3-1 및 제3-2 스위치 소자들(S31, S32)은 턴-오프되는 반면, 제1 및 제2 스위치 소자들(S1, S2)은 턴-온된다.

[0056] 제1 샘플링 시간(T_{s1}) 동안 기준 전압(V_{ref})이 데이터 라인들(102)에 공급되고, 제3 노드(n3)의 전압은 VINI를 유지한다. 제1 샘플링 시간(T_{s1}) 동안, 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})은 제1 구동 소자(DT1)의 문턱 전압(V_{th}) 만큼 상승하고, 이 문턱 전압(V_{th})이 스토리지 커패시터(C_{gs})에 저장된다.

[0057] 도 3c를 참조하면, 제1 데이터 기입 시간(T_{w1})이 시작될 때 제2 스캔 신호(SC2)는 게이트 오프 전압으로 반전된다. 제1 데이터 기입 시간(T_{w1}) 동안 제1 스캔 신호(SC1)는 게이트 온 전압을 유지하고, 제1 및 제2 EM 신호(EM1, EM2)는 게이트 오프 전압을 유지한다. 따라서, 제1 데이터 기입 시간(T_{w1}) 동안 제1 스위치 소자(S1)는 온 상태를 유지하여 데이터 전압(V_{data})을 제1 노드(n1)에 공급하는 반면, 나머지 스위치 소자들(S2, S31, S32)은 턴-오프된다.

[0058] 제1 데이터 기입 시간(T_{w1})에 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})은 제1 구동 소자(DT1)의 문턱 전압(V_{th}) 만큼 보상된 데이터 전압으로 변한다.

[0059] 도 3d를 참조하면, 제1 발광 시간(T_{em1})이 시작될 때 제1 스캔 신호(SC1)는 게이트 오프 전압으로 반전되고, 제1 EM 신호(EM1)는 게이트 온 전압으로 반전된다. 제1 발광 시간(T_{em1}) 동안 제2 스캔 신호(SC2)는 게이트 오프 전압을 유지하고, 제2 EM 신호(EM2)는 게이트 오프 전압을 유지한다. 따라서, 제1 발광 시간(T_{em1}) 동안 제3-1 스위치 소자(S31)는 턴-온되는 반면, 나머지 스위치 소자들(S1, S2, S32)은 턴-오프된다.

[0060] 제1 발광 시간(T_{em1}) 동안 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)에 전류가 흘

러 발광 소자(EL)가 발광될 수 있다. 제1 발광 시간(Tem1) 동안, 제1 EM 신호(EM1)는 미리 설정된 PWM(Pulse Width Modulation)의 듀티비(%)로 게이트 온 전압과 게이트 오프 전압 사이에서 스윙하는 교류 신호로 발생될 수 있다. 발광 소자(EL)가 제1 발광 시간(Tem1) 동안 미리 설정된 듀티비로 온/오프를 반복하면 플리커(flicker)와 잔상이 개선될 수 있다. 제1 구동 소자(DT1)의 포화 영역에서 발광 소자(EL)의 전류는 수학적 식 1과 같다.

수학적 식 1

$$I_{OLED} = \frac{W}{L} C_{ox} \mu (V_{gs} - V_{th})^2$$

[0061]

여기서, W는 트랜지스터의 채널 폭(Width)이고, L은 트랜지스터의 채널 길이(Length)이다. Cox는 트랜지스터의 기생 용량이다. Vgs는 트랜지스터의 게이트-소스 간 전압이고, Vth는 트랜지스터의 문턱 전압이다.

[0062]

제1 구동부(101A)는 도 3a 내지 도 3d에 도시된 바와 같이 제1 구동 소자(DT1)의 문턱 전압(Vth)을 실시간 보상하여 발광 소자(EL)를 구동한다. 이 때, 제2 구동부(101B)에서 전류가 흐르지 않기 때문에 제2 구동 소자(DT2)의 스트레스 누적이 없고 열화가 회복될 수 있다. 도 4a 내지 도 4d에 도시된 제2 구동부(101B)의 구동 시간 동안 제1 구동부(101A)는 동작하지 않는다.

[0063]

도 4a를 참조하면, 스캔 신호들(SC1, SC2)과 제2 EM 신호(EM2)는 제2 초기화 시간(Ti2)이 시작될 때 게이트 온 전압으로 변한다. 제1 EM 신호(EM1)는 제2 구동부(101B)가 구동되는 기간 동안 게이트 오프 전압으로 유지된다. 따라서, 제2 초기화 시간(Ti2) 동안 제3-1 스위치 소자(S31)를 제외한 다른 스위치 소자들(S1, S2, S32)이 턴-온된다.

[0064]

제2 초기화 시간(Ti2) 동안 기준 전압(Vref)이 데이터 라인들(102)에 공급된다. 제2 초기화 시간(Ti2) 동안, 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)의 게이트 온 전압에 따라 턴-온되고, 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)의 게이트 온 전압에 따라 턴-온된다. 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)의 게이트 온 전압에 따라 턴-온된다.

[0065]

제2 초기화 시간(Ti2) 동안 픽셀 회로에서 각 노드들의 전압이 초기화된다. 제2 초기화 시간(Ti2)에 제1 노드(n1)는 Vref로, 제2-2 노드(n22)는 VDD로, 제3 노드(n3)는 VINI로 각각 초기화된다.

[0066]

도 4b를 참조하면, 제2 샘플링 시간(Ts2)이 시작될 때 제2 EM 신호(EM2)가 게이트 오프 전압으로 반전되어 제3-2 스위치 소자(S32)가 턴-오프된다. 제2 샘플링 시간(Ts2) 동안 제1 및 제2 스캔 신호들(SC1, SC2)은 게이트 온 전압을 유지하고, 제1 EM 신호(EM1)는 게이트 오프 전압을 유지한다. 따라서, 제2 샘플링 시간(Ts2) 동안 제3-1 및 제3-2 스위치 소자들(S31, S32)은 턴-오프되는 반면, 제1 및 제2 스위치 소자들(S1, S2)은 턴-온된다.

[0067]

제2 샘플링 시간(Ts2) 동안 기준 전압(Vref)이 데이터 라인들(102)에 공급되고, 제3 노드(n3)의 전압은 VINI를 유지한다. 제2 샘플링 시간(Ts2) 동안, 제2 구동 소자(DT2)의 게이트-소스 간 전압(Vgs)은 문턱 전압(Vth) 만큼 상승하고, 이 문턱 전압(Vth)이 스토리지 커패시터(Cgs)에 저장된다.

[0068]

도 4c를 참조하면, 제2 데이터 기입 시간(Tw2)이 시작될 때 제2 스캔 신호(SC2)는 게이트 오프 전압으로 반전된다. 제2 데이터 기입 시간(Tw2) 동안 제1 스캔 신호(SC1)는 게이트 온 전압을 유지하고, 제1 및 제2 EM 신호(EM1, EM2)는 게이트 오프 전압을 유지한다. 따라서, 제2 데이터 기입 시간(Tw2) 동안 제1 스위치 소자(S1)는 온 상태를 유지하여 데이터 전압(Vdata)을 제1 노드(n1)에 공급하는 반면, 나머지 스위치 소자들(S2, S31, S32)은 턴-오프된다.

[0069]

제2 데이터 기입 시간(Tw2)에 제2 구동 소자(DT2)의 게이트-소스 간 전압(Vgs)은 제2 구동 소자(DT2)의 문턱 전압(Vth) 만큼 보상된 데이터 전압으로 변한다.

[0070]

도 4d를 참조하면, 제2 발광 시간(Tem2)이 시작될 때 제1 스캔 신호(SC1)는 게이트 오프 전압으로 반전되고, 제2 EM 신호(EM2)는 게이트 온 전압으로 반전된다. 제2 발광 시간(Tem2) 동안 제2 스캔 신호(SC2)는 게이트 오프 전압을 유지하고, 제1 EM 신호(EM1)는 게이트 오프 전압을 유지한다. 따라서, 제2 발광 시간(Tem2) 동안 제3-2 스위치 소자(S32)는 턴-온되는 반면, 나머지 스위치 소자들(S1, S2, S31)은 턴-오프된다.

[0071]

제2 발광 시간(Tem2) 동안 제2 구동 소자(DT2)의 게이트-소스 간 전압(Vgs)에 따라 발광 소자(EL)에 전류가 흐

[0072]

러 발광 소자(EL)가 발광될 수 있다. 제2 발광 시간(Tem2) 동안, 제2 EM 신호(EM2)는 미리 설정된 PWM(Pulse Width Modulation)의 듀티비(%)를 갖는 교류 신호로 발생될 수 있다. 발광 소자(EL)가 제2 발광 시간(Tem2) 동안 미리 설정된 듀티비로 온/오프를 반복하면 플리커와 잔상이 개선될 수 있다.

- [0073] 제2 구동부(101B)는 도 4a 내지 도 4d에 도시된 바와 같이 제2 구동 소자(DT2)의 문턱 전압(Vth)을 실시간 보상하여 발광 소자(EL)를 구동한다. 이 때, 제1 구동부(101A)에서 전류가 흐르지 않기 때문에 제1 구동 소자(DT1)의 스트레스 누적이 없고 열화가 회복될 수 있다.
- [0074] 픽셀 회로의 제1 및 제2 구동부(101A, 101B)는 매 프레임 기간마다 입력 영상의 데이터가 픽셀들에 기입되어 화면 상에서 입력 영상이 재현되는 노말 구동 모드(normal driving mode)에서 도 5에 도시된 바와 같이 교대로 온/오프되는 EM 신호들(EM1, EM2)에 의해 소정의 시간 간격으로 교번적으로 구동될 수 있다.
- [0075] 저소비 전력 구동 모드에서 표시패널 구동회로(110, 112, 120)와 픽셀들의 구동 주파수가 감소되어 소비 전력이 낮아진다. 예를 들어, 노말 구동 모드에서 프레임 레이트(frame rate)는 60 Hz로 설정될 수 있다. 표시패널 구동회로(110, 112, 120)는 노말 구동 모드에서 1 초에 60 개의 프레임 데이터를 픽셀들(P)에 기입한다.
- [0076] 저소비 전력 모드는 화면 상에 영상을 재현하는 노말 구동 모드에 비하여 표시패널 구동회로(110, 112, 120)와 픽셀들의 구동 주파수를 낮춘다. 일 예로, 저소비 전력 구동 모드에서 프레임 레이트는 1 Hz로 낮아질 수 있다. 저소비 전력 구동 모드에서 픽셀들에 기입되는 영상 데이터는 노말 구동 모드에 비하여 낮은 주파수로 갱신(update)된다. 이 경우, 도 6의 예와 같이 표시패널 구동회로(110, 112, 120)는 저소비 전력 구동 모드에서 60 프레임 기간 중에서 제1 프레임 기간(16.67ms)에 입력 영상의 데이터를 픽셀들에 기입하고 나머지 59 프레임 기간 동안 데이터를 출력하지 않는다. 픽셀들은 저소비 전력 모드 매 초마다 제1 프레임 기간(FR)에 데이터를 1 차례 기입하고 나머지 대부분의 시간 동안 스토리지 커패시터(Cgs)에 저장된 데이터 전압으로 표시된 영상을 유지한다.
- [0077] 픽셀 회로의 스위치 소자들과 구동 소자들이 누설 전류가 작은 Oxide TFT로 구현되면, 저소비 전력 구동 모드에서 입력 영상의 데이터 전압이 입력되지 않은 다수의 스킵(skip) 프레임 기간 동안 픽셀들의 누설 전류가 작기 때문에 플리커(flicker)가 시인되지 않는 영상을 재현할 수 있고 소비 전력이 감소된다.
- [0078] 제1 및 제2 구동부(101A, 101B) 중 어느 하나를 노말 구동 모드에서 구동하고, 다른 하나를 저소비 전력 구동 모드에서 구동할 수 있다. 일 예로, 제1 구동부(101A)가 노말 구동 모드에서 구동되고, 제2 구동부(101B)가 저소비 전력 구동 모드에서 구동될 수 있으나 이에 한정되지 않는다. 다른 예로, 제1 및 제2 구동부들(101A, 101B)이 노말 구동 모드에서 교번 구동되고, 제2 구동부(101B)가 저소비 전력 구동 모드에서 구동될 수 있다.
- [0079] 저소비 전력 구동 모드에서 구동되는 구동 소자의 채널비(W/L)를 줄이면 발광 소자의 전류를 낮추어 소비 전력을 더 낮출 수 있다. 이 실시예에 대하여 도 8 및 도 9를 결부하여 상세히 설명하기로 한다. W는 도 7에서 트랜지스터의 반도체 채널층 폭(Width)이고, L은 도 7에서 트랜지스터의 반도체 채널층 길이(Length)이다. 도 7에서 “G”는 트랜지스터의 게이트, “D”는 트랜지스터의 드레인, “S”는 트랜지스터의 소스를 각각 나타낸다.
- [0080] 본 발명은 소비 전력과 각각의 구동 특성을 고려하여 노말 구동용 트랜지스터와 저소비 전력 구동용 트랜지스터의 채널비(W/L)를 다르게 할 수 있다. 예를 들어, 저소비 전력 구동용 트랜지스터의 채널비(W/L)를 노말 구동용 트랜지스터의 채널비(W/L) 보다 작게 구현할 수 있다.
- [0081] 본 발명은 노말 구동용 트랜지스터와 저소비 전력 구동용 트랜지스터의 W/L을 다르게 하더라도 픽셀들의 휘도를 동일하게 하기 위하여, 노말 구동용 트랜지스터가 구동될 때의 VDD와 저소비 전력 구동용 트랜지스터가 구동될 때의 VDD를 다르게 제어할 수 있다. 타이밍 컨트롤러 또는 호스트 시스템은 전원 회로의 PWM(%)을 조절하여 그 전원 회로로부터 출력되는 VDD의 전압 레벨을 조절할 수 있다.
- [0082] 저소비 전력 구동용 트랜지스터의 채널비(W/L)가 노말 구동용 트랜지스터의 그 것 대비 작은 경우에, 도 8의 (A)와 같이 저소비 전력 구동용 트랜지스터의 선형 영역(LIN)이 짧다. 다시 말하여, 저소비 전력 구동 모드에서 VDD를 V1과 같은 낮은 전압으로 설정하더라도 저소비 전력 구동용 트랜지스터가 포화 영역에서 동작한다.
- [0083] 채널비(W/L)가 다른 두 개의 트랜지스터들이 하나의 발광 소자에 연결될 때 VDD를 다르게 하여 발광 소자의 휘도를 동일하게 할 수 있다. 이를 위하여, 노말 구동 모드에서 채널비(W/L)가 상대적으로 높은 노말 구동용 트랜지스터의 경우에 도 8의 (B)에 도시된 바와 같이 VDD를 V1 보다 높은 V2로 설정할 수 있다.
- [0084] 채널비(W/L)가 상대적으로 작은 저소비 전력 구동용 트랜지스터는 도 8에서 알 수 있는 바와 같이 작은 구동 전

압에도 전류가 많이 흐르기 때문에 더 많은 스트레스를 받고 더 빨리 열화될 수 있다. 본 발명은 노말 구동용 트랜지스터 수준으로 저소비 전력 구동용 트랜지스터의 스트레스 누적을 완화하고 상대적으로 회복 시간을 더 길게 하기 위하여, 도 9에 도시된 바와 같이 저소비 전력 구동용 EM 신호(EM1)의 듀티비(duty ratio)를 노말 구동용 EM 신호(EM2)의 그 것 보다 더 작게 설정할 수 있다.

[0085] 도 9의 예는 제2 구동 소자(DT2)가 노말 구동용 트랜지스터이고, 제1 구동 소자(DT1)가 저소비 전력 구동용 트랜지스터인 경우에, 노말 구동 모드와 저소비 전력 구동 모드에서 EM 신호들(EM1, EM2)의 일 예를 보여 주는 파형도이다. 노말 구동 모드와 저소비 전력 구동 모드의 EM 신호는 도 9에 한정되지 않는다.

[0086] 도 9를 참조하면, 노말 구동 모드에서 제1 및 제2 EM 신호들(EM1, EM2) 중에서 제1 EM 신호(EM1)가 비활성화되고 제2 EM 신호(EM2)가 활성화될 수 있다. 노말 구동 모드의 발광 시간(Tem1, Tem2) 동안 제2 EM 신호(EM2)가 소정의 듀티비로 발생된다. 제2 EM 신호(EM2)는 미리 설정된 듀티비에 따라 게이트 온 전압(VGH)과 게이트 오프 전압(VGL) 사이에서 스윙하는 교류 신호로 발생되어 제1 구동부(101A)의 전류 경로를 온/오프(ON/OFF) 제어한다. 제1 EM 신호(EM1)는 노말 구동 모드에서 비활성화되어 게이트 오프 전압(VGL)을 유지한다. 따라서, 노말 구동 모드에서 제2 구동부(101B)로부터의 전류로 발광 소자(EL)가 구동된다. 노말 구동 모드에서 제1 구동부(101A)로부터 전류가 발생되지 않는다.

[0087] 저소비 전력 구동 모드에서 제1 및 제2 EM 신호들(EM1, EM2) 중에서 제2 EM 신호(EM2)가 비활성화되고 제1 EM 신호(EM1)가 활성화될 수 있다. 저소비 전력 구동 모드의 발광 시간(Tem1, Tem2) 동안 제1 EM 신호(EM1)가 상대적으로 작은 듀티비로 발생된다. 저소비 전력 구동 모드에서 제1 구동 소자(EM1)의 스트레스를 완화하고 회복 시간을 더 길게 확보하기 위하여 제1 EM 신호(EM1)의 듀티비는 노말 구동 모드에서 설정된 제2 EM 신호(EM2)의 듀티비 보다 더 작게 설정된다. 그 결과, 제1 EM 신호(EM1)의 1 주기에서 온 구간(ON)이 오프 구간(OFF)보다 더 길게 설정될 수 있다. 또한, 제1 EM 신호(EM1)의 1 주기에 설정된 온 구간(ON)이 제2 EM 신호(EM2)의 1 주기에 설정된 온 구간(ON) 보다 작게 될 수 있다.

[0088] 저소비 전력 구동 모드에서, 제1 EM 신호는 게이트 온 전압(VGH)과 게이트 오프 전압(VGL) 사이에서 스윙하는 교류 신호로 발생되어 제1 구동부(101A)의 전류 경로를 온/오프(ON/OFF) 제어한다. 제2 EM 신호(EM2)는 저소비 전력 구동 모드에서 비활성화되어 게이트 오프 전압(VGL)을 유지한다. 따라서, 저소비 전력 구동 모드에서 제1 구동부(101A)로부터의 전류로 발광 소자(EL)가 구동된다. 저소비 전력 모드에서 제2 구동부(101B)로부터 전류가 발생되지 않는다.

[0089] 도 10 및 도 11은 본 발명의 실시예에 따른 픽셀 회로의 단면 구조를 보여 주는 표시패널의 단면도들이다. 도 10은 트랜지스터의 반도체 패턴의 저항을 낮추기 위하여 건식 식각(dry etching) 공정을 실시한 단면 구조이다. 도 11은 트랜지스터의 반도체 패턴에서 전도성을 높이기 위하여 반도체 패턴에 이온 도핑(ion doping)을 실시한 단면 구조이다.

[0090] 도 10 및 도 11을 참조하면, 본 발명의 표시패널은 픽셀 어레이 영역 상에 배치된 다수의 트랜지스터들을 포함한다. 이 트랜지스터들은 도 2와 같은 픽셀 회로에서 구동 소자들(DT1, DT2)과 스위치 소자들(S1~S32)을 포함한다. 표시패널의 기판에는 트랜지스터들(DT1, DT2, S1~S32)과 함께 스토리지 커패시터(Cgs), 발광 소자(EM) 등을 더 포함한다. “PXL”은 발광 소자의 픽셀 전극(또는 애노드 전극)이다. 트랜지스터들(DT1, DT2, S1~S32)은 NMOS Oxide TFT로 구현될 수 있다. 이렇게 픽셀 회로의 모든 트랜지스터들을 NMOS 구조의 Oxide TFT로 하면, NMOS 트랜지스터와 PMOS 트랜지스터가 함께 배치된 픽셀 회로에 대해 제조 공정 수와 표시패널의 구조를 단순하게 할 수 있다.

[0091] 제1 및 제2 구동 소자들(DT1, DT1)은 기판 상에서 수직으로 적층되고 하나의 게이트(DG)를 공유한다. 게이트를 공유하기 위하여, 제1 및 제2 구동 소자들(DT1, DT2) 중에서 어느 하나는 반도체 패턴(DA1) 위에 게이트(DG)가 배치된 탑 게이트(top gate) 구조의 트랜지스터로 구현되고, 다른 하나는 반도체 패턴(DA2) 아래에 게이트(DG)가 배치된 보텀 게이트(bottom) 구조의 트랜지스터로 구현된다. 스위치 소자들(S1~S32)은 보텀 게이트 구조의 트랜지스터로 구현될 수 있다. 두 개의 구동 소자들(DT1, DT2)이 하나의 게이트(DG)를 공유하는 구조로 표시패널이 제작되면, 표시패널의 제조 공정수와 구조를 단순하게 할 수 있습니다.

[0092] 이하에서 제1 구동 소자(DT1)가 탑 게이트 구조이고 제2 구동 소자(DT2)가 보텀 게이트 구조인 예를 설명하지만, 이에 한정되지 않는다. 이 경우, 제1 구동 소자(DT1)는 제1 반도체 패턴(DA1), 제1 반도체 패턴(DA1) 위에 배치된 공통 게이트(DG), 제1 반도체 패턴(DA1)의 드레인 영역에 접촉된 제1 전극(DD1), 제1 반도체 패턴(DA1)의 소스 영역에 접촉된 제2 전극(DS1)을 포함한다. 제2 구동 소자(DT2)는 제2 반도체 패턴(DA2), 제2

반도체 패턴(DA2) 아래에 배치된 공통 게이트(DG), 제2 반도체 패턴(DA1)의 드레인 영역에 접촉된 제1 전극(도 12의 DD2), 제2 반도체 패턴(DA2)의 소스 영역에 접촉된 제2 전극(도 12의 DS2)을 포함한다. 제2 구동 소자(DT2)의 제1 및 제2 전극(DS2, DD2)은 도 10 및 도 11에서 생략되어 있고, 도 12의 평면도에 표현되어 있다. 이와 반대로, 제2 구동 소자(DT2)가 탑 게이트 구조이고 제1 구동 소자(DT2)가 보텀 게이트 구조일 수 있다는 것에 주의하여야 한다.

[0093] 제1 및 제2 스위치 소자들(S1, S2) 각각은 반도체 패턴(SA), 반도체 패턴(SA) 아래에 배치된 게이트(SG1), 반도체 패턴(SA)의 드레인 영역에 접촉된 제1 전극(SD), 반도체 패턴(SA)의 소스 영역에 접촉된 제2 전극(SS)을 포함한다. 제3-1 및 제3-2 스위치 소자들(S31, S32) 각각은 반도체 패턴(EA), 반도체 패턴(EA) 아래에 배치된 게이트(EG1), 반도체 패턴(EA)의 드레인 영역에 접촉된 제1 전극(ED), 반도체 패턴(EA)의 소스 영역에 접촉된 제2 전극(ES)을 포함한다.

[0094] 스토리지 커패시터(Cgs)는 기판(SUBS) 상에서 수직으로 적층된 두 개의 커패시터들을 포함하여 큰 용량을 갖는다. 커패시터(Cgs)는 제1 전극(C1)과 공통 전극(C2)을 포함한 제1 커패시터와, 공통 전극(C2)과 제2 전극(C3)을 포함한 제2 커패시터를 포함한다. 포토 마스크 공정을 줄이기 위하여, 공통 전극(C2)이 생략된 커패시터 구조로 스토리지 커패시터(Cgs)가 형성될 수 있다.

[0095] 구동 소자들(DT1, DT2)과 스위치 소자들(S1~S32) 각각의 반도체 패턴들(DA1, DA2, SA, EA)은 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐-아연 산화물(Indium Zinc Oxide: IZO) 중 적어도 어느 하나의 산화물 반도체 물질을 포함한다.

[0096] 기판(SUBS)의 전체 표면 위에는 버퍼층(BUF)이 증착되어 있다. 버퍼층(BUF)은 생략될 수도 있다. 버퍼층(BUF) 위에는 제1 산화물 반도체 층이 증착된다. 제1 포토 마스크 공정은 제1 산화물 반도체 층을 패터닝하여 버퍼층(BUF) 상에 제1 구동 소자(DT1)의 제1 반도체 패턴(DA1)을 형성한다. 제1 반도체 패턴(DA1)은 공통 게이트(DG)와 중첩되는 채널 영역, 채널 영역의 양측에 배치되어 n+ 이온이 도핑된 소스 영역 및 드레인 영역을 포함한다. 제1 반도체 패턴(DA1)에 산소를 주입하고 제1 반도체 패턴(DA1)의 결함(defect)을 제거하기 위하여 열처리 공정이 실시될 수 있고, 이 열처리 공정은 생략될 수 있다.

[0097] 게이트 절연막(GI)은 제1 반도체 패턴(DA1)을 덮도록 버퍼층(BUF) 상에 형성되고, 제1 금속층이 게이트 절연막(GI) 상에 증착된다. 제1 금속층을 패터닝하기 위하여 제2 포토 마스크 공정이 실시된다. 도 10의 예에서, 제1 금속층과 게이트 절연막(GI)이 제2 포토 마스크 공정에서 일괄 패터닝된다. 도 11의 예에서, 제1 금속층만 제2 포토 마스크 공정에서 패터닝된다. 제2 포토 마스크 공정에 의해 제1 금속층으로부터 구동 소자들(DT1, DT2)의 공통 게이트(DG), 스위치 트랜지스터들(S1~S32)의 게이트(SG1, EG1), 스토리지 커패시터(Cgs)의 제1 전극(C1) 등이 형성된다.

[0098] 도 10의 예에서, 게이트 절연막 재료로 이용 가능한 산화 실리콘(SiO2)은 건식 식각된다. 산화 실리콘(SiO2)의 건식 식각 공정에서 이온화된 반응 가스의 입자가 제1 반도체 패턴(DA1)에 공급되어 그 반도체 패턴(DA1)의 소스 영역과 드레인 영역의 저항이 감소되어 도체화된다. 산화물 반도체는 건식 식각 공정에서 발생하는 이온화된 불순물이 주입될 때 저항이 낮아져 도체화된다. 도 11에 도시된 바와 같이 제1 반도체 패턴(DA1)의 소스 영역과 드레인 영역의 저항을 줄이기 위하여, 제1 반도체 패턴(DA1)이 게이트 절연막(GI)에 의해 덮여진 상태에서 공통 게이트(DG)의 패턴을 마스크로 하여 이온이 도핑될 수 있다.

[0099] 제1 층간 절연막(ILD1)이 제1 금속층 패턴들(DG, SG1, EG1) 상에 덮여진다. 제1 층간 절연막(ILD1) 상에 스토리지 커패시터(Cgs)의 공통 전극(C2)이 형성된다. 제2 층간 절연막(ILD2)은 공통 전극(C2)을 덮도록 제1 층간 절연막(ILD1) 상에 형성된다. 포토 마스크 공정 수를 줄이기 위하여, 공통 전극(C2)이 생략되고 단층의 층간 절연막이 형성될 수 있다.

[0100] 제2 층간 절연막(ILD2) 상에 제2 산화물 반도체 층이 증착된다. 제3 포토 마스크 공정은 제2 산화물 반도체 층을 패터닝하여 제2 층간 절연막(ILD2) 상에 제2 구동 소자(DT2)의 제2 반도체 패턴(DA2), 스위치 소자들(S1~S32)의 반도체 패턴들(SA, EA)을 형성한다. 제2 반도체 패턴(DA2)은 공통 게이트(DG)와 중첩되는 채널 영역, 채널 영역의 양측에 배치되어 n+ 이온이 도핑된 소스 영역 및 드레인 영역을 포함한다. 제2 반도체 패턴(DA2)에 산소를 주입하고 제2 반도체 패턴(DA2)의 결함을 제거하기 위하여 열처리 공정이 실시될 수 있고, 이 열처리 공정은 생략될 수 있다.

[0101] 제4 포토 마스크 공정은 절연막들을 관통하는 콘택홀(CH1, CH2)을 형성하여 제1 반도체 패턴(DA1)의 소스 영역과 드레인 영역을 노출한다. 이어서, 제2 금속층이 제2 층간 절연막(ILD2) 상에 증착된다. 제2 금속층을 패터닝

닝하기 위하여 제5 포토 마스크 공정이 실시된다. 제5 포토 마스크 공정에 의해 제2 금속층으로부터 구동 소자들(DT1, DT2)의 제1 및 제2 전극들(DD1, DS1, DD2, DS2, ES, ED). 스토리지 커패시터(Cgs)의 제2 전극 등이 형성된다.

[0102] 제1 보호막(PAS)이 트랜지스터들(DT1, DT2, S1~S32) 상에 덮여진다. 제1 보호막(PAS)의 안정화와 반도체 패턴들(DA2, SA, EA)에 산소를 공급하기 위하여 열처리 공정이 실시될 수 있다. 제1 보호막(PAS) 상에 제2 보호막(PLN)이 적층된다. 제2 반도체 패턴(DA2)의 소스 영역을 노출하기 위하여 제6 포토 마스크 공정이 실시될 수 있다. 이어서, 제7 포토 마스크 공정에서 픽셀 전극(PXL)이 제2 보호막(PLN) 상에 형성된다. 픽셀 전극(PXL)은 보호막(PAS, PLN)을 관통하는 콘택홀을 통해 구동 소자들(DT1, DT2)의 제2 전극(DS1, DS2)에 접촉된다. 트랜지스터들(DT1, DT2, S1~S32)의 신뢰성을 개선하기 위하여 열처리 공정이 실시될 수 있다.

[0103] 뱅크 패턴(BNK)은 제2 보호막(PLN) 상에 형성되어 발광 소자(EL)의 발광 영역을 정의한다. 발광 영역에 발광층을 포함한 유기 화합물층이 적층되고 그 위에 도면에서 생략된 캐소드가 형성된다. 페이스 씸(FSEAL)은 발광 소자(EL)가 수분에 노출되지 않도록 발광 소자(EL)를 덮는다.

[0104] 전술한 바와 같이, 제1 및 제2 구동 소자들(DT1, DT2)은 표시패널(100)의 기판 상에서 수직으로 적층되고 공통 게이트(DG)를 갖는다. 도 12는 적층된 두 개의 구동 소자들(DT1, DT2)을 보여 주는 평면도이다. 도 12에서 선 "I-I'"을 따라 절취한 구동 소자들(DT1, DT2)의 단면 구조가 도 10 및 도 11에 도시되어 있다.

[0105] 구동 소자들(DT1, DT2)은 도 13과 같은 방법으로 공통 게이트를 공유할 수 있다. 도 13의 (A)는 제1 및 제2 구동 소자들(DT1, DT2) 모두가 탑 게이트 구조로 형성되고, 제2 금속층 패턴으로 공통 게이트(DG)를 형성한 예이다. 제1 구동 소자(DT1)는 반도체 패턴들(DA1, DA2) 위에 배치된 공통 게이트(DG)와, 콘택홀들(CH1, CH2)을 통해 제1 반도체 패턴(DA1)에 연결된 제1 및 제2 전극들(DD1, DS1)을 포함한다. 제2 구동 소자(DT2)는 반도체 패턴들(DA1, DA2) 위에 배치된 공통 게이트(DG)와, 콘택홀들(CH3, CH4)을 통해 제2 반도체 패턴(DA2)에 연결된 제1 및 제2 전극들(DD2, DS2)을 포함한다.

[0106] 도 13의 (B)는 제1 및 제2 구동 소자들(DT1, DT2) 모두가 보텀 게이트 구조로 형성되고, 제1 금속층 패턴으로 공통 게이트(DG)를 형성한 예이다. 제1 구동 소자(DT1)는 반도체 패턴들(DA1, DA2) 아래에 배치된 공통 게이트(DG)와, 콘택홀 없이 제1 반도체 패턴(DA1)에 직접 연결된 제1 및 제2 전극들(DD1, DS1)을 포함한다. 제2 구동 소자(DT2)는 반도체 패턴들(DA1, DA2) 아래에 배치된 공통 게이트(DG)와, 콘택홀 없이 제2 반도체 패턴(DA2)에 직접 연결된 제1 및 제2 전극들(DD2, DS2)을 포함한다.

[0107] 도 14는 본 발명의 제2 실시예에 따른 픽셀 회로를 보여 주는 회로도이다. 도 15는 도 14에 도시된 구동 소자들의 제1 및 제2 전극들이 동시에 플로팅되는 예를 보여 주는 도면이다. 도 16a 내지 도 16d는 도 14에 도시된 픽셀 회로의 동작을 보여 주는 도면들이다. 도 14에 도시된 픽셀 회로의 노말 구동 모드와 저소비 전력 구동 모드의 구동 방법은 전술한 제1 실시예와 동일하게 적용될 수 있다. 도 14에 도시된 구동 소자들의 채널비와 VDD 적용 방법은 제1 실시예와 동일하게 적용될 수 있다. 도 14에 도시된 구동 소자들의 평면 및 단면 구조 역시 전술한 제1 실시예와 실질적으로 동일하게 구현될 수 있다.

[0108] 도 14를 참조하면, 픽셀 회로는 하나의 발광 소자(EL)에 연결된 제1 및 제2 구동 소자(DT1, DT2), 제1 내지 제3-4 스위치 소자들(S1 내지 S34), 스토리지 커패시터(Cgs) 등을 포함한다. VDD는 제1 전원 라인(21)을 통해 서브 픽셀들(101(n))에 공급된다.

[0109] 이 픽셀 회로는 교번적으로 구동되는 제1 및 제2 구동부(101A, 101B)를 포함한다. 제1 구동부(101A)는 제1 구동 소자(DT1)와, 제1 구동 소자(DT1)를 사이에 두고 배치된 제3-1 스위치 소자(S31), 및 제3-3 스위치 소자(S33)를 포함한다. 제1 구동부(101A)는 제1 및 제3 EM 신호들(EM1, EM3)에 응답하여 발광 소자(EL)에 전류를 공급한다. 제2 구동부(101B)는 제2 구동 소자(DT2)와, 제2 구동 소자(DT2)를 사이에 두고 배치된 제3-2 스위치 소자(S32) 및 제3-4 스위치 소자(S34)를 포함한다. 제2 구동부(101B)는 제2 및 제4 EM 신호들(EM2, EM4)에 응답하여 발광 소자(EL)에 전류를 공급한다.

[0110] 제3-1 및 제3-3 스위치 소자들(S31, S33)은 제2 구동부(101B)가 구동될 때 턴-오프(turn-off)되어 제1 구동 소자(DT1)의 제1 및 제2 전극에 연결된 전류 경로를 차단한다. 제3-1 및 제3-3 스위치 소자들(S31, S33)이 턴-오프될 때 제1 구동 소자(DT1)의 제1 및 제2 전극이 플로팅(floating)되어 제1 구동 소자(DT1)의 드레인-소스 간에 전류가 흐르지 않는다. 제3-2 및 제3-4 스위치 소자들(S32)은 제1 구동부(101A)가 구동될 때 턴-오프되어 제2 구동 소자(DT2)의 제1 및 제2 전극에 연결된 전류 경로를 차단한다. 제3-2 및 제3-4 스위치 소자들(S32, S34)이 턴-오프될 때 제2 구동 소자(DT2)의 제1 및 제2 전극들이 플로팅되어 제2 구동 소자(DT2)의 드레인-소스

간에 전류가 흐르지 않는다.

- [0111] 본 발명은 구동 소자들(DT1, DT2)의 제1 및 제2 전극들을 교대로 플로팅하여 구동 소자들(DT1, DT2)의 드레인-소스 간에 흐르는 전류를 차단함으로써 구동 소자들(DT1, DT2)의 스트레스 누적을 경감하고 구동 소자들(DT1, DT2)의 회복을 유도한다. 본 발명은 도 16a 내지 도 17d와 같은 내부 보상 방법으로 구동 소자들(DT1, DT2)의 문턱 전압(V_{th}) 만큼 데이터 전압(V_{data})을 보상하고 구동 소자들(DT1, DT2)을 교번 구동함으로써 픽셀들의 휘도 변화와 잔상을 방지한다.
- [0112] 구동 소자들(DT1, DT2)과 스위치 소자들(S1 내지 S32)은 산화물 반도체 패턴을 포함한 NMOS 구조의 Oxide TFT로 구현될 수 있다. Oxide TFT는 TFT의 오프 상태에서 발생하는 누설 전류가 작기 때문에 소비 전력을 줄일 수 있을 뿐 아니라 누설 전류로 인한 픽셀의 전압 감소를 방지할 수 있기 때문에 플리커 방지 효과를 높일 수 있다. 구동 소자들(DT1, DT2)은 채널비(W/L)가 서로 상이하고, 도 10 내지 도 13에 도시된 바와 같이 공통 게이트(DG)를 공유할 수 있다.
- [0113] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 데이터 전압(V_{data})에 따라 구동 소자들(DT1, DT2)에 의해 조절되는 전류량으로 발광한다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제4 노드(n_4)를 통해 구동 소자들(DT1, DT2)에 연결되고, OLED의 캐소드는 저전위 전원 전압(V_{SS})이 인가되는 VSS 전극(23)에 연결된다. 스토리지 커패시터(C_{gs})는 제1 및 제4 노드(n_1 , n_4)를 통해 구동 소자들(DT1, DT2)의 게이트와 소스 사이에 연결된다.
- [0114] 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)에 응답하여 V_{ref} 를 제1 노드(n_1)에 공급한 후 데이터 전압(V_{data})을 제1 노드(n_1)에 공급한다. V_{ref} 는 픽셀 구동 전압(VDD) 보다 낮고 제1 노드(n_1)의 전압을 초기화하는 전압으로 설정된다. 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)가 인가되는 제1 게이트 라인에 연결된 게이트, 데이터 라인에 연결된 제1 전극, 및 제1 노드(n_1)에 연결된 제2 전극을 포함한다. 데이터 라인에 V_{ref} 와 V_{data} 가 공급된다.
- [0115] 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)에 응답하여 소정의 VINI를 제4 노드(n_4)를 통해 발광 소자(EL)의 픽셀 전극(또는 애노드)에 공급한다. VINI는 발광 소자(EL)가 발광되지 않는 전압으로 설정된다. 초기화 전압(VINI)은 VDD 보다 낮다. 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)가 인가되는 제2 게이트 라인에 연결된 게이트, VINI가 인가되는 제2 전원 라인(22)에 연결된 제1 전극, 및 제4 노드(n_4)에 연결된 제2 전극을 포함한다.
- [0116] 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)에 응답하여 VDD와 제1 구동 소자(DT1)의 제1 전극 사이의 전류 경로를 스위칭한다. 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)가 인가되는 제3-1 게이트 라인에 연결된 게이트, 제2-1 노드(n_{21})를 통해 제1 전원 라인(21)에 연결된 제1 전극, 및 제2-1 노드(n_{21})를 통해 제1 구동 소자(DT1)의 제1 전극에 연결된 제2 전극을 포함한다.
- [0117] 제3-3 스위치 소자(S33)는 제3 EM 신호(EM3)에 응답하여 VDD와 제1 구동 소자(DT1)의 제2 전극 사이의 전류 경로를 스위칭한다. 제3-3 스위치 소자(S33)는 제3 EM 신호(EM3)가 인가되는 제3-3 게이트 라인에 연결된 게이트, 제3-1 노드(n_{31})를 통해 제1 구동 소자(DT1)의 제2 전극에 연결된 제1 전극, 및 제4 노드(n_4)를 통해 발광 소자(EL)의 애노드에 연결된 제2 전극을 포함한다.
- [0118] 제1 구동 소자(DT1)는 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)의 전류를 조절한다. 제1 구동 소자(DT1)는 제2 구동 소자(DT2)와 교대로 발광 소자(EL)를 구동한다. 제1 구동 소자(DT1)는 제1 노드(n_1)에 연결된 게이트, 제2-1 노드(n_{21})에 연결된 제1 전극, 및 제3-1 노드(n_{31})에 연결된 제2 전극을 포함한다.
- [0119] 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)에 응답하여 VDD가 인가되는 제1 전원 라인(21)과 제2 구동 소자(DT2) 사이의 전류 경로를 스위칭한다. 제3-2 및 제3-4 스위치 소자들(S32, S34)은 제3-1 및 제3-3 스위치 소자들(S31, S33)이 턴-오프되는 발광 시간 동안 턴-온되어 VDD와 발광 소자(EL) 사이의 전류 경로를 형성한다. 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)가 인가되는 제3-2 게이트 라인에 연결된 게이트, 제2-2 노드(n_{22})를 통해 제1 전원 라인(21)에 연결된 제1 전극, 및 제2-2 노드(n_{22})를 통해 제2 구동 소자(DT2)의 제1 전극에 연결된 제2 전극을 포함한다.
- [0120] 제3-4 스위치 소자(S34)는 제4 EM 신호(EM4)에 응답하여 VDD와 제2 구동 소자(DT2)의 제2 전극 사이의 전류 경로를 스위칭한다. 제3-4 스위치 소자(S34)는 제4 EM 신호(EM4)가 인가되는 제3-4 게이트 라인에 연결된 게이트, 제3-2 노드(n_{32})를 통해 제2 구동 소자(DT2)의 제2 전극에 연결된 제1 전극, 및 제4 노드(n_4)를 통해 발광

소자(EL)의 애노드에 연결된 제2 전극을 포함한다.

- [0121] 제2 구동 소자(DT2)는 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)의 전류를 조절한다. 제2 구동 소자(DT2)는 제1 구동 소자(DT1)와 교대로 발광 소자(EL)를 구동한다. 제2 구동 소자(DT2)는 제1 노드($n1$)에 연결된 게이트, 제2-2 노드($n22$)에 연결된 제1 전극, 및 제3-2 노드($n32$)에 연결된 제2 전극을 포함한다.
- [0122] 도 16a 내지 도 17d는 제 n 서브 픽셀의 픽셀 회로(101(n))의 동작을 보여 주는 도면들이다. 픽셀 회로들 각각은 도 16a 내지 도 17d에 도시된 내부 보상 방법으로 구동되어 구동 소자들(DT1, DT2)의 문턱 전압(V_{th})을 샘플링하고, 그 문턱 전압(V_{th}) 만큼 데이터 전압(V_{data})을 보상한다. 도 16a 내지 도 16d는 제1 구동부(101A)에 의해 발광 소자(EL)가 구동되는 동작을 단계적으로 보여 준다. 도 17a 내지 도 17d는 제2 구동부(101B)에 의해 발광 소자(EL)가 구동되는 동작을 단계적으로 보여 준다.
- [0123] 도 16a를 참조하면, 제1 및 제2 스캔 신호들(SC1, SC2)과 제1 및 제3 EM 신호들(EM1, EM3)은 제1 초기화 시간($Ti1$)이 시작될 때 게이트 온 전압으로 변한다. 제2 및 제4 EM 신호(EM2, EM4)는 제1 구동부(101A)가 구동되는 기간 동안 게이트 오프 전압으로 유지된다. NMOS에서, 게이트 온 전압은 게이트 하이 전압(V_{GH})으로 설정되고, 게이트 오프 전압은 게이트 로우 전압(V_{GL})으로 설정될 수 있다. 따라서, 제1 초기화 시간($Ti1$) 동안 제3-2 및 제3-4 스위치 소자들(S32, S34)을 제외한 다른 스위치 소자들(S1, S2, S31, S33)이 턴-온된다.
- [0124] 제1 초기화 시간($Ti1$) 동안 V_{ref} 가 데이터 라인들(102)에 공급된다. 제1 초기화 시간($Ti1$) 동안, 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)의 게이트 온 전압에 따라 턴-온되고, 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)의 게이트 온 전압에 따라 턴-온된다. 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)의 게이트 온 전압에 따라 턴-온된다. 제3-3 스위치 소자(S33)는 제3 EM 신호(EM3)의 게이트 온 전압에 따라 턴-온된다. 제1 초기화 시간($Ti1$) 동안 픽셀 회로에서 각 노드들의 전압이 초기화된다. 제1 초기화 시간($Ti1$)에 제1 노드($n1$)는 V_{ref} 로, 제2-1 노드($n21$)는 V_{DD} 로, 제4 노드($n4$)는 V_{INI} 로 각각 초기화된다.
- [0125] 도 16b를 참조하면, 제1 샘플링 시간($Ts1$)이 시작될 때 제1 EM 신호(EM1)가 게이트 오프 전압으로 반전되어 제3-1 스위치 소자(S31)가 턴-오프된다. 제1 샘플링 시간($Ts1$) 동안 제3 EM 신호(EM3)와 제1 및 제2 스캔 신호들(SC1, SC2)은 게이트 온 전압을 유지하고, 제2 및 제4 EM 신호(EM2, EM4)는 게이트 오프 전압을 유지한다. 따라서, 제1 샘플링 시간($Ts1$) 동안 제3-1, 제3-2 및 제3-4 스위치 소자들(S31, S32, S34)은 턴-오프되는 반면, 제3-3 스위치 소자(S33)와 제1 및 제2 스위치 소자들(S1, S2)은 턴-온된다.
- [0126] 제1 샘플링 시간($Ts1$) 동안 V_{ref} 이 데이터 라인들(102)에 공급되고, 제3 노드($n3$)의 전압은 V_{INI} 를 유지한다. 제1 샘플링 시간($Ts1$) 동안, 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})은 제1 구동 소자(DT1)의 문턱 전압(V_{th}) 만큼 상승하고, 이 문턱 전압(V_{th})이 스토리지 커패시터(C_{gs})에 저장된다.
- [0127] 도 16c를 참조하면, 제1 데이터 기입 시간($Tw1$)이 시작될 때 제2 스캔 신호(SC2)와 제3 EMD 신호(EM3)는 게이트 오프 전압으로 반전된다. 제1 데이터 기입 시간($Tw1$) 동안 제1 스캔 신호(SC1)는 게이트 온 전압을 유지하고, 제1, 제2 및 제4 EM 신호들(EM1, EM2, EM4)은 게이트 오프 전압을 유지한다. 따라서, 제1 데이터 기입 시간($Tw1$) 동안 제1 스위치 소자(S1)는 온 상태를 유지하여 데이터 전압(V_{data})을 제1 노드($n1$)에 공급하는 반면, 나머지 스위치 소자들(S2, S31~S34)은 턴-오프된다.
- [0128] 제1 데이터 기입 시간($Tw1$)에 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})은 제1 구동 소자(DT1)의 문턱 전압(V_{th}) 만큼 보상된 데이터 전압으로 변한다.
- [0129] 도 16d를 참조하면, 제1 발광 시간($Tem1$)이 시작될 때 제1 스캔 신호(SC1)는 게이트 오프 전압으로 반전되고, 제1 및 제3 EM 신호들(EM1, EM3)은 게이트 온 전압으로 반전된다. 제1 발광 시간($Tem1$) 동안 제2 스캔 신호(SC2)는 게이트 오프 전압을 유지하고, 제2 및 제4 EM 신호들(EM2, EM4)은 게이트 오프 전압을 유지한다. 따라서, 제1 발광 시간($Tem1$) 동안 제3-1 및 제3-3 스위치 소자들(S31, S33)은 턴-온되는 반면, 나머지 스위치 소자들(S1, S2, S32, S34)은 턴-오프된다.
- [0130] 제1 발광 시간($Tem1$) 동안 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광될 수 있다. 제1 발광 시간($Tem1$) 동안, 제1 EM 신호(EM1)는 미리 설정된 PWM(Pulse Width Modulation)의 듀티비(%)로 게이트 온 전압과 게이트 오프 전압 사이에서 스위칭하는 교류 신호로 발생될 수 있다. 발광 소자(EL)가 제1 발광 시간($Tem1$) 동안 미리 설정된 듀티비로 온/오프를 반복하면 플리커(flicker)와 잔상이 개선될 수 있다. 제1 구동 소자(DT1)의 포화 영역에서 발광 소자(EL)의 전류는 수학식 1과 같다.

- [0131] 제1 구동부(101A)는 도 16a 내지 도 16d에 도시된 바와 같이 제1 구동 소자(DT1)의 문턱 전압(V_{th})을 실시간 보상하여 발광 소자(EL)를 구동한다. 이 때, 제2 구동부(101B)에서 전류가 흐르지 않기 때문에 제2 구동 소자(DT2)의 스트레스 누적이 없고 열화가 회복될 수 있다. 도 17a 내지 도 17d에 도시된 제2 구동부(101B)의 구동 시간 동안 제1 구동부(101A)는 동작하지 않는다.
- [0132] 도 17a를 참조하면, 제1 및 제2 스캔 신호들(SC1, SC2)과 제2 및 제4 EM 신호들(EM2, EM4)은 제2 초기화 시간($Ti2$)이 시작될 때 게이트 온 전압으로 변한다. 제1 및 제3 EM 신호들(EM1, EM3)은 제2 구동부(101B)가 구동되는 기간 동안 게이트 오프 전압으로 유지된다. 따라서, 제2 초기화 시간($Ti2$) 동안 제3-1 및 제3-3 스위치 소자들(S31, S33)을 제외한 다른 스위치 소자들(S1, S2, S32, S34)이 턴-온된다.
- [0133] 제2 초기화 시간($Ti2$) 동안 V_{ref} 가 데이터 라인들(102)에 공급된다. 제2 초기화 시간($Ti2$) 동안, 제1 스위치 소자(S1)는 제1 스캔 신호(SC1)의 게이트 온 전압에 따라 턴-온되고, 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)의 게이트 온 전압에 따라 턴-온된다. 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)의 게이트 온 전압에 따라 턴-온된다. 제3-4 스위치 소자(S34)는 제4 EM 신호(EM4)의 게이트 온 전압에 따라 턴-온된다.
- [0134] 제2 초기화 시간($Ti2$) 동안 픽셀 회로에서 각 노드들의 전압이 초기화된다. 제2 초기화 시간($Ti2$)에 제1 노드($n1$)는 V_{ref} 로, 제2-2 노드($n22$)는 VDD로, 제4 노드($n4$)는 VINI로 각각 초기화된다.
- [0135] 도 17b를 참조하면, 제2 샘플링 시간($Ts2$)이 시작될 때 제2 EM 신호(EM2)가 게이트 오프 전압으로 반전되어 제3-2 스위치 소자(S32)가 턴-오프된다. 제2 샘플링 시간($Ts2$) 동안 제4 EM 신호(EM4)와 제1 및 제2 스캔 신호들(SC1, SC2)은 게이트 온 전압을 유지하고, 제1 및 제3 EM 신호들(EM1, EM3)은 게이트 오프 전압을 유지한다. 따라서, 제2 샘플링 시간($Ts2$) 동안 제3-1, 제3-2 및 제3-3 스위치 소자들(S31, S32, S33)은 턴-오프되는 반면, 제1 및 제2 스위치 소자들(S1, S2)은 턴-온된다.
- [0136] 제2 샘플링 시간($Ts2$) 동안 V_{ref} 가 데이터 라인들(102)에 공급되고, 제3 노드($n3$)의 전압은 VINI를 유지한다. 제2 샘플링 시간($Ts2$) 동안, 제2 구동 소자(DT2)의 게이트-소스 간 전압(V_{gs})은 문턱 전압(V_{th}) 만큼 상승하고, 이 문턱 전압(V_{th})이 스토리지 커패시터(C_{gs})에 저장된다.
- [0137] 도 17c를 참조하면, 제2 데이터 기입 시간($Tw2$)이 시작될 때 제2 스캔 신호(SC2)와 제4 EM 신호(EM4)는 게이트 오프 전압으로 반전된다. 제2 데이터 기입 시간($Tw2$) 동안 제1 스캔 신호(SC1)는 게이트 온 전압을 유지하고, 제1, 제2 및 제3 EM 신호(EM1, EM2, EM3)는 게이트 오프 전압을 유지한다. 따라서, 제2 데이터 기입 시간($Tw2$) 동안 제1 스위치 소자(S1)는 온 상태를 유지하여 데이터 전압(V_{data})을 제1 노드($n1$)에 공급하는 반면, 나머지 스위치 소자들(S2, S31-S34)은 턴-오프된다.
- [0138] 제2 데이터 기입 시간($Tw2$)에 제2 구동 소자(DT2)의 게이트-소스 간 전압(V_{gs})은 제2 구동 소자(DT2)의 문턱 전압(V_{th}) 만큼 보상된 데이터 전압으로 변한다.
- [0139] 도 17d를 참조하면, 제2 발광 시간($Tem2$)이 시작될 때 제1 스캔 신호(SC1)는 게이트 오프 전압으로 반전되고, 제2 및 제4 EM 신호들(EM2, EM4)은 게이트 온 전압으로 반전된다. 제2 발광 시간($Tem2$) 동안 제2 스캔 신호(SC2)는 게이트 오프 전압을 유지하고, 제1 및 제3 EM 신호(EM1, EM3)는 게이트 오프 전압을 유지한다. 따라서, 제2 발광 시간($Tem2$) 동안 제3-2 및 제3-4 스위치 소자(S32, S34)는 턴-온되는 반면, 나머지 스위치 소자들(S1, S2, S31, S33)은 턴-오프된다.
- [0140] 제2 발광 시간($Tem2$) 동안 제2 구동 소자(DT2)의 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광될 수 있다. 제2 발광 시간($Tem2$) 동안, 제2 EM 신호(EM2)는 미리 설정된 PWM(Pulse Width Modulation)의 듀티비(%)를 갖는 교류 신호로 발생될 수 있다. 발광 소자(EL)가 제2 발광 시간($Tem2$) 동안 미리 설정된 듀티비로 온/오프를 반복하면 플리커와 잔상이 개선될 수 있다.
- [0141] 제2 구동부(101B)는 도 17a 내지 도 17d에 도시된 바와 같이 제2 구동 소자(DT2)의 문턱 전압(V_{th})을 실시간 보상하여 발광 소자(EL)를 구동한다. 이 때, 제1 구동부(101A)에서 전류가 흐르지 않기 때문에 제1 구동 소자(DT1)의 스트레스 누적이 없고 열화가 회복될 수 있다.
- [0142] 전술한 실시예들에서 제1 스위치 소자(S1)는 하나의 데이터 라인을 통해 입력 받은 기준 전압(V_{ref})과 데이터 전압(V_{data})을 제1 노드($n1$)에 순차적으로 공급한다. 본 발명의 제3 실시예는 도 18s 내지 도 19d에 도시된 바와 같이, 데이터 전압(V_{data})과 기준 전압(V_{ref})을 분리한다.
- [0143] 도 18a 내지 도 19d는 본 발명의 제3 실시예에 따른 픽셀 회로를 보여 주는 도면들이다.

- [0144] 도 18a 내지 도 19d를 참조하면, 픽셀 회로는 하나의 발광 소자(EL)에 연결된 제1 및 제2 구동 소자(DT1, DT2), 제1 내지 제3-2 스위치 소자들(S11 내지 S32), 스토리지 커패시터(Cgs) 등을 포함한다.
- [0145] 이 픽셀 회로는 교번적으로 구동되는 제1 및 제2 구동부들을 포함한다. 제1 구동부는 제3-1 스위치 소자(S31)와 제1 구동 소자(DT1)를 포함하여 제1 EM 신호(EM1)가 입력될 때 구동되어 발광 소자(EL)에 전류를 공급한다. 제2 구동부는 제3-2 스위치 소자(S32)와 제2 구동 소자(DT2)를 포함하여 제2 EM 신호(EM2)에 응답하여 발광 소자(EL)에 전류를 공급한다.
- [0146] 본 발명은 구동 소자들(DT1, DT2)의 제1 전극 즉, 드레인을 교대로 플로팅(floating)하여 구동 소자들(DT1, DT2)의 드레인-소스 간에 흐르는 전류를 차단함으로써 구동 소자들(DT1, DT2)의 스트레스 누적을 경감하고 구동 소자들(DT1, DT2)의 회복을 유도한다. 본 발명은 구동 소자들(DT1, DT2)의 문턱 전압(V_{th}) 만큼 데이터 전압(V_{data})을 보상하고 구동 소자들(DT1, DT2)을 교번 구동함으로써 픽셀들의 휘도 변화와 잔상을 방지한다.
- [0147] 구동 소자들(DT1, DT2)과 스위치 소자들(S11 내지 S32)은 산화물 반도체 패턴을 포함한 NMOS 구조의 Oxide TFT로 구현될 수 있다. Oxide TFT는 TFT의 오프 상태에서 발생하는 누설 전류가 작기 때문에 소비 전력을 줄일 수 있을 뿐 아니라 누설 전류로 인한 픽셀의 전압 감소를 방지할 수 있기 때문에 플리커 방지 효과를 높일 수 있다.
- [0148] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 데이터 전압(V_{data})에 따라 구동 소자들(DT1, DT2)에 의해 조절되는 전류로 발광한다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제3 노드($n3$)를 통해 구동 소자들(DT1, DT2)에 연결되고, OLED의 캐소드에 VSS가 인가된다. 스토리지 커패시터(Cgs)는 제1 및 제3 노드($n1$, $n3$)를 통해 구동 소자들(DT1, DT2)의 게이트와 소스 사이에 연결된다.
- [0149] 제1 및 제3 스위치 소자들(S11, S12)은 픽셀 회로에 연결된 데이터 전압 경로와 기준 전압 경로를 분리한다. 이렇게 데이터 전압 경로와 기준 전압 경로가 분리되면, 기준 전압이 인가되는 샘플링 시간($Ts1$, $Ts2$)을 1 수평 기간 보다 길게 예를 들어, 2 수평 기간만큼 길게 할 수 있다. 1 수평 기간은 표시패널의 1 픽셀 라인들에 데이터를 기입하는데 필요한 시간이다. 1 수평 기간은 수평 동기 신호(Hsync)와 데이터 인에이블 신호(DE)의 1 주기와 같다. 표시패널의 픽셀 라인들에 데이터가 독립적으로 기입될 수 있도록 픽셀 라인들(LINE1, LINE2) 간에 데이터 기입 시간이 분리되어야 한다. 픽셀 회로의 데이터 전압 경로와 기준 전압 경로가 분리되면, 샘플링 시간을 데이터 기입 시간과 독립적으로 정의할 수 있기 때문에 1 수평 기간이 짧은 고해상도/고속 표시패널에서 샘플링 시간($Ts1$, $Ts2$)을 안정되게 확보할 수 있다. 반면에, 하나의 데이터 라인을 통해 데이터 전압(V_{data})과 기준 전압(V_{ref})이 시분할되어 픽셀 회로에 공급되면, 1 수평 기간 내에서 샘플링 시간($Ts1$, $Ts2$)과 데이터 기입($Tw1$, $Tw2$) 시간이 분할되기 때문에 샘플링 시간이 부족하게 되고, 고해상도/고속 표시패널에서 샘플링 시간이 더 부족하게 될 수 있다.
- [0150] 이 픽셀 회로는 별도의 센싱 모드에서 데이터 전압 경로와 기준 전압 경로를 분리하는 제1 및 제3 스위치 소자들(S12, S11)만 턴-온된 상태에서 제3 스위치 소자(S12)의 문턱 전압을 센싱할 수 있다.
- [0151] 제3 스위치 소자(S11)는 제3 스캔 신호(SC3)에 응답하여 데이터 기입 시간($Tw1$, $Tw2$) 동안 입력 영상의 데이터 전압(V_{data})을 제1 노드($n1$)에 공급한다. 제3 스위치 소자(S11)는 제3 스캔 신호(SC3)가 인가되는 제1-1 게이트 라인에 연결된 게이트, 데이터 라인(1021)에 연결된 제1 전극, 및 제1 노드($n1$)에 연결된 제2 전극을 포함한다.
- [0152] 제1 스위치 소자(S12)는 제1 스캔 신호(SC1)에 응답하여 초기화 시간($Ti1$, $Ti2$)과 샘플링 시간($Ts1$, $Ts2$) 동안 V_{ref} 를 제1 노드($n1$)에 공급한다. V_{ref} 는 화면 상에 입력 영상이 표시되는 노말 구동 모드와 저소비 전력 구동 모드에서, VDD 보다 낮은 전압 예를 들어, 도 21에서 V_{ref1} 으로 설정된다. V_{ref} 는 센싱 모드에서 제1 및 제3 스위치 소자들(S11, S12)을 포함한 전류 경로에 전류를 공급하기 위하여 충분히 높은 전압 예를 들어, 도 21에서 V_{ref2} 로 설정될 수 있다. 제1 스위치 소자(S12)는 제1 스캔 신호(SC1)가 인가되는 제1-2 게이트 라인에 연결된 게이트, 기준 전압 라인(1022)에 연결된 제1 전극, 및 제1 노드($n1$)에 연결된 제2 전극을 포함한다. V_{ref} 은 기준 전압 라인(1022)을 통해 픽셀들에 공급된다.
- [0153] 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)에 응답하여 VINI를 제3 노드($n3$)를 통해 발광 소자(EL)의 픽셀 전극(또는 애노드)에 공급한다. VINI는 발광 소자(EL)가 발광되지 않는 전압으로 설정된다. VINI는 VDD 보다 낮다. 제2 스위치 소자(S2)는 제2 스캔 신호(SC2)가 인가되는 제2 게이트 라인에 연결된 게이트, VINI이 인가되

는 제2 전원 라인에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.

- [0154] 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)에 응답하여 VDD가 인가되는 제1 전원 라인과 제1 구동 소자(DT1) 사이의 전류 경로를 스위칭한다. 제3-1 스위치 소자(S31)와 제3-2 스위치 소자(S32)는 교번적으로 온/오프된다. 따라서, 제3-1 스위치 소자(S31)는 제3-2 스위치 소자(S32)의 오프 시간에 턴-온되어 제1 전원 라인(21)과 제1 구동 소자(DT1) 사이의 전류 경로를 형성한다. 제3-1 스위치 소자(S31)는 제1 EM 신호(EM1)가 인가되는 제3-1 게이트 라인에 연결된 게이트, 제2-1 노드(n21)를 통해 제1 전원 라인에 연결된 제1 전극, 및 제2-1 노드(n21)를 통해 제1 구동 소자(DT1)의 제1 전극에 연결된 제2 전극을 포함한다.
- [0155] 제1 구동 소자(DT1)는 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)의 전류를 조절한다. 제1 구동 소자(DT1)는 제2 구동 소자(DT2)와 교대로 발광 소자(EL)를 구동한다. 제1 구동 소자(DT1)는 제1 노드(n1)에 연결된 게이트, 제2-1 노드(n21)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0156] 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)에 응답하여 VDD가 인가되는 제1 전원 라인과 제2 구동 소자(DT2) 사이의 전류 경로를 스위칭한다. 제3-2 스위치 소자(S32)는 제3-1 스위치 소자(S31)의 오프 시간에 턴-온되어 제1 전원 라인과 제2 구동 소자(DT2) 사이의 전류 경로를 형성한다. 제3-2 스위치 소자(S32)는 제2 EM 신호(EM2)가 인가되는 제3-2 게이트 라인에 연결된 게이트, 제2-2 노드(n22)를 통해 제1 전원 라인에 연결된 제1 전극, 및 제2-2 노드(n22)를 통해 제2 구동 소자(DT2)의 제1 전극에 연결된 제2 전극을 포함한다.
- [0157] 제2 구동 소자(DT2)는 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)의 전류를 조절한다. 제2 구동 소자(DT2)는 제1 구동 소자(DT1)와 교대로 발광 소자(EL)를 구동한다. 제2 구동 소자(DT2)는 제1 노드(n1)에 연결된 게이트, 제2-2 노드(n22)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0158] 도 18a를 참조하면, 제1 및 제2 스캔 신호들(SC1, SC2)과 제1 EM 신호(EM1)는 제1 초기화 시간(T_{i1})이 시작될 때 게이트 온 전압으로 변한다. 제2 EM 신호(EM2)는 제1 구동부(101A)가 구동되는 기간 동안 게이트 오프 전압으로 유지된다. 제3 스캔 신호(SC3)는 제1 초기화 시간(T_{i1}) 동안 게이트 오프 전압으로 설정된다. NMOS에서, 게이트 온 전압은 V_{GH} 로 설정되고, 게이트 오프 전압은 V_{GL} 로 설정될 수 있다. 따라서, 제1 초기화 시간(T_{i1}) 동안 제3 및 제3-2 스위치 소자(S11, S32)를 제외한 다른 스위치 소자들(S12, S2, S31)이 턴-온된다.
- [0159] 제1 초기화 시간(T_{i1}) 동안 픽셀 회로에서 각 노드들의 전압이 초기화된다. 제1 초기화 시간(T_{i1})에 제1 노드(n1)는 V_{ref} 로, 제2-1 노드(n21)는 VDD로, 제3 노드(n3)는 V_{INI} 로 각각 초기화된다.
- [0160] 도 18b를 참조하면, 제1 샘플링 시간(T_{s1})이 시작될 때 제1 EM 신호(EM1)가 게이트 오프 전압으로 반전되어 제3-1 스위치 소자(S31)가 턴-오프된다. 제1 샘플링 시간(T_{s1}) 동안 제1 및 제2 스캔 신호들(SC1, SC2)은 게이트 온 전압을 유지하고, 제3 스캔 신호(SC3)와 제2 EM 신호(EM2)는 게이트 오프 전압을 유지한다. 따라서, 제1 샘플링 시간(T_{s1}) 동안 제3 스위치 소자(S11)와 제3-1 및 제3-2 스위치 소자들(S31, S32)은 턴-오프되는 반면, 제1 및 제2 스위치 소자들(S12, S2)은 턴-온된다.
- [0161] 제1 샘플링 시간(T_{s1}) 동안, 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})은 제1 구동 소자(DT1)의 문턱 전압(V_{th}) 만큼 상승하고, 이 문턱 전압(V_{th})이 스토리지 커패시터(C_{gs})에 저장된다.
- [0162] 도 18c를 참조하면, 제1 데이터 기입 시간(T_{w1})이 시작될 때 제1 및 제2 스캔 신호(SC1, SC2)는 게이트 오프 전압으로 반전되는 반면, 제3 스캔 신호(SC3)는 게이트 온 전압으로 반전된다. 제1 데이터 기입 시간(T_{w1}) 동안 제1 및 제2 EM 신호(EM1, EM2)는 게이트 오프 전압을 유지한다. 따라서, 제1 데이터 기입 시간(T_{w1}) 동안 제3 스위치 소자(S11)는 턴-온되어 데이터 전압(V_{data})을 제1 노드(n1)에 공급하는 반면, 나머지 스위치 소자들(S12, S2, S31, S32)은 턴-오프된다.
- [0163] 제1 데이터 기입 시간(T_{w1})에 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})은 제1 구동 소자(DT1)의 문턱 전압(V_{th}) 만큼 보상된 데이터 전압으로 변한다.
- [0164] 도 18d를 참조하면, 제1 발광 시간(T_{em1})이 시작될 때 제3 스캔 신호(SC3)는 게이트 오프 전압으로 반전되고, 제1 EM 신호(EM1)는 게이트 온 전압으로 반전된다. 제1 발광 시간(T_{em1}) 동안 제2 EM 신호(EM2)와 제1 및 제2 스캔 신호(SC1, SC2)는 게이트 오프 전압을 유지한다. 따라서, 제1 발광 시간(T_{em1}) 동안 제3-1 스위치 소자(S31)는 턴-온되는 반면, 나머지 스위치 소자들(S11, S12, S2, S32)은 턴-오프된다.
- [0165] 제1 발광 시간(T_{em1}) 동안 제1 구동 소자(DT1)의 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광될 수 있다. 제1 발광 시간(T_{em1}) 동안, 제1 EM 신호(EM1)는 미리 설정된 PWM의 듀티

비(%)로 게이트 온 전압과 게이트 오프 전압 사이에서 스윙하는 교류 신호로 발생될 수 있다.

- [0166] 제1 구동부는 도 18a 내지 도 18d에 도시된 바와 같이 제1 구동 소자(DT1)의 문턱 전압(V_{th})을 실시간 보상하여 발광 소자(EL)를 구동한다. 이 때, 제2 구동부에서 전류가 흐르지 않기 때문에 제2 구동 소자(DT2)의 스트레스 누적이 없고 열화가 회복될 수 있다. 도 19a 내지 도 19d에 도시된 제2 구동부의 구동 시간 동안 제1 구동부는 동작하지 않는다.
- [0167] 도 19a를 참조하면, 제1 및 제2 스캔 신호들(SC1, SC2)과 제2 EM 신호(EM2)는 제2 초기화 시간($Ti2$)이 시작될 때 게이트 온 전압으로 변한다. 제1 EM 신호(EM1)는 제2 구동부가 구동되는 기간 동안 게이트 오프 전압으로 유지된다. 제3 스캔 신호(SC3)는 제2 초기화 시간($Ti2$) 동안 게이트 오프 전압으로 설정된다. 따라서, 제2 초기화 시간($Ti2$) 동안 제3 및 제3-1 스위치 소자(S11, S31)를 제외한 다른 스위치 소자들(S12, S2, S32)이 턴-온된다.
- [0168] 제2 초기화 시간($Ti1$) 동안 픽셀 회로에서 각 노드들의 전압이 초기화된다. 제2 초기화 시간($Ti2$)에 제1 노드($n1$)는 V_{ref} 로, 제2-1 노드($n21$)는 V_{DD} 로, 제3 노드($n3$)는 V_{INI} 로 각각 초기화된다.
- [0169] 도 19b를 참조하면, 제2 샘플링 시간($Ts2$)이 시작될 때 제2 EM 신호(EM2)가 게이트 오프 전압으로 반전되어 제3-2 스위치 소자(S32)가 턴-오프된다. 제2 샘플링 시간($Ts2$) 동안 제1 및 제2 스캔 신호들(SC1, SC2)은 게이트 온 전압을 유지하고, 제3 스캔 신호(SC3)와 제1 EM 신호(EM1)는 게이트 오프 전압을 유지한다. 따라서, 제2 샘플링 시간($Ts2$) 동안 제3 스위치 소자(S11)와 제3-1 및 제3-2 스위치 소자들(S31, S32)은 턴-오프되는 반면, 제1 및 제2 스위치 소자들(S12, S2)은 턴-온된다.
- [0170] 제2 샘플링 시간($Ts2$) 동안, 제2 구동 소자(DT2)의 게이트-소스 간 전압(V_{gs})은 제2 구동 소자(DT2)의 문턱 전압(V_{th}) 만큼 상승하고, 이 문턱 전압(V_{th})이 스토리지 커패시터(C_{gs})에 저장된다.
- [0171] 도 19c를 참조하면, 제2 데이터 기입 시간($Tw2$)이 시작될 때 제1 및 제2 스캔 신호(SC1, SC2)는 게이트 오프 전압으로 반전되는 반면, 제3 스캔 신호(SC3)는 게이트 온 전압으로 반전된다. 제2 데이터 기입 시간($Tw2$) 동안 제1 및 제2 EM 신호(EM1, EM2)는 게이트 오프 전압을 유지한다. 따라서, 제2 데이터 기입 시간($Tw2$) 동안 제3 스위치 소자(S11)는 턴-온되어 데이터 전압(V_{data})을 제1 노드($n1$)에 공급하는 반면, 나머지 스위치 소자들(S12, S2, S31, S32)은 턴-오프된다.
- [0172] 제2 데이터 기입 시간($Tw2$)에 제2 구동 소자(DT2)의 게이트-소스 간 전압(V_{gs})은 제2 구동 소자(DT2)의 문턱 전압(V_{th}) 만큼 보상된 데이터 전압으로 변한다.
- [0173] 도 19d를 참조하면, 제2 발광 시간($Tem2$)이 시작될 때 제3 스캔 신호(SC3)는 게이트 오프 전압으로 반전되고, 제2 EM 신호(EM2)는 게이트 온 전압으로 반전된다. 제2 발광 시간($Tem2$) 동안 제1 EM 신호(EM1)와 제1 및 제2 스캔 신호(SC1, SC2)는 게이트 오프 전압을 유지한다. 따라서, 제2 발광 시간($Tem2$) 동안 제3-2 스위치 소자(S32)는 턴-온되는 반면, 나머지 스위치 소자들(S11, S12, S2, S31)은 턴-오프된다.
- [0174] 제2 발광 시간($Tem2$) 동안 제2 구동 소자(DT2)의 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광될 수 있다. 제2 발광 시간($Tem2$) 동안, 제2 EM 신호(EM2)는 미리 설정된 PWM의 듀티 비(%)로 게이트 온 전압과 게이트 오프 전압 사이에서 스윙하는 교류 신호로 발생될 수 있다.
- [0175] 도 18a 내지 도 19d에 도시된 바와 같이 이 픽셀 회로에 연결된 데이터 전압 경로와 기준 전압 경로가 분리되기 때문에 샘플링 시간($Ts1$, $Ts2$)을 1 수평 기간 보다 길게 확보할 수 있다. 이러한 픽셀 회로는 데이터 전압 경로와 기준 전압 경로 상의 스위치 소자들(T11, T12)을 연결한 전류 경로를 이용하여 스위치 소자(S11)의 문턱 전압을 센싱할 수 있다. 이 센싱 방법은 구동 소자의 문턱 전압을 센싱하는 과정과 분리된 별도의 센싱 모드에서 스위치 소자의 문턱 전압을 간단히 센싱할 수 있다.
- [0176] 도 20 및 도 21은 센싱 모드에서 스위치 소자의 문턱 전압 센싱 방법을 보여 주는 도면들이다.
- [0177] 도 20 및 도 21을 참조하면, 기준 전압(V_{ref})은 센싱 모드(T_{sens})에서 V_{DD} 수준 또는 그 이상의 전압(V_{ref2})으로 높아진다. 입력 영상이 화면 상에 표시되는 노말 구동 모드(T_{nor}) 또는 저소비 전력 구동 모드에서 기준 전압(V_{ref})은 $-2V \sim 2V$ 사이의 낮은 전압(V_{ref1})으로 설정될 수 있다.
- [0178] 센싱 모드(T_{sens})에서 제1 및 제3 스캔 신호(SC1, SC3)는 게이트 온 전압(V_{GH})으로 발생된다. 제2 스캔 신호(SC2)와 EM 신호들(EM1, EM2)는 센싱 모드(T_{sens})에서 게이트 오프 전압(V_{GL})로 유지된다. 따라서, 센싱 모드(T_{sens})에서 제1 및 제3 스위치 소자들(S11, S12)이 턴-온되어 기준 전압 라인(1022)으로부터 데이터 라인

(1021)으로 흐르는 전류 경로가 형성될 수 있다.

[0179] 제3 스캔 신호(SC3)의 전압은 센싱 모드(Tsens)에서 Vref2 보다 높은 전압으로 발생되어 제1 스위치 소자(S12)가 턴-온될 때 제1 스위치 소자(S12)의 채널이 완전히 개방된다. 제3 스위치 소자(S11)의 게이트-소스 간 전압이 문턱 전압과 동일하게 될 때 제3 스위치 소자(S11)는 턴-오프된다. 이 때, 데이터 라인(1021)에 충전된 전압 즉, 데이터 라인(1021)의 기생 용량(C)에 충전된 전압을 Vref2와 비교하여 제3 스위치 소자(S11)의 문턱 전압을 알 수 있다. 센싱 모드(Tsens)에서, 데이터 라인(1022)의 전압과 Vref2의 차 전압이 제3 스위치 소자(S11)의 문턱 전압이다. 따라서, 센싱 모드(Tsens)에서, 데이터 라인(1022)의 전압과 Vref2의 차 전압으로 제3 스위치 소자(S11)의 문턱전압이 센싱될 수 있다.

[0180] 도 18a 내지 도 21에 도시된 제3 실시예의 픽셀 회로는 도 2 내지 도 4d에 도시된 픽셀 회로의 스위치 소자(S1)를 제1 및 제3 스위치 소자들(S11, S12)로 분리한 것이다. 도 18a 내지 도 21에 도시된 스위치 소자들(S11, S12)은 제2 실시예에 따른 픽셀 회로(도 14 내지 도 1)의 스위치 소자(S1)를 대체할 수도 있다.

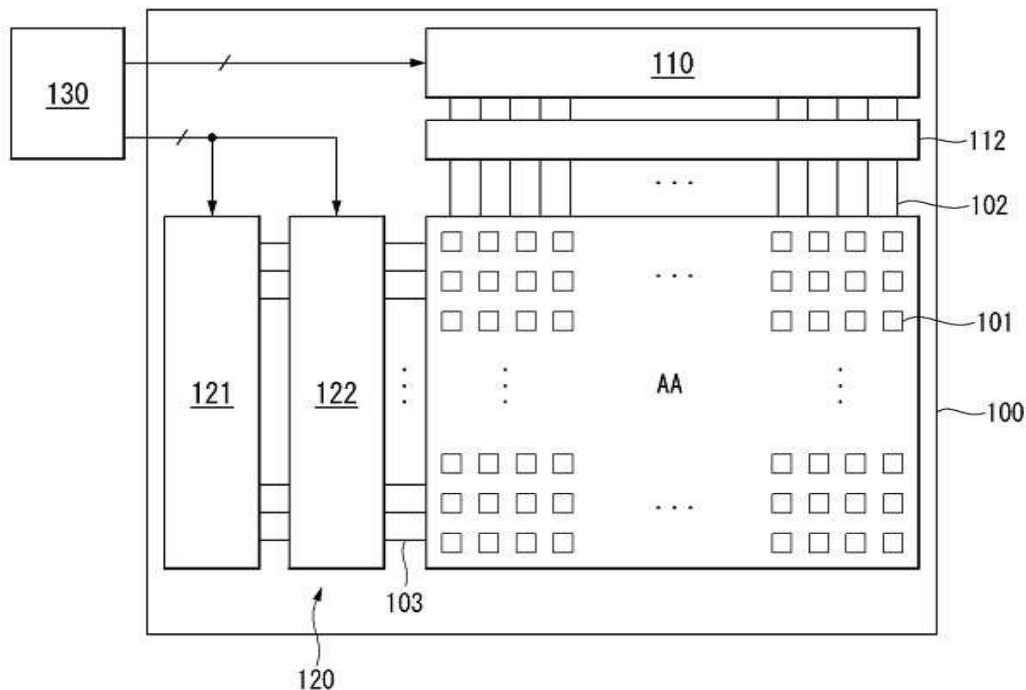
[0181] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0182] 100 : 표시패널 110 : 데이터 구동부
130 : 타이밍 콘트롤러 120 : 게이트 구동부
DT1, DT2 : 구동 소자
S1~S34 : 스위치 소자

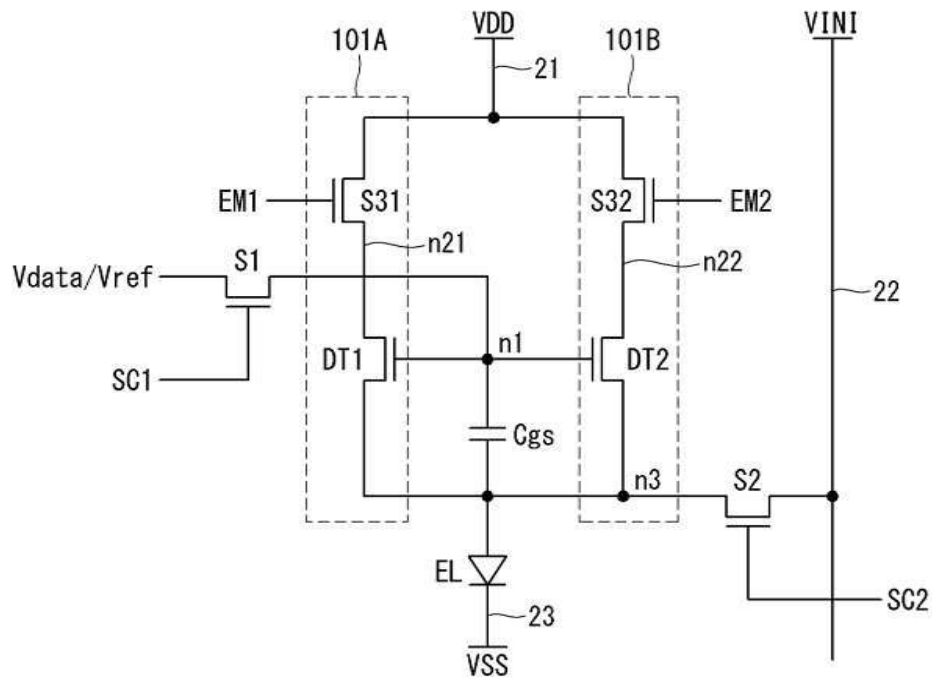
도면

도면1

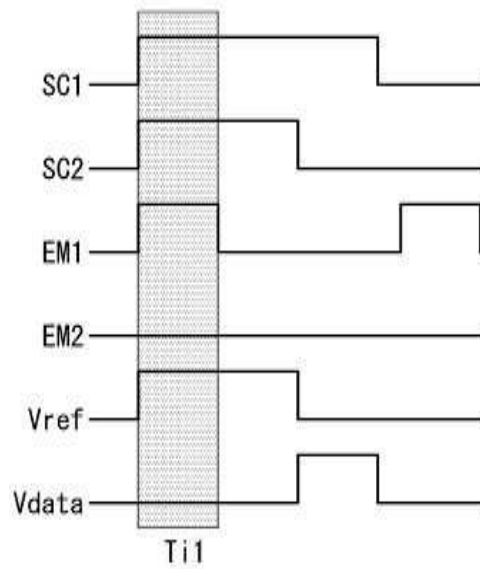
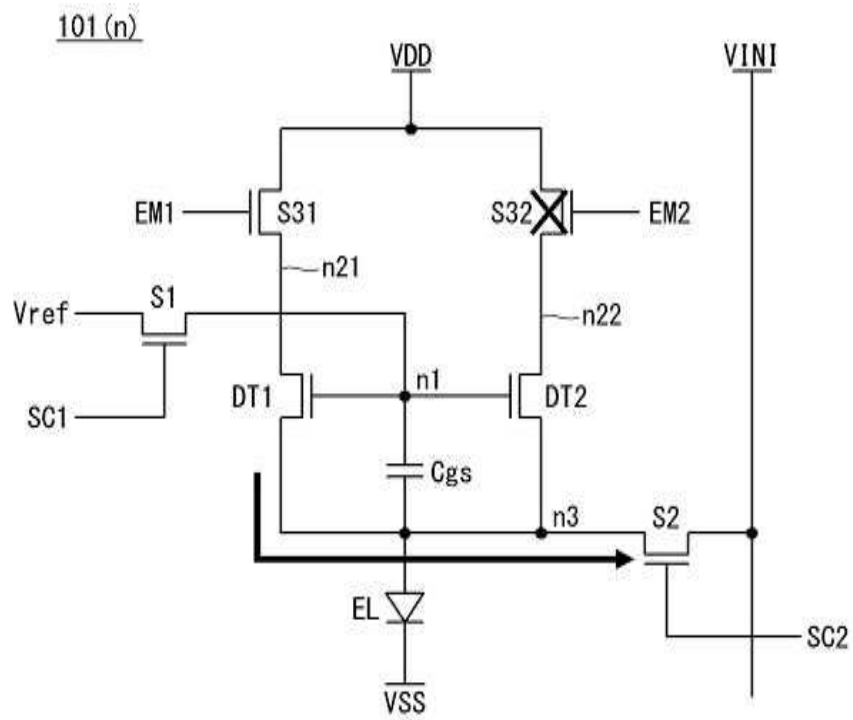


도면2

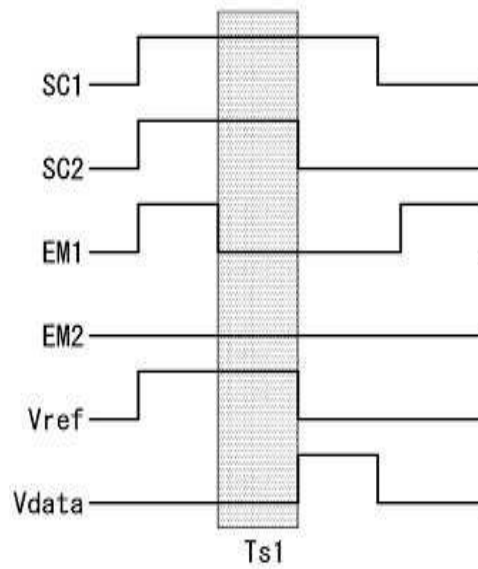
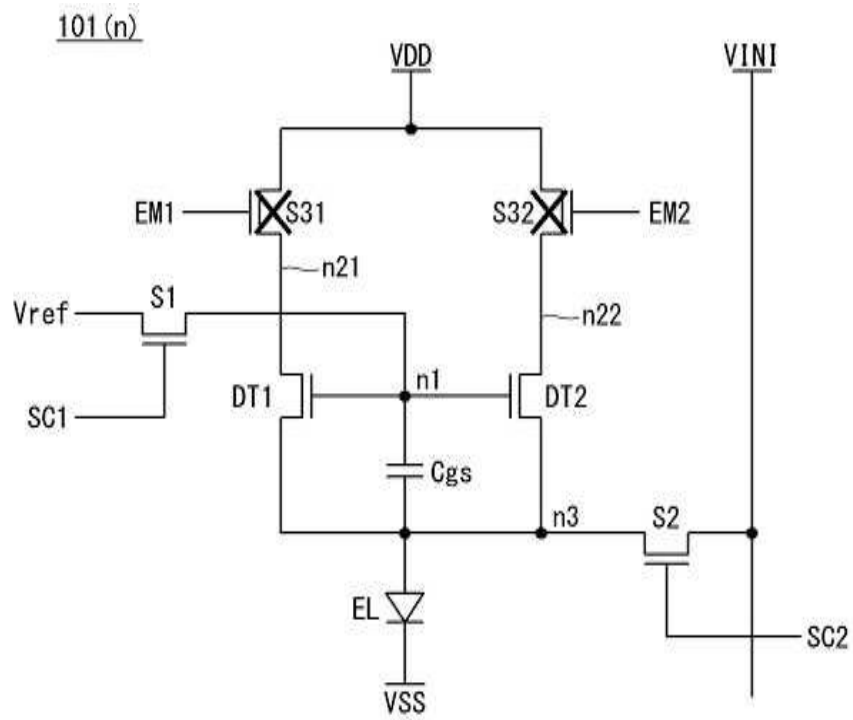
101 (n)



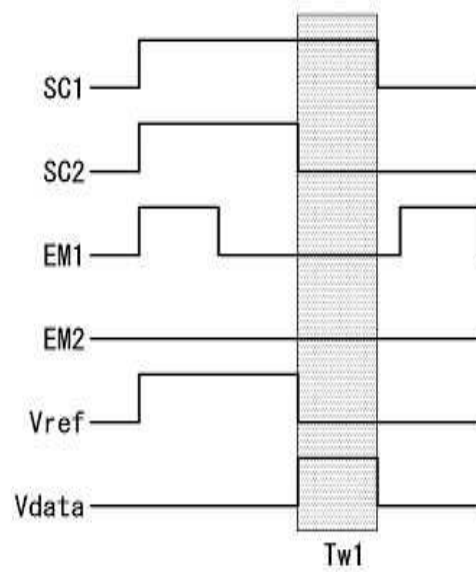
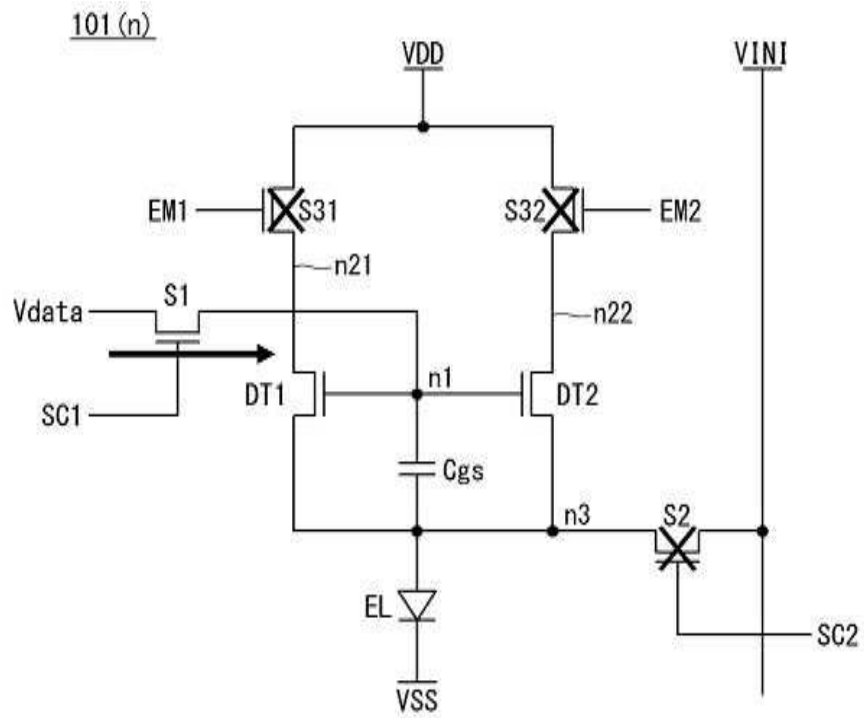
도면3a



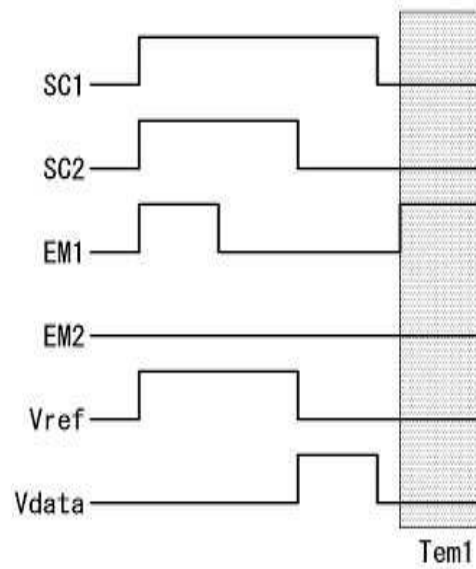
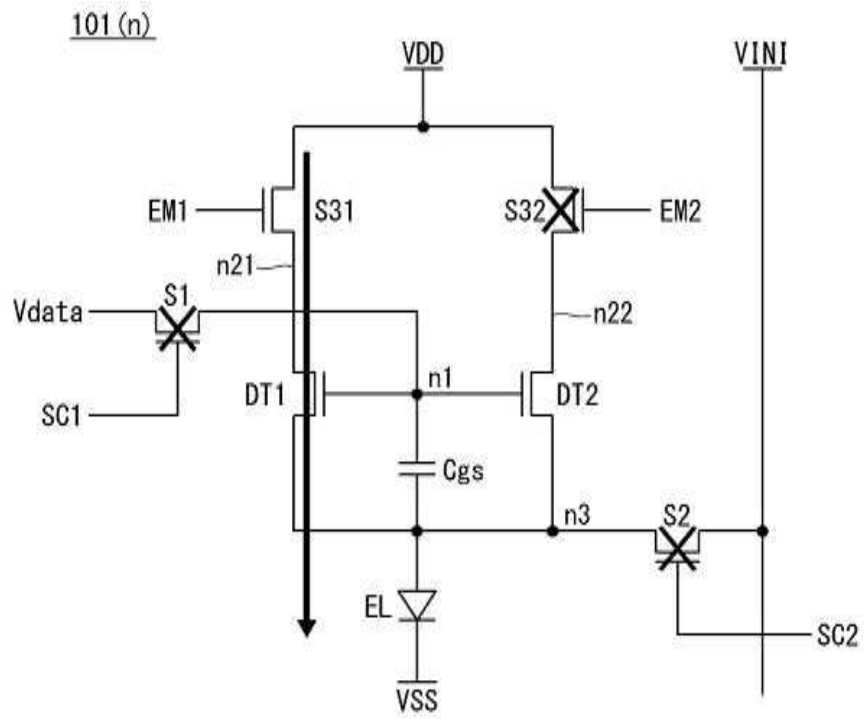
도면3b



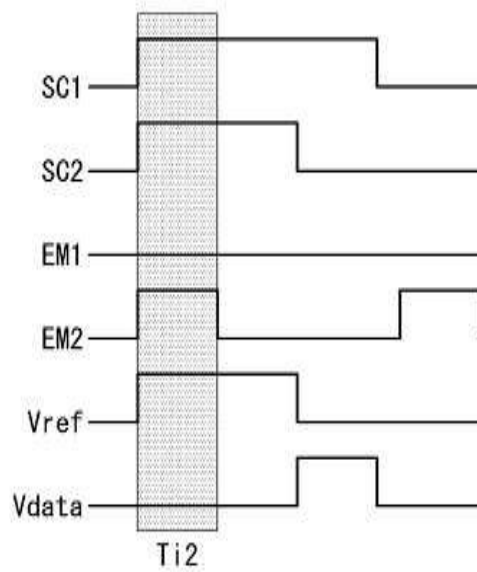
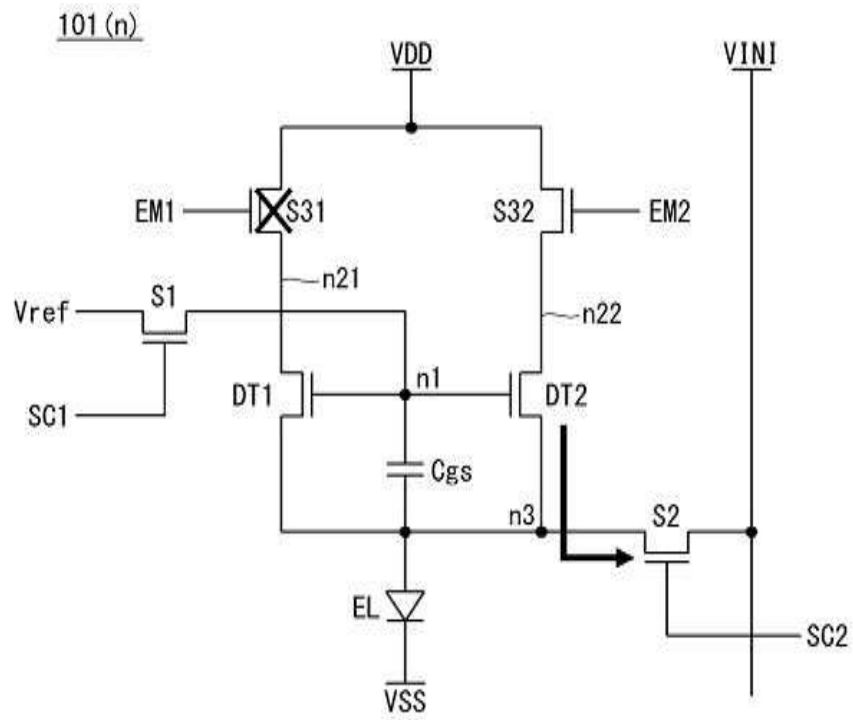
도면3c



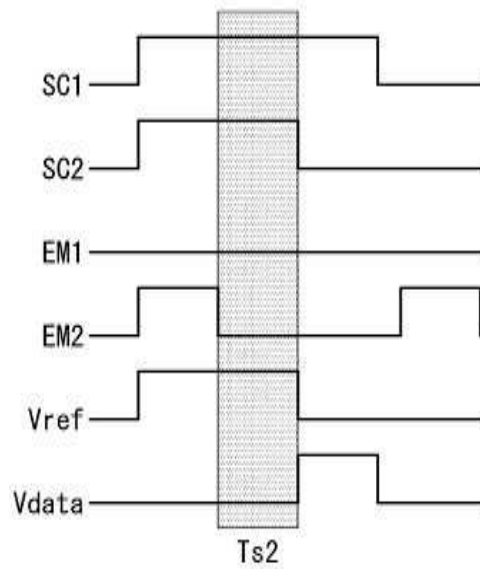
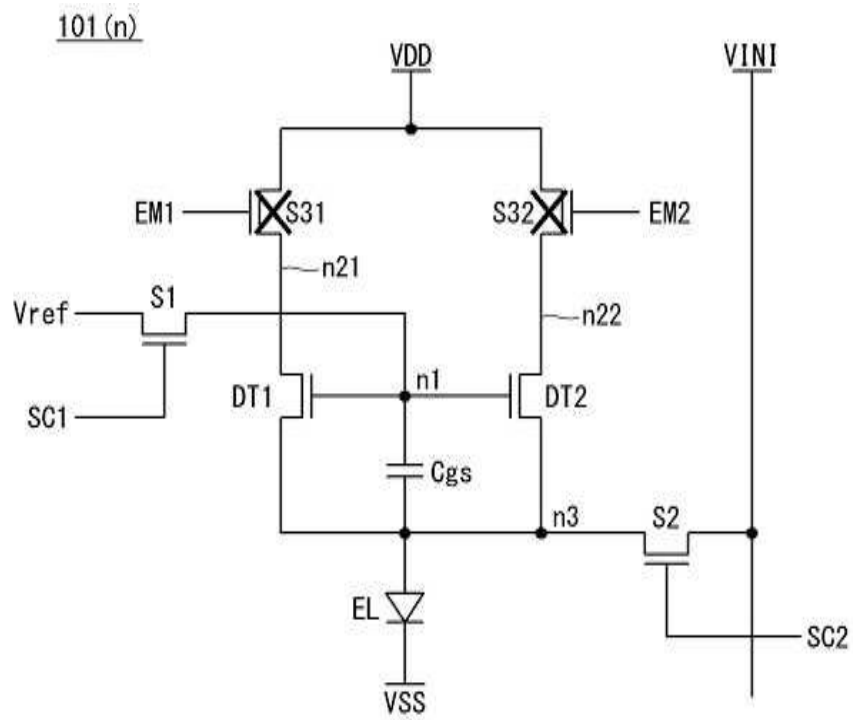
도면3d



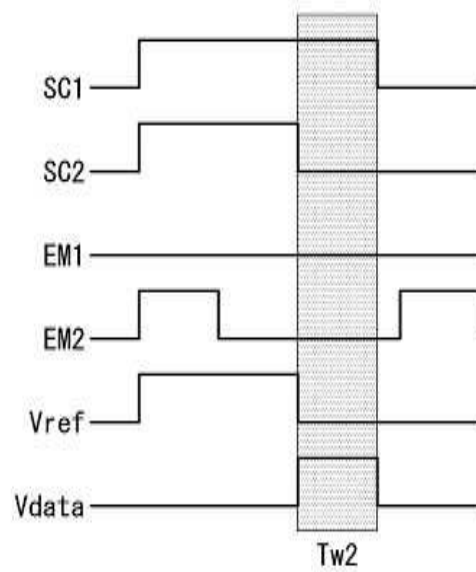
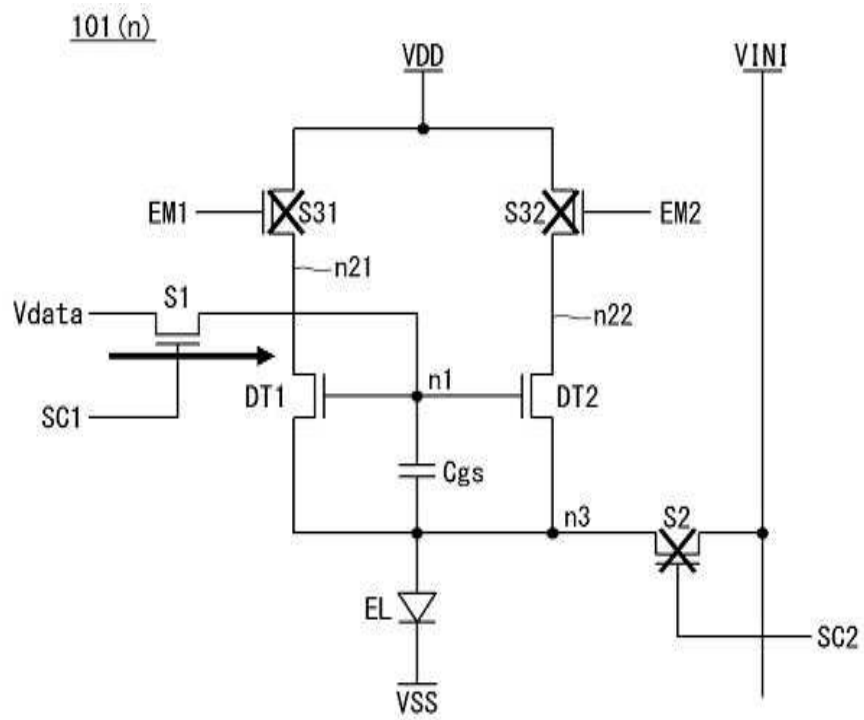
도면4a



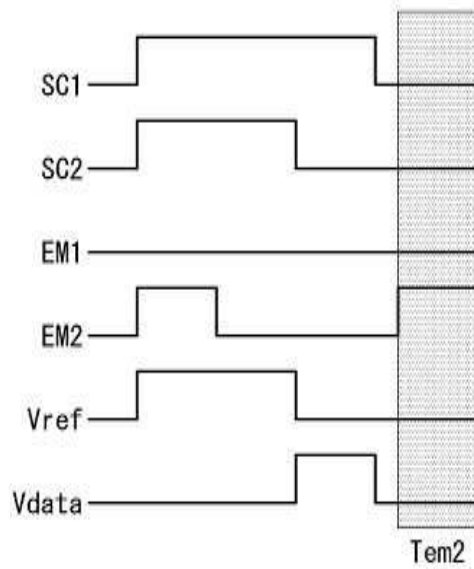
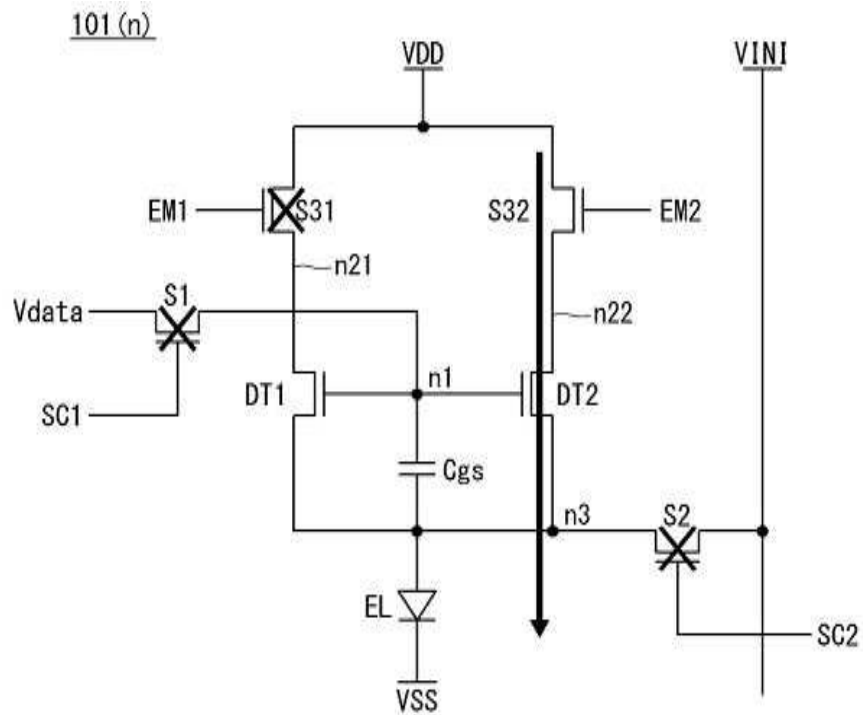
도면4b



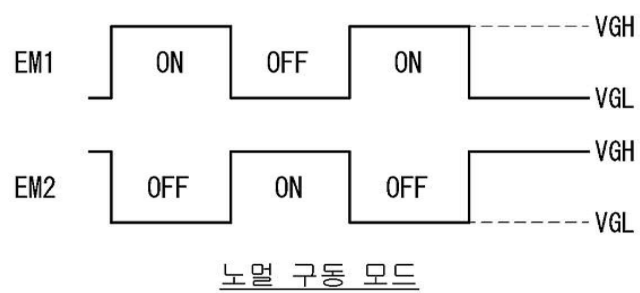
도면4c



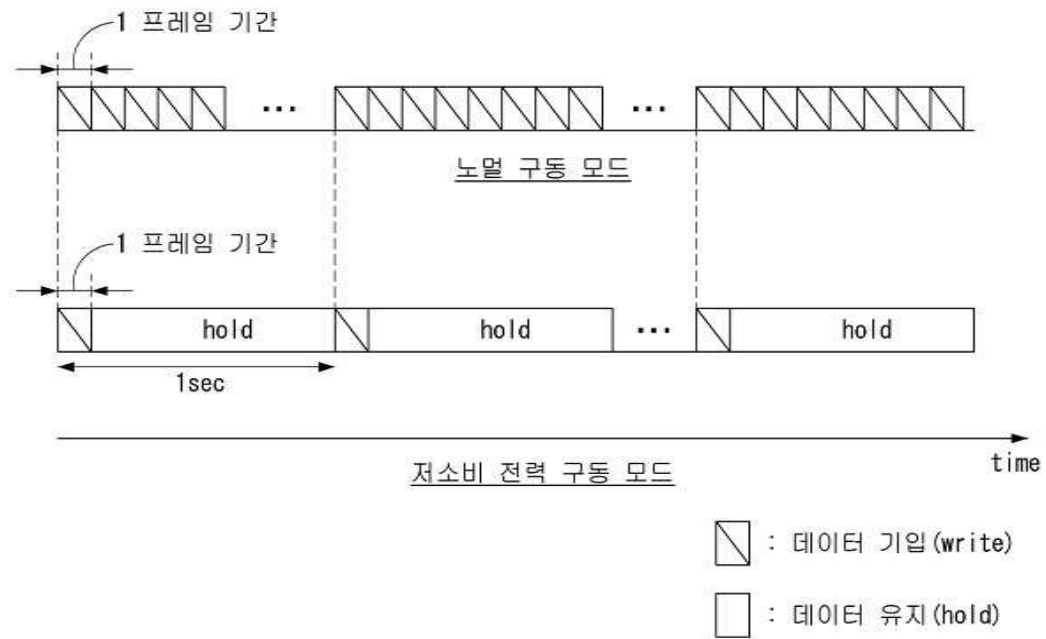
도면4d



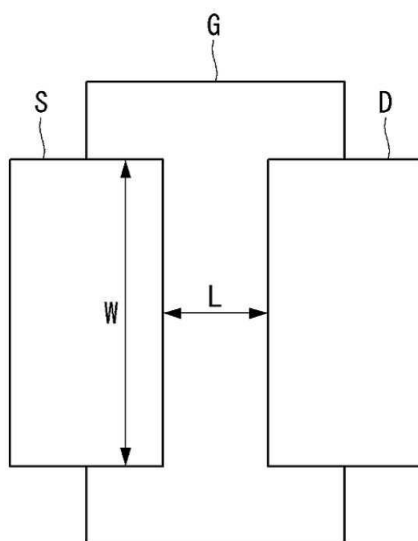
도면5



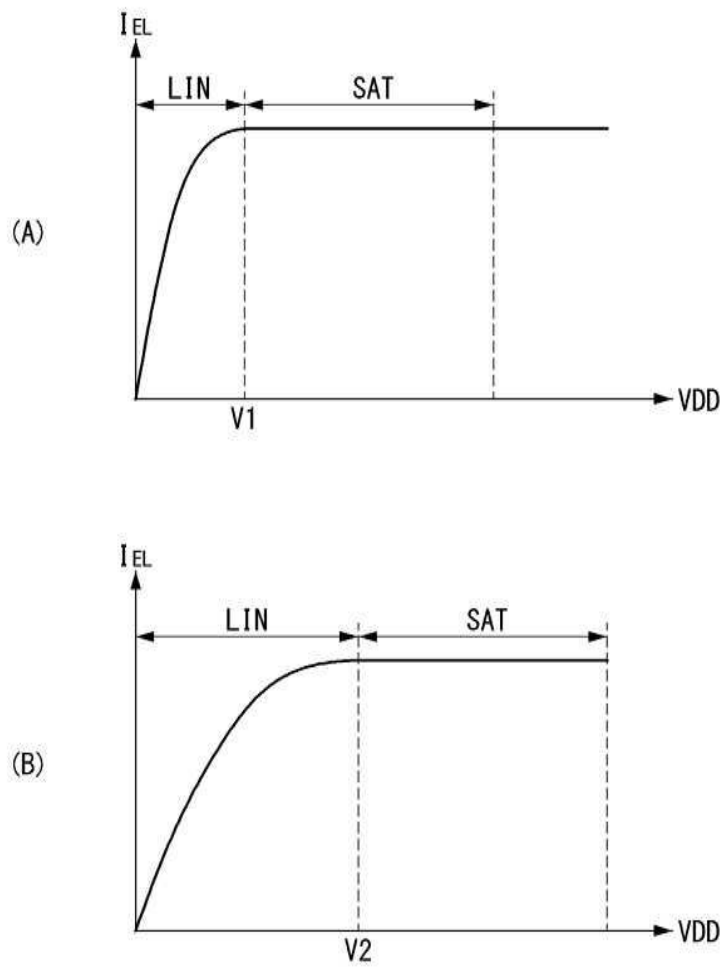
도면6



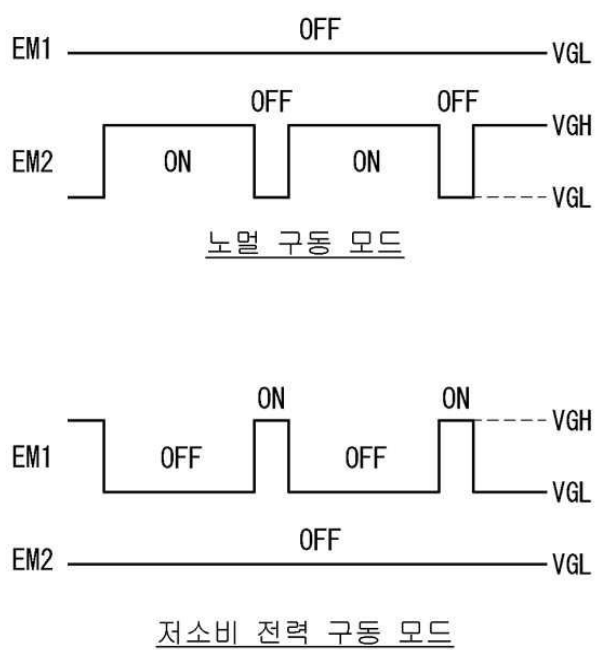
도면7



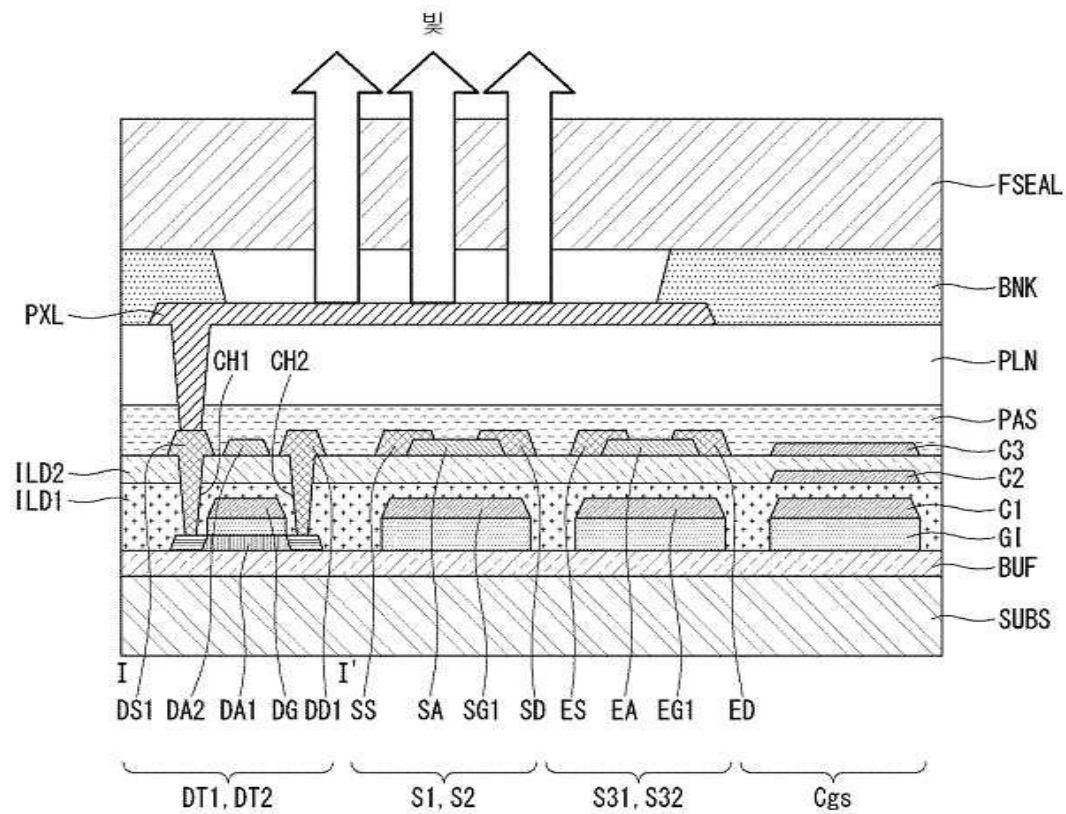
도면8



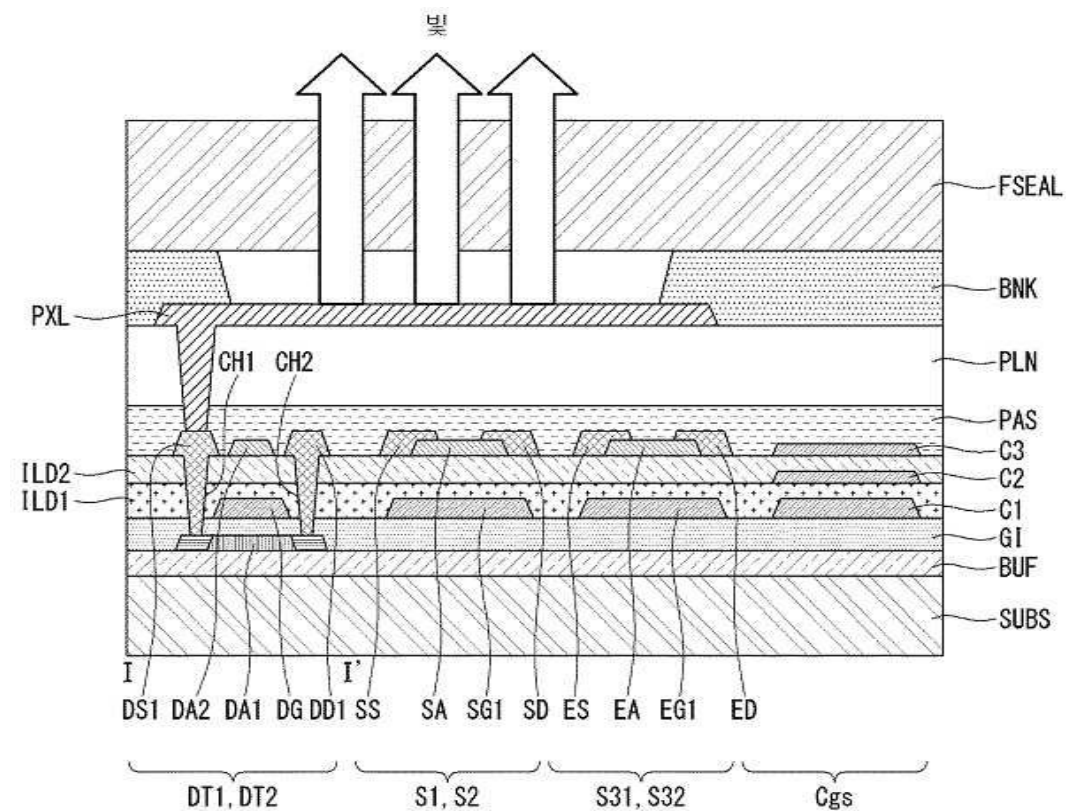
도면9



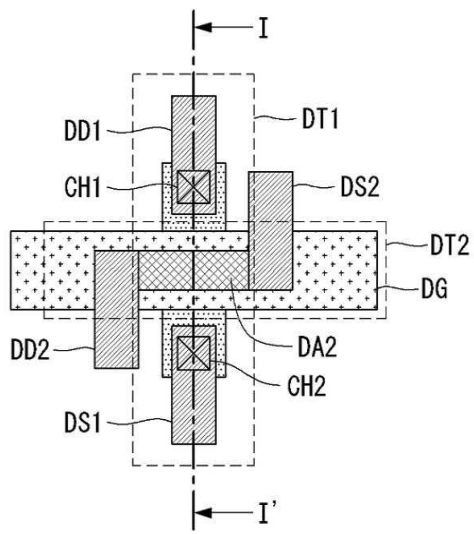
도면10



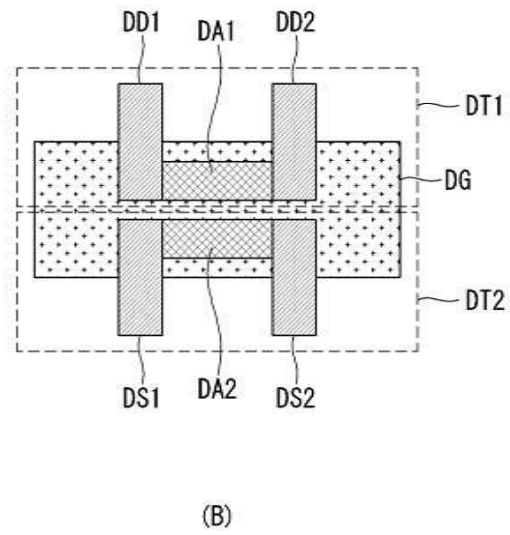
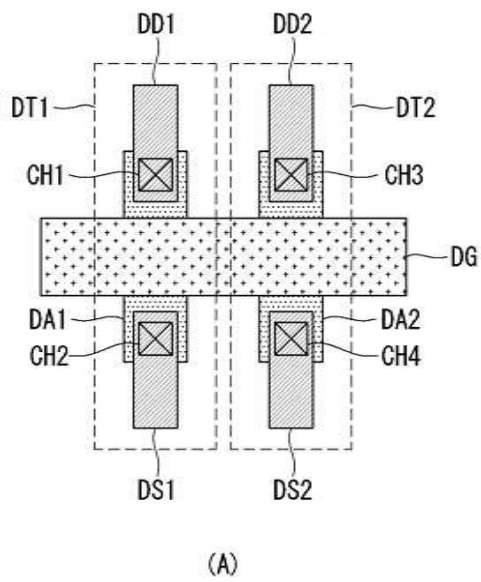
도면11



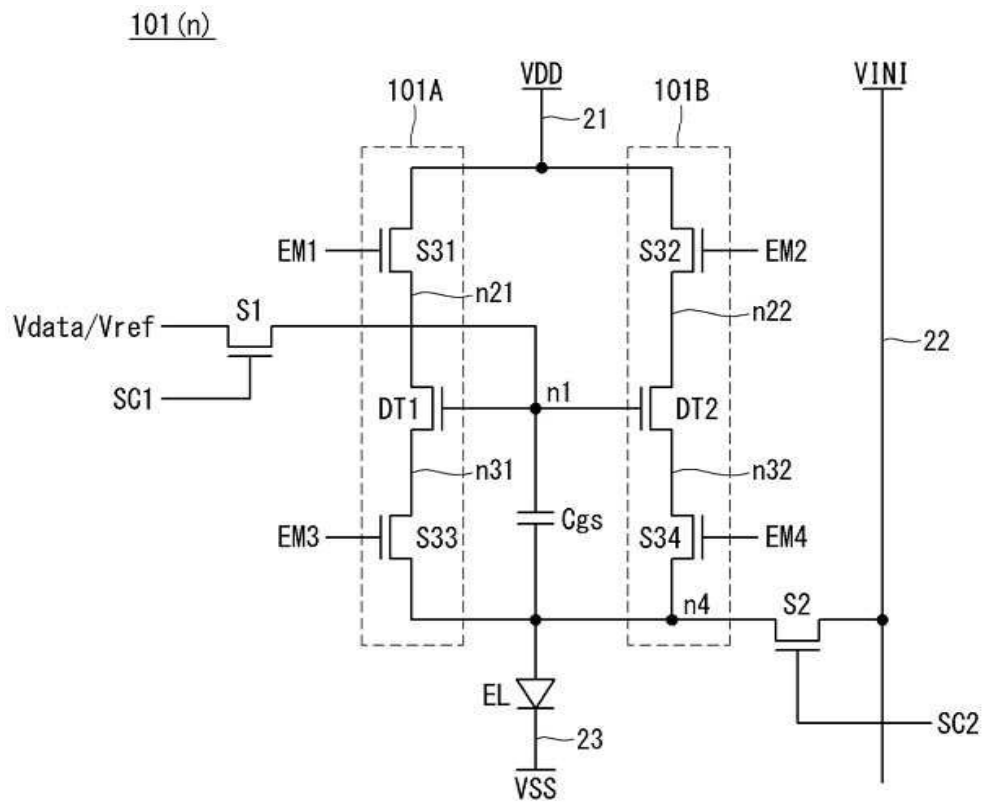
도면12



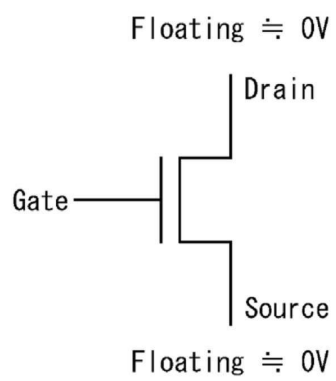
도면13



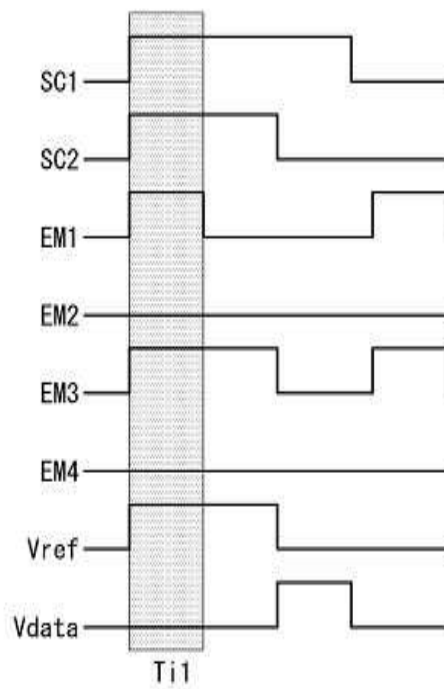
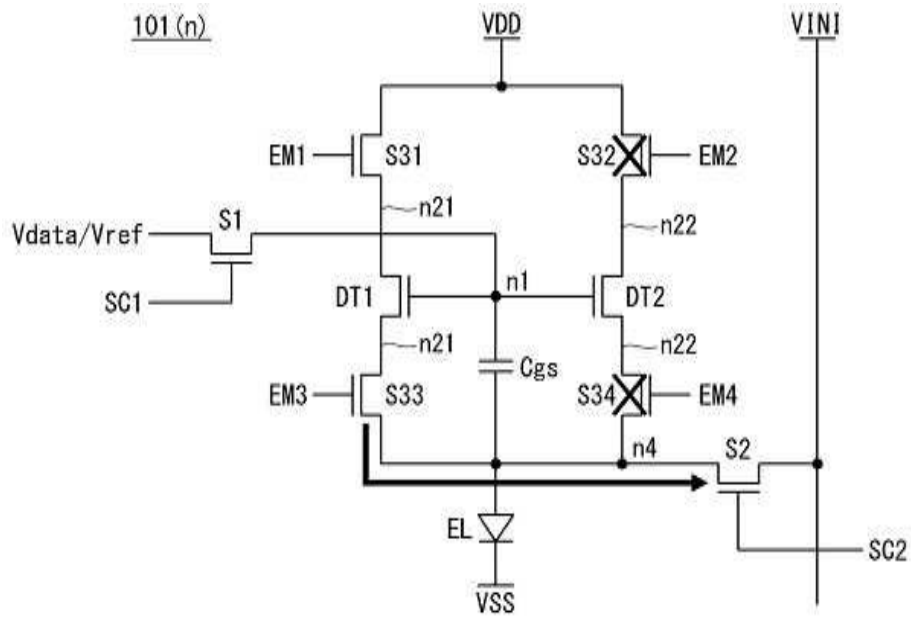
도면14



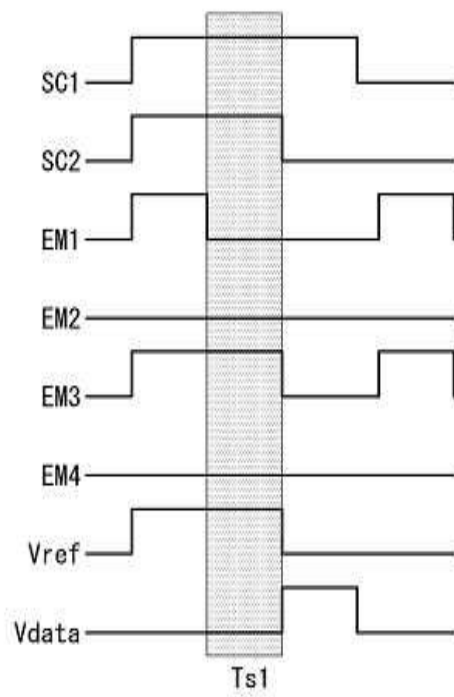
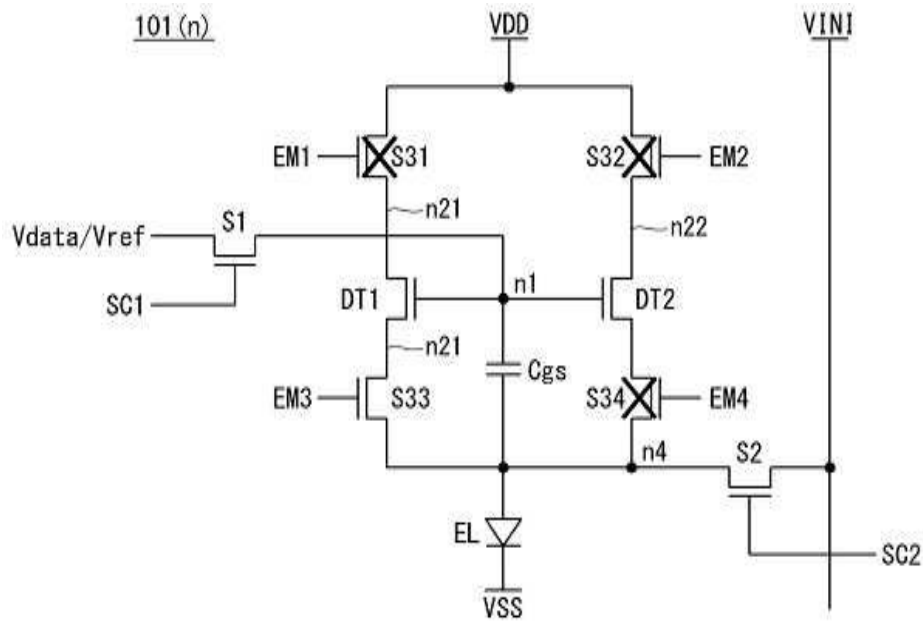
도면15



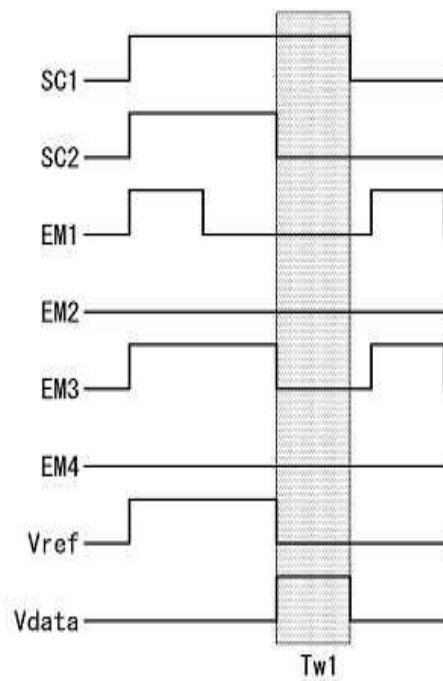
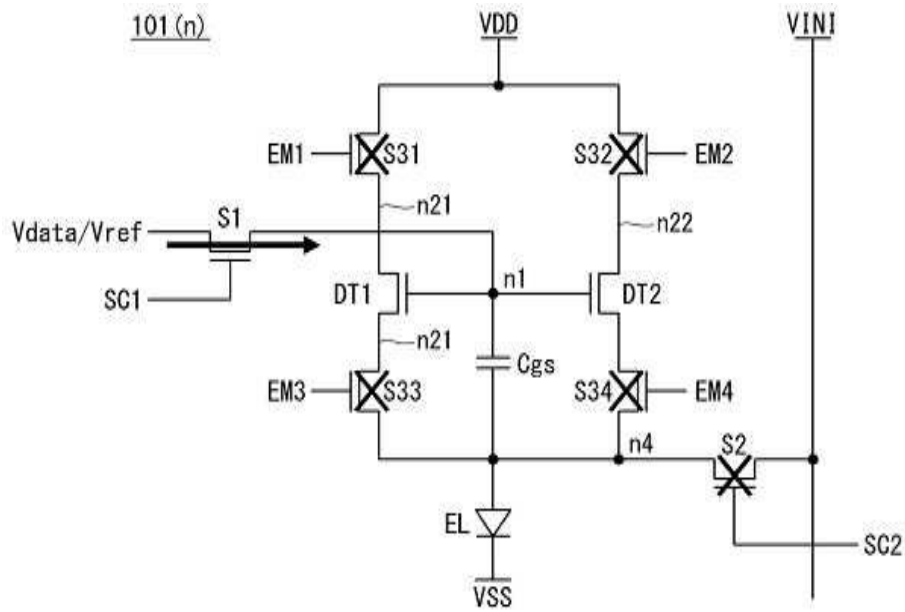
도면16a



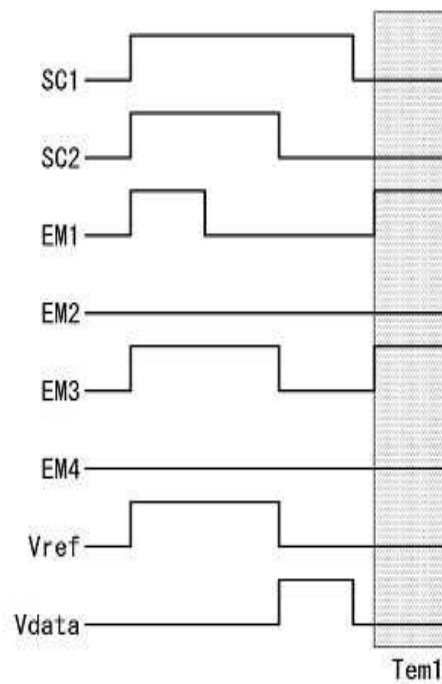
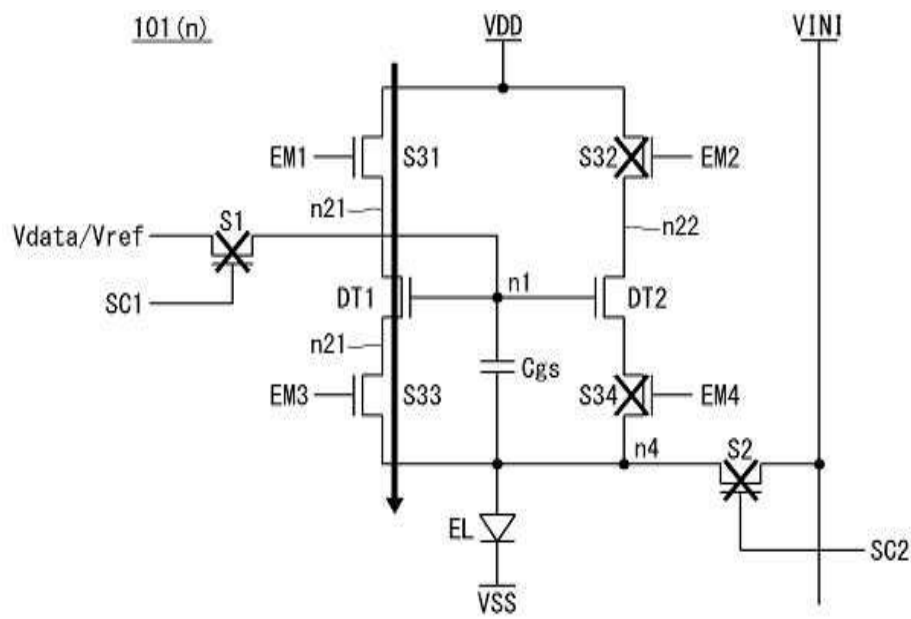
도면16b



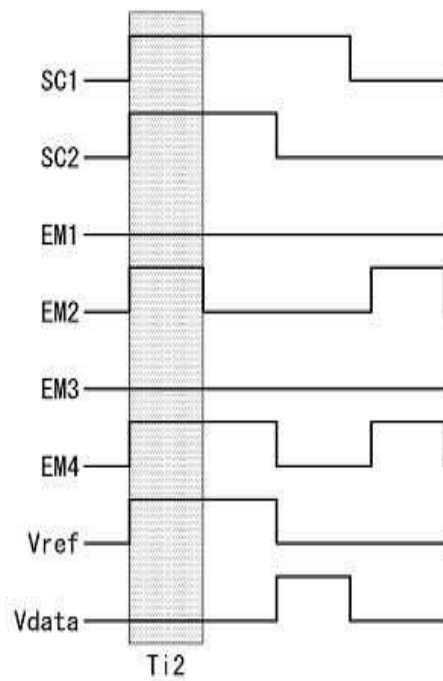
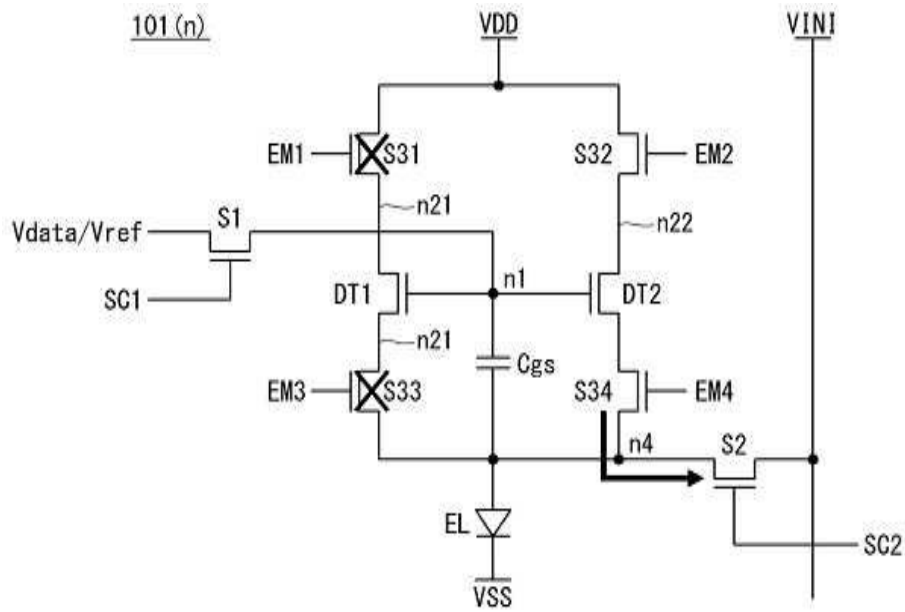
도면16c



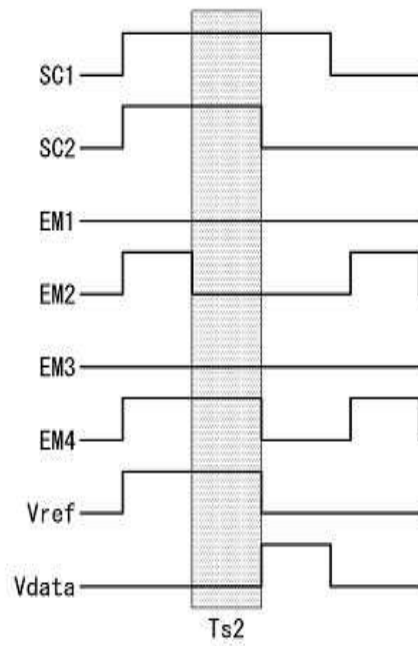
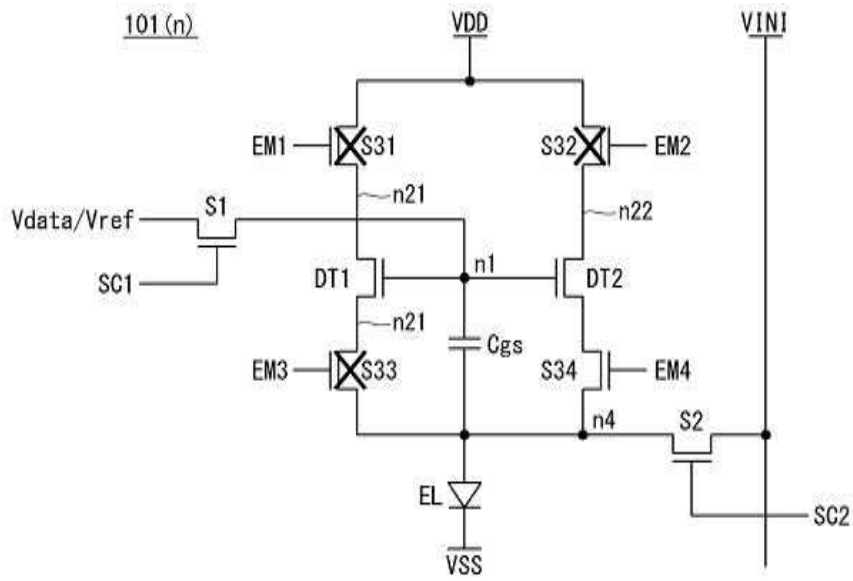
도면 16d



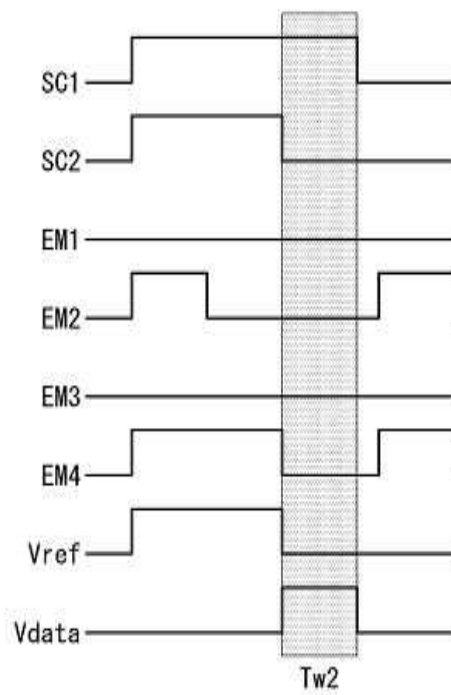
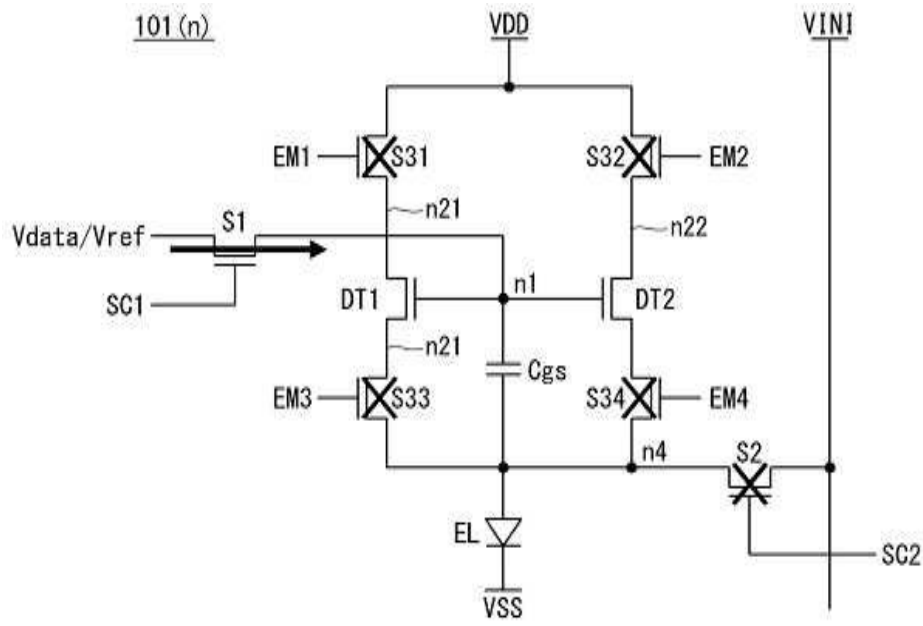
도면17a



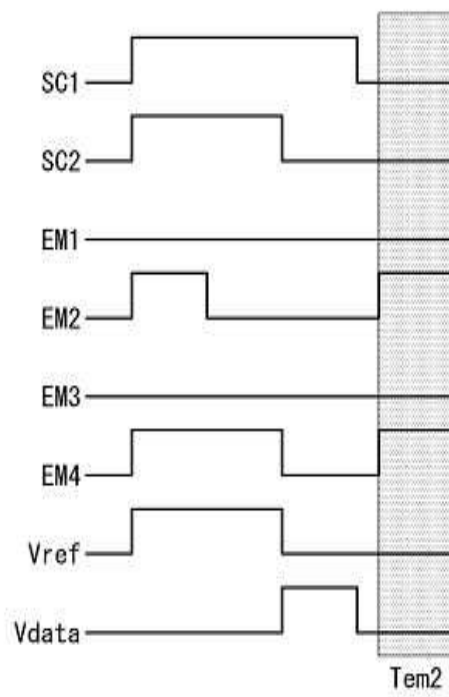
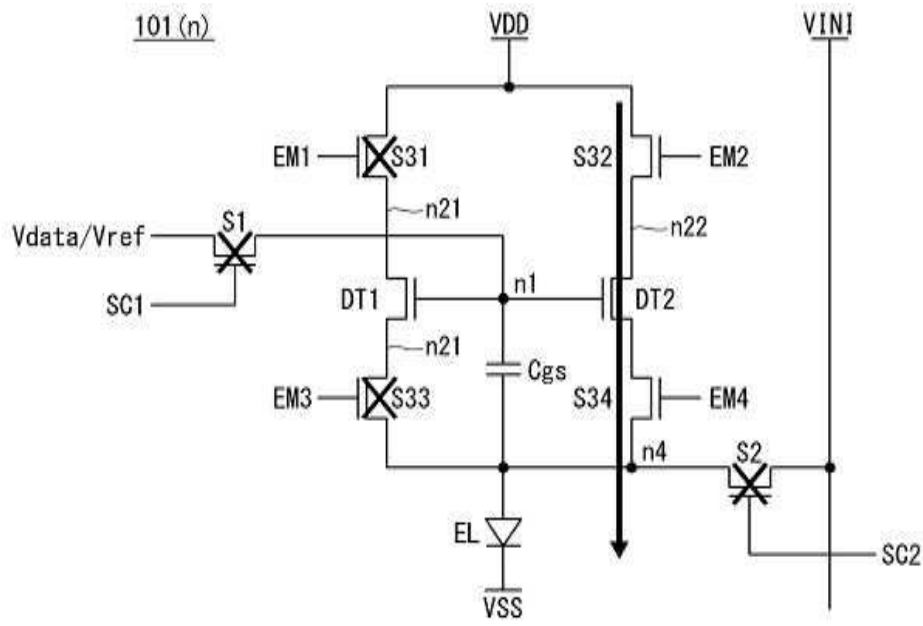
도면17b



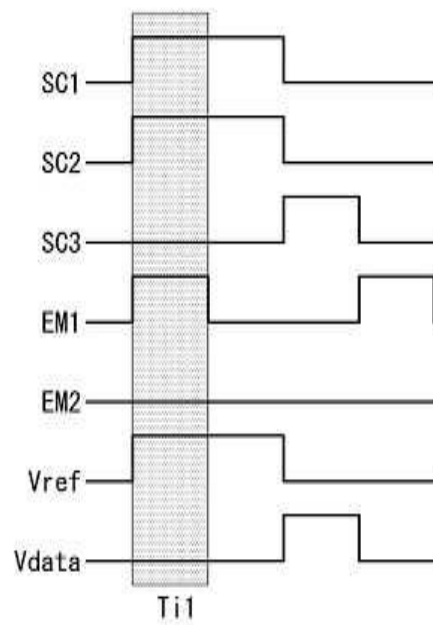
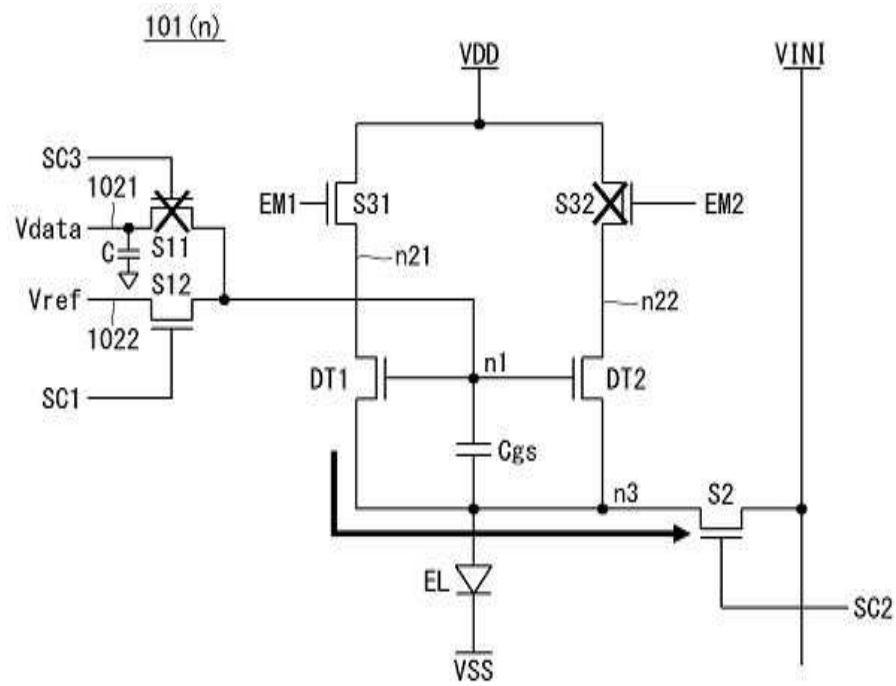
도면17c



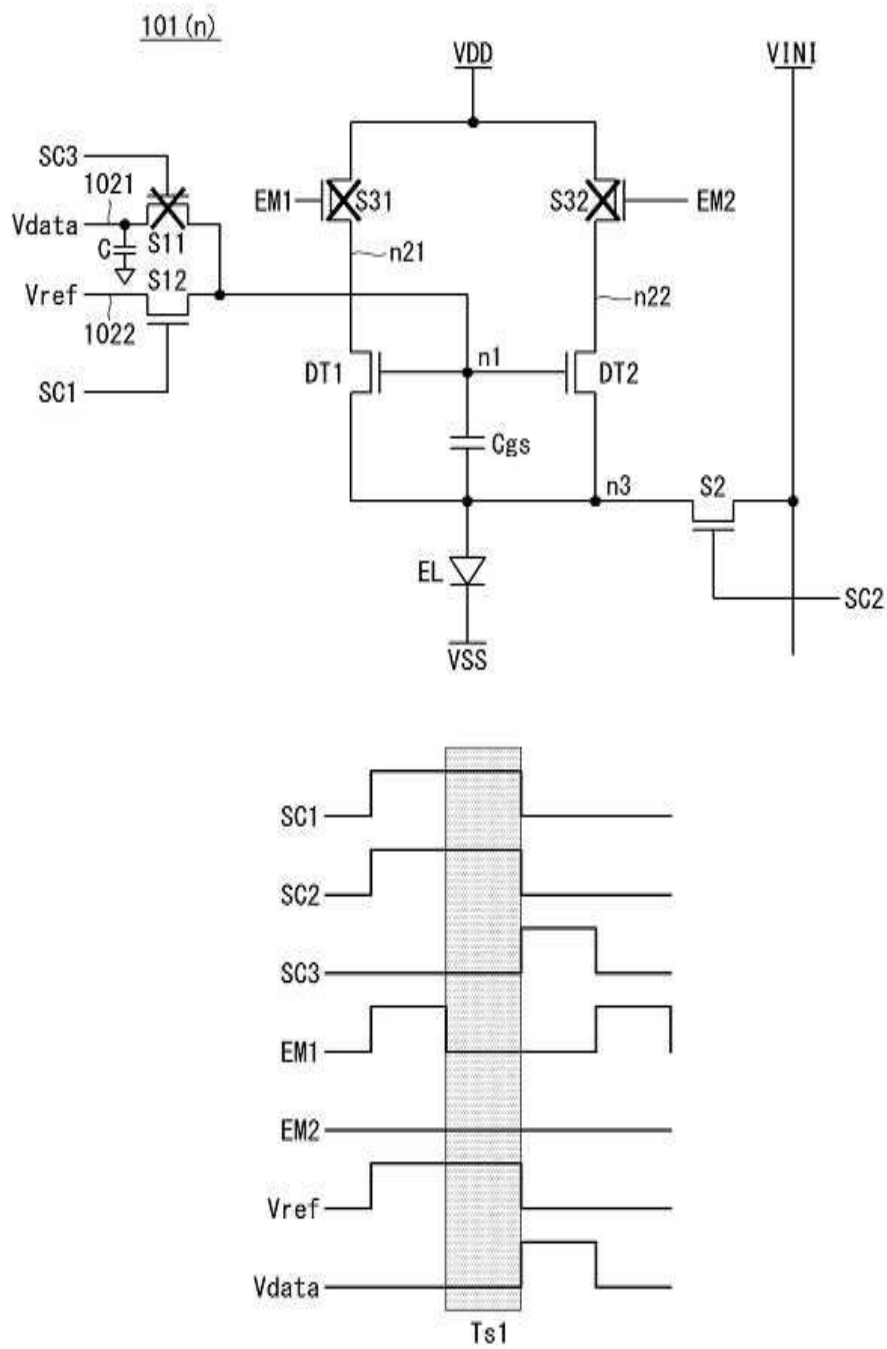
도면17d



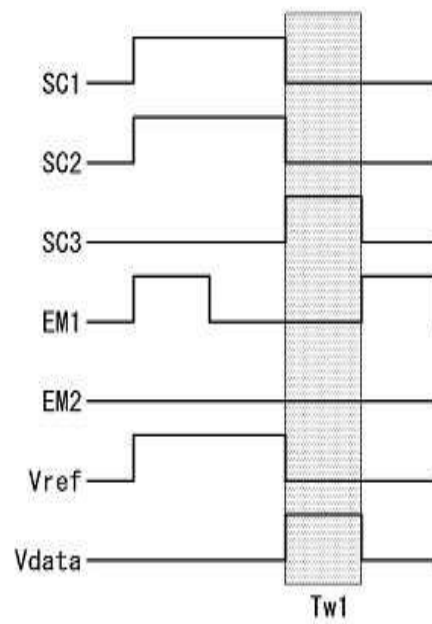
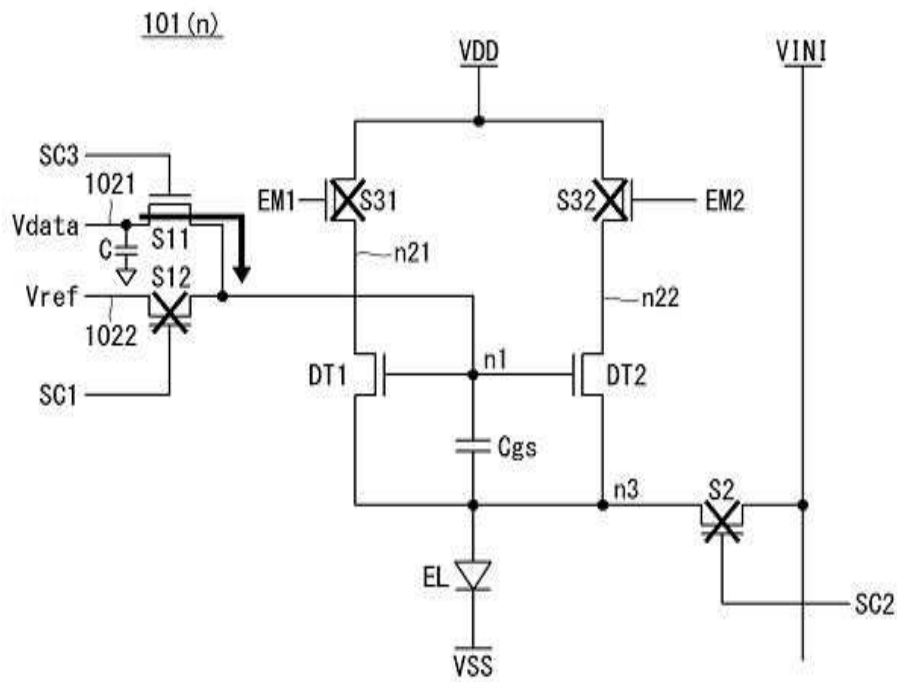
도면18a



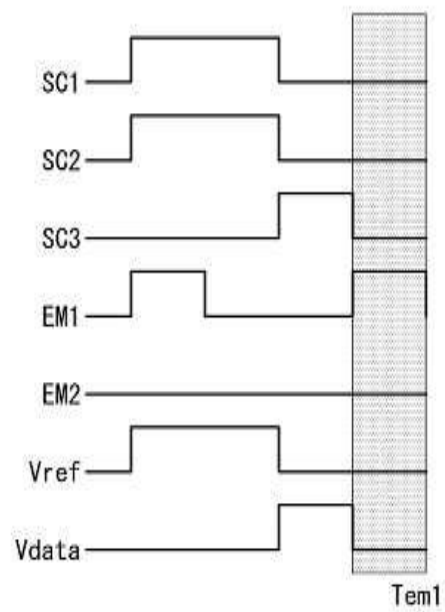
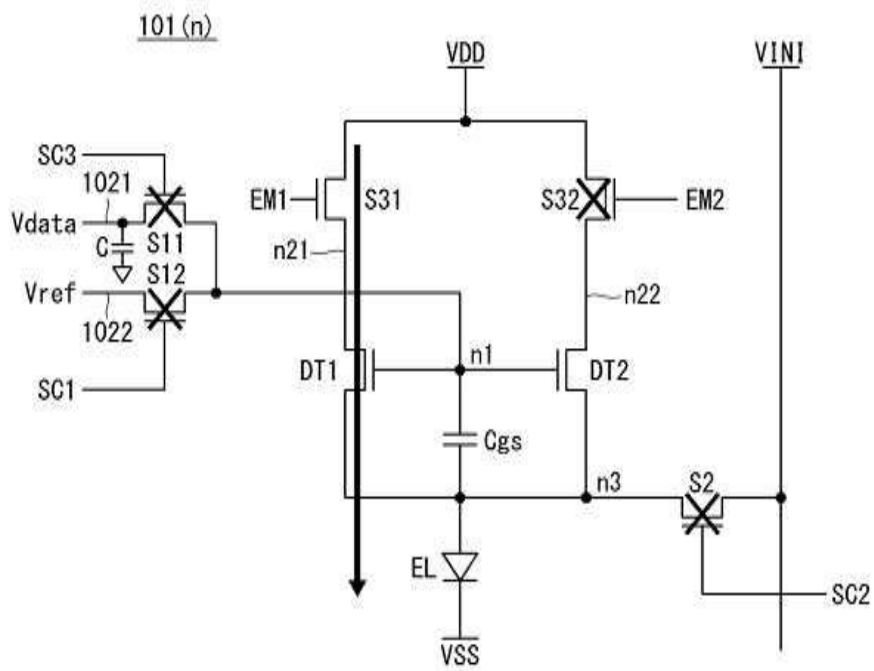
도면18b



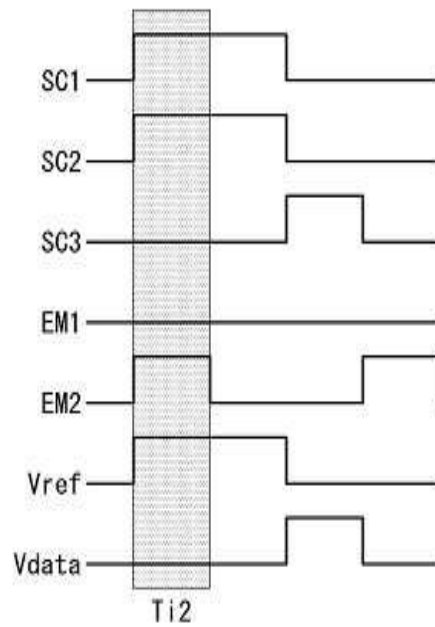
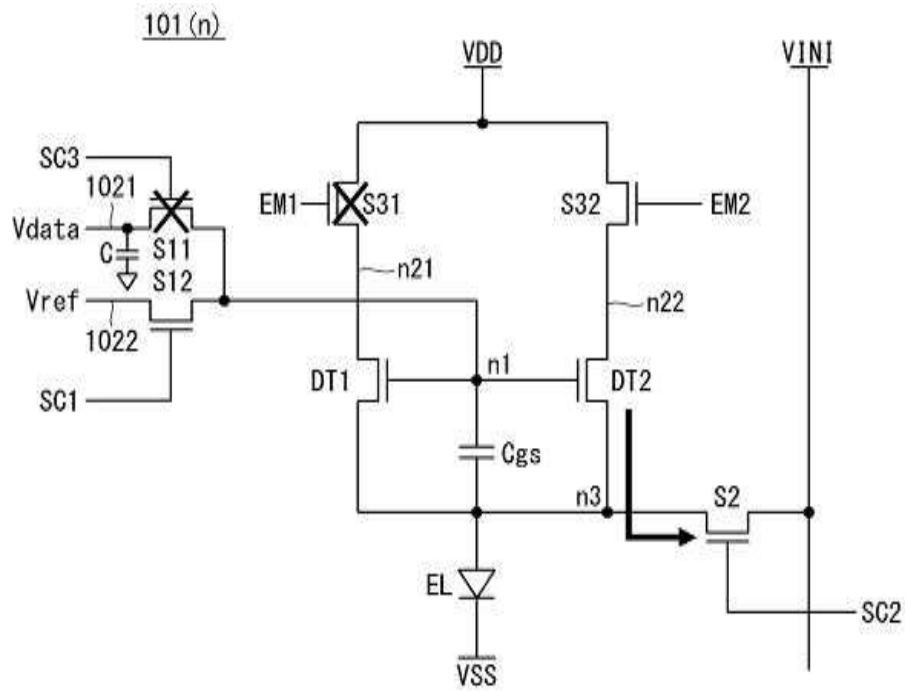
도면18c



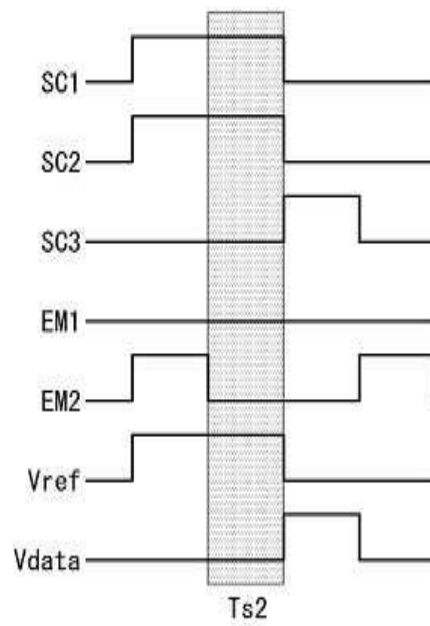
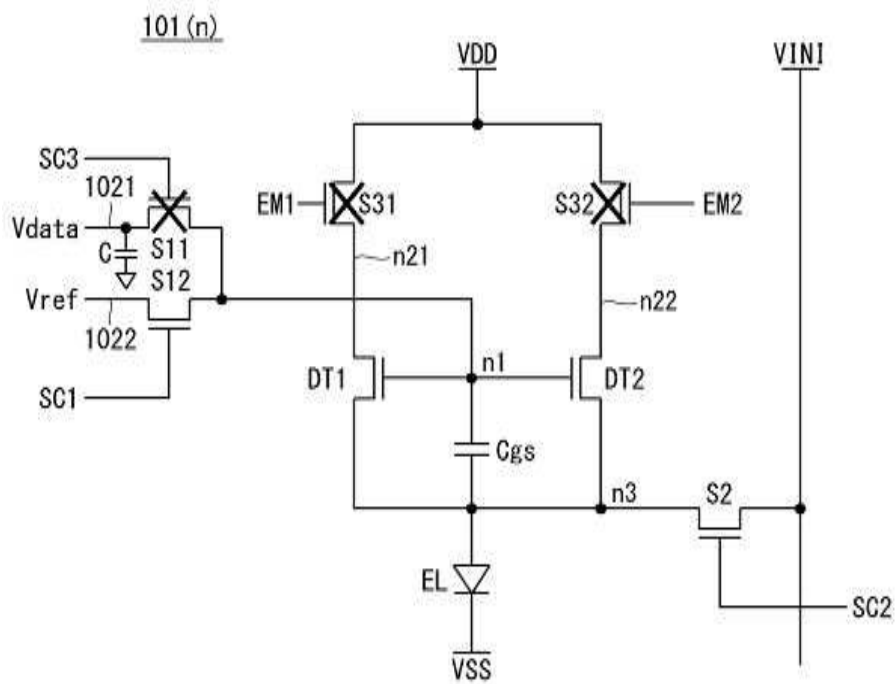
도면18d



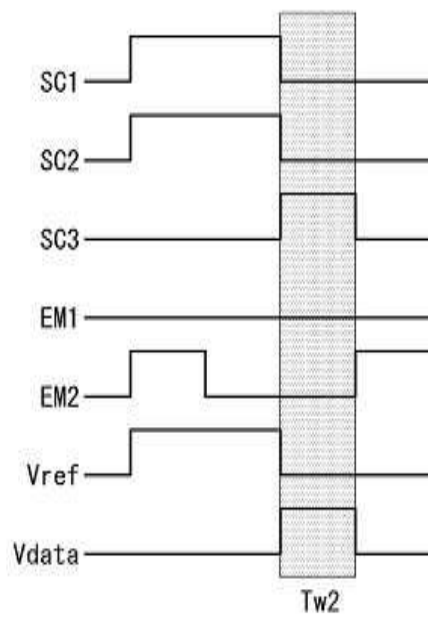
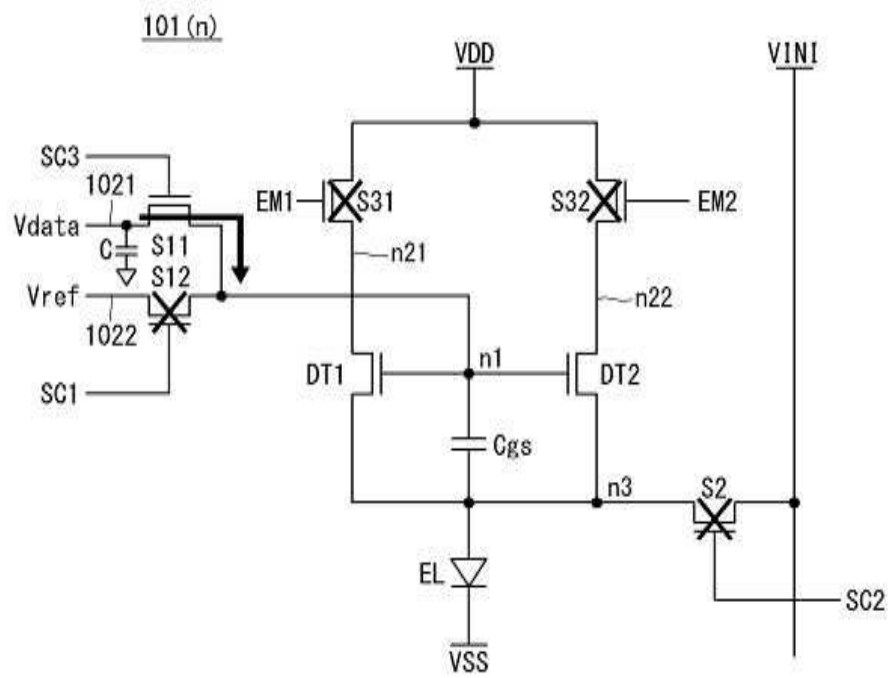
도면19a



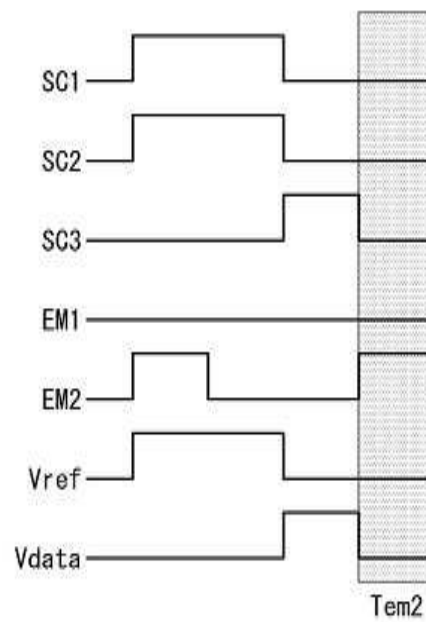
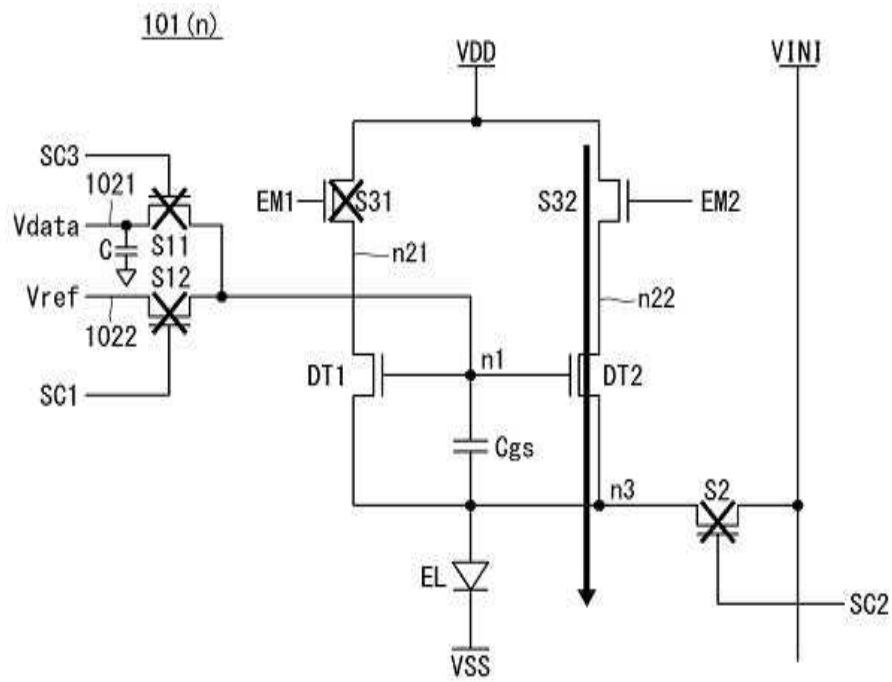
도면19b



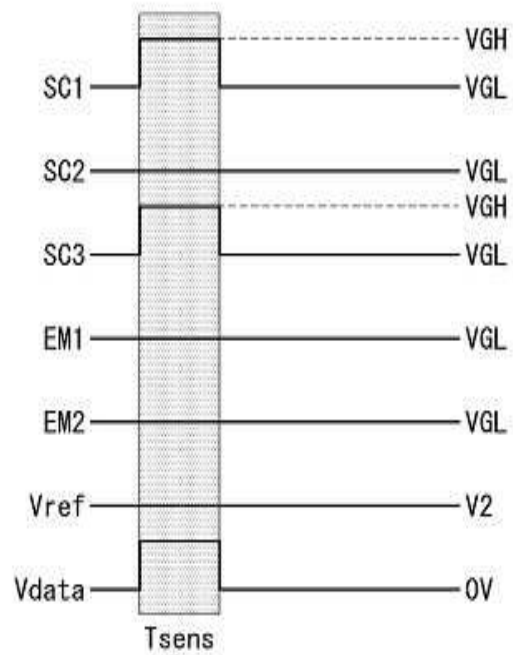
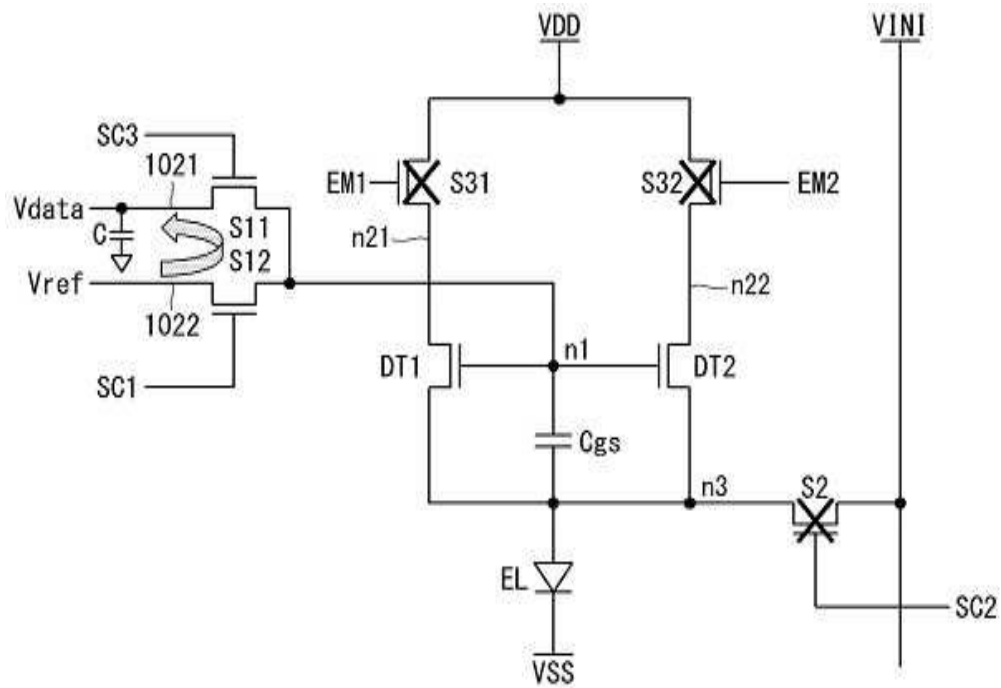
도면19c



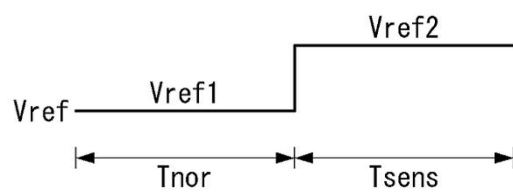
도면19d



도면20



도면21



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020180131706A	公开(公告)日	2018-12-11
申请号	KR1020170067705	申请日	2017-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SO HYUNG 이소형 GONG NAM YONG 공남용 SHIN SUNG SOO 신성수 YANG JUNG YUL 양정열 LEE HEE SUNG 이희성		
发明人	이소형 공남용 신성수 양정열 이희성		
IPC分类号	G09G3/3233 H01L27/12		
CPC分类号	G09G3/3233 H01L27/1225 H01L27/1251 H01L27/1255 G09G2320/0257 G09G2330/021 G09G2230/00 G09G3/3225 G09G2320/0266 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G2300/0426 G09G2300/0439 G09G2320/045 G09G2330/023		
外部链接	Espacenet		

摘要(译)

电致发光显示装置技术领域本发明涉及一种电致发光显示装置，其包括第一EM开关元件，用于响应于第一发光控制信号切换像素驱动电压和发光元件之间的电流路径，第一驱动单元，用于使用连接到第一驱动单元的第一驱动元件来驱动发光元件；并且第二EM开关元件用于响应于第二发光控制信号在像素驱动电压和发光元件之间切换电流路径，并且第二驱动元件连接在第二EM开关元件和发光元件之间以及用于驱动发光器件的第二驱动器。

101 (n)

