

(52) CPC특허분류

H01L 27/3246 (2013.01)
H01L 27/3248 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3265 (2013.01)
H01L 51/5008 (2013.01)
H01L 51/5271 (2013.01)
H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

적어도 하나의 개구를 포함하는 화소 전극;

상기 화소 전극 상에 배치되며, 유기 발광층을 포함하는 중간층;

상기 중간층 상에 배치된 대향 전극; 및

상기 화소 전극의 상기 적어도 하나의 개구와 평면상 중첩된 상부 도전층을 포함하며, 상기 화소 전극과 전기적으로 연결된 구동 회로부;를 포함하는, 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 화소 전극은 반사 전극이며 상기 대향 전극은 투명 또는 반투명 전극인, 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 화소 전극은 상기 적어도 하나의 개구 및 상기 적어도 하나의 개구를 완전히 둘러싸는 반사층을 포함하는, 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 구동 회로부는 상기 상부 도전층의 하부에 배치되며 상기 적어도 하나의 개구와 평면상 중첩된 하부 도전층을 더 포함하며, 상기 상부 도전층과 상기 하부 도전층은 전기적으로 연결된, 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

상기 구동 회로부는,

적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함하며,

상기 적어도 하나의 상부 도전층 및 상기 하부 도전층은, 상기 적어도 하나의 박막 트랜지스터와 상기 적어도 하나의 커패시터가 연결된 노드에 위치하는, 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 적어도 하나의 박막 트랜지스터는,

활성층;

상기 활성층 상에 상기 활성층과 절연되도록 배치된 게이트 전극; 및

상기 게이트 전극 상에 배치되며, 상기 활성층과 전기적으로 연결된 소스 전극 및 드레인 전극 중 적어도 하나를 포함하며,

상기 상부 도전층은 상기 소스 전극 및 상기 드레인 전극 중 하나의 일부인, 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 적어도 하나의 커패시터는,

상기 게이트 전극과 동일층에 배치된 제1 전극; 및

상기 소스 전극 및 상기 드레인 전극 중 적어도 하나와 절연층을 사이에 두고 서로 다른 층에 배치되며, 상기 하부 전극에 대향하는 제2 전극;을 포함하며,

상기 소스 전극 및 상기 드레인 전극 중 하나는 상기 절연층에 포함된 콘택홀을 통해 상기 제2 전극과 전기적으로 연결되며, 상기 하부 도전층은 상기 제2 전극의 일부인, 유기 발광 표시 장치.

청구항 8

기판; 및

상기 기판 상에 배치되며, 화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 화소;를 포함하며,

상기 화소는,

상기 제1 영역에 배치되고 상기 픽셀을 구동하며, 적어도 하나의 상부 도전층을 포함하는 구동 회로부;

상기 구동 회로부와 전기적으로 연결되고 상기 제1 영역에 배치되며, 적어도 하나의 개구를 포함하는 화소 전극;

적어도 상기 제1 영역에 배치되며, 상기 화소 전극의 일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막;

상기 제1 개구에 의해 노출된 상기 화소 전극 상에 배치되며, 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 배치된 대향 전극;을 포함하며,

상기 적어도 하나의 개구와 상기 상부 도전층은 평면상 중첩된, 유기 발광 표시 장치.

청구항 9

제8 항에 있어서,

상기 화소 전극은 반사 전극이며 상기 대향 전극은 투명 또는 반투명 전극인, 유기 발광 표시 장치.

청구항 10

제8 항에 있어서,

상기 화소 전극은 상기 적어도 하나의 개구 및 상기 적어도 하나의 개구를 완전히 둘러싸는 반사층을 포함하는, 유기 발광 표시 장치.

청구항 11

제8 항에 있어서,

상기 구동 회로부는 상기 상부 도전층의 하부에 배치되며 상기 적어도 하나의 개구와 평면상 중첩된 하부 도전층을 더 포함하며, 상기 상부 도전층과 상기 하부 도전층은 전기적으로 연결된, 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,

상기 구동 회로부는,

적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함하며,

상기 적어도 하나의 상부 도전층 및 상기 하부 도전층은, 상기 적어도 하나의 박막 트랜지스터와 상기 적어도 하나의 커패시터가 연결된 노드에 위치하는, 유기 발광 표시 장치.

청구항 13

제12 항에 있어서,
상기 적어도 하나의 박막 트랜지스터는,
활성층;
상기 활성층 상에 상기 활성층과 절연되도록 배치된 게이트 전극; 및
상기 게이트 전극 상에 배치되며, 상기 활성층과 전기적으로 연결된 소스 전극 및 드레인 전극 중 적어도 하나를 포함하며,
상기 상부 도전층은 상기 소스 전극 및 상기 드레인 전극 중 하나의 일부인, 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,
상기 적어도 하나의 커패시터는,
상기 게이트 전극과 동일층에 배치된 제1 전극; 및
상기 소스 전극 및 상기 드레인 전극 중 적어도 하나와 절연층을 사이에 두고 서로 다른 층에 배치되며, 상기 하부 전극에 대향하는 제2 전극;을 포함하며,
상기 소스 전극 및 상기 드레인 전극 중 하나는 상기 절연층에 포함된 콘택홀을 통해 상기 제2 전극과 전기적으로 연결되며, 상기 하부 도전층은 상기 제2 전극의 일부인, 유기 발광 표시 장치.

청구항 15

제12 항에 있어서,
상기 적어도 하나의 박막 트랜지스터는 스위칭 박막 트랜지스터이고 상기 적어도 하나의 커패시터는 스토리지 커패시터이며,
상기 구동 회로부는 상기 스토리지 커패시터와 평면상 중첩된 구동 박막 트랜지스터를 더 포함하는, 유기 발광 표시 장치.

청구항 16

제8 항에 있어서,
상기 화소의 전체 면적에 대한 상기 제2 영역의 면적의 비율은 약 40 % 내지 약 90 %인, 유기 발광 표시 장치.

청구항 17

제8 항에 있어서,
상기 화소는 각각 서로 다른 색상의 광을 방출하는 제1 부화소, 제2 부화소 및 제3 부화소를 포함하고,
상기 화소 전극은 상기 제1 부화소, 제2 부화소 및 제3 부화소에 각각 아일랜드 형태로 배치된 제1 화소 전극, 제2 화소 전극 및 제3 화소 전극을 포함하는, 유기 발광 표시 장치.

청구항 18

제17 항에 있어서,
상기 제1 화소 전극, 상기 제2 화소 전극 및 상기 제3 화소 전극 중 적어도 하나는 상기 개구를 포함하며, 상기 제1 화소 전극, 상기 제2 화소 전극 및 상기 제3 화소 전극 중 적어도 하나는 상기 개구를 포함하지 않는, 유기 발광 표시 장치.

청구항 19

제17 항에 있어서,

상기 제1 부화소, 상기 제2 부화소 및 상기 제3 부화소는 각각 적색광, 녹색광 및 청색광을 방출하며, 상기 제1 화소 전극, 상기 제2 화소 전극 및 상기 제3 화소 전극은 서로 다른 면적을 갖는, 유기 발광 표시 장치.

청구항 20

제17 항에 있어서,

상기 제1 영역의 상기 제1 부화소에 인접한 영역에 배치된 레이저 드릴링 영역을 더 포함하며,

상기 레이저 드릴링 영역은, 상기 화소 전극과 동일층에 배치되며 상기 대향 전극과 연결된 보조 전극을 포함하는, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 포함하는 유기 발광 소자를 구비하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 결합하여 생성된 엑시톤(exciton)이 여기 상태(excited state)로부터 기저 상태(ground state)로 떨어지면서 빛을 발생시키는 자발광형 표시 장치이다.

[0003] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 시야각, 콘트라스트(contrast), 응답 속도 등의 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

[0004] 이러한 유기 발광 표시 장치에 있어서, 사용자가 유기 발광 표시 장치에 의해 구현되는 화상뿐만 아니라 외부 배경까지 인식할 수 있는 시-쓰루(see-through) 유기 발광 표시 장치에 대한 연구가 이루어지고 있다.

발명의 내용

해결하려는 과제

[0005] 이러한 유기 발광 표시 장치는 화소 전극이 반사 전극이며 대향 전극이 투명 또는 반투명 전극으로 구성되어, 발광층으로부터 방출된 광이 대향 전극을 투과하여 외부로 방출되는 전면 발광형 유기 발광 표시 장치로 구현될 수 있다.

[0006] 전면 발광형 유기 발광 표시 장치의 경우 최대한의 개구율을 확보하기 위하여 화소 전극의 하부에 박막 트랜지스터 등을 포함하는 화소 회로부가 배치될 수 있으며, 화소 전극과 화소 회로부에 포함된 도전층이 평면상 중첩되는 경우 기생 커패시터가 발생할 수 있다.

[0007] 상기 기생 커패시터는 유기 발광 소자에 공급되는 구동 전류에 오류(error)를 야기하며, 결과적으로 유기 발광 표시 장치에서 구현되는 화상의 품질이 저해되는 문제가 발생한다.

[0008] 본 발명의 실시예들은 기생 커패시터가 유기 발광 소자에 공급되는 전류에 미치는 영향을 감소시킴으로써 화상의 품질을 개선한 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

[0009] 본 발명의 일 실시예는, 적어도 하나의 개구를 포함하는 화소 전극, 상기 화소 전극 상에 배치되며 유기 발광층을 포함하는 중간층, 상기 중간층 상에 배치된 대향 전극, 및 상기 화소 전극의 상기 적어도 하나의 개구와 평면상 중첩된 상부 도전층을 포함하며 상기 화소 전극과 전기적으로 연결된 구동 회로부를 포함하는, 유기 발광 표시 장치를 개시한다.

[0010] 일 실시예에 있어서, 상기 화소 전극은 반사 전극이며 상기 대향 전극은 투명 또는 반투명 전극일 수 있다.

[0011] 일 실시예에 있어서, 상기 화소 전극은 상기 적어도 하나의 개구 및 상기 적어도 하나의 개구를 완전히 둘러싸

는 반사층을 포함할 수 있다.

- [0012] 일 실시예에 있어서, 상기 구동 회로부는 상기 상부 도전층의 하부에 배치되며 상기 적어도 하나의 개구와 평면 상 중첩된 하부 도전층을 더 포함하며, 상기 상부 도전층과 상기 하부 도전층은 전기적으로 연결될 수 있다.
- [0013] 일 실시예에 있어서, 상기 구동 회로부는, 적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함하며, 상기 적어도 하나의 상부 도전층 및 상기 하부 도전층은, 상기 적어도 하나의 박막 트랜지스터와 상기 적어도 하나의 커패시터가 연결된 노드에 위치할 수 있다.
- [0014] 일 실시예에 있어서, 상기 적어도 하나의 박막 트랜지스터는, 활성층, 상기 활성층 상에 상기 활성층과 절연되도록 배치된 게이트 전극, 및 상기 게이트 전극 상에 배치되며 상기 활성층과 전기적으로 연결된 소스 전극 및 드레인 전극 중 적어도 하나를 포함하며, 상기 상부 도전층은 상기 소스 전극 및 상기 드레인 전극 중 하나의 일부일 수 있다.
- [0015] 일 실시예에 있어서, 상기 적어도 하나의 커패시터는, 상기 게이트 전극과 동일층에 배치된 제1 전극 및 상기 소스 전극 및 상기 드레인 전극 중 적어도 하나와 절연층을 사이에 두고 서로 다른 층에 배치되며 상기 하부 전극에 대향하는 제2 전극을 포함하며, 상기 소스 전극 및 상기 드레인 전극 중 하나는 상기 절연층에 포함된 콘택홀을 통해 상기 제2 전극과 전기적으로 연결되며, 상기 하부 도전층은 상기 제2 전극의 일부일 수 있다.
- [0016] 본 발명의 다른 실시예는, 기판 및 상기 기판 상에 배치되며, 화상을 구현하는 제1 영역과 외광이 투과되는 제2 영역을 포함하는 화소를 포함하며, 상기 화소는, 상기 제1 영역에 배치되고 상기 픽셀을 구동하며 적어도 하나의 상부 도전층을 포함하는 구동 회로부, 상기 구동 회로부와 전기적으로 연결되고 상기 제1 영역에 배치되며 적어도 하나의 개구를 포함하는 화소 전극, 적어도 상기 제1 영역에 배치되며 상기 화소 전극의 일부를 노출하는 제1 개구 및 상기 제2 영역에 대응되는 제2 개구를 포함하는 화소 정의막, 상기 제1 개구에 의해 노출된 상기 화소 전극 상에 배치되며 유기 발광층을 포함하는 중간층, 및 상기 중간층 상에 배치된 대향 전극을 포함하며, 상기 적어도 하나의 개구와 상기 상부 도전층은 평면상 중첩된 유기 발광 표시 장치를 개시한다.
- [0017] 일 실시예에 있어서, 상기 화소 전극은 반사 전극이며 상기 대향 전극은 투명 또는 반투명 전극일 수 있다.
- [0018] 일 실시예에 있어서, 상기 화소 전극은 상기 적어도 하나의 개구 및 상기 적어도 하나의 개구를 완전히 둘러싸는 반사층을 포함할 수 있다.
- [0019] 일 실시예에 있어서, 상기 구동 회로부는 상기 상부 도전층의 하부에 배치되며 상기 적어도 하나의 개구와 평면 상 중첩된 하부 도전층을 더 포함하며, 상기 상부 도전층과 상기 하부 도전층은 전기적으로 연결될 수 있다.
- [0020] 일 실시예에 있어서, 상기 구동 회로부는, 적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함하며, 상기 적어도 하나의 상부 도전층 및 상기 하부 도전층은, 상기 적어도 하나의 박막 트랜지스터와 상기 적어도 하나의 커패시터가 연결된 노드에 위치할 수 있다.
- [0021] 일 실시예에 있어서, 상기 적어도 하나의 박막 트랜지스터는, 활성층, 상기 활성층 상에 상기 활성층과 절연되도록 배치된 게이트 전극, 및 상기 게이트 전극 상에 배치되며 상기 활성층과 전기적으로 연결된 소스 전극 및 드레인 전극 중 적어도 하나를 포함하며, 상기 상부 도전층은 상기 소스 전극 및 상기 드레인 전극 중 하나의 일부일 수 있다.
- [0022] 일 실시예에 있어서, 상기 적어도 하나의 커패시터는, 상기 게이트 전극과 동일층에 배치된 제1 전극, 및 상기 소스 전극 및 상기 드레인 전극 중 적어도 하나와 절연층을 사이에 두고 서로 다른 층에 배치되며, 상기 하부 전극에 대향하는 제2 전극을 포함하며, 상기 소스 전극 및 상기 드레인 전극 중 하나는 상기 절연층에 포함된 콘택홀을 통해 상기 제2 전극과 전기적으로 연결되며, 상기 하부 도전층은 상기 제2 전극의 일부일 수 있다.
- [0023] 일 실시예에 있어서, 상기 적어도 하나의 박막 트랜지스터는 스위칭 박막 트랜지스터이고 상기 적어도 하나의 커패시터는 스토리지 커패시터이며, 상기 구동 회로부는 상기 스토리지 커패시터와 평면상 중첩된 구동 박막 트랜지스터를 더 포함할 수 있다.
- [0024] 일 실시예에 있어서, 상기 화소의 전체 면적에 대한 상기 제2 영역의 면적의 비율은 약 40 % 내지 약 90 %일 수 있다.
- [0025] 일 실시예에 있어서, 상기 화소는 각각 서로 다른 색상의 광을 방출하는 제1 부화소, 제2 부화소 및 제3 부화소를 포함하고, 상기 화소 전극은 상기 제1 부화소, 제2 부화소 및 제3 부화소에 각각 아일랜드 형태로 배치된 제1 화소 전극, 제2 화소 전극 및 제3 화소 전극을 포함할 수 있다.

- [0026] 일 실시예에 있어서, 상기 제1 화소 전극, 상기 제2 화소 전극 및 상기 제3 화소 전극 중 적어도 하나는 상기 개구를 포함하며, 상기 제1 화소 전극, 상기 제2 화소 전극 및 상기 제3 화소 전극 중 적어도 하나는 상기 개구를 포함하지 않을 수 있다.
- [0027] 일 실시예에 있어서, 상기 제1 부화소, 상기 제2 부화소 및 상기 제3 부화소는 각각 적색광, 녹색광 및 청색광을 방출하며, 상기 제1 화소 전극, 상기 제2 화소 전극 및 상기 제3 화소 전극은 서로 다른 면적을 갖을 수 있다.
- [0028] 일 실시예에 있어서, 상기 제1 영역의 상기 제1 부화소에 인접한 영역에 배치된 레이저 드릴링 영역을 더 포함하며, 상기 레이저 드릴링 영역은, 상기 화소 전극과 동일층에 배치되며 상기 대향 전극과 연결된 보조 전극을 포함할 수 있다.
- [0029] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 특허청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

- [0030] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 화소 전극에 개구를 포함시킴으로써 기생 커패시터가 유기 발광 소자에 공급되는 전류에 미치는 영향을 감소시킨 유기 발광 표시 장치를 제공할 수 있다.
- [0031] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0032] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- 도 3은 다른 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.
- 도 4는 다른 실시예에 따른 유기 발광 표시 장치에 포함되며 복수의 부화소들로 구성된 일 화소를 개략적으로 도시한 평면도이다.
- 도 5는 도 4의 유기 발광 표시 장치에 포함된 화소 전극을 개략적으로 도시한 평면도이다.
- 도 6은 도 4의 VIa-VIa 및 VIb-VIb를 따라 취한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0035] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0036] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0037] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0038] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0039] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

- [0040] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0041] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이고, 도 2는 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- [0042] 도 1 및 도 2를 참조하면, 일 실시예에 따른 유기 발광 표시 장치(1)는 적어도 하나의 개구(130h)를 포함하는 화소 전극(130), 화소 전극(130) 상에 배치되며 유기 발광층을 포함하는 중간층(140), 중간층(140) 상에 배치된 대향 전극(150), 및 화소 전극(130)의 상기 적어도 하나의 개구(130h)와 평면상(in plan view) 중첩된 상부 도전층(160)을 포함하며 화소 전극(130)과 전기적으로 연결된 구동 회로부(DC)를 포함한다.
- [0043] 상기 화소 전극(130), 중간층(140) 및 대향 전극(150)은 유기 발광 소자(OLED)를 구성하며, 구동 회로부(DC)는 유기 발광 소자(OLED)에 공급되는 전류의 세기를 조절함으로써 유기 발광 소자(OLED)를 구동시키는 역할을 한다.
- [0044] 일 실시예에 따르면, 상기 화소 전극(130)은 반사 전극이며 대향 전극(150)은 투명 또는 반투명 전극일 수 있다. 따라서, 중간층(140)으로부터 방출된 광은 대향 전극(150)을 투과하여 외부로 추출될 수 있다. 즉, 유기 발광 표시 장치(1)는 전면 발광형(top emission type)일 수 있다. 전면 발광형 유기 발광 표시 장치(1)의 경우, 기관(110) 방향으로 화상이 구현되지 않으며, 유기 발광 표시 장치(1)의 개구율을 향상시키기 위해 화소 전극(130)과 기관(110) 사이에 구동 회로부(DC)를 배치할 수 있다.
- [0045] 즉, 구동 회로부(DC)는 화소 전극(130)과 평면상(in plan view) 중첩되도록 배치될 수 있다.
- [0046] 상기 구성에 의해, 유기 발광 표시 장치(1)에서 광이 방출되는 발광 영역이 차지하는 영역의 비율인 개구율을 향상시킬 수 있지만, 화소 전극(130)과 구동 회로부(DC)에 포함된 도전층들이 평면상 서로 중첩되어 의도하지 않은 커패시터를 형성할 수 있다.
- [0047] 상기 화소 전극(130)은 반사 전극이며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물을 포함하는 그룹에서 선택된 적어도 하나의 반사층(131)을 포함할 수 있다. 일 실시예에 따르면, 화소 전극(130)은 상기 반사층(131)의 상부 및/또는 하부에 배치된 투명 또는 반투명 전극층(132, 133)을 더 포함할 수 있다.
- [0048] 일 실시예에 따른 유기 발광 표시 장치(1)에 포함된 화소 전극(130)은 적어도 하나의 개구(130h)를 포함한다. 즉, 화소 전극(130)은 적어도 하나의 개구(130h) 및 적어도 하나의 개구(130h)를 완전히 둘러싸는 반사층(131)을 포함할 수 있다. 따라서, 화소 전극(130)은 내부에 개구(130h)를 포함하는 도넛(donut) 형태일 수 있다. 일 실시예에 따르면, 상기 개구(130h)는 원 또는 사각 등 다양한 형태를 가질 수 있다.
- [0049] 상기 화소 전극(130)이 반사층(131)만으로 구성된 경우 반사층(131)이 적어도 하나의 개구(130h)를 포함하며, 화소 전극(130)이 반사층(131) 및 투명 또는 반투명 전극층(132, 133)을 포함하는 경우 반사층(131)만 적어도 하나의 개구(130h)를 포함할 수도 있고 반사층(131) 및 투명 또는 반투명 전극층(132, 133)이 모두 적어도 하나의 개구(130h)를 포함할 수도 있다.
- [0050] 상기 구동 회로부(DC)는 상기 적어도 하나의 개구(130h)와 평면상 중첩된 상부 도전층(160)을 포함할 수 있다. 상부 도전층(160)은 구동 회로부(DC)에 포함된 박막 트랜지스터 또는 커패시터를 구성하는 도전층 중 하나일 수 있다.
- [0051] 상기 상부 도전층(160)은 제4 절연층(119)을 사이에 두고 화소 전극(130)과 이격되도록 배치되며, 화소 전극(130)과 함께 기생 커패시터를 형성할 수 있다. 그러나, 일 실시예에 따르면, 화소 전극(130)은 상부 도전층(160)의 적어도 일부와 중첩된 개구(130h)를 포함하며 따라서 적어도 개구(130h)가 배치된 영역에서는 기생 커패시터가 발생하지 않도록 하거나 기생 커패시터의 용량을 감소시킬 수 있다.
- [0052] 일 실시예에 따르면, 상기 상부 도전층(160)의 하부에는 상기 화소 전극(130)과 평면상 중첩된 하부 도전층(170)이 배치될 수 있으며, 하부 도전층(170)과 상부 도전층(160)의 사이에는 제3 절연층(117)이 배치될 수 있다.
- [0053] 상기 제3 절연층(117)은 상부 도전층(160)과 하부 도전층(170)을 연결시키는 노드 콘택홀(CH_{node})을 포함할 수 있다. 즉, 화소 전극(130)에 형성된 개구(130h)는 상기 노드 콘택홀(CH_{node})에 대응되는 영역에 배치될 수 있다. 상기 하부 도전층(170)은 구동 회로부(DC)에 포함된 박막 트랜지스터 또는 커패시터를 구성하는 도전층 중 하나일 수 있다.

- [0054] 도 1을 참조하면, 상기 구동 회로부(DC)는 적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있으며, 상기 적어도 하나의 박막 트랜지스터 및/또는 적어도 하나의 커패시터는 스캔 신호(Scan), 데이터 신호(Data) 또는 구동 전압(ELVDD)을 구동 회로부(DC)에 인가하는 복수의 배선들(SLi, DLj, PL)과 전기적으로 연결될 수 있다. 일 실시예에 따른 구동 회로부(DC)는 2개의 박막 트랜지스터들(T1, T2) 및 1개의 커패시터(Cst)를 포함하지만, 박막 트랜지스터 및 커패시터의 수는 이에 제한되지 않는다. 상기 2개의 박막 트랜지스터들(T1, T2)은 구동 박막 트랜지스터(T1) 및 스위칭 박막 트랜지스터(T2)일 수 있으며, 상기 1개의 커패시터(Cst)는 스토리지 커패시터(Cst)일 수 있다.
- [0055] 상기 스위칭 박막 트랜지스터(T2)는 스캔선(SLi)에 연결된 게이트 전극, 데이터선(DLj)에 연결된 소스 전극, 및 제1 노드(N1)에 연결된 드레인 전극을 포함한다. 스위칭 박막 트랜지스터(T2)는 스캔선(SLi)으로부터 입력된 스캔 신호(Scan)에 의해 턴-온(turn-on)되어 데이터선(DLj)으로부터 소스 전극에 입력된 데이터 신호(Data)를 제1 노드(N1)에 전달한다.
- [0056] 상기 구동 박막 트랜지스터(T1)는 제1 노드(N1)에 연결된 게이트 전극, 제1 구동 전압(ELVDD)을 공급하는 전원선(PL)에 연결된 소스 전극, 및 유기 발광 소자(OLED)의 화소 전극(130)에 연결된 드레인 전극을 포함한다. 상기 구동 박막 트랜지스터(T1)는 제1 노드(N1)의 전압에 의해 온(on) 또는 오프(off)되어 유기 발광 소자(OLED)에 공급되는 전류를 제어할 수 있다.
- [0057] 상기 스토리지 커패시터(Cst)는 전원선(PL)과 제1 노드(N1) 사이를 연결하며, 제1 구동 전압(ELVDD)과 제1 노드(N1) 사이의 전압차에 대응되는 전압을 저장하고 이를 소정 시간 유지시켜주는 기능을 수행할 수 있다.
- [0058] 유기 발광 소자(OLED)의 화소 전극(130)은 구동 회로부(DC)에 연결되고, 대향 전극(150)에는 제2 구동 전압(ELVSS)이 인가된다. 유기 발광 소자(OLED)는 화소 회로부(DC)로부터 공급되는 전류에 대응하여 소정의 휘도를 갖는 빛을 방출한다. 일 실시예에 따르면, 상기 유기 발광 소자(OLED)는 적색광, 녹색광, 청색광, 또는 백색광을 방출할 수 있다.
- [0059] 상술한 바와 같이, 유기 발광 소자(OLED)의 화소 전극(130)과 구동 회로부(DC)는 서로 평면상 중첩되도록 배치되며, 이 경우 구동 회로부(DC)를 구성하는 소자들에 포함된 도전층들과 화소 전극(130) 사이에 기생 커패시터가 발생할 수 있다. 일 실시예에 따르면, 스위칭 박막 트랜지스터(T2)와 스토리지 커패시터(Cst)가 연결된 제1 노드(N1)와 화소 전극(130) 사이에 제1 기생 커패시터(Cp1)가 발생할 수 있으며, 스토리지 커패시터(Cst)와 구동 박막 트랜지스터(T1)의 소스 전극(S1)이 연결된 제2 노드(N2)와 화소 전극(130) 사이에 제2 기생 커패시터(Cp2)가 발생할 수 있다. 이외에도, 유기 발광 표시 장치(1)에 포함된 도전층들이 서로 평면상 중첩되는 위치에서 기생 커패시터가 발생할 수 있다. 이러한 기생 커패시터들은 결과적으로 유기 발광 소자(OLED)에 공급되는 전류값에 오류를 발생시키며, 이로 인해 유기 발광 표시 장치(1)에서 구현된 화상의 품질 저하를 일으킬 수 있다.
- [0060] 일 실시예에 따르면, 상기 기생 커패시터들이 전류값에 미치는 영향을 최소화하기 위하여 전류값에 가장 큰 영향을 미치는 부분에 대응되는 화소 전극(130)에 개구(130h)를 형성할 수 있으며, 이를 통해 유기 발광 표시 장치(1)에서 구현된 화상의 품질이 저하되는 문제를 최소화할 수 있다.
- [0061] 도 2를 참조하면, 기판(110) 상에 버퍼층(111)이 배치될 수 있다. 기판(110)은 유리 또는 플라스틱 등으로 구성되며, 버퍼층(111)은 실리콘질화물(SiN_x) 및/또는 실리콘산화물(SiO_2)과 같은 무기물로 단일막 또는 이중막으로 형성될 수 있다. 상기 버퍼층(111)은 기판(110)을 통해 불순 원소가 구동 회로부(DC)로 침투하는 것을 차단하고, 기판(110)의 표면을 평탄화하는 기능을 수행할 수 있다.
- [0062] 상기 버퍼층(111) 상에는 구동 박막 트랜지스터(T1) 및 스토리지 커패시터(Cst)가 배치될 수 있다. 상기 구동 박막 트랜지스터는 버퍼층(111) 상에 배치된 활성층(A1), 활성층(A1)과 절연된 게이트 전극(G1) 및 활성층(A1)과 제1 콘택홀(H1) 및 제2 콘택홀(H2)을 통해 각각 연결된 소스 전극(S1) 및 드레인 전극(D1)을 포함할 수 있다. 상기 활성층(A1)과 게이트 전극(G1)의 사이에는 제1 절연층(113)이 배치되며 제1 절연층(113) 상에는 게이트 전극(G1)을 덮도록 제2 절연층(115) 및 제3 절연층(117)이 배치될 수 있다.
- [0063] 상기 게이트 전극(G1)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0064] 상기 소스 전극(S1) 및 드레인 전극(D1)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금

(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 일 실시예에 따르면, 소스 전극(S1) 및 드레인 전극(D1)은 Mo/Al/Mo 또는 Ti/Al/Ti의 삼중막으로 구성될 수 있다.

[0065] 버퍼층(111) 상에 배치된 스토리지 커패시터(Cst)는 게이트 전극(G1)과 동일층에 동일 물질로 형성된 제1 전극(C1) 및 제1 전극(C1)에 대향되는 제2 전극(C2)을 포함할 수 있다. 상기 제1 전극(C1)과 제2 전극(C2)의 사이에는 제2 절연층(115)이 배치될 수 있다. 일 실시예에 따르면, 제2 전극(C2)은 소스 전극(S1) 및 드레인 전극(D1)과 다른 층에 배치될 수 있으며, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.

[0066] 스토리지 커패시터(Cst)의 제2 전극(C2) 상에는 제3 절연층(117)이 배치되며, 제2 전극(C2)은 제3 절연층(117)에 포함된 노드 콘택홀(CH_{node})을 통해 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결될 수 있다. 즉, 상기 노드 콘택홀(CH_{node})은 도 1의 제2 노드(N2)에 대응될 수 있다.

[0067] 상기 제3 절연층(117) 상에는 소스 전극(S1) 및 드레인 전극(D1)을 덮는 제4 절연층(119)이 배치되며, 제4 절연층(119) 상에는 화소 전극(130), 중간층(140) 및 대향 전극(150)을 포함하는 유기 발광 소자(OLED) 및 화소 전극(130)의 가장자리를 덮는 화소 정의막(120)이 배치될 수 있다. 상기 화소 전극(130)은 제4 절연층(119)에 포함된 비아홀(VIA)을 통해 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결될 수 있다.

[0068] 상기 화소 전극(130)은 노드 콘택홀(CH_{node})에 대응되는 영역에 배치된 개구(130h)를 포함할 수 있다. 상술한 바와 같이, 노드 콘택홀(CH_{node})은 도 1의 제2 노드(N2)에 대응될 수 있으며 화소 전극(130)에 개구(130h)를 형성함으로써 제2 노드(N2)와 화소 전극(130)의 중첩에 의해 형성된 기생 커패시터(Cp2)를 제거하거나 기생 커패시터(Cp2)의 용량을 감소시킬 수 있다.

[0069] 일 실시예에 따르면, 상기 화소 전극(130)에 포함된 개구(130h)와 평면상 중첩된 상부 도전층(160)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)의 일부이며, 상부 도전층(160)의 하부에 배치된 하부 도전층(170)은 스토리지 커패시터(Cst)의 제2 전극(C2)의 일부일 수 있다. 즉, 상부 도전층(160)과 하부 도전층(170)은 각각 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스토리지 커패시터(Cst)의 제2 전극(C2)의 상기 노드 콘택홀(CH_{node})이 배치된 영역, 즉 제2 노드(N2)에 대응되는 부분일 수 있다.

[0070] 그러나, 본 발명은 이에 제한되지 않으며, 상기 상부 도전층(160)과 하부 도전층(170)은 구동 회로부(DC)에 포함된 다른 층일 수도 있다.

[0071] 도 3은 다른 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.

[0072] 도 3을 참조하면, 일 실시예에 따른 유기 발광 표시 장치(2)는 화상을 표시하는 복수의 화소들을 포함하며, 복수의 화소들 각각은 서로 다른 색상의 광을 방출하는 복수의 부화소들을 포함할 수 있다. 부화소들 각각은, 유기 발광 소자(OLED) 및 유기 발광 소자(OLED)를 구동하는 구동 회로부(DC)를 포함한다. 구동 회로부(DC)는 적어도 하나의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있으며, 상기 적어도 하나의 박막 트랜지스터 및/또는 적어도 하나의 커패시터는 스캔 신호(Scan), 데이터 신호(Data) 또는 구동 전압(ELVDD)을 구동 회로부(DC)에 인가하는 복수의 배선들(SLi, DLj, PL)과 전기적으로 연결될 수 있다. 일 실시예에 따른 구동 회로부(DC)는 3개의 박막 트랜지스터들(T1, T2, T3) 및 2개의 커패시터(Cst, Cvth)를 포함하지만, 박막 트랜지스터 및 커패시터의 수는 이에 제한되지 않는다.

[0073] 상기 박막 트랜지스터는, 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 및 보상 박막 트랜지스터(T3)를 포함할 수 있으며, 상기 커패시터는 스토리지 커패시터(Cst) 및 보상 커패시터(Cvth)를 포함할 수 있다.

[0074] 상기 스위칭 박막 트랜지스터(T2)는 스캔선(SLi)에 연결된 게이트 전극, 데이터선(DLj)에 연결된 소스 전극, 및 제1 노드(N1)에 연결된 드레인 전극을 포함한다. 상기 스위칭 박막 트랜지스터(T2)는 스캔선(SLi)으로부터 입력된 스캔 신호(Scan)에 의해 턴-온(turn-on)되어 데이터선(DLj)으로부터 소스 전극에 입력된 데이터 신호(Data)를 제1 노드(N1)에 전달한다.

[0075] 상기 구동 박막 트랜지스터(T1)는 제3 노드(N3)에 연결된 게이트 전극, 제1 구동 전압(ELVDD)을 공급하는 전원선(PL)에 연결된 소스 전극, 및 유기 발광 소자(OLED)의 화소 전극(230, 도 4)에 연결된 드레인 전극을 포함한다. 상기 구동 박막 트랜지스터(T1)는 제3 노드(N3)의 전압에 의해 온(on) 또는 오프(off)되어 유기 발광 소자

(OLED)에 공급되는 전류를 제어할 수 있다.

- [0076] 보상 박막 트랜지스터(T3)는 보상 제어 신호(GC)를 공급하는 보상 제어선(GCL)에 연결된 게이트 전극, 제3 노드(N3)에 연결된 드레인 전극, 유기 발광 소자(OLED)의 화소 전극(230, 도 4) 및 구동 박막 트랜지스터(T1)의 드레인 전극, 즉 제4 노드(N4)에 연결된 소스 전극을 포함한다. 보상 박막 트랜지스터(T3)의 게이트 전극으로 인가되는 보상 제어 신호(GC)에 의해 보상 박막 트랜지스터(T3)가 턴-온(turn-on)되는 경우 구동 박막 트랜지스터(M1)는 보상 박막 트랜지스터(T3)를 통해 다이오드 연결(diode-connected)된다.
- [0077] 상기 보상 커패시터(Cvth)는 제1 노드(N1)와 제3 노드(N3) 사이에 연결되며, 상기 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결된다. 상기 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이의 전압차에 대응되는 전압을 저장하고 이를 소정 시간 유지시켜주는 기능을 수행하며, 보상 커패시터(Cvth)는 보상 박막 트랜지스터(T3)와 함께 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)을 보상하는 기능을 수행할 수 있다.
- [0078] 유기 발광 소자(OLED)의 화소 전극(230, 도 4)은 구동 회로부(DC)에 연결되고, 대향 전극(250, 도 4)에는 제2 구동 전압(ELVSS)이 인가된다. 유기 발광 소자(OLED)는 구동 회로부(PC)로부터 공급되는 전류에 대응하여 소정의 휘도를 갖는 빛을 방출한다. 일 실시예에 따르면, 상기 유기 발광 소자(OLED)는 적색광, 녹색광, 청색광, 또는 백색광을 방출할 수 있다.
- [0079] 일 실시예에 따르면, 유기 발광 표시 장치는 전면 발광형일 수 있으며, 유기 발광 소자(OLED)의 화소 전극(230, 도 4)과 구동 회로부(DC)는 서로 평면상 중첩되도록 배치되며, 이 경우 구동 회로부(DC)를 구성하는 소자들에 포함된 도전층들과 화소 전극(230, 도 4) 사이에 기생 커패시터가 발생할 수 있다. 또한, 구동 회로부(DC)에 포함된 서로 다른 층에 배치된 도전층들 사이에서도 기생 커패시터가 발생할 수 있다.
- [0080] 일 실시예에 따르면, 스위칭 박막 트랜지스터(T2)와 스토리지 커패시터(Cst)가 연결된 제1 노드(N1)와 화소 전극(230, 도 4) 사이에 제1 기생 커패시터(Cp1)가 발생할 수 있으며, 스토리지 커패시터(Cst)와 구동 박막 트랜지스터(T1)가 연결된 제2 노드(N2)와 화소 전극(230, 도 4) 사이에 제2 기생 커패시터(Cp2)가 발생할 수 있다. 이외에도, 유기 발광 표시 장치에 포함된 도전층들이 서로 평면상 중첩되는 위치에서 기생 커패시터들(Cp3, Cp4, Cp5, Cp6, Cp7)이 발생할 수 있다.
- [0081] 이러한 기생 커패시터들은 결과적으로 유기 발광 소자(OLED)에 공급되는 전류값에 오류를 발생시키며, 이로 인해 유기 발광 표시 장치에서 구현된 화상의 품질 저하를 일으킬 수 있다.
- [0082] 일 실시예에 따르면, 상기 기생 커패시터들이 전류값에 미치는 영향을 최소화하기 위하여 전류값에 가장 큰 영향을 미치는 부분에 영역에 대응되는 화소 전극(230, 도 4)에 개구(230Gh, 230Bh, 도 4)를 형성할 수 있으며, 이를 통해 유기 발광 표시 장치에서 구현된 화상의 품질이 저하되는 문제를 최소화할 수 있다.
- [0083] 도 4는 다른 실시예에 따른 유기 발광 표시 장치에 포함되며 복수의 부화소들로 구성된 일 화소를 개략적으로 도시한 평면도이고, 도 5는 도 4의 유기 발광 표시 장치에 포함된 화소 전극을 개략적으로 도시한 평면도이고, 도 6은 도 4의 VIa-VIa 및 VIb-VIb를 따라 취한 단면도이다.
- [0084] 도 4, 도 5 및 도 6을 참조하면, 일 실시예에 따른 유기 발광 표시 장치(2)는 기판(210), 기판(210) 상에 배치되며 화상을 구현하는 제1 영역(PA)과 외광이 투과되는 제2 영역(TA)을 포함하는 화소(P)를 포함하며, 상기 화소는 제1 영역(PA)에 배치되고 화소(P)를 구동하며 적어도 하나의 상부 도전층(260)을 포함하는 구동 회로부(DC), 구동 회로부(DC)와 전기적으로 연결되고 제1 영역(PA)에 배치되며, 적어도 하나의 개구(230Gh, 230Bh)를 포함하는 화소 전극(230G, 230B), 적어도 제1 영역(PA)에 배치되며 화소 전극(230G)의 일부를 노출하는 제1 개구(220h1) 및 제2 영역(TA)에 대응되는 제2 개구(220h2)를 포함하는 화소 정의막(220), 제1 개구(220h1)에 의해 노출된 화소 전극(230G) 상에 배치되며 유기 발광층(242G)을 포함하는 중간층(240) 및 중간층(240) 상에 배치된 대향 전극(250)을 포함하며, 상기 적어도 하나의 개구(230Gh)와 상부 도전층(260)은 평면상(in plan view) 중첩된다.
- [0085] 일 실시예에 따른 유기 발광 표시 장치(2)는 광이 방출되는 제1 영역(PA)과 외광이 투과되는 제2 영역(TA)을 포함하는 복수의 화소들을 포함한다. 상기 외광은 유기 발광 표시 장치(2)의 외부로부터 유기 발광 표시 장치(2)에 입사된 광을 의미하며, 유기 발광 표시 장치(2)의 일면으로 입사된 외광은 유기 발광 표시 장치(2)를 투과한 후 사용자에게 인식될 수 있다. 즉, 화상이 구현되는 측에 위치한 사용자는 유기 발광 표시 장치(2)를 통해 유기 발광 표시 장치(2)의 반대편 측의 배경 이미지를 관찰할 수 있다. 즉, 유기 발광 표시 장치(2)는 투명한 표

시 장치로 구현될 수 있다.

- [0086] 일 실시예에 따르면, 화상이 유기 발광 표시 장치(2)에 포함된 기관(210)의 반대 방향으로 구현되는 전면 발광 형일 수 있으며, 복수의 화소들 각각은 제1 영역(PA)과 제2 영역(TA)을 포함하며, 유기 발광 표시 장치(2)의 제1 영역(PA)으로부터 화상이 구현되고, 제2 영역(TA)을 통해서만 외광이 투과된다. 도시하진 않았지만, 상기 제2 영역(TA)은 복수 개의 화소들에 연결되도록 배치될 수 있다.
- [0087] 상기 제2 영역(TA)에는, 박막 트랜지스터, 커패시터 및 유기 발광 소자 등과 같이 불투명 금속을 포함하는 소자가 배치되지 않으며, 이러한 구성을 통해 제2 영역(TA)에서의 외광 투과도를 높일 수 있다.
- [0088] 상기 제1 영역(PA)에는 서로 다른 색상의 광을 방출하는 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)가 배치될 수 있으며, 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)는 각각 적색광, 녹색광 및 청색광을 방출할 수 있다. 그러나, 본 발명은 이에 제한되지 않으며 결합에 의해 백색광을 구현할 수 있다면 어떠한 색의 조합도 가능하다.
- [0089] 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)는 각각 도 3의 구동 회로부(DC)에 의해 구동될 수 있다. 일 실시예에 따르면, 구동 회로부(DC)의 적어도 일부는 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)에 각각 포함된 화소 전극들(230R, 230G, 230B)과 평면상 중첩되도록 배치될 수 있다. 즉, 구동 회로부(DC)의 적어도 일부를 기관(210)과 화소 전극(230)의 사이에 배치함으로써 유기 발광 표시 장치(2)의 개구율 및 투과도를 향상시킬 수 있다.
- [0090] 일 실시예에 따르면, 상기 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)는 제1 방향을 따라(along) 배치될 수 있으며, 제1 방향을 가로지르는 제2 방향을 따라 적어도 하나의 배선이 연장될 수 있다. 상기 배선은 스캔선, 데이터선 및/또는 전원선일 수 있다. 일 실시예에 따르면, 상기 제2 방향을 따라 연장된 배선은 스캔신호(Scan)를 전달하는 스캔선(SLi)일 수 있지만 이에 제한되지는 않는다. 상기 스캔선(SLi)은 제1 영역(PA) 및 제2 영역(TA)에 인접한 영역에 배치되며 제2 방향을 따라 연장된 제1 부분(SLa) 및 제1 영역(PA)에 배치되며 제1 방향을 따라 연장된 제2 부분(SLb)을 포함할 수 있다. 스캔선(SLi)의 제1 부분(SLa)과 제2 부분(SLb)은 서로 다른 층에 배치될 수 있으며, 콘택부(CNT)에 의해 서로 전기적으로 연결될 수 있다.
- [0091] 일 실시예에 따르면, 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)에 각각 데이터 신호(Data_R, Data_G, Data_B)를 인가하는 데이터선(DLj, 도 3), 제1 구동 전압(ELVDD), 제2 구동 전압(ELVSS) 및 보상 신호(GC)를 각각 인가하는 제1 전압선(PL, 도 3), 제2 전압선 및 보상 신호선(GCL, 도 3)은 제1 영역(PA)에 배치되며 제1 방향을 따라 연장될 수 있다.
- [0092] 상기 제2 영역(TA)은 유기 발광 표시 장치(2)의 외부로부터 기관(210)의 일면으로 입사된 광이 유기 발광 표시 장치(2)를 통과하여 사용자에게 인지되는 투명 영역으로써, 제2 영역(TA)에는 반사 전극, 불투명 배선 등이 배치되지 않을 수 있다. 상기 제2 영역(TA)은 불투명 배선이나 불투명 전극 등에 의해 구획될 수 있으며, 일 실시예에 따르면, 제2 영역(TA)은 불투명 배선과 상기 불투명 배선과 이격되어 있는 또 다른 불투명 배선 사이의 영역으로 정의될 수 있다. 제2 영역(TA)은 또한 화소 전극(230)이 배치되지 않은 영역으로 정의될 수도 있으며, 화소 정의막(220)이 광을 흡수하는 물질로 구성된 경우 화소 정의막(220)에 포함된 제2 개구(220h2)가 배치된 영역으로 정의될 수 있다.
- [0093] 상기 하나의 화소(P)의 전체 면적에 대한 제2 영역(PA)의 면적의 비율은 약 40 % 내지 약 90 %일 수 있다. 상기 제2 영역(TA)의 면적이 약 40 % 미만인 경우 유기 발광 표시 장치(2)에 포함된 외광에 대한 투과도가 높은 영역의 비율이 작아지게 되며, 따라서, 유기 발광 표시 장치(2)가 투명한 표시 장치로 기능하기 어려울 수 있다. 상기 제2 영역(TA)의 면적이 커질수록 유기 발광 표시 장치(2)의 투과도가 높아질 수 있지만, 화상을 표시하는 제1 영역(PA)이 확보되어야 하므로 하나의 화소(P)에서 제2 개구(TA)가 차지하는 면적은 약 90 %를 초과할 수 없다.
- [0094] 일 실시예에 따르면, 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)에 각각 배치된 제1 화소 전극(230R), 제2 화소 전극(230G) 및 제3 화소 전극(230B)는 서로 다른 면적을 가질 수 있으며, 제1 영역(PA)의 제1 부화소(R)에 인접한 영역에는 레이저 드릴링 영역(LDA)이 배치될 수 있다.
- [0095] 상기 레이저 드릴링 영역(LDA)에는 화소 전극(230)과 동일층에 배치된 보조 전극(230C)이 배치되고, 보조 전극(230C)은 대향 전극(250)과 연결되어 대향 전극(250)의 전압 강하를 감소시키는 역할을 수행할 수 있다.
- [0096] 도 5는 도 4에 도시된 일 화소에 포함된 구성 요소 중 화소 전극(230) 및 화소 전극(230)과 동일층에 배치되며

레이저 드릴링 영역(LDA)에 배치된 보조 전극(230C)만을 도시한 것이다.

- [0097] 상기 화소 전극(230)은 제1 부화소(R), 제2 부화소(G) 및 제3 부화소(B)에 각각 아일랜드 형태로 배치된 화소 전극들(230R, 230G, 230B)을 포함하며, 일 실시예에 따르면 제2 부화소(G) 및 제3 부화소(B)에 배치된 화소 전극들(230G, 230B)은 스위칭 박막 트랜지스터(T2)와 스토리지 커패시터(Cst)가 연결되는 제1 노드(N1), 즉 노드 콘택홀(CH_{node})에 대응되는 영역에 개구(230Gh, 230Bh)를 포함할 수 있다.
- [0098] 그러나, 제1 부화소(R)의 제1 노드(N1)는 제1 부화소(R)에 배치된 화소 전극(230R)과 평면상 중첩되지 않으며, 따라서 제1 부화소(R)에 배치된 화소 전극(230R)은 개구를 포함하지 않을 수 있다.
- [0099] 이는 화소(P)에 포함된 화소 전극들(230R, 230G, 230B)과 화소 전극들(230R, 230G, 230B) 각각과 전기적으로 연결된 구동 회로부(DC, 도 3)에 포함된 소자들의 배치 형태에 따른 것이며, 상기 배치 형태에 따라 화소 전극들(230R, 230G, 230B) 중 적어도 일부는 개구를 포함하지 않을 수도 있다.
- [0100] 일 실시예에 따르면, 구동 회로부(DC, 도 3)에 포함된 박막 트랜지스터 및 커패시터 등의 소자에 포함된 도전층들이 평면상 중첩되어 발생하는 기생 커패시터들(Cp1, Cp2, Cp3, Cp4, Cp5, Cp6, Cp7) 중 스위칭 박막 트랜지스터(T2)와 스토리지 커패시터(Cst)가 연결된 제1 노드(N1)와 화소 전극들(230G, 230B) 사이에서 발생하는 기생 커패시터가 유기 발광 소자(OLED)에 공급되는 전류에 가장 큰 영향을 미칠 수 있으며, 일 실시예에 따르면, 제1 노드(N1)와 평면상 중첩되는 화소 전극(230G, 230B)에 개구(230Gh, 230Bh)를 형성함으로써 제1 노드(N1)와 화소 전극(230G, 230B)사이에서 발생하는 기생 커패시터를 제거 또는 기생 커패시터의 용량을 감소시킬 수 있다.
- [0101] 일 실시예에 따르면, 제2 부화소(G) 및 제3 부화소(B)에 배치된 화소 전극들(230G, 230B) 각각은 상기 제1 노드(N1)와 중첩되는 개구(230Gh, 230Bh) 이외에 추가적인 개구(230Gah, 230Bah)를 더 포함할 수 있으며, 상기 추가적인 개구(230Gah, 230Bah) 또한 유기 발광 소자(OLED)에 공급되는 전류에 크게 영향을 미칠 수 있는 위치에 형성될 수 있다.
- [0102] 이하 도 6을 참조하여 도 4의 VIa-VIa 및 VIb-VIb를 따라 취한 단면 구조를 적층 순서에 따라 설명하기로 한다.
- [0103] 도 6을 참조하면, 기판(210) 상에 버퍼층(211)이 배치될 수 있다. 상기 기판(210)은 유리 또는 플라스틱 등으로 구성되며, 버퍼층(211)은 실리콘질화물(SiN_x) 및/또는 실리콘산화물(SiO₂)과 같은 무기물로 단일막 또는 이중막으로 형성될 수 있다. 상기 버퍼층(211)은 기판(210)을 통해 불순 원소가 침투하는 것을 차단하고, 표면을 평탄화하는 기능을 수행할 수 있다. 상기 버퍼층(211) 상의 제1 영역(PA)에는 스위칭 박막 트랜지스터(T2) 및 스토리지 커패시터(Cst)가 배치될 수 있다.
- [0104] 상기 스위칭 박막 트랜지스터(T2)는 버퍼층(211) 상에 배치된 활성층(A2) 및 활성층(A2)과 절연된 게이트 전극(G2)을 포함할 수 있다. 도시하진 않았지만, 상기 활성층(A2)은 채널 영역 및 채널 영역을 사이에 두고 서로 이격된 소스 영역 및 드레인 영역을 포함할 수 있다. 상기 활성층(A2)과 게이트 전극(G2)의 사이에는 제1 절연층(213)이 배치될 수 있다. 상기 제1 절연층(213)은 제1 영역(PA)으로부터 제2 영역(TA)까지 연장될 수 있다.
- [0105] 상기 활성층(A2)은 다양한 물질을 함유할 수 있다. 일 실시예에 따르면, 활성층(A2)은 폴리실리콘(polysilicon)을 포함할 수 있으며, 활성층(A2)의 소스 영역 및 드레인 영역은 불순물이 도핑(doping)된 폴리실리콘일 수 있다. 상기 도핑(doping)에 의해 소스 영역 및 드레인 영역은 도전성을 가질 수 있다.
- [0106] 상기 게이트 전극(G2)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단일막 또는 다중막으로 형성될 수 있으며, 일 실시예에 따르면 게이트 전극(G2)은 몰리브덴(Mo)으로 구성된 단일막 또는 Mo/Al/Mo로 구성된 삼중막일 수 있다.
- [0107] 상기 제1 절연층(213) 상에는 게이트 전극(G2)을 덮는 제2 절연층(215) 및 제3 절연층(217)이 배치될 수 있다. 상기 제2 절연층(215) 및 제3 절연층(217)은 각각 실리콘질화물(SiN_x) 및/또는 실리콘산화물(SiO₂)과 같은 무기물로 단일막 또는 이중막일 수 있다. 상기 제2 절연층(215) 및 제3 절연층(217)은 각각 적어도 제2 영역(TA)에 대응되는 제3 개구(215h) 및 제4 개구(217h)를 포함할 수 있다.
- [0108] 상기 제2 절연층(215) 및 제3 절연층(217) 상에는 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)이 배치될 수 있다. 상기 드레인 전극(D2)은 제2 절연층(215) 및 제3 절연층(217)에 포함된 제3 콘택홀(H3)을 통해 활성층(A2)의 드레인 영역과 전기적으로 연결될 수 있다.
- [0109] 상기 드레인 전극(D2)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오

디튬(Nd), 이리튬(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 일 실시예에 따르면, 드레인 전극(D2)은 Mo/Al/Mo 또는 Ti/Al/Ti의 삼중막으로 구성될 수 있다.

[0110] 버퍼층(111) 상의 제1 영역(PA)에는 상기 스위칭 박막 트랜지스터(T2) 외에 스토리지 커패시터(Cst)가 더 배치될 수 있다. 상기 스토리지 커패시터(Cst)는 제1 전극(C1) 및 제2 전극(C2)을 포함할 수 있다. 상기 제1 전극(C1)은 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)과 동일층에 배치되고 동일 물질로 구성될 수 있으며, 제2 전극(C2)은 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 동일층에 배치되고 동일 물질로 구성될 수 있다.

[0111] 상기 제1 전극(C1) 및 제2 전극(C2)의 사이에는 제2 절연층(215)이 배치되고, 제2 절연층(215) 상에는 제2 전극(C)을 덮는 제3 절연층(217)이 배치될 수 있다. 즉, 제2 전극(C2)은 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 제3 절연층(217)을 사이에 두고 서로 다른 층에 배치될 수 있으며, 제3 절연층(217)에 포함된 노드 콘택홀(CH_{node})을 통해 드레인 전극(D2)과 제2 전극(C2)은 서로 연결될 수 있다. 즉, 상기 노드 콘택홀(CH_{node})은 스위칭 박막 트랜지스터(T2) 및 스토리지 커패시터(Cst)가 연결된 제1 노드(N1)에 대응될 수 있다. 일 실시예에 따르면, 화소 전극(230G)에 형성된 개구(230Gh)는 상기 노드 콘택홀(CH_{node})에 대응되는 영역에 배치될 수 있다. 상술한 바와 같이, 화소 전극(230G)에 제1 노드(N1)에 대응되는 개구(230Gh)를 형성함으로써 제1 노드(N1)와 화소 전극(230G)의 중첩에 의해 형성된 기생 커패시터(Cp1)를 제거하거나 기생 커패시터(Cp1)의 용량을 감소시킬 수 있다.

[0112] 일 실시예에 따르면, 화소 전극(230G)에 포함된 개구(230Gh)와 평면상 중첩된 상부 도전층(260)은 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)의 일부이며, 상부 도전층(260)의 하부에 배치된 하부 도전층(270)은 스토리지 커패시터(Cst)의 제2 전극(C2)의 일부일 수 있다.

[0113] 상기 제3 절연층(217) 상에는 드레인 전극(D2)을 덮는 제4 절연층(219)이 배치될 수 있으며, 상기 제4 절연층(219)은 구동 회로부(DC, 도 3)에 의한 단차를 평탄화하기 위하여 유기물로 구성될 수 있다. 상기 제4 절연층(219)은 제2 영역(TA)에 대응되는 제5 개구(219h)를 포함할 수 있다.

[0114] 상기 제4 절연층(219) 상의 제1 영역(PA)에는 화소 전극(230G), 화소 전극(230G)에 대향하는 대향 전극(250), 및 화소 전극(230G)과 대향 전극(250) 사이에 배치되며 유기 발광층(242G)을 포함하는 중간층(240)으로 구성된 유기 발광 소자(OLED)가 배치될 수 있다. 상기 화소 전극(230)은 제4 절연층(219)에 포함된 비아홀(VIA, 도 4)을 통해 구동 박막 트랜지스터(T1)와 전기적으로 연결될 수 있다.

[0115] 상기 화소 전극(230G)의 양 가장자리는 화소 정의막(220)에 의해 덮여있을 수 있다. 상기 화소 정의막(220)은 화소 전극(230G)의 일부를 노출하는 제1 개구(220h1) 및 제2 영역(TA)에 대응되는 제2 개구(220h2)를 포함할 수 있다.

[0116] 상기 화소 전극(230G)은 반사 전극이며, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물을 포함하는 그룹에서 선택된 적어도 하나의 반사층을 포함할 수 있다. 일 실시예에 따르면, 화소 전극(230G)은 상기 반사층의 상부 및/또는 하부에 배치된 투명 또는 반투명 전극층을 더 포함할 수 있다.

[0117] 일 실시예에 따른 유기 발광 표시 장치(2)에 포함된 화소 전극(230G)은 적어도 하나의 개구(230Gh)를 포함한다. 즉, 화소 전극(230)은 적어도 하나의 개구(230Gh) 및 적어도 하나의 개구(230Gh)를 완전히 둘러싸는 반사층을 포함할 수 있다. 즉, 화소 전극(230G)은 내부에 개구(230Gh)를 포함하는 도넛(donut) 형태일 수 있다. 일 실시예에 따르면, 상기 개구(230Gh)는 원 또는 사각 등 다양한 형태를 가질 수 있다.

[0118] 상기 대향 전극(250)은 투명 또는 반투명 전극으로 구성될 수 있으며, Ag, Al, Mg, Li, Ca, Cu, LiF/Ca, LiF/Al, MgAg 및 CaAg에서 선택된 하나 이상의 물질을 포함할 수 있으며, 수 내지 수십 nm의 두께를 갖는 박막 형태로 형성될 수 있다. 대향 전극(250)은 유기 발광 표시 장치(2)에 포함된 모든 픽셀들에 걸쳐 전기적으로 연결되도록 구비될 수 있다.

[0119] 화소 전극(230G)과 대향 전극(150)의 사이에는 유기 발광층(242G)을 포함하는 중간층(240)이 배치될 수 있으며, 화소 전극(230G)과 유기 발광층(242G)의 사이 및 유기 발광층(242G)과 대향 전극(250)의 사이에는 모든 픽셀들에 공통되게 배치된 공통층이 배치될 수 있다. 일 실시예에 따르면, 상기 화소 전극(230)과 유기 발광층(242G)의 사이에는 제1 공통층(241)이 배치될 수 있으며, 상기 제1 공통층(241)은 정공 주입층(HIL: hole injection layer) 및/또는 정공 수송층(HTL: hole transport layer)을 포함할 수 있다. 상기 유기 발광층(242G)과 대향

전극(250)의 사이에는 제2 공통층(243)이 배치될 수 있으며, 상기 제2 공통층(243)은 전자 수송층(ETL: electron transport layer) 및/또는 전자 주입층(EIL: electron injection layer)을 포함할 수 있다.

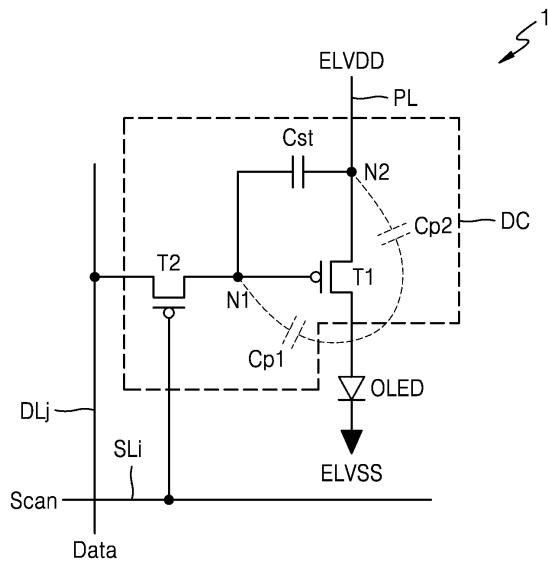
- [0120] 상기 제1 공통층(241), 제2 공통층(243), 및 대향 전극(250)은 제1 영역(PA) 및 제2 영역(TA)에 배치될 수 있다. 상기 제1 공통층(241), 제2 공통층(243), 및 대향 전극(250)은 유기 발광 표시 장치(2)에 포함된 모든 픽셀에 공통되도록 형성되는 층이며 투과도가 높기 때문에 유기 발광 표시 장치(2)의 전 영역에 배치될 수 있다. 그러나, 본 발명은 이에 제한되지 않는다. 즉, 다른 실시예에 따르면, 대향 전극(250)은 제2 영역(TA)에 대응되는 개구를 포함할 수 있다.
- [0121] 일 실시예에 따르면, 상기 제1 공통층(241) 및 제2 공통층(243)은 레이저 드릴링 영역(LDA)에는 배치되지 않을 수 있으며, 이들은 레이저 드릴링 영역(LDA)에 형성된 후 레이저를 이용한 공정을 통해 제거될 수 있다. 따라서, 보조 전극(230C)은 제1 공통층(241) 및 제2 공통층(243)이 제거된 영역을 통해 대향 전극(250)과 연결될 수 있다.
- [0122] 본 발명의 실시예들에 따른 유기 발광 표시 장치(1, 2)는 화소 전극(130, 230)이 적어도 하나의 개구(120h, 230Gh, 230Bh)를 형성함으로써, 화소 전극(130, 230)과 구동 회로부(DC)에 포함된 도전층의 중첩에 의해 발생하는 기생 커패시터를 중 적어도 일부를 제거하거나 기생 커패시터들 중 적어도 일부의 용량을 감소시킬 수 있다.
- [0123] 이를 통해, 유기 발광 소자(OLED)에 공급되는 전류의 오류를 감소시킴으로써, 유기 발광 표시 장치(1, 2)에서 구현되는 화상의 품질을 개선할 수 있다.
- [0124] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

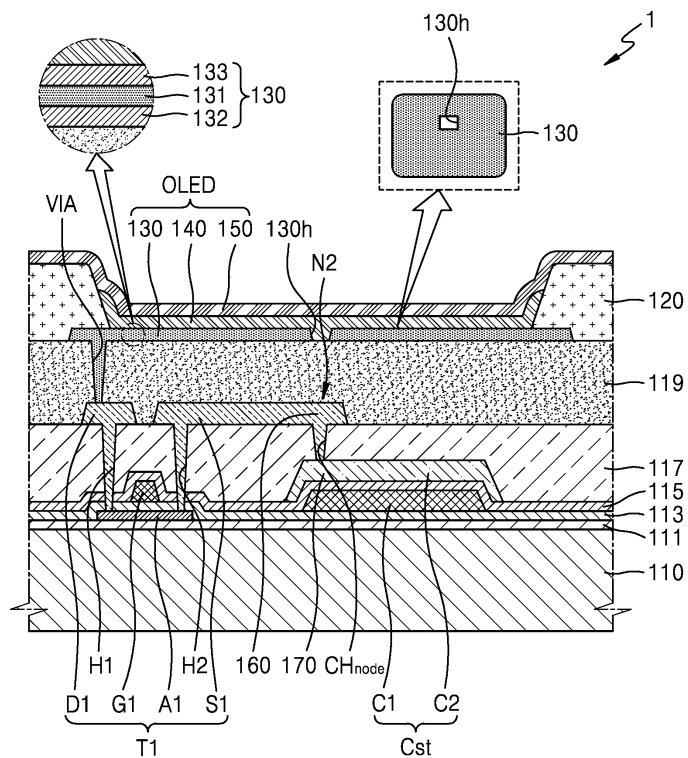
- [0125] 1, 2: 유기 발광 표시 장치
- PA: 제1 영역
- TA: 제2 영역
- DC: 구동 회로부
- T1: 구동 박막 트랜지스터
- T2: 스위칭 박막 트랜지스터
- T3: 보상 박막 트랜지스터
- N1, N2, N3, N4: 제1 내지 제4 노드
- 110, 210: 기판
- 113, 115, 117, 119, 213, 215, 217, 219: 절연층
- 120, 220: 화소 정의막
- 130, 230, 230R, 230G, 230B: 화소 전극
- 130h, 230Gh, 230Bh: 개구
- 140, 240: 중간층
- 150, 250: 대향 전극
- 160, 260: 상부 도전층
- 170, 270: 하부 도전층
- 230Gah, 230Bah: 추가적인 개구
- 230C: 보조 전극

도면

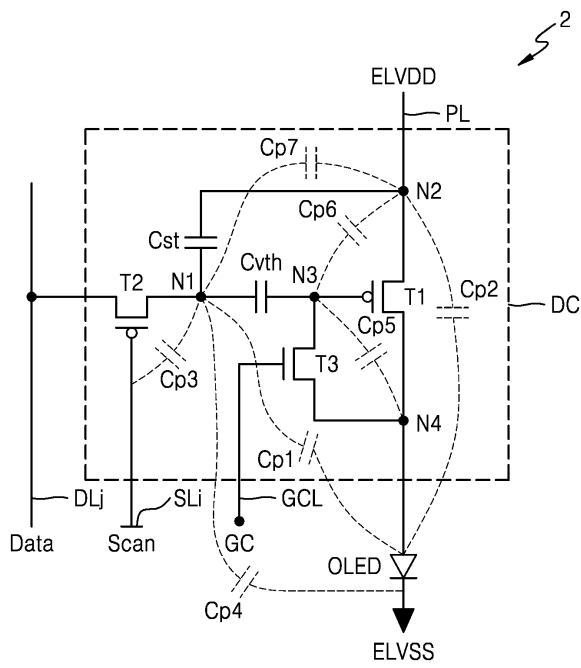
도면1



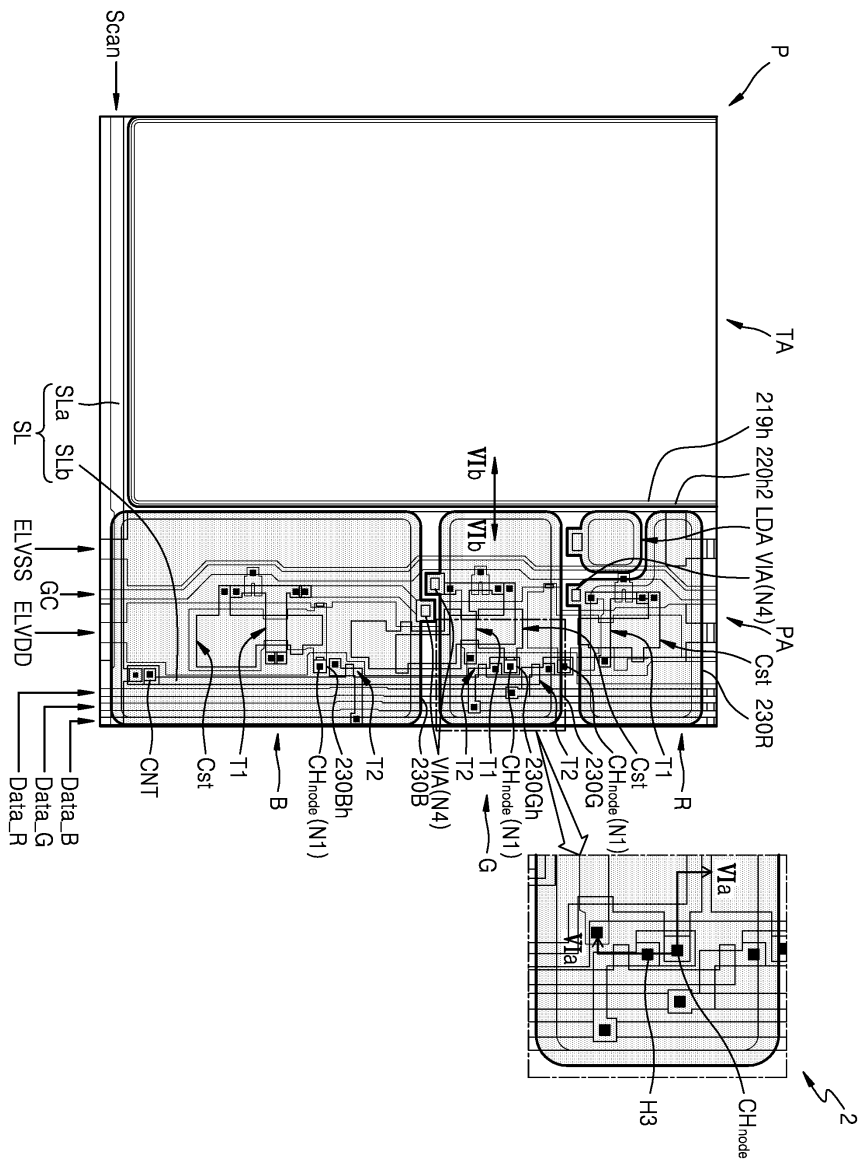
도면2



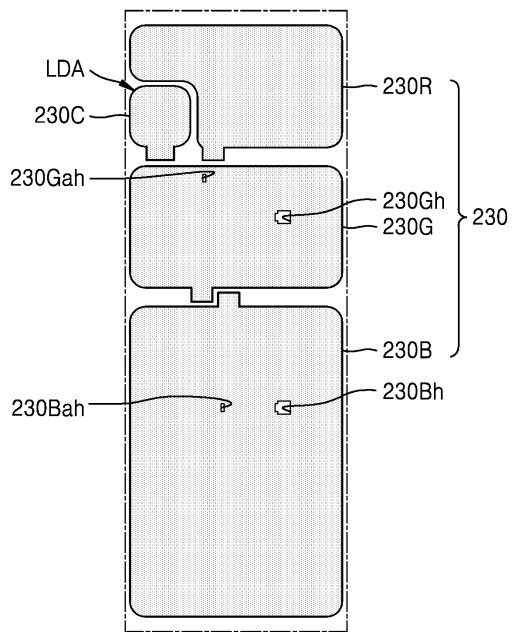
도면3



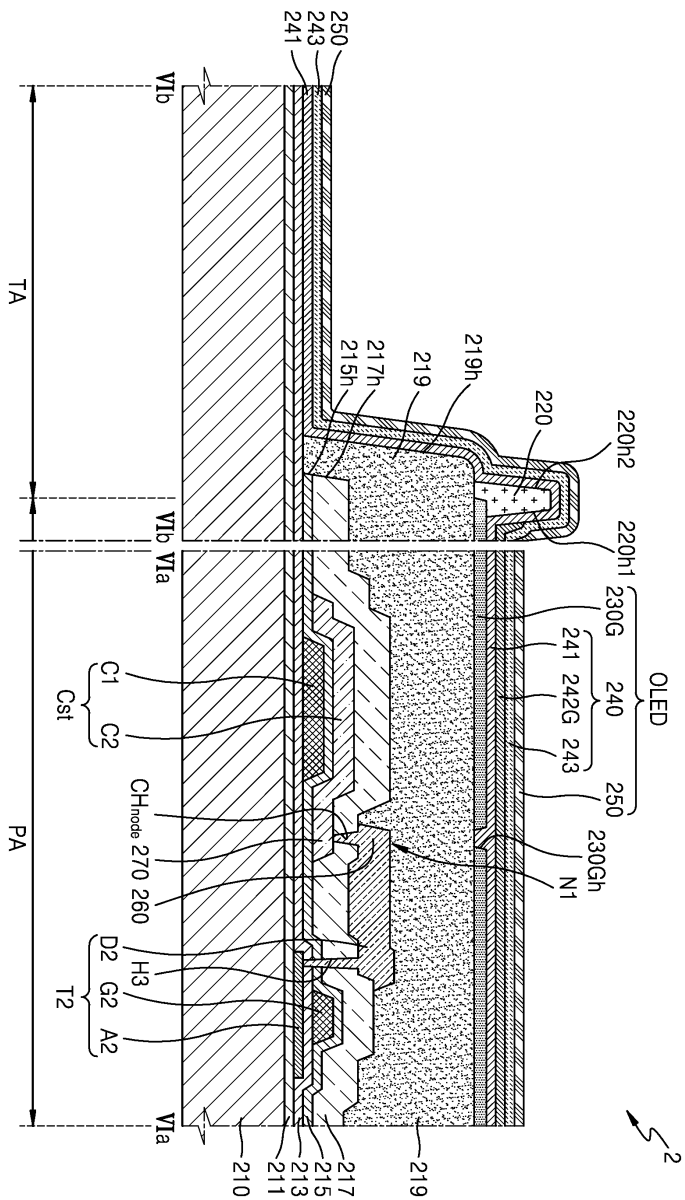
도면4



도면5



도면6



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170082687A	公开(公告)日	2017-07-17
申请号	KR1020160001616	申请日	2016-01-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JUNG MI 최정미 SENDA TAKAHIRO 센다타카히로		
发明人	최정미 센다타카히로		
IPC分类号	H01L51/52 H01L27/32 H01L51/50		
CPC分类号	H01L51/5203 H01L27/3248 H01L51/5008 H01L27/3262 H01L27/3265 H01L27/3246 H01L51/5271 H01L27/3211 H01L2227/32 H01L27/3216 H01L27/3276 H01L51/5209 H01L51/5225 H01L2251/5315 H01L51/5012 H01L51/5218 H01L51/5234		
外部链接	Espacenet		

摘要(译)

本发明的优选实施例公开了包括像素电极的有机发光显示装置，该像素电极包括至少一个开口，包括有机发光层的中间层，中间层布置在像素电极上，并且相对电极布置在在中间层上，驱动电路部分与像素电极电连接，同时包括顶部导电层，其中像素电极的至少一个开口和平面相位相互叠置。

