

패턴, 상기 게이트 절연층 패턴 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되며, 상기 기판의 상면에 직교하는 일 방향으로 제1 돌출부를 갖는 평탄화층, 상기 제1 돌출부 상에 배치되는 하부 전극, 상기 하부 전극의 적어도 일부를 노출시키며, 상기 제1 돌출부의 양측부를 덮는 화소 정의막, 상기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 포함할 수 있다. 이에 따라, 반도체 소자의 신뢰성 및 안정성을 향상시킬 수 있고, 상대적으로 적은 마스크 공정을 수행함으로써 유기 발광 표시 장치의 제조 비용을 줄일 수 있다.

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 2227/32 (2013.01)

(72) 발명자

허중무

경기도 화성시 영통로27번길 53, 204동 902호

최보경

경기도 성남시 수정구 성남대로1271번길 4-8, 1층

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 제1 도전층 패턴;

상기 제1 도전층 패턴 상에 배치되는 제1 절연층 패턴;

상기 제1 절연층 패턴 상에 배치되는 제1 반도체층 패턴;

상기 제1 반도체층 패턴 상에 배치되는 게이트 절연층 패턴;

상기 게이트 절연층 패턴 상에 배치되는 게이트 전극;

상기 게이트 전극 상에 배치되며, 상기 기관의 상면에 직교하는 일 방향으로 제1 돌출부를 갖는 평탄화층;

상기 제1 돌출부 상에 배치되는 하부 전극;

상기 하부 전극의 적어도 일부를 노출시키며, 상기 제1 돌출부의 양측부를 덮는 화소 정의막;

상기 하부 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 상부 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 절연층 패턴은 제2 돌출부를 포함하고,

상기 제1 반도체층 패턴은 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하며,

상기 제1 반도체층 패턴은 상기 제2 돌출부 상에 배치되고, 상기 게이트 절연층 패턴은 상기 게이트 전극 패턴과 상기 채널 영역 사이에 개재되며, 상기 소스 영역 및 상기 드레인 영역을 노출시키는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서, 상기 제1 도전층 패턴의 폭은 상기 제1 절연층 패턴의 저면의 폭과 동일하고, 상기 제1 절연층 패턴의 상면의 폭은 상기 제1 반도체층 패턴의 폭과 동일한 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서, 상기 제1 절연층 패턴의 상면의 폭은 상기 제1 절연층 패턴의 저면의 폭보다 작은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 3 항에 있어서, 상기 제1 반도체층 패턴은 상기 제1 절연층 패턴의 양측부를 노출시키는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서, 상기 게이트 절연층 패턴은 상기 기관 및 상기 제1 반도체층 패턴을 덮는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 기판 상에 배치되며, 상기 제1 도전층 패턴과 이격되고, 제1 접속 영역을 갖는 제2 도전층 패턴;

상기 제2 도전층 패턴 상에 배치되며, 상기 제1 방향으로 제3 돌출부를 갖는 제2 절연층 패턴; 및

상기 제3 돌출부 상에 배치되며, 제2 접속 영역을 갖는 제2 반도체층 패턴을 더 포함하고,

상기 제1 반도체층 패턴은 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서, 상기 기판과 상기 평탄화층 사이에 개재되며, 제1 내지 제4 개구를 갖는 층간 절연층;

상기 제1 개구를 통해 상기 소스 영역에 접속되는 소스 전극;

상기 제2 개구를 통해 상기 드레인 영역에 접속되며, 상기 게이트 전극 패턴, 상기 제1 반도체층 패턴과 함께 반도체 소자를 구성하는 드레인 전극;

상기 제3 개구를 통해 상기 제1 접속 영역에 접속되는 제1 전극; 및

상기 제4 개구를 통해 상기 제2 접속 영역에 접속되며, 상기 제2 도전층 패턴 및 상기 제2 반도체층 패턴과 함께 커패시터를 구성하는 제2 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서, 상기 제4 개구는 상기 층간 절연층 및 상기 제2 절연층 패턴을 관통하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 7 항에 있어서, 상기 제2 도전층 패턴의 상면 폭은 상기 제2 절연층 패턴의 저면의 폭과 동일하고, 상기 제2 반도체층 패턴의 폭은 상기 제2 절연층 패턴의 상면의 폭과 동일하며, 상기 제2 절연층 패턴의 상면의 폭은 상기 제2 절연층 패턴의 저면의 폭보다 작은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서, 상기 제2 반도체층 패턴은 상기 제2 절연층 패턴의 양측부를 노출시키는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제1 영역 및 상기 제1 영역으로부터 이격되는 제2 영역을 포함하는 기판을 제공하는 단계;

상기 기판 상에 반도체 소자를 형성하는 단계;

상기 기판 상에 상기 반도체 소자를 덮는 예비 평탄화층을 형성하는 단계;

상기 예비 평탄화층 상에 하부 전극막을 형성하는 단계;

하프톤 마스크를 이용하여, 상기 하부 전극막 상에 예비 화소 정의막을 형성하는 단계;

상기 예비 화소 정의막, 상기 하부 전극막 및 상기 예비 평탄화층을 부분적으로 제거하여, 화소 정의막, 하부 전극 및 제3 돌출부를 갖는 평탄화층을 형성하는 단계;

상기 화소 정의막을 가열하여, 상기 화소 정의막이 상기 제1 돌출부의 양측부를 덮는 단계;

상기 하부 전극 상에 발광층을 형성하는 단계; 및

상기 발광층 상에 상부 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제 12 항에 있어서, 상기 평탄화층을 형성하는 단계 이전에,

상기 기관과 상기 평탄화층 사이에 제1 내지 제4 개구를 갖는 층간 절연층을 형성하는 단계; 및

상기 제1 내지 제4 개구에 소스 전극, 드레인 전극, 제1 전극 및 제2 전극을 각각 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제 12 항에 있어서, 하프톤 마스크를 이용하여, 상기 하부 전극막 상에 예비 화소 정의막을 형성하는 단계는,

상기 하부 전극의 양측부 상에 제1 두께 및 상기 하부 전극막의 중앙부 상에 상기 제1 두께보다 얇은 제2 두께를 갖는 예비 화소 정의막을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제 12 항에 있어서, 상기 예비 화소 정의막, 상기 하부 전극막 및 상기 예비 평탄화층을 부분적으로 제거하여, 화소 정의막, 하부 전극 및 제3 돌출부를 갖는 평탄화층을 형성하는 단계는,

상기 하부 전극막의 중앙부 상에 상기 제2 두께를 갖는 예비 화소 전극막을 제거하여 상기 하부 전극을 노출시키는 단계를 포함하고,

상기 예비 화소 정의막을 제거하는 동안, 상기 평탄화층의 일부가 제거되기 때문에 상기 제1 돌출부가 형성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제 12 항에 있어서, 상기 기관 상에 반도체 소자를 형성하는 단계는,

상기 기관 상에 도전층을 형성하는 단계;

상기 도전층 상에 절연층을 형성하는 단계;

상기 절연층 상에 반도체층을 형성하는 단계;

상기 도전층, 상기 절연층 및 상기 반도체층을 부분적으로 제거하여, 상기 제1 영역에 제1 도전층 패턴, 제2 돌출부를 갖는 제1 절연층 패턴 및 제1 반도체층 패턴 및 상기 제2 영역에 제2 도전층 패턴, 제3 돌출부를 갖는 제2 절연층 패턴 및 제2 반도체층 패턴을 형성하는 단계;

상기 기관 상에 상기 도전층 패턴들, 상기 절연층 패턴들 및 상기 반도체층 패턴들을 덮는 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 게이트 전극막을 형성하는 단계; 및

상기 게이트 전극막 및 상기 게이트 절연층을 부분적으로 제거하여, 게이트 전극 및 게이트 절연층 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서, 상기 절연층 상에 반도체층을 형성하는 단계 이후에,

하프톤 마스크를 이용하여 상기 제1 영역에 제1 두께를 갖는 포토레지스트 및 상기 제2 영역에 제1 두께 및 상기 제1 두께보다 얇은 제2 두께를 갖는 포토레지스트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 17 항에 있어서, 상기 도전층, 상기 절연층 및 상기 반도체층을 부분적으로 제거하여, 상기 제1 영역에 제1 도전층 패턴, 제2 돌출부를 갖는 제1 절연층 패턴 및 제1 반도체층 패턴 및 상기 제2 영역에 제2 도전층 패턴, 제3 돌출부를 갖는 제2 절연층 패턴 및 제2 반도체층 패턴을 형성하는 단계는,

제2 두께로 형성된 포토레지스터를 제거하여 상기 제2 반도체층 패턴의 일 부분을 노출시키는 단계; 및

상기 제2 반도체층 패턴의 일 부분을 제거하는 단계를 더 포함하며,

상기 제2 두께로 형성된 포토레지스터를 제거하는 동안, 상기 제1 반도체층 패턴의 양측부는 노출되고, 상기 제

2 반도체층 패턴의 상기 일 부분에 대향하는 다른 부분이 노출되며,

상기 제2 반도체층 패턴의 일 부분을 제거하는 동안, 상기 노출된 제1 반도체층 패턴의 양측부 및 상기 노출된 제2 반도체 패턴의 상기 다른 부분이 제거되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 16 항에 있어서, 상기 게이트 절연층 상에 게이트 전극막을 형성하는 단계 이후에,

상기 제1 영역의 상기 게이트 전극막의 일부 상에 포토레지스트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 19 항에 있어서, 게이트 전극 및 게이트 절연층 패턴을 형성하는 단계는,

상기 게이트 전극막을 부분적으로 제거하는 단계; 및

상기 게이트 절연층을 부분적으로 제거하는 단계를 포함하고,

상기 게이트 절연층을 제거하는 동안, 상기 제1 및 제2 절연층 패턴들 각각의 양측부가 제거되기 때문에 상기 제2 및 제3 돌출부들 각각이 형성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로서 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다. 이 중, 유기 발광 표시 장치는 액정 표시 장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트를 필요로 하지 않아 초박형으로 구현할 수 있다는 장점이 있다. 이러한 유기 발광 표시 장치는 유기 박막에 음극과 양극을 통하여 주입된 전자와 정공이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한다.

[0003] 최근 유기 발광 표시 장치가 대형화되고, 고해상도를 구현함에 따라, 유기 발광 표시 장치를 제조하기 위해 사용되는 마스크 공정의 횟수가 증가되고 있다. 마스크 공정의 횟수가 증가함에 따라, 유기 발광 표시 장치를 제조하는 비용을 급격히 증가하고 있다. 예를 들어, 다른 공정들과 비교했을 때, 마스크 공정의 비용이 상대적으로 훨씬 비싸다. 이에 따라, 유기 발광 표시 장치의 제조 비용을 줄이기 위해 마스크 공정의 사용 횟수를 줄이는 방법이 필요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 반도체 소자의 하부에 위치하는 외광 차단 패턴 및 상대적으로 두꺼운 두께를 갖는 층간 절연층을 갖는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 마스크 사용 횟수를 줄일 수 있는 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

[0006] 그러나, 본 발명이 상술한 목적들에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 기판, 상기 기판 상에 배치되는 제1 도전층 패턴, 상기 제1 도전층 패턴 상에 배치되는 제1 절연층 패턴, 상기 제

1 절연층 패턴 상에 배치되는 제1 반도체층 패턴, 상기 제1 반도체층 패턴 상에 배치되는 게이트 절연층 패턴, 상기 게이트 절연층 패턴 상에 배치되는 게이트 전극, 상기 게이트 전극 상에 배치되며, 상기 기판의 상면에 직교하는 일 방향으로 제1 돌출부를 갖는 평탄화층, 상기 제1 돌출부 상에 배치되는 하부 전극, 상기 하부 전극의 적어도 일부를 노출시키며, 상기 제1 돌출부의 양측부를 덮는 화소 정의막, 상기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 포함할 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제1 절연층 패턴은 제2 돌출부를 포함하고, 상기 제1 반도체층 패턴은 소스 영역, 드레인 영역 및 상기 소스 영역과 상기 드레인 영역 사이에 위치하는 채널 영역을 포함하며, 상기 제1 반도체층 패턴은 상기 제2 돌출부 상에 배치되고, 상기 게이트 절연층 패턴은 상기 게이트 전극 패턴과 상기 채널 영역 사이에 개재되며, 상기 소스 영역 및 상기 드레인 영역을 노출시킬 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 제1 도전층 패턴의 폭은 상기 제1 절연층 패턴의 저면의 폭과 동일하고, 상기 제1 절연층 패턴의 상면의 폭은 상기 제1 반도체층 패턴의 폭과 동일할 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 제1 절연층 패턴의 상면의 폭은 상기 제1 절연층 패턴의 저면의 폭보다 작을 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 제1 반도체층 패턴은 상기 제1 절연층 패턴의 양측부를 노출시킬 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 게이트 절연층 패턴은 상기 기판 및 상기 제1 반도체층 패턴을 덮을 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 기판 상에 배치되며, 상기 제1 도전층 패턴과 이격되고, 제1 접속 영역을 갖는 제2 도전층 패턴, 상기 제2 도전층 패턴 상에 배치되며, 상기 제1 방향으로 제3 돌출부를 갖는 제2 절연층 패턴 및 상기 제3 돌출부 상에 배치되며, 제2 접속 영역을 갖는 제2 반도체층 패턴을 더 포함할 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 기판과 상기 평탄화층 사이에 개재되며, 제1 내지 제4 개구를 갖는 층간 절연층, 상기 제1 개구를 통해 상기 소스 영역에 접속되는 소스 전극, 상기 제2 개구를 통해 상기 드레인 영역에 접속되며, 상기 게이트 전극 패턴, 상기 제1 반도체층 패턴과 함께 반도체 소자를 구성하는 드레인 전극, 상기 제3 개구를 통해 상기 제1 접속 영역에 접속되는 제1 전극 및 상기 제4 개구를 통해 상기 제2 접속 영역에 접속되며, 상기 제2 도전층 패턴 및 상기 제2 반도체층 패턴과 함께 커패시터를 구성하는 제2 전극을 더 포함할 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 제4 개구는 상기 층간 절연층 및 상기 제2 절연층 패턴을 관통할 수 있다.

[0016] 예시적인 실시예들에 있어서, 상기 제2 도전층 패턴의 상면 폭은 상기 제2 절연층 패턴의 저면의 폭과 동일하고, 상기 제2 반도체층 패턴의 폭은 상기 제2 절연층 패턴의 상면의 폭과 동일하며, 상기 제2 절연층 패턴의 상면의 폭은 상기 제2 절연층 패턴의 저면의 폭보다 작을 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 제2 반도체층 패턴은 상기 제2 절연층 패턴의 양측부를 노출시킬 수 있다.

[0018] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법은 제1 영역 및 상기 제1 영역으로부터 이격되는 제2 영역을 포함하는 기판을 제공하는 단계, 상기 기판 상에 반도체 소자를 형성하는 단계, 상기 기판 상에 상기 반도체 소자를 덮는 예비 평탄화층을 형성하는 단계, 상기 예비 평탄화층 상에 하부 전극막을 형성하는 단계, 하프톤 마스크를 이용하여, 상기 하부 전극막 상에 예비 화소 정의막을 형성하는 단계, 상기 예비 화소 정의막, 상기 하부 전극막 및 상기 예비 평탄화층을 부분적으로 제거하여, 화소 정의막, 하부 전극 및 제3 돌출부를 갖는 평탄화층을 형성하는 단계, 상기 화소 정의막을 가열하여, 상기 화소 정의막이 상기 제1 돌출부의 양측부를 덮는 단계, 상기 하부 전극 상에 발광층을 형성하는 단계 및 상기 발광층 상에 상부 전극을 형성하는 단계를 포함할 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 평탄화층을 형성하는 단계 이전에, 상기 기판과 상기 평탄화층 사이에 제1 내지 제4 개구를 갖는 층간 절연층을 형성하는 단계 및 상기 제1 내지 제4 개구에 소스 전극, 드레인 전극, 제1 전극 및 제2 전극을 각각 형성하는 단계를 더 포함할 수 있다.

[0020] 예시적인 실시예들에 있어서, 하프톤 마스크를 이용하여, 상기 하부 전극막 상에 예비 화소 정의막을 형성하는 단계는 상기 하부 전극의 양측부 상에 제1 두께 및 상기 하부 전극막의 중앙부 상에 상기 제1 두께보다 얇은 제2 두께를 갖는 예비 화소 정의막을 형성하는 단계를 포함할 수 있다.

[0021] 예시적인 실시예들에 있어서, 상기 예비 화소 정의막, 상기 하부 전극막 및 상기 예비 평탄화층을 부분적으로

제거하여, 화소 정의막, 하부 전극 및 제3 돌출부를 갖는 평탄화층을 형성하는 단계는 상기 하부 전극막의 중앙부 상에 상기 제2 두께를 갖는 예비 화소 전극막을 제거하여 상기 하부 전극을 노출시키는 단계를 포함하고, 상기 예비 화소 정의막을 제거하는 동안, 상기 평탄화층의 일부가 제거되기 때문에 상기 제1 돌출부가 형성될 수 있다.

[0022] 예시적인 실시예들에 있어서, 상기 기판 상에 반도체 소자를 형성하는 단계는 상기 기판 상에 도전층을 형성하는 단계, 상기 도전층 상에 절연층을 형성하는 단계, 상기 절연층 상에 반도체층을 형성하는 단계, 상기 도전층, 상기 절연층 및 상기 반도체층을 부분적으로 제거하여, 상기 제1 영역에 제1 도전층 패턴, 제2 돌출부를 갖는 제1 절연층 패턴 및 제1 반도체층 패턴 및 상기 제2 영역에 제2 도전층 패턴, 제3 돌출부를 갖는 제2 절연층 패턴 및 제2 반도체층 패턴을 형성하는 단계, 상기 기판 상에 상기 도전층 패턴들, 상기 절연층 패턴들 및 상기 반도체층 패턴들을 덮는 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 게이트 전극막을 형성하는 단계 및 상기 게이트 전극막 및 상기 게이트 절연층을 부분적으로 제거하여, 게이트 전극 및 게이트 절연층 패턴을 형성하는 단계를 포함할 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 절연층 상에 반도체층을 형성하는 단계 이후에, 하프톤 마스크를 이용하여 상기 제1 영역에 제1 두께를 갖는 포토레지스트 및 상기 제2 영역에 제1 두께 및 상기 제1 두께보다 얇은 제2 두께를 갖는 포토레지스트를 형성하는 단계를 더 포함할 수 있다.

[0024] 예시적인 실시예들에 있어서, 상기 도전층, 상기 절연층 및 상기 반도체층을 부분적으로 제거하여, 상기 제1 영역에 제1 도전층 패턴, 제2 돌출부를 갖는 제1 절연층 패턴 및 제1 반도체층 패턴 및 상기 제2 영역에 제2 도전층 패턴, 제3 돌출부를 갖는 제2 절연층 패턴 및 제2 반도체층 패턴을 형성하는 단계는 제2 두께로 형성된 포토레지스터를 제거하여 상기 제2 반도체층 패턴의 일 부분을 노출시키는 단계 및 상기 제2 반도체층 패턴의 일 부분을 제거하는 단계를 더 포함하며, 상기 제2 두께로 형성된 포토레지스터를 제거하는 동안, 상기 제1 반도체층 패턴의 양측부는 노출되고, 상기 제2 반도체층 패턴의 상기 일 부분에 대향하는 다른 부분이 노출되며, 상기 제2 반도체층 패턴의 일 부분을 제거하는 동안, 상기 노출된 제1 반도체층 패턴의 양측부 및 상기 노출된 제2 반도체층 패턴의 상기 다른 부분이 제거될 수 있다.

[0025] 예시적인 실시예들에 있어서, 상기 게이트 절연층 상에 게이트 전극막을 형성하는 단계 이후에, 상기 제1 영역의 상기 게이트 전극막의 일부 상에 포토레지스트를 형성 하는 단계를 더 포함할 수 있다.

[0026] 예시적인 실시예들에 있어서, 게이트 전극 및 게이트 절연층 패턴을 형성하는 단계는 상기 게이트 전극막을 부분적으로 제거하는 단계 및 상기 게이트 절연층을 부분적으로 제거하는 단계를 포함하고, 상기 게이트 절연층을 제거하는 동안, 상기 제1 및 제2 절연층 패턴들 각각의 양측부가 제거되기 때문에 상기 제2 및 제3 돌출부들 각각이 형성될 수 있다.

발명의 효과

[0027] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 상대적으로 적은 마스크 공정을 수행함으로써 유기 발광 표시 장치의 제조 비용을 줄일 수 있다. 또한, 반도체 소자의 하부에 위치하는 외광 차단 패턴 및 상대적으로 두꺼운 두께를 갖는 중간 절연층을 포함함으로써, 반도체 소자의 신뢰성 및 안정성을 향상시킬 수 있다.

[0028] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법은 마스크 공정의 횟수를 6번 수행함으로써, 유기 발광 표시 장치의 제조 비용을 줄일 수 있다.

[0029] 다만, 본 발명의 효과가 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 2 내지 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

도 17은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치들 및 유기 발광 표시 장치의 제조 방법에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0032] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.
- [0033] 도 1을 참조하면, 유기 발광 표시 장치(100)는 기판(110), 제1 도전층 패턴(130), 제2 도전층 패턴(140), 제1 절연층 패턴(150), 제2 절연층 패턴(160), 제1 반도체층 패턴(200), 제2 반도체층 패턴(210), 게이트 절연층 패턴(230), 게이트 전극(250), 층간 절연층(270), 소스 전극(290), 드레인 전극(300), 제1 전극(330), 제2 전극(340), 평탄화층(350), 하부 전극(370), 화소 정의막(390), 발광층(410), 상부전극(430), 제1 내지 제3 돌출부(490, 450, 470) 등을 포함할 수 있다. 여기서, 제1 반도체층 패턴(200)은 소스 영역(170), 채널 영역(180) 및 드레인 영역(190)을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(350) 제1 돌출부(490)를 포함하고, 제1 절연층 패턴(150)은 제2 돌출부(450)를 포함하며, 제2 절연층 패턴(160)은 제3 돌출부(470)를 포함할 수 있다. 또한, 채널 영역(180) 아래에 제1 도전층 패턴(130)이 배치됨으로써, 채널 영역(180)을 보호할 수 있는 유기 발광 표시 장치로 기능할 수 있다.
- [0034] 기판(110)은 제1 영역 및 상기 제1 영역으로부터 이격되는 제2 영역을 포함할 수 있다. 기판(110)은 투명한 재료로 구성될 수 있다. 예를 들면, 기판(110)은 석영, 합성 석영(synthetic quartz), 불화칼슘(calcium fluoride), 불소가 도핑된 석영(F-doped quartz), 소다라임(sodalime) 유리, 무알칼리(non-alkali) 유리 등을 포함할 수 있다. 선택적으로는, 기판(110)은 연성을 갖는 투명 수지 기판으로 이루어질 수 있다. 기판(110)으로 이용될 수 있는 투명 수지 기판의 예로는 폴리이미드 기판을 들 수 있다. 이 경우, 상기 폴리이미드 기판은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 상기 폴리이미드 기판이 얇고 연성을 갖는 경우, 발광 구조물의 형성을 지원하기 위해 단단한 유리 상에 형성될 수 있다. 즉, 예시적인 실시예들에 있어서, 기판(110)은 유리 기판 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 적층된 구성을 가질 수 있다. 예를 들면, 상기 제2 폴리이미드층 상에 절연층을 배치한 후, 상기 절연층 상에 발광 구조물들(예를 들면, 반도체 소자, 커패시터, 하부 전극(370), 발광층(410), 상부 전극(430) 등)을 형성할 수 있다. 이러한 발광 구조물들의 형성 후, 상기 유리 기판은 제거될 수 있다. 상기 폴리이미드 기판은 얇고 플렉서블하기 때문에, 상기 폴리이미드 기판 상에 상기 발광 구조물들을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 경질의 유리 기판을 이용하여 상기 상부 구조물들을 형성한 다음, 상기 유리 기판을 제거함으로써, 상기 폴리이미드 기판을 기판(110)으로 이용할 수 있다.
- [0035] 기판(110) 상에는 버퍼층(도시되지 않음)이 배치될 수 있다. 상기 버퍼층은 기판(110) 상에 전체적으로 배치될 수 있다. 상기 버퍼층은 기판(110)으로부터 금속 원자들이나 불순물들이 확산(즉, 아웃 개싱)되는 현상을 방지할 수 있으며, 액티브층(130)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브층(130)을 수득하게 할 수 있다. 또한, 상기 버퍼층은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나, 상기 버퍼층이 배치되지 않을 수 있다.
- [0036] 다시 도 1을 참조하면, 기판(110) 상의 제1 영역에 제1 도전층 패턴(130)이 위치할 수 있고, 기판(110) 상의 상기 제2 영역에 제2 도전층 패턴(140)이 위치할 수 있다. 제1 도전층 패턴(130)은 채널 영역(180)을 보호하기 위해 외광을 차단할 수 있다. 예를 들어, 제1 도전층 패턴(130)은 광 차단 패턴으로 기능할 수 있다. 제2 도전층 패턴(140)은 커패시터의 하부 전극으로 기능할 수 있고, 제2 전극(340)과 접속되는 제2 접속 영역을 포함할 수 있다. 제1 도전층 패턴(130) 및 제2 도전층 패턴(140) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 포함할 수 있다. 예를 들면, 제1 도전층 패턴(130) 및 제2 도전층 패턴(140) 각각은 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 크롬(Cr), 몰리브데늄(Mo), 몰리브데늄을 함유하는 합금, 티타늄(Ti), 티타늄 질화물(TiN_x), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 탄탈륨 질화물(TaN_x), 스트론튬 루테튬 산화물(SrRu_xO_y), 아연 산화물(ZnO_x), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 제1 도전층 패턴(130) 및 제2 도전층 패턴(140)은 동일한 물질을 포함하고 동시에 형성될 수 있다.
- [0037] 제1 절연층 패턴(150)은 제1 도전층 패턴(130) 상의 상기 제1 영역에 위치할 수 있다. 예시적인 실시예들에 있어서, 제1 절연층 패턴(150)은 제2 돌출부(450)를 포함할 수 있다. 제2 돌출부(450)는 기판(110)의 상면에 직교하는 제1 방향으로 돌출될 수 있다. 예를 들어, 제1 절연층 패턴(150)의 저면의 폭은 제1 도전층 패턴(130)의

폭과 동일할 수 있다. 또한, 제1 절연층 패턴(150)의 상면의 폭은 제1 반도체층 패턴(200)의 저면의 폭과 동일할 수 있다. 즉, 제1 절연층 패턴(150)의 상면의 폭은 제1 절연층 패턴(150)의 저면의 폭보다 작을 수 있다.

[0038] 제2 절연층 패턴(160)은 제2 도전층 패턴(140) 상의 상기 제2 영역에 위치할 수 있다. 예시적인 실시예들에 있어서, 제2 절연층 패턴(160)은 제3 돌출부(470)를 포함할 수 있다. 제3 돌출부(470)는 상기 제1 방향으로 돌출될 수 있다. 예를 들어, 제2 절연층 패턴(160)의 저면의 폭은 제2 도전층 패턴(140)의 폭과 동일할 수 있다. 또한, 제2 절연층 패턴(160)의 상면의 폭은 제2 반도체층 패턴(210)의 저면의 폭과 동일할 수 있다. 즉, 제2 절연층 패턴(160)의 상면의 폭은 제2 절연층 패턴(160)의 저면의 폭보다 작을 수 있다.

[0039] 제1 절연층 패턴(150) 및 제2 절연층 패턴(160) 각각은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들어, 제1 절연층 패턴(150) 및 제2 절연층 패턴(160) 각각은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xNy), 실리콘 산탄화물(SiO_xCy), 실리콘 탄질화물(SiC_xNy), 알루미늄 산화물(AlO_x), 탄탈륨 산화물(TaO_x), hafnium 산화물(HfO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x) 등으로 이루어질 수 있다. 즉, 제1 절연층 패턴(150) 및 제2 절연층 패턴(160)은 동일한 물질을 포함할 수 있고, 동시에 형성될 수 있다.

[0040] 제1 반도체층 패턴(200)은 제1 절연층 패턴(150)의 제2 돌출부(450) 상의 상기 제1 영역에 위치할 수 있다. 제1 반도체층 패턴(200)은 소스 영역(170), 드레인 영역(190) 및 소스 영역(170)과 드레인 영역(190) 사이에 위치하는 채널 영역(180)을 포함할 수 있다. 여기서, 게이트 절연층 패턴(230)을 식각하는 과정에서, 게이트 전극(250) 및 게이트전극(250) 상에 위치한 포토레지스터에 의해 채널 영역(180)은 도핑되지 않고, 소스 영역(170) 및 드레인 영역(190)은 불순물에 의해 도핑될 수 있다. 결과적으로, 소스 영역(170) 및 드레인 영역(190)은 도체와 같이 기능할 수 있다. 제1 반도체층 패턴(200)은 제1 절연층 패턴(150)의 제2 돌출부(450) 상에 배치되기 때문에, 제1 절연층 패턴(150)의 양측부를 노출시킬 수 있다.

[0041] 제2 반도체층 패턴(210)은 제2 절연층 패턴(160)의 제3 돌출부(470) 상의 상기 제2 영역에 위치할 수 있다. 제2 반도체층 패턴(210)은 제1 전극(330)과 접속되는 제1 접속 영역을 가질 수 있다. 게이트 절연층 패턴(230)을 식각하는 과정에서, 제2 반도체층 패턴(210)은 불순물에 의해 도핑될 수 있다. 결과적으로, 제2 반도체층 패턴(210)은 도체와 같이 기능할 수 있다. 제2 반도체층 패턴(210)은 제2 절연층 패턴(160)의 제2 돌출부(470) 상에 배치되기 때문에, 제2 절연층 패턴(160)의 양측부를 노출시킬 수 있다.

[0042] 제1 반도체층 패턴(200) 및 제2 반도체층 패턴(210) 각각은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB_x), 삼성분계 화합물(AB_xCy), 사성분계 화합물(AB_xCyDz) 등을 포함하는 반도체 산화물층일 수 있다. 예를 들어, 제1 반도체층 패턴(200)은 아연 산화물(ZnO_x), 갈륨 산화물(GaO_x), 티타늄 산화물(TiO_x), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 인듐-갈륨 산화물(IGO), 인듐-아연 산화물(IZO), 인듐-주석 산화물(ITO), 갈륨-아연 산화물(GZO), 아연-마그네슘 산화물(ZMO), 아연-주석 산화물(ZTO), 아연-지르코늄 산화물(ZnZrxOy), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO), 인듐-갈륨-hafnium 산화물(IGHO), 주석-알루미늄-아연 산화물(TAZO) 및 인듐-갈륨-주석 산화물(IGTO) 등을 포함할 수 있다. 즉, 제1 반도체층 패턴(200) 및 제2 반도체층 패턴(210)은 동일한 물질을 포함할 수 있고, 동시에 형성될 수 있다.

[0043] 게이트 절연층 패턴(230)은 제1 반도체층 패턴(200) 상의 상기 제1 영역에 위치할 수 있다. 예시적인 실시예들에 있어서, 게이트 절연층 패턴(230)은 게이트 전극(250)과 제1 반도체층 패턴(200)의 채널 영역(180) 사이에 개재될 수 있고, 게이트 절연층 패턴(230)은 소스 영역(170) 및 드레인 영역(190)을 노출시킬 수 있다. 게이트 절연층 패턴(230)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 게이트 절연층 패턴(230)을 식각하는 과정에서, 제1 절연층 패턴(150)에 의해 노출된 제1 절연층 패턴(150)의 양측부의 적어도 일부가 제거될 수 있다. 결과적으로, 제1 절연층 패턴(150)의 제2 돌출부(450)가 형성될 수 있다. 유사하게, 게이트 절연층 패턴(230)을 식각하는 과정에서, 제2 절연층 패턴(160)에 의해 노출된 제2 절연층 패턴(160)의 양측부의 적어도 일부가 제거될 수 있고, 결과적으로, 제2 절연층 패턴(160)의 제3 돌출부(470)가 형성될 수 있다.

[0044] 게이트 전극(250)은 게이트절연층 패턴(230) 상의 상기 제1 영역에 위치할 수 있다. 게이트 전극(250)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 포함할 수 있다.

[0045] 층간 절연층(270)은 기판(110) 상에 전체적으로 배치될 수 있다. 층간 절연층(270)은 제1 도전층 패턴(130), 제1 절연층 패턴(150), 제1 반도체층 패턴(200), 게이트 절연층 패턴(230), 게이트 전극(250), 제2 도전층 패턴(140), 제2 절연층 패턴(160) 및 제2 반도체층 패턴(210)을 덮으며 기판(110)의 상면에 평행한 제2 방향(예를 들어, 상기 제1 방향과 직교하는 방향)으로 연장될 수 있다. 층간 절연층(270)은 제1 도전층 패턴(130), 제1 절

연층 패턴(150), 제1 반도체층 패턴(200), 게이트 절연층 패턴(230), 게이트 전극(250), 제2 도전층 패턴(140), 제2 절연층 패턴(160) 및 제2 반도체층 패턴(210)의 프로 파일을 따라 기판(110) 상에 배치될 수 있다. 선택적으로, 층간 절연층(270)은 제1 도전층 패턴(130), 제1 절연층 패턴(150), 제1 반도체층 패턴(200), 게이트 절연층 패턴(230), 게이트 전극(250), 제2 도전층 패턴(140), 제2 절연층 패턴(160) 및 제2 반도체층 패턴(210)을 충분히 덮을 수 있으며, 층간 절연층(270)의 상면에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 층간 절연층(270)은 제1 내지 제4 개구를 포함할 수 있다. 예시적인 실시예들에 있어서, 층간 절연층(270)은 상대적으로 두껍게 형성될 수 있다. 예를 들어, 게이트 전극(250) 상에 추가적인 전극을 배치하고, 게이트 전극(250)과 상기 추가적인 전극을 커패시터로 이용할 수 있다. 이러한 경우, 층간 절연층(270)은 게이트 전극(250)과 상기 추가적인 전극 사이에 개재될 수 있고, 상대적으로 얇은 두께로 배치될 수 있다. 반면, 제2 도전층 패턴(140)이 배치됨으로써, 제2 도전층 패턴(140)과 제2 반도체층 패턴(210)은 커패시터로 기능할 수 있다. 따라서, 상기 추가적인 전극 없이 층간 절연층(270)이 두껍게 배치됨으로써, 반도체 소자의 채널 영역(180)이 보호될 수 있다. 층간 절연층(270)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0046] 소스 전극(290) 및 소스 전극(290)은 제1 반도체층 패턴(200) 상의 상기 제1 영역에 위치할 수 있다. 소스 전극(290)은 층간 절연층(270)의 제1 개구를 통해 소스 영역(170)에 접속될 수 있고, 드레인 전극(300)은 층간 절연층(270)의 제2 개구를 통해 드레인 영역(190)에 접속될 수 있다. 따라서, 제1 반도체층 패턴(200), 게이트 전극(250), 소스 전극(290) 및 드레인 전극(300)을 포함하는 반도체 소자가 구성될 수 있다. 선택적으로, 반도체 소자의 종류에 따라, 소스 전극(290) 및 소스 영역(170) 각각은 드레인 전극(300) 및 드레인 영역(190) 각각과 서로 위치가 변경될 수 있다.

[0047] 제1 전극(330)은 제2 반도체층 패턴(210) 상의 상기 제2 영역에 위치할 수 있고, 제2 전극(340)은 제2 도전층 패턴(140) 상의 상기 제2 영역에 위치할 수 있다. 제1 전극(330)은 층간 절연층(270)의 제3 개구를 통해 제2 반도체층 패턴(210)의 제1 접속 영역에 접속될 수 있고, 제2 전극(340)은 층간 절연층(270)의 제4 개구를 통해 제2 도전층 패턴(140)의 제2 접속 영역에 접속될 수 있다. 여기서, 상기 제4 개구는 제2 절연층 패턴(160)의 일부를 관통할 수 있다. 따라서, 제2 도전층 패턴(140), 제2 반도체층 패턴(210), 제1 전극(330) 및 제2 전극(340)을 포함하는 커패시터(220)가 구성될 수 있다.

[0048] 소스 전극(290), 드레인 전극(300), 제1 전극(330) 및 제2 전극(340) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 즉, 소스 전극(290), 드레인 전극(300), 제1 전극(330) 및 제2 전극(340) 각각은 동일한 물질을 포함할 수 있고, 동시에 형성될 수 있다.

[0049] 평탄화층(350) 기판(110) 상에 전체적으로 배치될 수 있다. 평탄화층(350)은 층간 절연층(270), 소스 전극(290), 드레인 전극(300), 제1 전극(330) 및 제2 전극(340)을 덮으며 상기 제2 방향으로 연장될 수 있다. 평탄화층(350)은 층간 절연층(270), 소스 전극(290), 드레인 전극(300), 제1 전극(330) 및 제2 전극(340)을 충분히 덮을 수 있으며, 평탄화층(350)의 상면에 단차를 생성시키지 않고(제1 돌출부(490)를 제외하고) 실질적으로 평탄한 상면을 가질 수 있다. 예시적인 실시예들에 있어서, 평탄화층(350)은 제1 돌출부(490)를 포함할 수 있다. 제1 돌출부(490)는 상기 제1 방향으로 돌출될 수 있다. 또한, 평탄화층(350)은 제5 개구를 포함할 수 있다. 상기 제5 개구는 아래에 소스 전극(290)이 위치하는 부분에 배치될 수 있다. 평탄화층(350)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0050] 하부 전극(370)은 평탄화층(350)의 제1 돌출부(490) 상에 위치할 수 있다. 하부 전극(370)은 상기 제5 개구를 통해 소스 전극(290)에 접속될 수 있다. 여기서, 하부 전극(370)은 상기 제5 개구의 내측을 따라 배치될 수 있다. 즉, 하부 전극(370)은 상기 제5 개구의 일부에 배치될 수 있다. 따라서, 하부 전극(370)은 상기 반도체 소자와 전기적으로 연결될 수 있다. 하부 전극(370)은 제1 돌출부(490) 상에 배치되기 때문에, 평탄화층(350)의 양측부를 노출시킬 수 있다. 하부 전극(370)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다.

[0051] 화소 정의막(390)은 하부 전극(370)의 일부 및 평탄화층(350)의 일부 상에 위치할 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(390)은 하부 전극(370)의 적어도 일부를 노출시키며, 제1 돌출부(490)의 양측부를 덮을 수 있다. 또한, 화소 정의막(390)은 상기 제5 개구를 채울 수 있다. 화소 정의막(390)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예를 들어, 화소 정의막(390)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 폴리이미드계 수지, 포토레지스트, 아크릴계 수지, 폴리이미드계 수지, 실록산계 수지 등을 포함할 수 있다.

[0052] 발광층(410)은 화소 정의막(390)에 의해 적어도 일부가 노출된 하부 전극(370) 상에 배치될 수 있다. 발광층

(410)은 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 선택적으로, 발광층(410)은 적색광, 녹색광, 청색광 등과 같은 상이한 색광들을 방출시킬 수 있는 발광 물질들이 적층되어 백색광을 발광할 수도 있다.

[0053] 상부 전극(430)은 화소 정의막(390) 및 발광층(410) 상에 배치될 수 있다. 상부 전극(430)은 화소 정의막(390) 및 발광층(410)을 덮으며, 상기 제2 방향으로 연장될 수 있다. 즉, 상부 전극(430)은 기관(110) 상에 전체적으로 위치할 수 있다. 상부 전극(430)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등으로 구성될 수 있다.

[0054] 다른 예시적인 실시예들에 있어서, 상부 전극(430) 상에 봉지 기관이 위치할 수 있다. 상기 봉지 기관은 실질적으로 기관(110)과 동일한 재료로 구성될 수 있다. 예를 들어, 상기 봉지 기관은 석영, 합성 석영, 불화칼슘, 불소가 도핑된 석영, 소다라임 유리, 무알칼리 유리 등을 포함할 수 있다. 선택적으로, 상기 봉지 기관은 투명 무기 물질 또는 플렉서블 플라스틱으로 구성될 수 있다. 예를 들어, 상기 봉지 기관은 연성을 갖는 투명 수지 기관을 포함할 수도 있다. 이 경우, 유기 발광 표시 장치(100)의 가요성을 향상시키기 위하여 적어도 하나의 유기층 및 적어도 하나의 무기층이 교대로 적층되는 구조를 가질 수 있다.

[0055] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 외광을 차단할 수 있는 제1 도전층 패턴(130) 및 상대적으로 두꺼운 두께를 갖는 층간 절연층(270)을 포함할 수 있고, 상기 반도체 소자의 채널 영역(180)을 보호할 수 있다. 이에 따라, 유기 발광 표시 장치(100)에 포함된 반도체 소자의 신뢰성 및 안정성을 향상시킬 수 있다. 또한, 유기 발광 표시 장치(100)는 마스크 공정의 횟수를 6번 수행함으로써, 유기 발광 표시 장치(100)의 제조 비용을 줄일 수 있다.

[0056] 도 2 내지 도 17은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

[0057] 도 2를 참조하면, 제1 영역 및 상기 제1 영역으로부터 이격되는 제2 영역을 포함하는 기관(510)이 제공될 수 있다. 기관(510)은 석영, 합성 석영, 불화칼슘, 불소가 도핑된 석영, 소다라임 유리, 무알칼리 유리 등을 사용하여 형성될 수 있다.

[0058] 기관(510) 상에 도전층(532)이 형성될 수 있다. 도전층(532)은 기관(510)의 상면에 평행한 제2 방향으로 연장될 수 있다. 즉, 도전층(532)은 기관(510) 상에 전체적으로 형성될 수 있다. 도전층(532)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 사용하여 형성될 수 있다. 예를 들어, 도전층(532)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 몰리브데늄, 몰리브데늄을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 네오디뮴, 스칸듐, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0059] 도전층(532) 상에 절연층(552)이 형성될 수 있다. 절연층(552)은 도전층(532) 상기 제2 방향으로 연장될 수 있다. 즉, 절연층(552)은 도전층(532) 상에 전체적으로 형성될 수 있다. 절연층(552)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들어, 절연층(552)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 사용하여 형성될 수 있다.

[0060] 절연층(552) 상에 반도체층(572)이 형성될 수 있다. 반도체층(572)은 절연층(552) 상에 상기 제2 방향으로 연장될 수 있다. 즉, 반도체층(572)은 절연층(552) 상에 전체적으로 형성될 수 있다. 반도체층(572)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들어, 반도체층(572)은 아연 산화물, 갈륨 산화물, 티타늄 산화물, 주석 산화물, 인듐 산화물, 인듐-갈륨 산화물, 인듐-아연 산화물, 인듐-주석 산화물, 갈륨-아연 산화물, 아연-마그네슘 산화물, 아연-주석 산화물, 아연-지르코늄 산화물, 인듐-갈륨-아연 산화물, 인듐-아연-주석 산화물, 인듐-갈륨-하프늄 산화물, 주석-알루미늄-아연 산화물 및 인듐-갈륨-주석 산화물 등을 사용하여 형성될 수 있다.

[0061] 예시적인 실시예들에 있어서, 하프톤 마스크를 이용하여 상기 제1 영역에 제1 두께를 갖는 제1 포토레지스트(950)가 형성될 수 있다. 또한, 상기 제2 영역에 제1 두께 및 상기 제1 두께보다 얇은 제2 두께를 갖는 제2 포토레지스트(970)가 형성될 수 있다. 예시적인 실시예들에 있어서, 이번 단계에서, 첫 번째 마스크 공정이 수행된다.

- [0062] 도 3을 참조하면, 제1 포토레지스트(950) 및 제2 포토레지스트(970)를 마스크로 이용하여 도전층(532), 절연층(552) 및 반도체층(572)이 부분적으로 제거될 수 있다. 이러한 경우, 상기 제1 영역에 제1 도전층 패턴(530), 제1 절연층 패턴(550) 및 예비 제1 반도체층 패턴(575)이 형성될 수 있고, 상기 제2 영역에 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 예비 제2 반도체층 패턴(615)이 형성될 수 있다.
- [0063] 도 4를 참조하면, 제2 포토레지스트(970)의 상기 제2 두께로 형성된 부분을 제거하여 예비 제2 반도체층 패턴(615)의 제1 부분이 노출될 수 있다. 여기서, 상기 제1 부분은 상기 제2 두께로 형성된 제2 포토레지스트(970)가 위치한 부분일 수 있다. 상기 제2 두께로 형성된 제2 포토레지스트(970)를 제거하는 동안, 예비 제1 반도체층 패턴(575)의 양측부가 노출될 수 있고, 예비 제2 반도체층 패턴(615)의 상기 제1 부분과 대향하는 제2 부분이 노출될 수 있다.
- [0064] 도 5를 참조하면, 상기 예비 제2 반도체층 패턴(615)의 제1 부분이 제거될 수 있다. 상기 예비 제2 반도체층 패턴(615)의 제1 부분이 제거되는 동안, 예비 제1 반도체층 패턴(575)의 상기 노출된 양측부 및 예비 제2 반도체층 패턴(615)의 상기 노출된 제2 부분이 제거될 수 있다. 즉, 예비 제1 반도체층 패턴(575)이 제1 절연층 패턴(550)의 양측부를 노출시킬 수 있고, 예비 제2 반도체층 패턴(615)이 제2 절연층 패턴(560)의 양측부를 노출시킬 수 있다.
- [0065] 도 6을 참조하면, 제1 포토레지스트(950) 및 제2 포토레지스트(970)가 제거된 후, 게이트 절연층(635)이 기판(510), 제1 도전층 패턴(530), 제1 절연층 패턴(550), 예비 제1 반도체층 패턴(575), 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 예비 제2 반도체층 패턴(615) 상에 형성될 수 있다. 게이트 절연층(635)은 기판(510) 상에 제1 도전층 패턴(530), 제1 절연층 패턴(550), 예비 제1 반도체층 패턴(575), 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 예비 제2 반도체층 패턴(615)을 덮으며, 상기 제2 방향으로 연장될 수 있다. 즉, 게이트 절연층(635)은 제1 도전층 패턴(530), 제1 절연층 패턴(550), 예비 제1 반도체층 패턴(575), 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 예비 제2 반도체층 패턴(615)의 프로파일을 따라 기판(510) 상에 전체적으로 형성될 수 있다. 게이트 절연층(635)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.
- [0066] 게이트 절연층(635)이 형성된 후, 게이트 전극막(655)이 게이트 절연층(635) 상에 형성될 수 있다. 게이트 전극막(655)은 게이트 절연층(635)을 커버하며, 상기 제2 방향으로 연장될 수 있다. 즉, 게이트 전극막(655)은 게이트 절연층(635)의 프로파일을 따라 기판(510) 상에 전체적으로 형성될 수 있다. 게이트 절연층(635)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 사용하여 형성될 수 있다.
- [0067] 게이트 전극막(655)이 형성된 후, 게이트 전극막(655) 상의 상기 제1 영역에 제3 포토레지스터(990)가 형성될 수 있다. 예시적인 실시예들에 있어서, 이번 단계에서, 두 번째 마스크 공정이 수행된다.
- [0068] 도 7을 참조하면, 제3 포토레지스터(990)를 마스크로 이용하여 게이트 전극막(655)이 부분적으로 제거될 수 있다. 이러한 경우, 상기 제1 영역에 게이트 전극(650)이 형성될 수 있다.
- [0069] 도 8을 참조하면, 제3 포토레지스터(990) 및 게이트 전극(650)을 마스크로 이용하여 게이트 절연층(635)이 부분적으로 제거될 수 있다. 이러한 경우, 상기 제1 영역에 게이트 절연층 패턴(630)이 형성될 수 있다. 게이트 절연층(635)을 제거하는 과정에 있어서, 게이트 전극(650) 및 제3 포토레지스터(990) 의해 예비 제1 반도체층 패턴(575)의 채널 영역(580)은 도핑되지 않고, 예비 제1 반도체층 패턴(575)의 소스 영역(570) 및 예비 제1 반도체층 패턴(575)의 드레인 영역(590)은 불순물에 의해 도핑될 수 있다. 결과적으로, 소스 영역(570) 및 드레인 영역(590)은 도체와 같이 기능할 수 있고, 소스 영역(570), 채널 영역(580) 및 드레인 영역(590)을 포함하는 제1 반도체층 패턴(600)이 형성될 수 있다. 또한, 게이트 절연층(635)을 제거하는 과정에 있어서, 예비 제2 반도체층 패턴(615)은 불순물에 의해 도핑될 수 있다. 결과적으로, 제2 반도체층 패턴(210)은 도체와 같이 기능할 수 있고, 제2 반도체층 패턴(610)이 형성될 수 있다.
- [0070] 예시적인 실시예들에 있어서, 게이트 절연층(635)을 제거하는 동안, 제1 절연층 패턴(550)의 상기 노출된 양측부가 제거될 수 있다. 제1 절연층 패턴(550)의 상기 노출된 양측부가 제거되기 때문에, 제2 돌출부(850)가 형성될 수 있다. 여기서, 제2 돌출부(850)는 기판(510)의 상면에 직교하는 제1 방향으로 돌출될 수 있다. 또한, 게이트 절연층(635)을 제거하는 동안, 제2 절연층 패턴(560)의 상기 노출된 양측부가 제거될 수 있다. 제2 절연층 패턴(560)의 상기 노출된 양측부가 제거되기 때문에 제3 돌출부(870)가 형성될 수 있다. 여기서, 제3 돌출부(870)는 상기 제1 방향으로 돌출될 수 있다.
- [0071] 도 9를 참조하면, 층간 절연층(670)은 기판(510), 제1 도전층 패턴(530), 제1 절연층 패턴(550), 제1 반도체층 패턴(600), 게이트 절연층 패턴(630), 게이트 전극(650), 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 제2

반도체층 패턴(610) 상에 형성될 수 있다. 층간 절연층(670)은 기판(510) 상에 제1 도전층 패턴(530), 제1 절연층 패턴(550), 제1 반도체층 패턴(600), 게이트 절연층 패턴(630), 게이트 전극(650), 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 제2 반도체층 패턴(610)을 덮으며, 상기 제2 방향으로 연장될 수 있다. 즉, 층간 절연층(670)은 제1 도전층 패턴(530), 제1 절연층 패턴(550), 제1 반도체층 패턴(600), 게이트 절연층 패턴(630), 게이트 전극(650), 제2 도전층 패턴(540), 제2 절연층 패턴(560) 및 제2 반도체층 패턴(610)의 프로파일을 따라 기판(510) 상에 전체적으로 형성될 수 있다. 층간 절연층(670)은 제1 내지 제4 개구를 포함할 수 있다. 층간 절연층(670)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 이번 단계에서, 세 번째 마스크 공정이 수행된다.

[0072] 도 10을 참조하면, 소스 전극(690) 및 드레인 전극(700)은 제1 반도체층 패턴(600) 상의 상기 제1 영역에 형성될 수 있다. 소스 전극(690)은 층간 절연층(670)의 제1 개구를 통해 소스 영역(570)에 접속될 수 있고, 드레인 전극(700)은 층간 절연층(670)의 제2 개구를 통해 드레인 영역(590)에 접속될 수 있다. 따라서, 제1 반도체층 패턴(600), 게이트 전극(650), 소스 전극(690) 및 드레인 전극(700)을 포함하는 반도체 소자가 형성될 수 있다.

[0073] 제1 전극(730)은 제2 반도체층 패턴(610) 상의 상기 제2 영역에 형성될 수 있고, 제2 전극(740)은 제2 도전층 패턴(540) 상의 상기 제2 영역에 형성될 수 있다. 제1 전극(730)은 층간 절연층(670)의 제3 개구를 통해 제2 반도체층 패턴(610)의 제1 접속 영역에 접속될 수 있고, 제2 전극(740)은 층간 절연층(670)의 제4 개구를 통해 제2 도전층 패턴(540)의 제2 접속 영역에 접속될 수 있다. 여기서, 상기 제4 개구는 제2 절연층 패턴(560)의 일부를 관통할 수 있다. 따라서, 제2 도전층 패턴(540), 제2 반도체층 패턴(610), 제1 전극(730) 및 제2 전극(740)을 포함하는 커패시터(620)가 형성될 수 있다. 소스 전극(690), 드레인 전극(700), 제1 전극(730) 및 제2 전극(740) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 이번 단계에서, 네 번째 마스크 공정이 수행된다.

[0074] 도 11을 참조하면, 예비 평탄화층(755)이 기판(510) 상에 전체적으로 형성될 수 있다. 예비 평탄화층(755)은 층간 절연층(670), 소스 전극(690), 드레인 전극(700), 제1 전극(730) 및 제2 전극(740)을 덮으며, 상기 제2 방향으로 연장될 수 있다. 예비 평탄화층(755)은 층간 절연층(670), 소스 전극(690), 드레인 전극(700), 제1 전극(730) 및 제2 전극(740)을 충분히 덮을 수 있으며, 예비 평탄화층(755)의 상면에 단차를 생성시키지 않고 실질적으로 평탄한 상면으로 형성될 수 있다. 예비 평탄화층(755)은 제5 개구를 포함할 수 있다. 상기 제5 개구는 아래에 소스 전극(690)이 위치하는 부분에 형성될 수 있다. 예비 평탄화층(755)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 이번 단계에서, 다섯 번째 마스크 공정이 수행된다.

[0075] 도 12를 참조하면, 예비 평탄화층(755) 상에 하부 전극막(775)이 전체적으로 형성될 수 있다. 하부 전극막(775)은 예비 평탄화층(755)을 덮으며 상기 제2 방향으로 연장될 수 있다. 하부 전극막(775)은 상기 제5 개구를 통해 소스 전극(690)에 접속될 수 있다. 여기서, 하부 전극막(775)은 상기 제5 개구의 내측을 따라 형성될 수 있다. 따라서, 하부 전극막(775)은 상기 반도체 소자와 전기적으로 연결될 수 있다. 하부 전극막(775)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.

[0076] 예비 평탄화층(755) 상에 예비 화소 정의막(795)이 형성될 수 있다. 예시적인 실시예들에 있어서, 하프톤 마스크를 이용하여 하부 전극막(775) 상에 제1 두께 및 제2 두께를 갖는 예비 화소 정의막(795)을 형성할 수 있다. 예를 들어, 예비 화소 정의막(795)의 양측부는 제1 두께를 가질 수 있고, 상기 양측부 사이에 개재된 예비 화소 정의막(795)의 중앙부는 제2 두께를 가질 수 있다. 여기서, 상기 제2 두께는 상기 제1 두께보다 얇을 수 있다. 또한, 예비 화소 정의막(795)은 상기 제5 개구를 채울 수 있다. 예비 화소 정의막(795)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예를 들어, 예비 화소 정의막(795)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 폴리이미드계 수지, 포토레지스트, 아크릴계 수지, 폴리이미드계 수지, 실록산계 수지 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 이번 단계에서, 여섯 번째 마스크 공정이 수행된다.

[0077] 도 13을 참조하면, 예비 화소 정의막(795)을 마스크로 이용하여 하부 전극막(775)이 부분적으로 제거될 수 있다. 이러한 경우, 하부 전극(770)이 형성될 수 있다. 또한, 하부 전극(770)이 형성된 후, 하부 전극(770)의 폭이 예비 화소 정의막(795)의 폭보다 짧아질 수 있다.

[0078] 도 14를 참조하면, 예비 화소 정의막(795)의 상기 제2 두께로 형성된 중앙부를 제거하여 하부 전극(770)이 노출될 수 있다. 상기 중앙부를 제거하는 동안, 예비 화소 정의막(795)의 상기 제1 두께로 형성된 양측부의 일부가 제거될 수 있다. 또한, 상기 중앙부를 제거하는 동안, 예비 평탄화층(755)의 양측부가 제거될 수 있다. 이러한

경우, 평탄화층(750)이 형성될 수 있다. 예비 평탄화층(755)의 양측부가 제거되기 때문에 제1 돌출부(890)가 형성될 수 있다. 여기서, 제1 돌출부(890)는 상기 제1 방향으로 돌출될 수 있다.

[0079] 도 15를 참조하면, 예비 화소 정의막(795)을 가열하여 예비 화소 정의막(795)이 하부 전극(770)의 양측부 및 제1 돌출부(890)의 양측부를 덮을 수 있다. 이러한 경우, 화소 정의막(790)이 형성될 수 있다.

[0080] 도 16을 참조하면, 화소 정의막(790)에 의해 적어도 일부가 노출된 하부 전극(770) 상에 발광층(810)이 형성될 수 있다. 발광층(810)은 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 선택적으로, 발광층(810)은 적색광, 녹색광, 청색광 등과 같은 상이한 색광들을 방출시킬 수 있는 발광 물질들이 적층되어 백색광을 발광할 수도 있다.

[0081] 상부 전극(830)은 화소 정의막(790) 및 발광층(810) 상에 형성될 수 있다. 상부 전극(830)은 화소 정의막(790) 및 발광층(810)을 덮으며, 상기 제2 방향으로 연장될 수 있다. 즉, 상부 전극(830)은 기판(510) 상에 전체적으로 형성될 수 있다. 상부 전극(830)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.

[0082] 도 17은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 17에 예시한 유기 발광 표시 장치(1000)는 게이트 절연층(1230)의 형상을 제외하면, 도 1을 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 도 17에 있어서, 도 1을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 실질적으로 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0083] 도 17을 참조하면, 유기 발광 표시 장치(1000)는 기판(110), 제1 도전층 패턴(130), 제2 도전층 패턴(140), 제1 절연층 패턴(150), 제2 절연층 패턴(160), 제1 반도체층 패턴(200), 제2 반도체층 패턴(210), 게이트 절연층(1230), 게이트 전극(250), 층간 절연층(270), 소스 전극(290), 드레인 전극(300), 제1 전극(330), 제2 전극(340), 평탄화층(350), 하부 전극(370), 화소 정의막(390), 발광층(410), 상부 전극(430), 제1 내지 제3 돌출부(490, 450, 470) 등을 포함할 수 있다. 여기서, 제1 반도체층 패턴(200)은 소스 영역(170), 채널 영역(180) 및 드레인 영역(190)을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(350) 제1 돌출부(490)를 포함하고, 제1 절연층 패턴(150)은 제2 돌출부(450)를 포함하며, 제2 절연층 패턴(160)은 제3 돌출부(470)를 포함할 수 있다. 또한, 채널 영역(180) 아래에 제1 도전층 패턴(130)이 배치됨으로써, 채널 영역(180)을 보호할 수 있는 유기 발광 표시 장치로 기능할 수 있다.

[0084] 제1 반도체층 패턴(200)은 제1 절연층 패턴(150) 상의 상기 제1 영역에 위치할 수 있다. 제1 반도체층 패턴(200)은 소스 영역(170), 드레인 영역(190) 및 소스 영역(170)과 드레인 영역(190) 사이에 위치하는 채널 영역(180)을 포함할 수 있다. 여기서, 게이트 절연층(1230)이 기판(110) 상에 전체적으로 배치된 후, 이온 주입(Ion Implantation) 공정이 수행될 수 있다. 게이트 전극(250)에 의해 채널 영역(180)은 도핑되지 않고, 소스 영역(170) 및 드레인 영역(190)은 불순물에 의해 도핑될 수 있다. 결과적으로, 소스 영역(170) 및 드레인 영역(190)은 도체와 같이 기능할 수 있다.

[0085] 제2 반도체층 패턴(210)은 제2 절연층 패턴(160) 상의 상기 제2 영역에 위치할 수 있다. 제2 반도체층 패턴(210)은 제1 전극(330)과 접속되는 제1 접속 영역을 가질 수 있다. 게이트 절연층(1230)이 기판(110) 상에 전체적으로 배치된 후, 이온 주입 공정이 수행될 수 있다. 제2 반도체층 패턴(210)은 불순물에 의해 도핑될 수 있다. 결과적으로, 제2 반도체층 패턴(210)은 도체와 같이 기능할 수 있다.

[0086] 제1 반도체층 패턴(200) 및 제2 반도체층 패턴(210) 각각은 폴리 실리콘(poly silicon)을 포함할 수 있다.

[0087] 게이트 절연층(1230)은 기판(110), 제1 도전층 패턴(130), 제1 절연층 패턴(150), 제1 반도체층 패턴(200), 제2 도전층 패턴(140), 제2 절연층 패턴(160) 및 제2 반도체층 패턴(210) 상에 배치될 수 있다. 게이트 절연층(1230)은 기판(110) 상에 제1 도전층 패턴(130), 제1 절연층 패턴(150), 제1 반도체층 패턴(200), 제2 도전층 패턴(140), 제2 절연층 패턴(160) 및 제2 반도체층 패턴(210)을 덮으며, 상기 제2 방향으로 연장될 수 있다. 즉, 게이트 절연층(1230)은 제1 도전층 패턴(130), 제1 절연층 패턴(150), 제1 반도체층 패턴(200), 제2 도전층 패턴(140), 제2 절연층 패턴(160) 및 제2 반도체층 패턴(210)의 프로파일을 따라 기판(110) 상에 전체적으로 형성될 수 있다. 게이트 절연층(1230)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.

[0088] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발

명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

[0089]

본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 컴퓨터, 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰, 감시 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템, 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전사용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

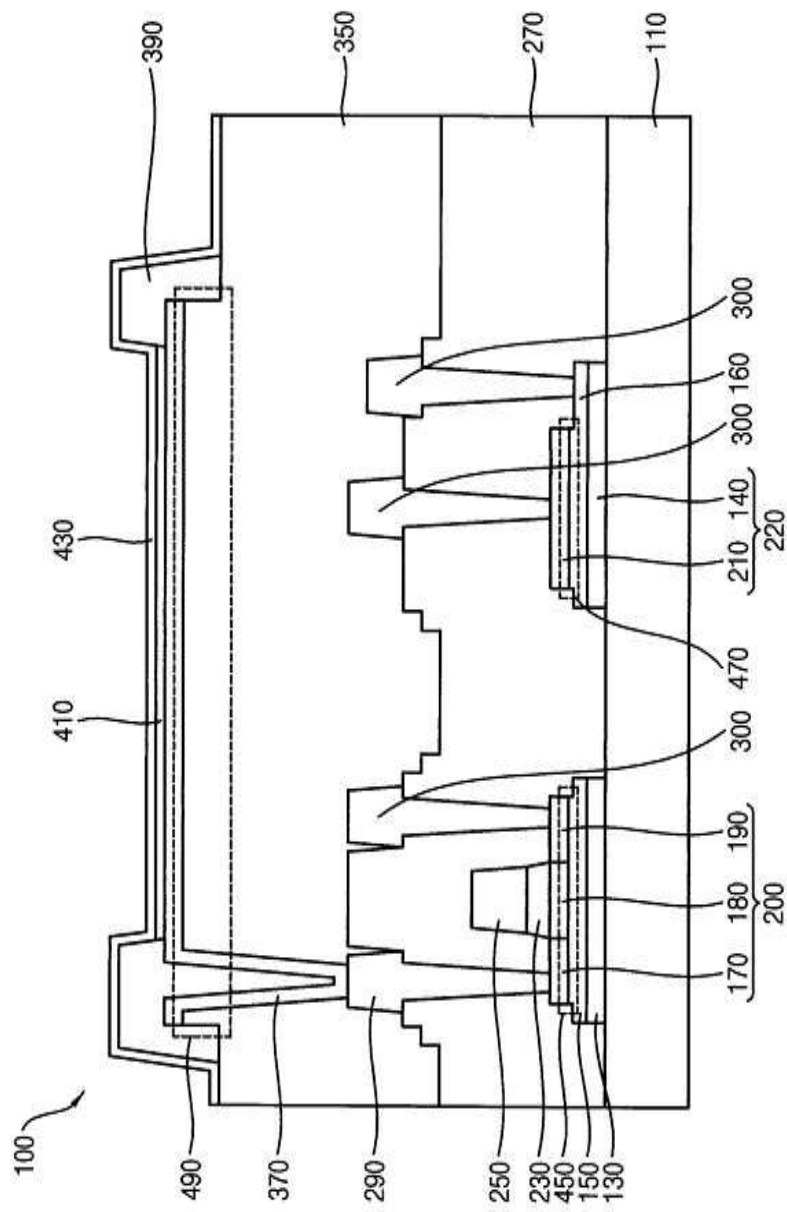
부호의 설명

[0090]

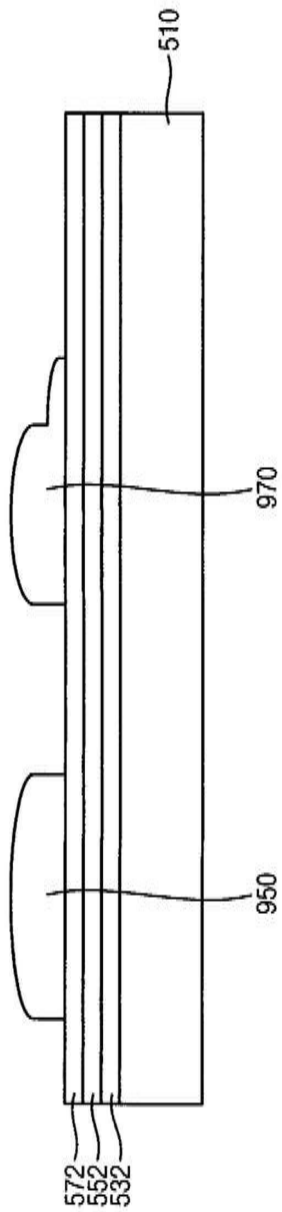
100, 1000: 유기 발광 표시 장치 110, 510: 기관
130, 530: 제1 도전층 패턴 140, 540: 제2 도전층 패턴
150, 550: 제1 절연층 패턴 160, 560: 제2 절연층 패턴
170, 570: 소스 영역 180, 580: 채널 영역
190, 590: 드레인 영역 200, 600: 제1 반도체층 패턴
210, 610: 제2 반도체층 패턴 220, 620: 커패시터
230, 630: 게이트 절연층 패턴 250, 650: 게이트 전극
270, 670: 층간 절연층 290, 690: 소스 전극
300, 700: 드레인 전극 330, 730: 제1 전극
340, 740: 제2 전극 350, 750: 평탄화층
370, 770: 하부 전극 390, 790: 화소 정의막
410, 810: 발광층 430, 830: 상부 전극
450, 850: 제2 돌출부 470, 870: 제3 돌출부
490, 890: 제1 돌출부 532: 도전층
552: 절연층 572: 반도체층
575: 예비 제1 반도체층 패턴 615: 예비 제2 반도체층 패턴
635: 게이트 절연층 655: 게이트 전극막
990: 제3 포토레지스터 755: 예비 평탄화층
775: 하부 전극막 795: 예비 화소 정의막
950: 제1 포토레지스터 970: 제2 포토레지스터

도면

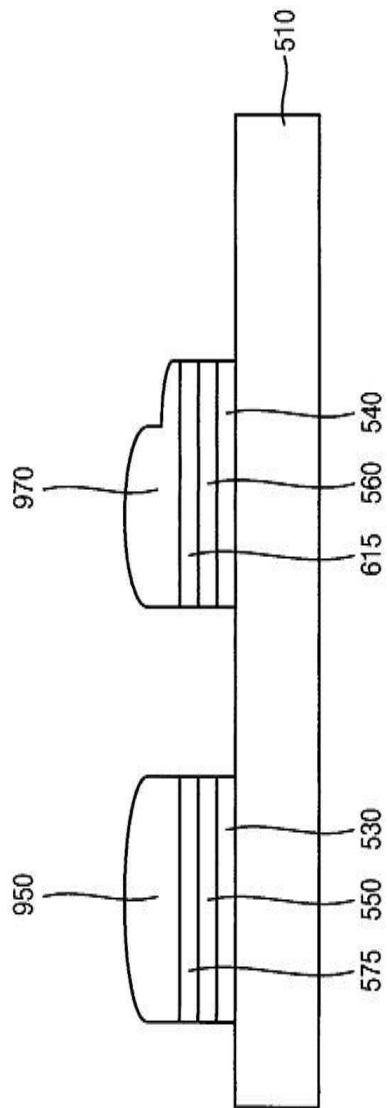
도면1



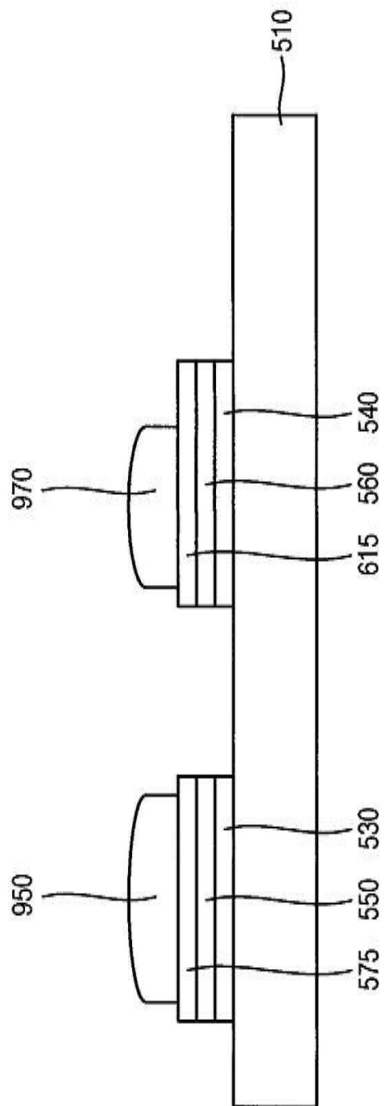
도면2



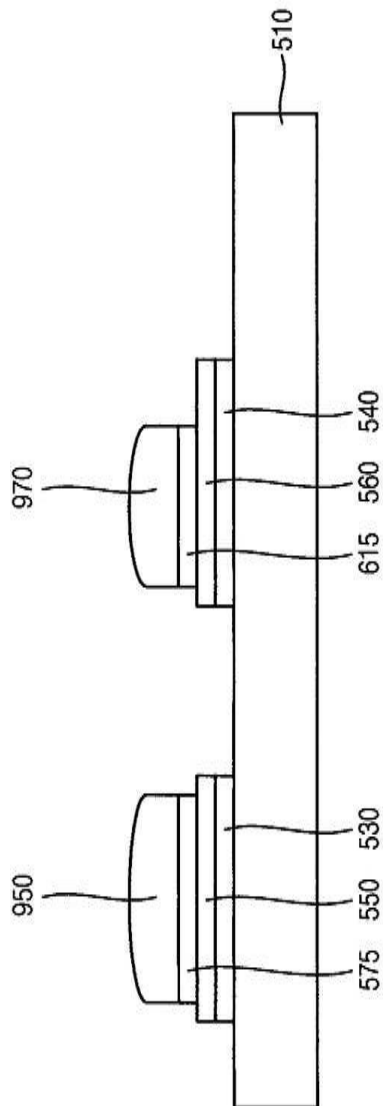
도면3



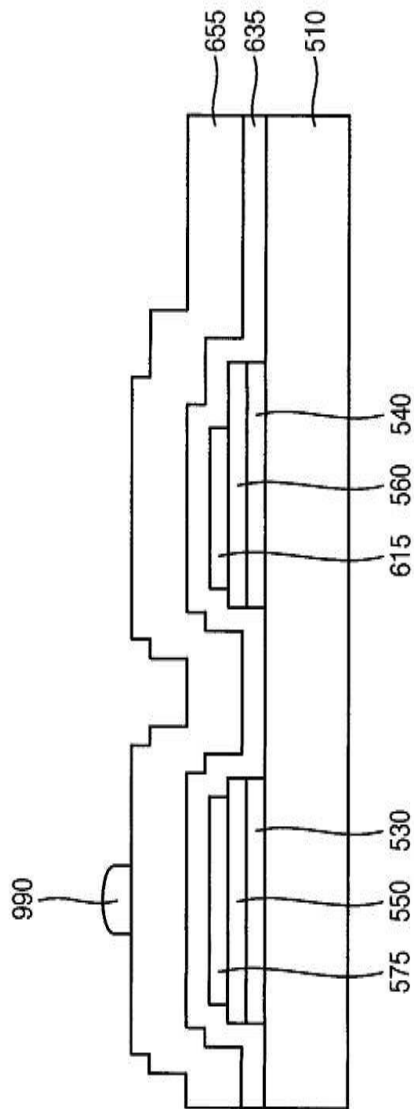
도면4



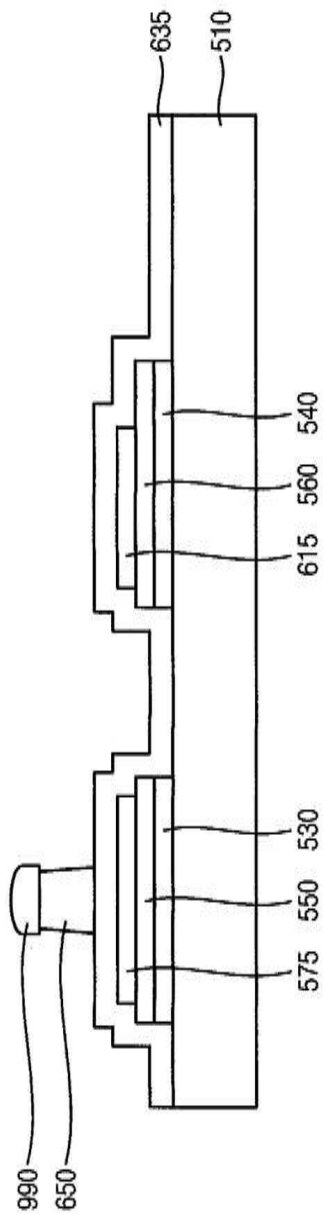
도면5



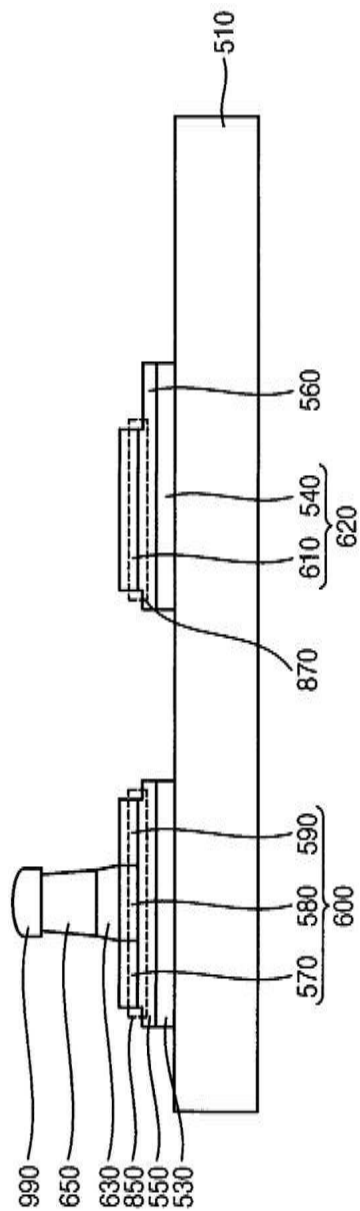
도면6



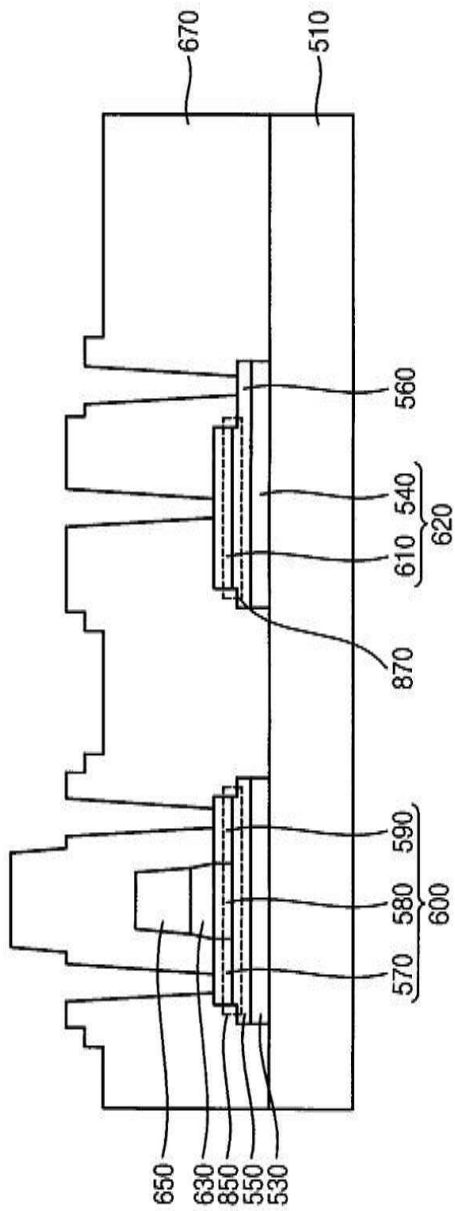
도면7



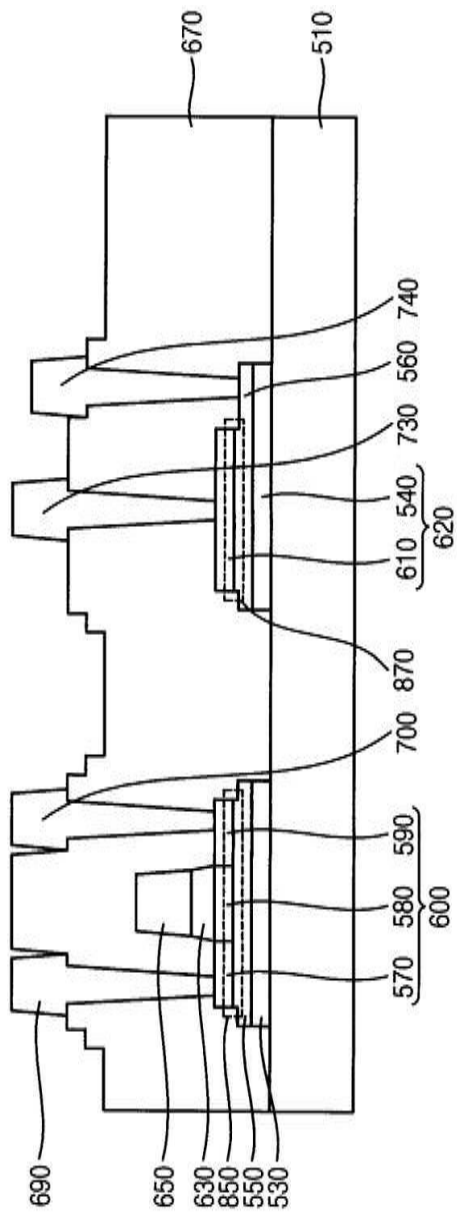
도면8



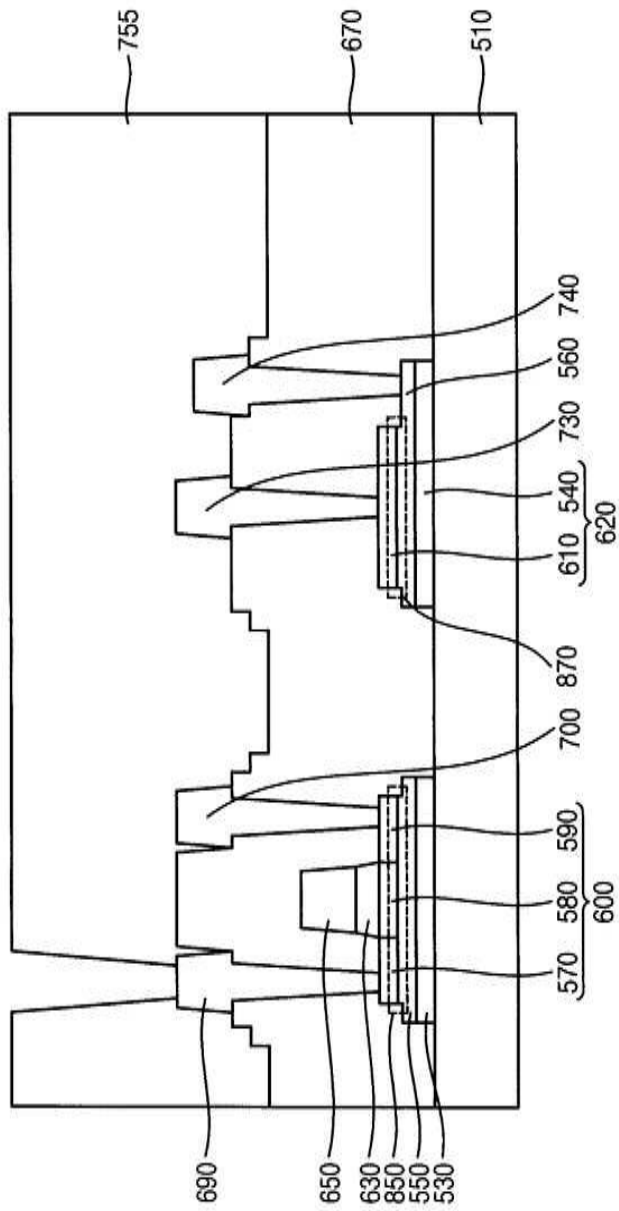
도면9



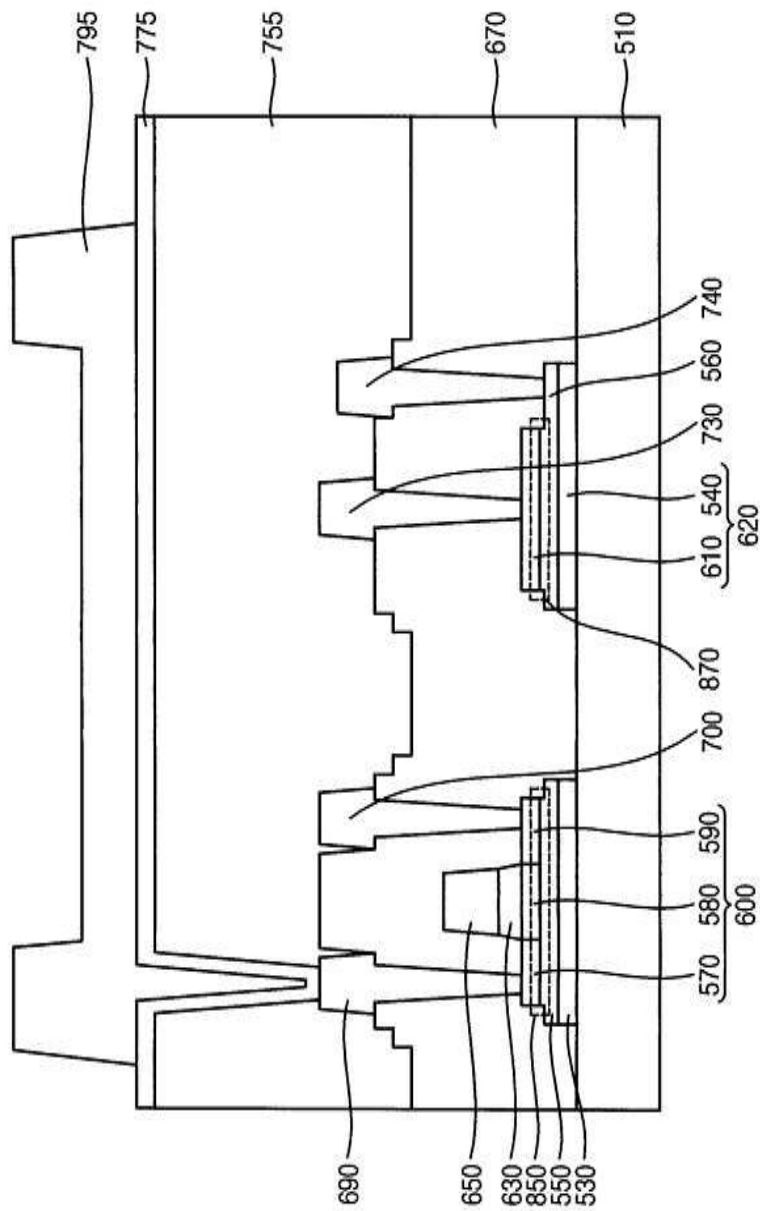
도면10



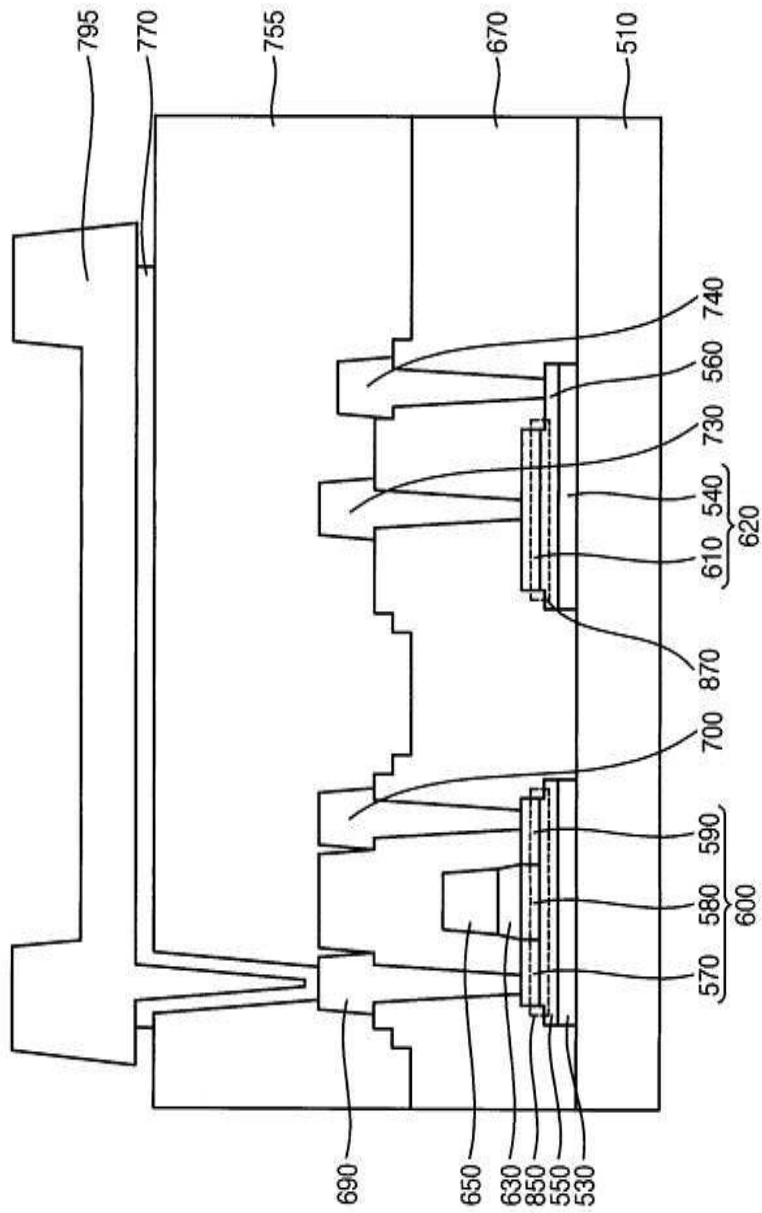
도면11



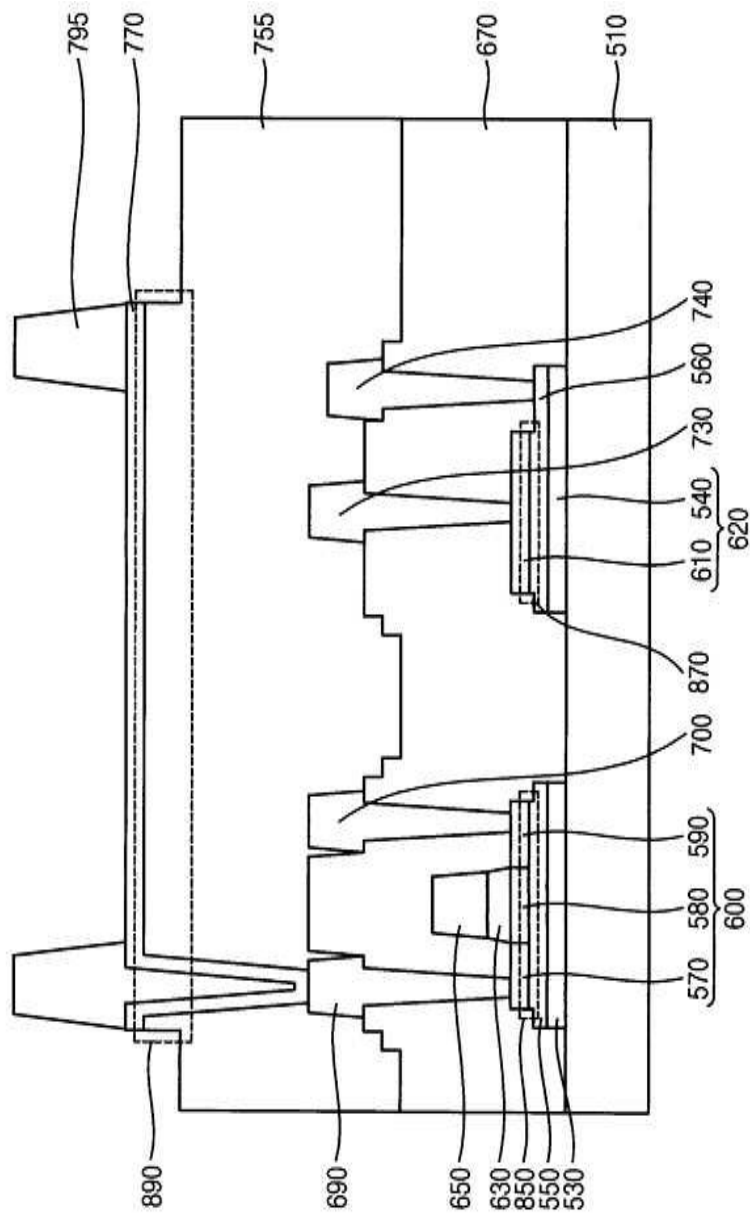
도면12



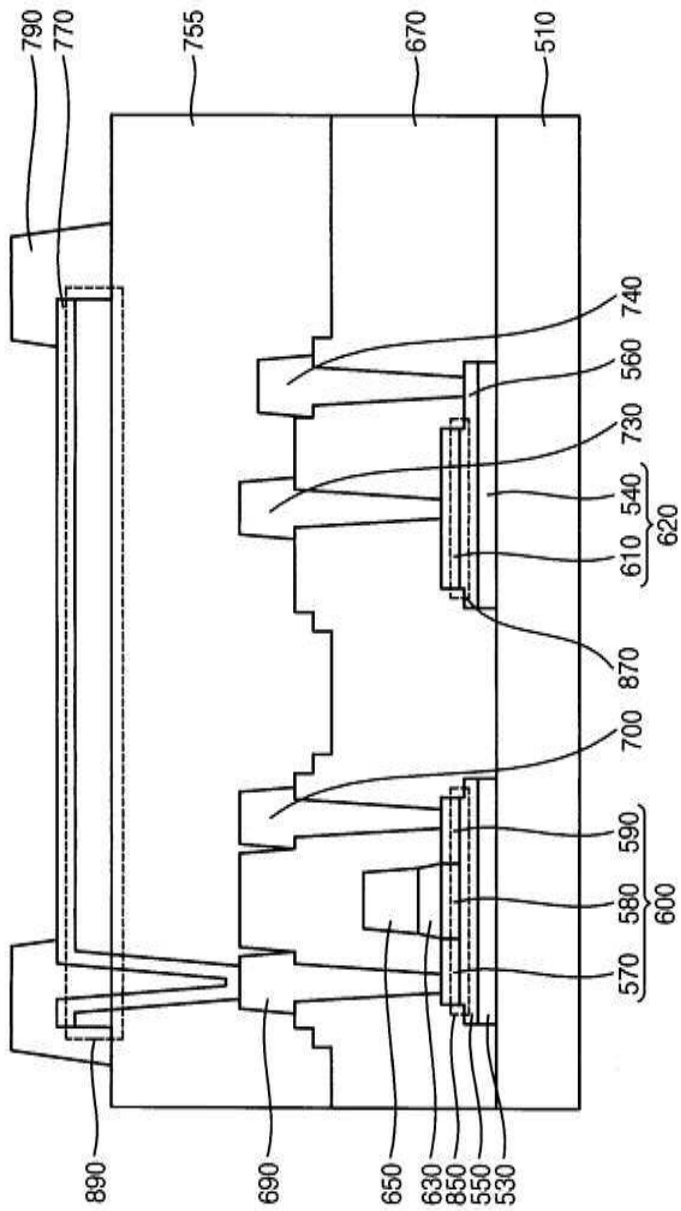
도면13



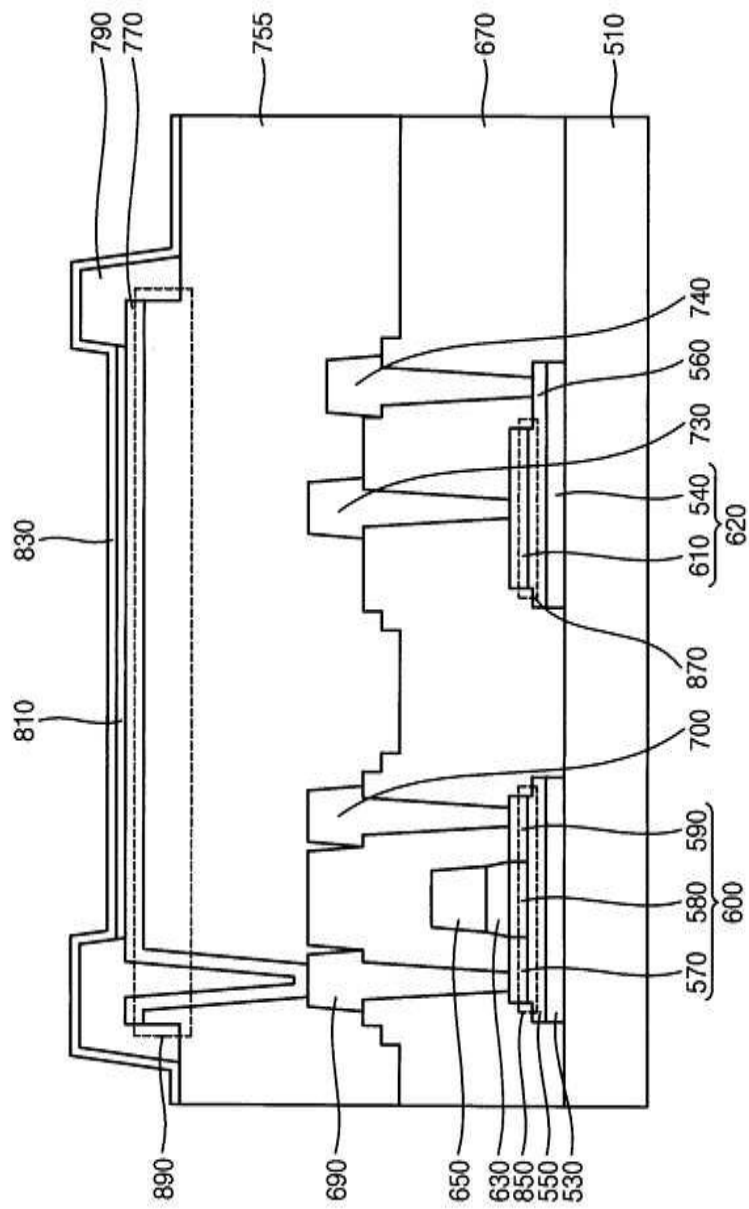
도면14



도면15



도면16



도면17

