



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0082558
(43) 공개일자 2016년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0191122
(22) 출원일자 2014년12월26일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김나영
경기도 용인시 기흥구 삼성로 95 (농서동)
김정배
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

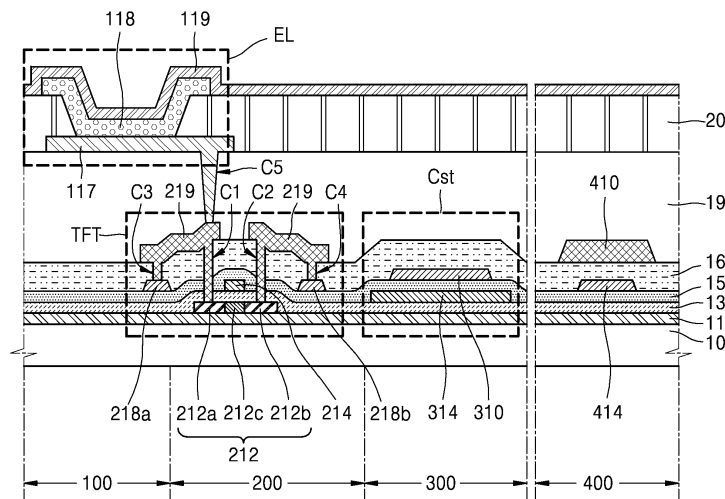
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 기관; 상기 기관 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층, 상기 소스전극 및 드레인전극 상에 배치된 제3절연층, 및 상기 제3절연층 상에 배치되고 상기 제3절연층을 관통하여 상기 소스전극 및 드레인전극과 전기적으로 연결되는 도전층을 포함하는 박막트랜지스터; 상기 제2절연층 상에 배치되고 상기 소스전극 및 드레인전극과 동일한 재료로 형성된 제1배선; 상기 제1배선과 적어도 일부가 중첩되고, 상기 제3절연층 상에 배치되며 상기 도전층과 동일한 재료로 형성된 제2배선; 상기 도전층을 덮도록 상기 제3절연층 상에 배치된 제4절연층; 및 상기 제4절연층 상에 배치되는 유기 발광 소자를 포함하는 유기 발광 표시 장치를 개시한다.

대표도 - 도2



명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층, 상기 소스전극 및 드레인전극 상에 배치된 제3절연층, 및 상기 제3절연층 상에 배치되고 상기 제3절연층을 관통하여 상기 소스전극 및 드레인전극과 전기적으로 연결되는 도전층을 포함하는 박막트랜지스터;

상기 제2절연층 상에 배치되고 상기 소스전극 및 드레인전극과 동일한 재료로 형성된 제1배선;

상기 제1배선과 적어도 일부가 중첩되고, 상기 제3절연층 상에 배치되며 상기 도전층과 동일한 재료로 형성된 제2배선;

상기 도전층을 덮도록 상기 제3절연층 상에 배치된 제4절연층; 및

상기 제4절연층 상에 배치되는 유기 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1배선은 상기 소스전극 또는 상기 드레인전극 중의 어느 하나와 전기적으로 연결되는 데이터배선이며,

상기 제2배선은 상기 도전층과 전기적으로 연결되는 스캔배선인 유기발광표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트전극과 동일한 층에 배치된 하부전극, 및 상기 소스전극 및 드레인전극과 동일한 층에 배치된 상부전극을 구비하는 커패시터를 더 포함하고,

상기 제2절연층은 상기 하부전극과 상기 상부전극 사이에 배치된 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제1절연층은 상기 활성층의 상부 및 상기 하부전극의 하부에 공통으로 배치되는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제3절연층은 SiNx, SiO₂, ZrO₂, TiO₂, Ta₂O₅ 또는 Al₂O₃ 중 선택된 적어도 하나를 함유하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제4절연층은 유기 절연 물질을 함유하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제4절연층의 두께는 상기 제3절연층의 두께보다 큰 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 소스전극 및 드레인전극은 상기 도전층을 매개로 하여 상기 활성층과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 도전층은 상기 제1절연층, 상기 제2절연층 및 상기 제3절연층을 관통하여 상기 활성층과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 소스전극 및 드레인전극은 상기 제1절연층 및 상기 제2절연층을 관통하여 상기 활성층과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 유기 발광 소자는 화소전극, 상기 화소전극 상에 배치되며 유기발광층을 구비하는 중간층, 및 상기 중간층 상에 배치된 대향전극을 포함하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 화소전극은 상기 도전층을 매개로 하여 상기 소스전극 또는 상기 드레인전극 중의 어느 하나와 전기적으로 연결되는 유기 발광 표시 장치.

청구항 13

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1단계;

상기 제1단계의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 제1금속층을 적층하고, 상기 제1금속층을 패터닝하여 상기 박막트랜지스터의 게이트전극을 형성하는 제2단계;

상기 제2단계의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층 상에 제2금속층을 적층하고, 상기 제2금속층을 패터닝하여 상기 박막트랜지스터의 소스전극 및 드레인전극과 제1배선을 형성하는 제3단계;

상기 제3단계의 결과물 상에 제3절연층을 형성하고, 상기 활성층의 소스영역 및 드레인영역이 노출되도록 상기 제1절연층, 상기 제2절연층 및 상기 제3절연층에 동시에 제1개구를 형성하며, 상기 소스전극 및 드레인전극이 노출되도록 상기 제3절연층에 제2개구를 형성하는 제4단계;

상기 제4단계의 결과물 상에 제3금속층을 적층하고, 상기 제3금속층을 패터닝하여 상기 박막트랜지스터의 도전층과 제2배선을 형성하는 제5단계;

상기 제5단계의 결과물 상에 제4절연층을 형성하고, 상기 도전층의 적어도 일부가 노출되도록 상기 제4절연층에 제3개구를 형성하는 제6단계; 및

상기 제6단계의 결과물 상에 제4금속층을 적층하고, 상기 제4금속층을 패터닝하여 화소전극을 형성하는 제7단계를 포함하는 유기 발광 표시 장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제2단계 이후에, 상기 활성층의 상기 소스영역 및 드레인영역에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조방법.

청구항 15

제 13 항에 있어서,

상기 제2단계에서, 상기 제1금속층을 패터닝하여 커패시터의 하부전극을 함께 형성하고,

상기 제3단계에서, 상기 제2금속층을 패터닝하여 상기 커패시터의 상부전극을 함께 형성하는 유기 발광 표시 장치의 제조방법.

청구항 16

제 13 항에 있어서,

상기 제7단계 이후에, 상기 화소전극 상에 유기발광층을 구비하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조방법.

청구항 17

기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1단계;

상기 제1단계의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 제1금속층을 적층하고, 상기 제1금속층을 패터닝하여 상기 박막트랜지스터의 게이트전극을 형성하는 제2단계;

상기 제2단계의 결과물 상에 제2절연층을 형성하고, 상기 활성층의 소스영역 및 드레인영역이 노출되도록 상기 제1절연층 및 상기 제2절연층에 동시에 제1개구를 형성하는 제3단계;

상기 제3단계의 결과물 상에 제2금속층을 적층하고, 상기 제2금속층을 패터닝하여 상기 박막트랜지스터의 소스전극 및 드레인전극과 제1배선을 형성하는 제4단계;

상기 제4단계의 결과물 상에 제3절연층을 형성하고, 상기 소스전극 및 드레인전극이 노출되도록 상기 제3절연층에 제2개구를 형성하는 제5단계;

상기 제5단계의 결과물 상에 제3금속층을 적층하고, 상기 제3금속층을 패터닝하여 상기 박막트랜지스터의 도전층과 제2배선을 형성하는 제6단계;

상기 제6단계의 결과물 상에 제4절연층을 형성하고, 상기 도전층의 적어도 일부가 노출되도록 상기 제4절연층에 제3개구를 형성하는 제7단계; 및

상기 제7단계의 결과물 상에 제4금속층을 적층하고, 상기 제4금속층을 패터닝하여 화소전극을 형성하는 제8단계를 포함하는 유기 발광 표시 장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 제2단계 이후에, 상기 활성층의 상기 소스영역 및 드레인영역에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조방법.

청구항 19

제 17 항에 있어서,

상기 제2단계에서, 상기 제1금속층을 패터닝하여 커패시터의 하부전극을 함께 형성하고,

상기 제4단계에서, 상기 제2금속층을 패터닝하여 상기 커패시터의 상부전극을 함께 형성하는 유기 발광 표시 장치의 제조방법.

청구항 20

제 17 항에 있어서,

상기 제8단계 이후에, 상기 화소전극 상에 유기발광층을 구비하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대하여 대향전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light-emitting display apparatus)는 정공 주입 전극과 전자 주입 전극, 그리고 정공 주입 전극과 전자 주입 전극 사이에 형성되어 있는 유기 발광층을 포함하고, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 재결합하고 소멸하면서 빛을 내는 자발광형 표시 장치이다. 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은 배선층의 저항을 낮춤으로써 고해상도의 대형 패널을 안정적으로 구현할 수 있는 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 측면에 따른 실시예는, 기판; 상기 기판 상에 배치되고, 활성층, 게이트전극, 소스전극 및 드레인 전극, 상기 활성층과 게이트전극 사이에 배치된 제1절연층, 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 배치된 제2절연층, 상기 소스전극 및 드레인전극 상에 배치된 제3절연층, 및 상기 제3절연층 상에 배치되고 상기 제3절연층을 관통하여 상기 소스전극 및 드레인전극과 전기적으로 연결되는 도전층을 포함하는 박막트랜지스터; 상기 제2절연층 상에 배치되고 상기 소스전극 및 드레인전극과 동일한 재료로 형성된 제1배선; 상기 제1배선과 적어도 일부가 중첩되고, 상기 제3절연층 상에 배치되며 상기 도전층과 동일한 재료로 형성된 제2배선; 상기 도전층을 덮도록 상기 제3절연층 상에 배치된 제4절연층; 및 상기 제4절연층 상에 배치되는 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.

[0005] 본 실시예에 있어서, 상기 제1배선은 상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결되는 데이터배선이며, 상기 제2배선은 상기 도전층과 전기적으로 연결되는 스캔배선일 수 있다.

[0006] 본 실시예에 있어서, 상기 게이트전극과 동일한 층에 배치된 하부전극, 및 상기 소스전극 및 드레인전극과 동일한 층에 배치된 상부전극을 구비하는 커패시터를 더 포함하고, 상기 제2절연층은 상기 하부전극과 상기 상부전극 사이에 배치될 수 있다.

[0007] 본 실시예에 있어서, 상기 제1절연층은 상기 활성층 상부 및 상기 하부전극 하부에 공통으로 배치될 수 있다.

[0008] 본 실시예에 있어서, 상기 제3절연층은 SiNx, SiO₂, ZrO₂, TiO₂, Ta₂O₅ 또는 Al₂O₃ 중 선택된 적어도 하나를 함유할 수 있다.

[0009] 본 실시예에 있어서, 상기 제4절연층은 유기 절연 물질을 함유할 수 있다.

[0010] 본 실시예에 있어서, 상기 제4절연층의 두께는 상기 제3절연층의 두께보다 클 수 있다.

[0011] 본 실시예에 있어서, 상기 소스전극 및 드레인전극은 상기 도전층을 매개로 하여 상기 활성층과 전기적으로 연결될 수 있다.

[0012] 본 실시예에 있어서, 상기 도전층은 상기 제1절연층, 상기 제2절연층 및 상기 제3절연층을 관통하여 상기 활성층과 전기적으로 연결될 수 있다.

[0013] 본 실시예에 있어서, 상기 소스전극 및 드레인전극은 상기 제1절연층 및 상기 제2절연층을 관통하여 상기 활성층과 전기적으로 연결될 수 있다.

- [0014] 본 실시예에 있어서, 상기 유기 발광 소자는 화소전극, 상기 화소전극 상에 배치되며 유기발광층을 구비하는 중간층, 및 상기 중간층 상에 배치된 대향전극을 포함할 수 있다.
- [0015] 본 실시예에 있어서, 상기 화소전극은 상기 도전층을 매개로 하여 상기 소스전극 또는 상기 드레인전극 중 어느 하나와 전기적으로 연결될 수 있다.
- [0016] 본 발명의 일 측면에 따른 다른 실시예는, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1단계; 상기 제1단계의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 제1금속층을 적층하고, 상기 제1금속층을 패터닝하여 상기 박막트랜지스터의 게이트전극을 형성하는 제2단계; 상기 제2단계의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층 상에 제2금속층을 적층하고, 상기 제2금속층을 패터닝하여 상기 박막트랜지스터의 소스전극 및 드레인전극과 제1배선을 형성하는 제3단계; 상기 제3단계의 결과물 상에 제3절연층을 형성하고, 상기 활성층의 소스영역 및 드레인영역이 노출되도록 상기 제1절연층, 상기 제2절연층 및 상기 제3절연층에 동시에 제1개구를 형성하며, 상기 소스전극 및 드레인전극이 노출되도록 상기 제3절연층에 제2개구를 형성하는 제4단계; 상기 제4단계의 결과물 상에 제3금속층을 적층하고, 상기 제3금속층을 패터닝하여 상기 박막트랜지스터의 도전층과 제2배선을 형성하는 제5단계; 상기 제5단계의 결과물 상에 제4절연층을 형성하고, 상기 도전층의 적어도 일부가 노출되도록 상기 제4절연층에 제3개구를 형성하는 제6단계; 및 상기 제6단계의 결과물 상에 제4금속층을 적층하고, 상기 제4금속층을 패터닝하여 화소전극을 형성하는 제7단계를 포함하는 유기 발광 표시 장치의 제조방법을 제공한다.
- [0017] 본 실시예에 있어서, 상기 제2단계 이후에, 상기 활성층의 상기 소스영역 및 드레인영역에 이온 불순물을 도핑할 수 있다.
- [0018] 본 실시예에 있어서, 상기 제2단계에서, 상기 제1금속층을 패터닝하여 커패시터의 하부전극을 함께 형성하고, 상기 제3단계에서, 상기 제2금속층을 패터닝하여 상기 커패시터의 상부전극을 함께 형성할 수 있다.
- [0019] 본 실시예에 있어서, 상기 제7단계 이후에, 상기 화소전극 상에 유기발광층을 구비하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계를 더 포함할 수 있다.
- [0020] 본 발명의 다른 측면에 따른 다른 실시예는, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층을 형성하는 제1단계; 상기 제1단계의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 제1금속층을 적층하고, 상기 제1금속층을 패터닝하여 상기 박막트랜지스터의 게이트전극을 형성하는 제2단계; 상기 제2단계의 결과물 상에 제2절연층을 형성하고, 상기 활성층의 소스영역 및 드레인영역이 노출되도록 상기 제1절연층 및 상기 제2절연층에 동시에 제1개구를 형성하는 제3단계; 상기 제3단계의 결과물 상에 제2금속층을 적층하고, 상기 제2금속층을 패터닝하여 상기 박막트랜지스터의 소스전극 및 드레인전극과 제1배선을 형성하는 제4단계; 상기 제4단계의 결과물 상에 제3절연층을 형성하고, 상기 소스전극 및 드레인전극이 노출되도록 상기 제3절연층에 제2개구를 형성하는 제5단계; 상기 제5단계의 결과물 상에 제3금속층을 적층하고, 상기 제3금속층을 패터닝하여 상기 박막트랜지스터의 도전층과 제2배선을 형성하는 제6단계; 상기 제6단계의 결과물 상에 제4절연층을 형성하고, 상기 도전층의 적어도 일부가 노출되도록 상기 제4절연층에 제3개구를 형성하는 제7단계; 및 상기 제7단계의 결과물 상에 제4금속층을 적층하고, 상기 제4금속층을 패터닝하여 화소전극을 형성하는 제8단계를 포함하는 유기 발광 표시 장치의 제조방법을 제공한다.
- [0021] 본 실시예에 있어서, 상기 제2단계 이후에, 상기 활성층의 상기 소스영역 및 드레인영역에 이온 불순물을 도핑할 수 있다.
- [0022] 본 실시예에 있어서, 상기 제2단계에서, 상기 제1금속층을 패터닝하여 커패시터의 하부전극을 함께 형성하고, 상기 제4단계에서, 상기 제2금속층을 패터닝하여 상기 커패시터의 상부전극을 함께 형성할 수 있다.
- [0023] 본 실시예에 있어서, 상기 제8단계 이후에, 상기 화소전극 상에 유기발광층을 구비하는 중간층을 형성하고, 상기 중간층을 덮도록 상기 화소전극에 대향하여 대향전극을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0024] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 배선층의 저항을 낮춤으로써 고해상도의 대형 패널을 안정적으로 구현할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 개략적으로 도시한 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소와 배선부의 일부를 개략적으로 도시한 단면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소와 배선부의 일부를 개략적으로 도시한 단면도이다.
- 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0027] 본 명세서에서 사용되는 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0028] 본 명세서에서 층, 막, 영역, 판 등의 부분이 다른 부분"위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0029] 이하, 본 발명에 따른 실시예를 도면을 참조하여 상세히 설명하기로 하며, 도면을 참조하여 설명함에 있어 실질적으로 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0030] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 개략적으로 도시한 평면도이고, 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소와 배선부의 일부를 개략적으로 도시한 단면도이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예들에 따른 유기 발광 표시 장치의 기관(10) 상에는 복수의 화소(P)가 포함되어 화상을 표시하는 표시 영역(DA)과 배선부(L)가 배치된다. 배선부(L)는 패드부(PAD)를 포함하며, 표시 영역(DA)과 전기적으로 연결되어 패드부(PAD)를 향하여 연장되는 복수의 배선들을 구비한다. 표시 영역(DA)은 밀봉 라인(SL) 내부에 형성되고, 표시 영역(DA) 상에는 밀봉 라인(SL)을 따라 표시 영역(DA)을 봉지하는 봉지 부재(미도시)가 구비된다.
- [0032] 도 2를 참조하면, 유기 발광 표시 장치(1000)의 기관(10) 상에는 적어도 하나의 유기발광소자(EL)가 구비된 발광영역(100), 적어도 하나의 박막트랜지스터(TFT)가 구비된 박막트랜지스터영역(200), 적어도 하나의 커패시터(Cst)가 구비된 저장영역(300) 및 적어도 하나의 배선이 배치된 배선영역(400)이 구비된다.
- [0033] 이하에서는, 박막트랜지스터영역(200), 저장영역(300), 발광영역(100) 및 배선영역(400)의 순으로 각 영역의 구체적인 내용을 설명하기로 한다.
- [0034] 박막트랜지스터영역(200)에는 구동박막트랜지스터(dTFT) 또는 스위칭박막트랜지스터(sTFT)(TFT)와 같이 적어도 하나의 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 활성층(212), 게이트전극(214), 소스전극 및 드레인전극(218a,b)으로 구성된다. 활성층(212)과 게이트전극(214) 사이에는 게이트절연막인 제1절연층(13)이 개재된다. 게이트전극(214)과 소스전극 및 드레인전극(218a,b) 사이에는 제2절연층(15)이 개재된다. 소스전극 및 드레인전극(218a,b) 상에는 층간절연막인 제3절연층(16)이 배치된다. 또한 제3절연층(16) 상에는 도전층(219)이 배치되는데, 도전층(219)은 제3절연층(16)을 관통하여 소스전극 및 드레인전극(218a,b)과 전기적으로 연결된다.
- [0035] 한편, 활성층(212)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스영역 및 드레인영역(212a,b)이 형성된다. 소스영역 및 드레인영역(212a,b)의 각각은 도전층영역(219a,b)을 매개로 하여 소스영역 및 드레인영역(212a,b)과 전기적으로 연결되거나, 직접 소스전극 및 드레인전극(218a,b)과 전기적으로 연결된다.

- [0036] 도 2의 단면도 상에서는 설명의 편의를 위하여 유기발광소자(EL)와 전기적으로 연결되어 전류를 공급하는 구동 박막트랜지스터(dTFT)만 도시되었다. 그러나, 스위칭박막트랜지스터(sTFT)도 구동박막트랜지스터(dTFT)와 동일한 구조를 가진다.
- [0037] 저장영역(300)에는 적어도 하나의 커패시터(Cst)가 구비된다. 커패시터(Cst)는 스위칭박막트랜지스터(sTFT)가 오프(off)된 뒤에도 구동박막트랜지스터(dTFT)로 인가되는 신호를 충전한다. 커패시터(Cst)는 하부전극(314) 및 상부전극(310)을 양 전극으로 하고, 그 사이에 유전막으로써 제2절연층(15)이 개재된다. 하부전극(314)은 게이트전극(214)과 동일하게 제1절연층(13) 상에 배치되고, 상부전극(310)은 소스전극 및 드레인전극(218a,b)과 동일하게 제2절연층(15) 상에 배치된다. 또한, 상부전극(310)은 제3절연층(16) 및 제4절연층(19)으로 덮인 상태로 있기 때문에 은(Ag)을 포함하는 화소전극(117)을 에칭하는 동안 상부전극(310)이 은(Ag) 이온이 포함된 에천트에 노출되지 않는다. 따라서, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다.
- [0038] 하부전극(314)은 게이트전극(214)과 동일한 재료로 형성될 수 있고, 상부전극(310)은 소스전극 및 드레인전극(218a,b)과 동일한 재료로 형성될 수 있다. 이때, 상부전극(310) 또는 하부전극(314)은 전원배선에 연결되어 전원배선으로부터 전원전압을 공급받게 된다.
- [0039] 발광영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 구동 박막트랜지스터(TFT)의 소스전극 또는 드레인전극(218a,b) 중 하나와 전기적으로 연결된 화소전극(117), 화소전극(117)과 대향 배치된 대향전극(119) 및 화소전극(117)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다. 화소전극(117)은 기관(10)으로부터 순차적으로 구비된 제1절연층(13), 제2절연층(15), 제3절연층(16) 및 제4절연층(19) 상에 형성된다. 유기발광표시장치(1000)가 기관(10)의 방향으로 광을 방출하는 배면발광타입(bottom emission type)인 경우, 화소전극(117)은 광투과전극으로 구비되고 대향전극(119)은 광반사전극으로 구비될 수 있다. 그러나, 이에 한정하지 않고 유기발광표시장치(1000)가 기관(10)의 반대 방향으로 광을 방출하는 전면발광타입(top emission type)인 경우 화소전극(117)은 반투과금속층을 포함하는 광반사전극으로 구비되고, 대향전극(119)은 광투과전극으로 구비될 수 있다. 물론 유기발광표시장치(1000)는 두 가지 타입을 조합하여 양방향으로 광을 방출하는 양면발광타입(dual emission type)이 될 수도 있다.
- [0040] 배선영역(400)에는 적어도 하나의 배선이 구비된다. 여기서 배선은 유기발광표시장치(1000)에 포함된 박막트랜지스터(TFT), 커패시터(Cst), 유기발광소자(EL), 드라이버IC(미도시) 등을 전기적으로 커플링(electrically coupled)함으로써, 전류, 전압 또는 신호(signal)를 전달하는 구조물을 총칭한다. 따라서, 배선에는 스캔배선, 데이터배선 및 전원배선 외에도, 각종 드라이버IC의 구동에 필요한 신호(예를 들어, CLK, CLKB, SP 등)를 전달하는 클럭라인, 초기신호입력라인 등의 각종 신호라인 등을 포함한다. 한편, 배선은 화소 어레이가 구비되어 화상을 표시하는 표시영역에 위치할 수도 있고, 외부의 IC와 연결을 위한 각종 패드들이 배치되는 비표시영역에 위치할 수도 있다. 예를 들어 비표시영역에 위치하는 배선들은 표시영역과 패드들 사이의 팬아웃(Fan-out)영역에 집중적으로 위치할 수 있다. 이러한 배선들은 소자 및 드라이버IC의 연결관계에 따라 서로 다른 레이어에 배치될 수 있다.
- [0041] 도 2를 참조하면, 제1배선(414)은 소스전극 및 드레인전극(218a,b)과 동일하게 제2절연층 상에 배치되고, 제2배선(410)은 도전층(219)과 동일하게 제3절연층(16) 상에 배치된다. 제1배선(414)은 소스전극 및 드레인전극(218a,b)과 동일한 재료로 형성될 수 있고, 제2배선(410)은 도전층(219)과 동일한 재료로 형성될 수 있다. 제1배선(414)과 제2배선(410)은 적어도 일부가 중첩될 수 있다.
- [0042] 본 발명의 일 실시예에 따르면, 제1배선(414)은 소스전극 또는 상기 드레인전극(218a,b) 중 어느 하나와 전기적으로 연결되는 데이터배선이고, 제2배선(410)은 도전층과 전기적으로 연결되는 스캔배선이다.
- [0043] 스캔배선의 경우, 배선을 형성하는 금속층의 두께가 얇으면 배선의 로드(load)가 커지는 문제가 발생할 수 있는데, 이러한 문제는 고해상도 대형 패널에서 더욱 두드러질 수 있다. 즉, 배선의 로드(loading)가 커진 상태에서 저항을 낮추지 않으면, 초기화가 제대로 진행되지 않거나, 스캔 TFT가 충분히 열리지 않아 데이터 기입이 제대로 이루어지지 않는 등의 문제가 발생할 수 있다. 이에 따라 배선의 로드를 줄이기 위해 다양한 시도가 이루어져 왔는데, 분할구동방식과 같이 설계/구동적으로 로드를 줄여 라이징 타임(rising time)/폴링 타임(falling time)을 줄이는 것이 그 중 하나이다. 그러나 이러한 설계/구동적 방식은 표시 장치가 구조적으로 최적화되어 있지 않는 이상 배선의 로드를 줄이는 데 한계가 있을 수 있다. 결국 스캔배선의 로드를 줄이기 위해서는 저항을 최대한 낮출 필요가 있다.
- [0044] 스캔배선의 저항을 낮추기 위해서 스캔배선을 형성하는 금속층의 두께를 증가시키는 것이 하나의 방법이 될 수

있다.

- [0045] 도 2에서 보는 바와 같이, 스캔배선으로 쓰이는 제2배선(410)은 제3절연층(16)의 상층인 제4절연층(19)의 하부에 배치되는데, 제4절연층(19)은 유기물로 형성된다. 이때, 유기물을 함유하는 제4절연층(19)은 무기물을 함유하는 하부 절연층들(13,15,16)에 비해 두껍게 형성될 수 있다. 따라서, 제2배선(410)을 덮는 제4절연층(19)이 두껍게 형성되어 있어서 제2배선(410)의 두께 또한 충분히 증가시킬 수 있게 된다. 즉, 제4절연층(19)과 같은 유기막은 충분히 평탄화할 수 있어서 하부층이 두꺼워도 막질에 특별한 영향을 주지 않으므로, 제4절연층(19)의 하부층인 제2배선(410)의 두께를 어느 정도 증가시키는 것이 가능하다.
- [0046] 만일 스캔배선으로 쓰이는 배선층을 무기물로 형성된 제1절연층(13), 제2절연층(15), 또는 제3절연층(16)의 하부에 배치한다고 가정하자. 특히 중간절연막의 역할을 하는 제3절연층(16)의 경우 제1절연층(13) 및 제2절연층(15)보다 두껍게 형성될 수는 있으나, 제3절연층(16) 또한 무기막이라는 재질적 한계로 인하여 제3절연층(16)의 하부에 배치되는 배선층의 두께를 저(低)저항을 확보할 만큼 늘리기에는 무리가 있다. 즉, 제3절연층(16)과 같은 무기막은 평탄화하는데 어려움이 있어서, 제3절연층(16)의 하부에 두꺼운 배선층을 배치하면 제3절연층(16)이 분리되는 등의 문제가 발생할 수 있다.
- [0047] 따라서, 본 발명의 실시예들에 있어서, 유기막인 제4절연층(19)의 하부에 스캔배선으로 쓰이는 제2배선(410)이 배치되고, 무기막인 제3절연층(16)의 하부에 데이터배선으로 쓰이는 제1배선(414)이 배치된다.
- [0048] 도 2에 도시된 본 발명의 일 실시예에 따르면, 데이터배선으로 쓰이는 제1배선(414)과 동일한 층에 소스전극 및 드레인전극(218a,b)이 형성되고, 소스전극 및 드레인전극(218a,b)을 활성층(212) 및 화소전극(117)과 전기적으로 연결할 수 있도록 도전층(219)이 제2배선(410)과 동일한 층에 형성된다.
- [0049] 도 2를 참조하면, 소스전극 및 드레인전극(218a,b)은 도전층(219)을 매개로 하여 활성층(212)과 전기적으로 연결된다. 즉, 소스전극 및 드레인전극(218a,b)은 제3절연층(16)을 관통하는 컨택홀(C3,4)을 통해 도전층영역(219a,b)과 연결되고, 이 도전층영역(219a,b)은 제1절연층(13), 제2절연층(15) 및 제3절연층(16)을 관통하는 컨택홀(C1,2)을 통해 활성층(212)의 소스영역 및 드레인영역(212a,b)과 전기적으로 연결된다. 또한, 도전층영역(219a,b) 중 어느 하나가 제4절연층(19)을 관통하는 접속부(C5)를 통해 화소전극(117)과 전기적으로 연결됨으로써, 화소전극(117)이 소스전극(218a) 또는 드레인전극(218b) 중 어느 하나와 전기적으로 연결된다.
- [0050] 도 3은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소와 배선부의 일부를 개략적으로 도시한 단면도이다.
- [0051] 도 3에 도시된 본 발명의 다른 실시예에 따르면, 데이터배선으로 쓰이는 제1배선(414)과 동일한 층에 소스전극 및 드레인전극(218a,b)이 형성되고, 소스전극 및 드레인전극(218a',b')을 화소전극(117)과 전기적으로 연결할 수 있도록 도전층(219')이 제2배선(410)과 동일한 층에 형성된다.
- [0052] 도 3을 참조하면, 소스전극 및 드레인전극(218a',b')은 다른 매개체 없이 활성층(212)과 전기적으로 연결된다. 즉, 소스전극 및 드레인전극(218a',b')은 제1절연층(13) 및 제2절연층(15)을 관통하는 컨택홀(C1',2')을 통해 활성층(212)의 소스영역 및 드레인영역(212a,b)과 전기적으로 연결되고, 제3절연층(16)을 관통하는 컨택홀(C3',4')을 통해 도전층영역(219a',b')과 전기적으로 연결된다. 또한, 도전층영역(219a',b') 중 어느 하나가 제4절연층(19)을 관통하는 접속부(C5)를 통해 화소전극(117)과 전기적으로 연결됨으로써, 화소전극(117)이 소스전극(218a') 또는 드레인전극(218b') 중 어느 하나와 전기적으로 연결된다.
- [0053] 전술한 바와 같이 데이터신호를 전달하는 데이터배선, 주사신호를 전달하는 스캔배선은 서로 다른 층에 상, 하부 배선으로 존재하여 적어도 일부가 중첩되게 배열될 수 있다. 각 배선은 도전성 물질로 형성되고, 상, 하부 배선 사이에는 절연층이 개재된다. 이때, 스캔배선의 저항을 낮추도록 스캔배선층의 두께를 증가시키기 위하여 제3절연층(16)과 제4절연층(19) 사이에 배치된 제2배선(410)을 스캔배선으로 사용한다.
- [0054] 이하에서는 도 4a 내지 도 4j를 참조하여 도 2의 본 발명의 일 실시예에 따른 유기발광표시장치(1000)의 제조방법을 설명한다.
- [0055] 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0056] 먼저 도 4a에 도시된 바와 같이, 기판(10) 상부에 보조층(11)을 형성한다.
- [0057] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미

드(Polyimide) 등을 포함하는 플라스틱 기판 등 투명 기판으로 구비될 수 있다.

- [0058] 한편, 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO_2 또는 SiN_x 등으로 단층 또는 복수층으로 형성할 수 있으며, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0059] 다음으로 보조층(11) 상의 박막트랜지스터영역(200)에 활성층(212)을 형성한다. 상세하게는, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(212)으로 패터닝된다.
- [0060] 다음으로 도 4b와 같이, 활성층(212)이 형성된 기판(10)의 전면에 제1절연층(13)을 형성한다. 제1절연층(13)은 SiO_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, 또는 PZT 등과 같은 무기 절연층으로 단층 또는 복수층으로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(13)은, 박막트랜지스터(TFT)의 활성층(212)과 게이트전극(214) 사이에 개재되어 박막트랜지스터(TFT)의 게이트절연막 역할을 한다.
- [0061] 본 발명의 실시예들에 있어서, 게이트절연막으로 사용되는 제1절연층(13)은 후술할 커패시터(Cst)의 유전막으로 사용되지 않기 때문에, 커패시터(Cst)의 유전율 특성을 고려할 필요 없이 박막트랜지스터(TFT)의 게이트절연막으로서의 특성에만 맞추어 설계될 수 있다. 예를 들어, 커패시터(Cst)의 정전 용량을 증가시키기 위해 커패시터(Cst)의 유전막으로 종종 사용되는 실리콘 나이트라이드(SiN_x)를 박막트랜지스터(TFT)의 게이트절연막으로 동시에 사용하게 되면, 박막트랜지스터(TFT)에 누설 전류가 발생할 수 있다. 그러나, 본 실시예에 따르면, 커패시터(Cst)의 유전막과 박막트랜지스터(TFT)의 게이트절연막은 별도로 형성될 수 있기 때문에, 커패시터(Cst)의 특성 및 박막트랜지스터(TFT)의 특성만을 고려하여 유전막 및 게이트절연막을 선택할 수 있다.
- [0062] 다음으로 도 4c와 같이, 제1절연층(13) 상에 제1금속층을 적층하고, 제1금속층을 패터닝하여 박막트랜지스터영역(200)에 박막트랜지스터(TFT)의 게이트전극(214)을 형성하고, 저장영역(300)에 커패시터(Cst)의 하부전극(314)을 형성한다.
- [0063] 기판(10) 전면에 적층된 제1금속층은 마스크 공정에 의해 패터닝되는데, 제1금속층은 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0064] 도 4c에 도시된 바와 같이 하부전극(314)과 게이트전극(214)은 이격되어 형성될 수도 있으나, 이에 한정되지 않고 하부전극(314)과 게이트전극(214)이 일체로 형성될 수도 있다.
- [0065] 게이트전극(214)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트전극(214)을 셀프 얼라인(self align) 마스크로 하여 활성층(212)에 n형 또는 p형의 불순물을 도핑(doping)한다. 이로써 게이트전극(214)의 양측에 대응하는 활성층(212)의 가장자리에 소스영역 및 드레인영역(212a,b)이 형성되고, 소스영역 및 드레인영역(212a,b) 사이에는 채널영역(212c)이 형성된다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0066] 다음으로 도 4d와 같이, 도 4c의 결과물 상에 제2절연층(15)을 형성한다.
- [0067] 제2절연층(15)은 SiO_2 , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST 및 PZT에서 선택된 무기 절연층으로 형성될 수 있는데, 특히 전술한 제1절연층(13)으로 형성된 재료와 굴절률이 다른 재료로 형성될 수 있다.
- [0068] 한편, 제2절연층(15)은 유전막으로 사용될 수 있다. 따라서, 커패시터(Cst)의 정전용량을 저하시키지 않도록 제2절연층(15)의 두께는 다른 절연층들에 비해 상대적으로 얇게 형성될 수 있다. 또한, 제2절연층(15)은 유전율이 큰 절연 재료로 형성될 수 있다. 이로써 커패시터(Cst)의 면적을 증가시키지 않고도 정전 용량을 증가시킬 수 있으므로, 화소전극(117)의 면적 및 유기발광표시장치(1000)의 개구율을 증가시킬 수 있다.

- [0069] 다음으로 도 4e와 같이, 제2절연층(15) 상에 제2금속층을 적층하고, 제2금속층을 패터닝하여 박막트랜지스터영역(200)에 박막트랜지스터(TFT)의 소스전극 및 드레인전극(218a,b)을 형성하고, 저장영역(300)에는 커패시터(Cst)의 상부전극(310)을 형성하며, 배선영역(400)에는 제1배선(414)을 형성한다.
- [0070] 제2금속층은 저저항 도전물질로 형성된다. 예를 들어, 제2금속층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0071] 다음으로 도 4f와 같이, 도 4e의 결과물 상에 제3절연층(16)을 형성하고, 활성층(212)의 소스영역 및 드레인영역(212a,b)이 노출되도록 제1절연층(13), 제2절연층(15) 및 제3절연층(16)에 동시에 제1개구를 형성하며, 상기 소스전극 및 드레인전극이 노출되도록 상기 제3절연층에 제2개구를 형성한다.
- [0072] 제3절연층(16)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연층으로 형성될 수 있는데, 특히 전술한 보조층(11), 제1절연층(13) 및 제2절연층(15)으로 형성된 재료와 굴절률이 다른 재료로 형성될 수 있다. 이와 같이 굴절률이 서로 다른 절연층이 교대로 구비되면 DBR(Distributed Bragg Reflector)로 기능함으로써 유기발광층에서 방출되는 빛의 광효율을 높일 수 있다. 또한, 제2절연층(15)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(13)보다 두껍게 형성되어, 게이트전극(214)과 소스전극 및 드레인전극(218a,b) 사이에서 중간절연막으로서의 역할을 수행한다.
- [0073] 상세하게는, 제1절연층(13), 제2절연층(15) 및 제3절연층(16)은 마스크 공정에 의해 패터닝됨으로써 컨택홀(C1,2)을 형성한다. 여기서 컨택홀(C1,2)은 활성층(212)의 소스영역 및 드레인영역(212a,b)의 일부를 노출시키도록 형성된다. 또한, 제3절연층(16)은 추가적으로 패터닝되어 컨택홀(C3,4)을 형성한다. 여기서 컨택홀(C3,4)은 소스전극 및 드레인전극(218a,b)의 일부를 노출시키도록 형성된다.
- [0074] 한편, 제1절연층(13), 제2절연층(15) 및 제3절연층(16)의 재질이 각각 다른 경우, 제1절연층(13), 제2절연층(15) 및 제3절연층(16)은 동일 마스크 공정에서 패터닝되지만, 식각 공정은 각각 나누어 실시될 수 있다.
- [0075] 다음으로 도 4g와 같이, 도 4f의 결과물 상에 제3금속층을 적층하고, 상기 제3금속층을 패터닝하여 박막트랜지스터영역(200)에 박막트랜지스터(TFT)의 도전층(219)을 형성하고, 배선영역(400)에는 제2배선(410)을 형성한다.
- [0076] 제3금속층은 저저항 도전물질로 형성된다. 예를 들어, 제2금속층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 이러한 제3금속층은 소스영역 및 드레인영역(212a,b)을 노출하는 컨택홀(C1,2)과 소스전극 및 드레인전극(218a,b)을 메우게 된다.
- [0077] 제3금속층은 스캔배선의 역할을 하는 제2배선(410)이 낮은 저항을 갖도록 충분히 두껍게 형성된다. 이와 같이 제2배선(410)의 두께를 증가시킴으로써 스캔배선의 로드를 줄여 고해상도 대형 패널의 구동을 원활하게 할 수 있다.
- [0078] 다음으로 도 4h와 같이, 도 4g의 결과물 상에 제4절연층(19)을 형성하고, 도전층(219)의 적어도 일부가 노출되도록 제4절연층(19)에 제3개구를 형성한다.
- [0079] 제4절연층(19)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다. 즉, 제4절연층(19)은 유기 절연 물질을 함유하며, 유기 절연 물질과 무기 절연 물질이 교변하는 다층 구조로 형성될 수도 있다.
- [0080] 전술한 바와 같이, 제4절연층(19)이 유기 절연 물질로 형성됨으로써 제4절연층(19)은 막질에 구애됨이 없이 충분히 평탄화할 수 있으므로, 제4절연층(19) 하부에 배치되는 제2배선(410)의 두께를 증가시킬 수 있다.
- [0081] 상기과 같이 제4절연층(19)의 하부배선층이 두꺼워짐에 따라 제4절연층(19)은 충분한 두께를 갖게 된다. 따라서, 평탄화막인 제4절연층(19)은 중간절연막인 제3절연층(16)보다 두껍게 형성될 수 있다.
- [0082] 상세하게는, 제4절연층(19)은 마스크 공정에 의해 패터닝됨으로써 접속부(C5)를 형성한다. 여기서 접속부(C5)는 도전층영역(219a,b) 중 어느 하나의 일부를 노출시키도록 형성된다.
- [0083] 다음으로 도 4i와 같이, 도 4h의 결과물 상에 제4금속층을 적층하고, 마스크 공정에 의해 제4금속층을 패터닝하

여 발광영역(100)에 화소전극(117)을 형성한다. 화소전극(117)은 상기의 접속부(C5)를 매우도록 형성되어 도전층(219)을 매개로 하여 소스전극(218a) 또는 드레인전극(218b) 중 어느 하나와 전기적으로 연결된다.

- [0084] 마지막으로 도 4j와 같이, 화소전극(117) 상에 유기발광층을 구비하는 중간층(118)을 형성하고, 중간층(118)을 덮도록 화소전극(117)에 대향하여 대향전극(119)을 형성한다.
- [0085] 제4절연층(19) 상에 제5절연층(20)이 더 구비될 수 있다. 제5절연층(20)은 화소전극(117)의 단부를 페루프 형상으로 덮으며 제4절연층(19) 상의 일부에 형성된다.
- [0086] 제5절연층(20)에는 화소전극(117)의 중앙부를 노출시키는 개구(미도시)가 형성되고, 화소전극(117)의 단부에서의 전계의 영향을 줄이기 위하여 제5절연층(20)은 화소전극(117)의 단부를 덮도록 형성된다. 따라서, 제5절연층(20)은 화소전극(117)의 단부를 둘러싸면서 발광영역(100)을 정의하는 화소정의막으로서의 역할을 한다.
- [0087] 중간층(118)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 여기서, 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0088] 중간층(118) 상에는 공통 전극인 대향전극(119)을 형성한다. 본 발명의 실시예에 따른 유기발광표시장치(1000)의 경우, 화소전극(117)은 애노드로 사용되고, 대향전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0089] 유기발광표시장치(1000)가 배면발광타입인 경우, 대향전극(119)은 반사물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 대향전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함하여 두껍게 형성할 수 있다.
- [0090] 유기발광표시장치(1000)가 전면발광타입인 경우, 대향전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 박막으로 형성할 수 있다. 이 때 대향전극(119)은 투과율이 높도록 약 100 옴스트롱(angstrom) 내지 300옴스트롱 두께의 박막으로 형성될 수 있다.
- [0091] 한편, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2000)의 제조 방법은 이전 실시예의 유기 발광 표시 장치(1000)와의 차이점을 위주로 설명하기로 한다. 도 3에 표시된 도면의 참조 번호 중 도 2와 동일한 참조 번호는 전술한 실시예와 동일한 구성요소를 가리킨다. 동일한 구성요소는 그 기능이나 작용 또한 동일하므로 이하에서 중복되는 설명은 생략하기로 한다.
- [0092] 먼저, 기판(10) 상에 보조층(11), 활성층(212), 제1절연층(13), 게이트전극(214), 커패시터(Cst)의 하부전극(314) 및 제2절연층(15)을 순차적으로 형성하는 과정은 이전 실시예의 제조 방법과 동일하다.
- [0093] 다음으로, 제1절연층(13) 및 제2절연층(15)은 마스크 공정에 의해 패터닝됨으로써 컨택홀(C1', 2')을 형성한다. 여기서 컨택홀(C1', 2')은 활성층(212)의 소스영역 및 드레인영역(214a', b')의 일부를 노출시키도록 형성된다.
- [0094] 다음으로, 상기의 결과물 상에 제2금속층을 적층하고, 마스크 공정에 의해 제2금속층을 패터닝하여 박막트랜지스터영역(200)에 박막트랜지스터(TFT)의 소스전극 및 드레인전극(218a', b')을 형성하고, 저장영역(300)에는 커패시터(Cst)의 상부전극(310)을 형성하며, 배선영역(400)에는 제1배선(414)을 형성한다.
- [0095] 다음으로, 상기의 결과물 상에 제3절연층(16)을 형성하고, 제3절연층(16)은 마스크 공정에 의해 패터닝됨으로써 컨택홀(C3', 4')을 형성한다. 여기서 컨택홀(C3', 4')은 소스전극 및 드레인전극(218a', b')의 일부를 노출시키도록 형성된다.
- [0096] 다음으로, 상기의 결과물 상에 제3금속층을 적층하고, 마스크 공정에 의해 제3금속층을 패터닝하여 박막트랜지스터영역(200)에 박막트랜지스터(TFT)의 도전층(219')과 배선영역(400)의 제2배선(410)을 형성한다.
- [0097] 이후에는 이전 실시예의 제조 방법과 동일하게, 제4절연층(19), 접속부(C5), 화소전극(117), 제5절연층(20), 중간층(118), 대향전극(119)을 순차적으로 형성한다.
- [0098] 정리하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2000)의 경우, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1000)보다 컨택홀을 형성하기 위한 마스크 공정이 한번 더 추가된다.
- [0099] 지금껏 살펴본 바와 같이, 본 발명의 실시예들은 스캔배선의 저항을 낮춤으로써 고해상도의 대형 패널을 안정적

으로 구현할 수 있다.

[0100] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0101] 1000, 2000: 유기 발광 표시 장치

10: 기판

212: 활성층

214: 게이트전극

218a,b: 소스전극 및 드레인전극

219: 도전층

310,314: 커패시터 전극

410, 414: 배선층

117: 화소전극

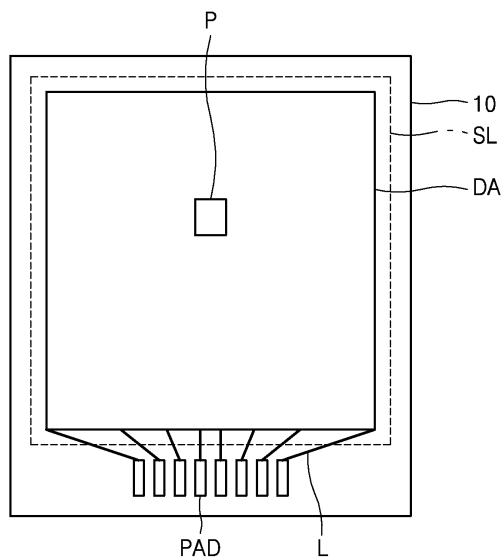
118: 중간층

119: 대향전극

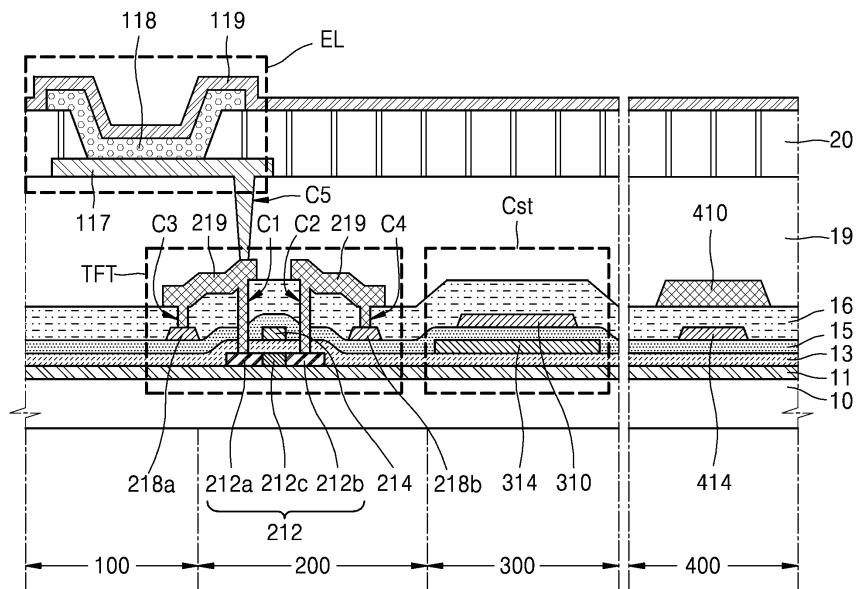
12,15,16,19: 제1,2,3,4절연층

도면

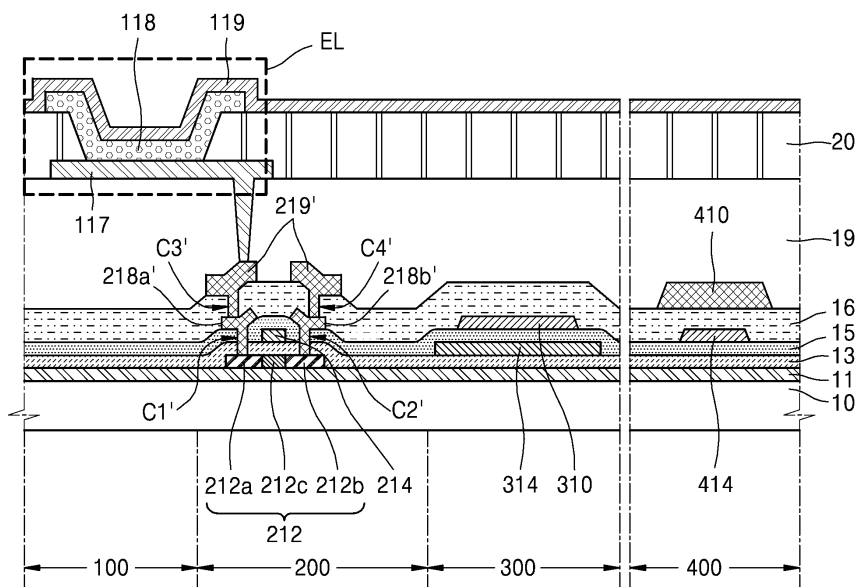
도면1



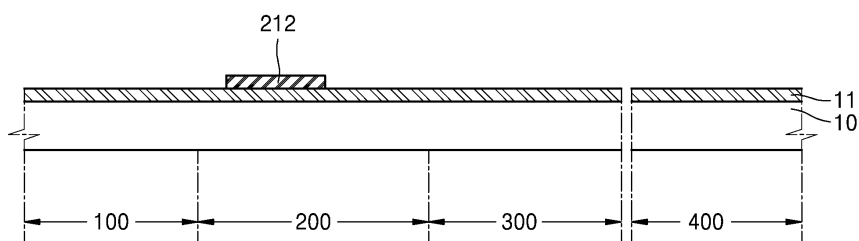
도면2



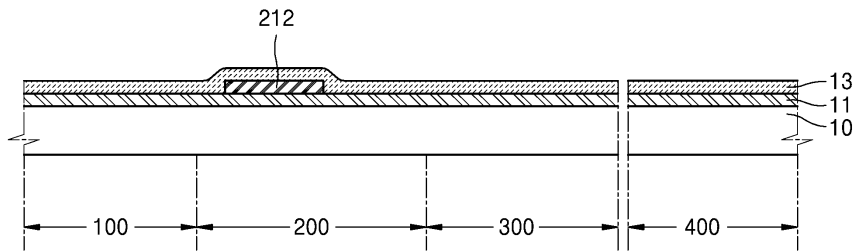
도면3



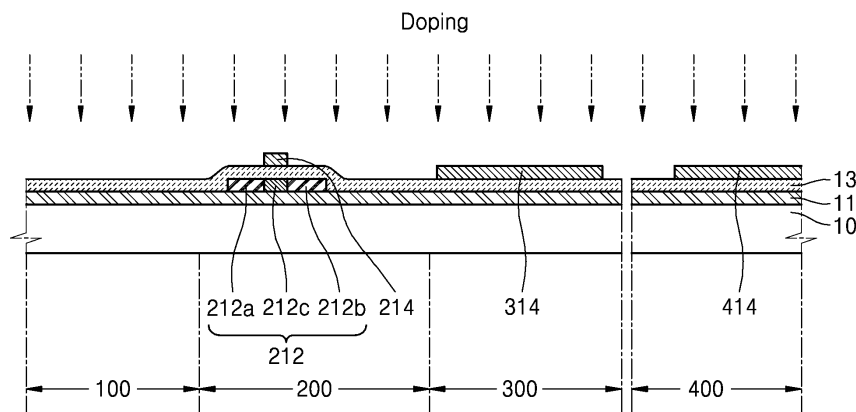
도면4a



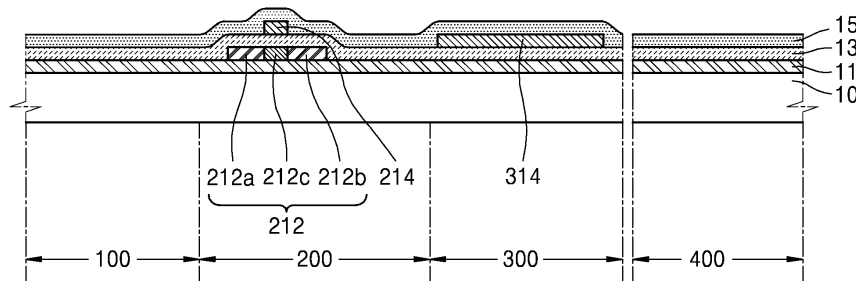
도면4b



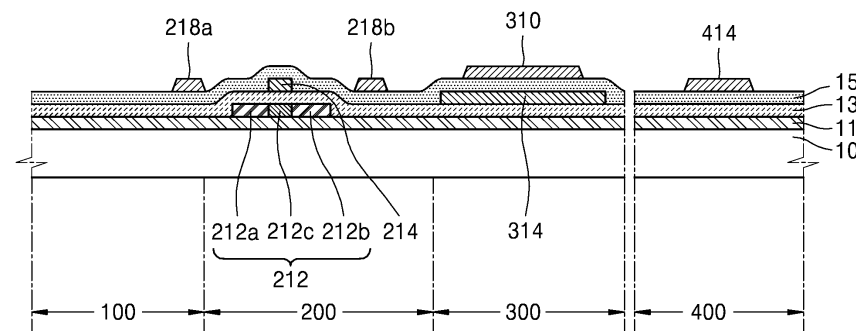
도면4c



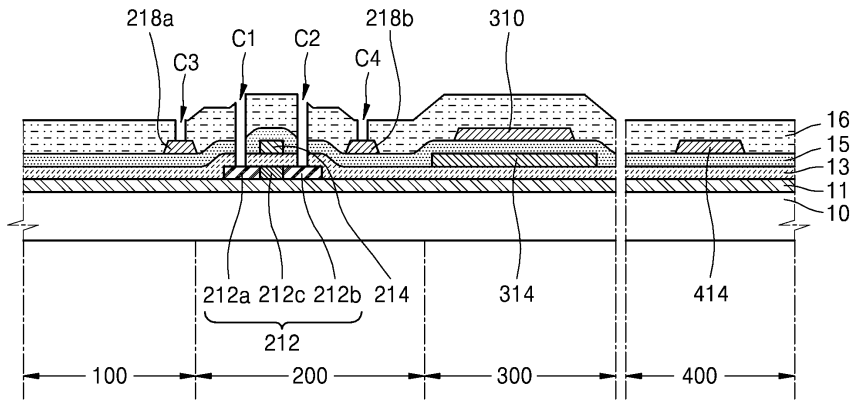
도면4d



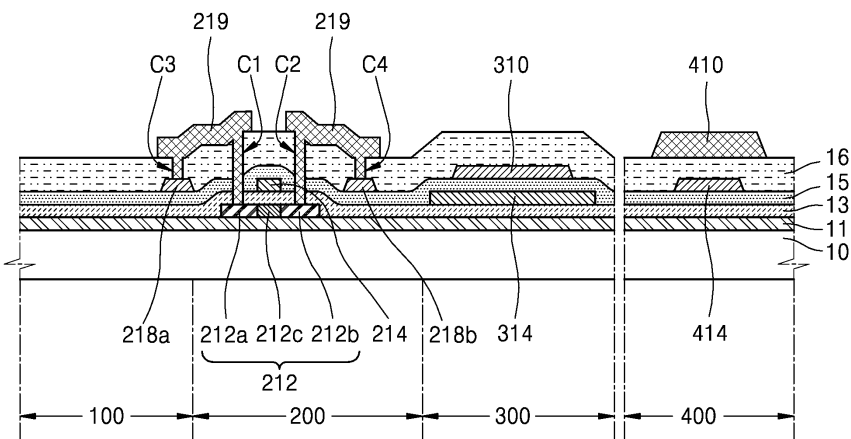
도면4e



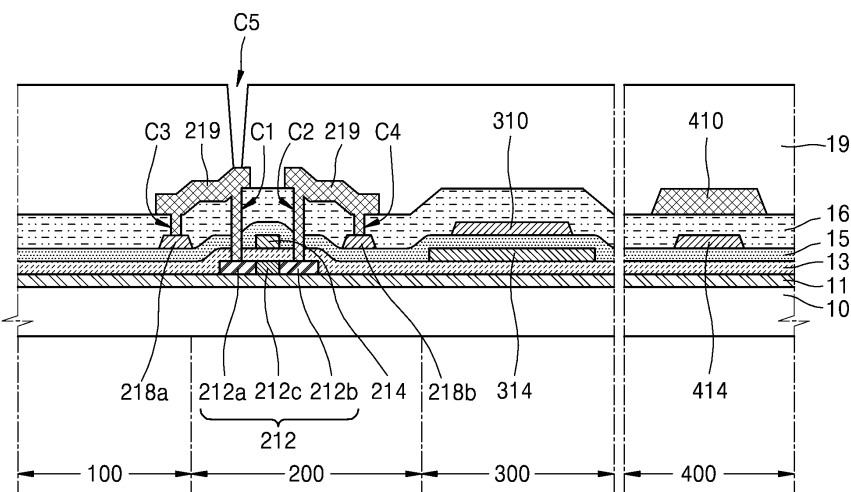
도면4f



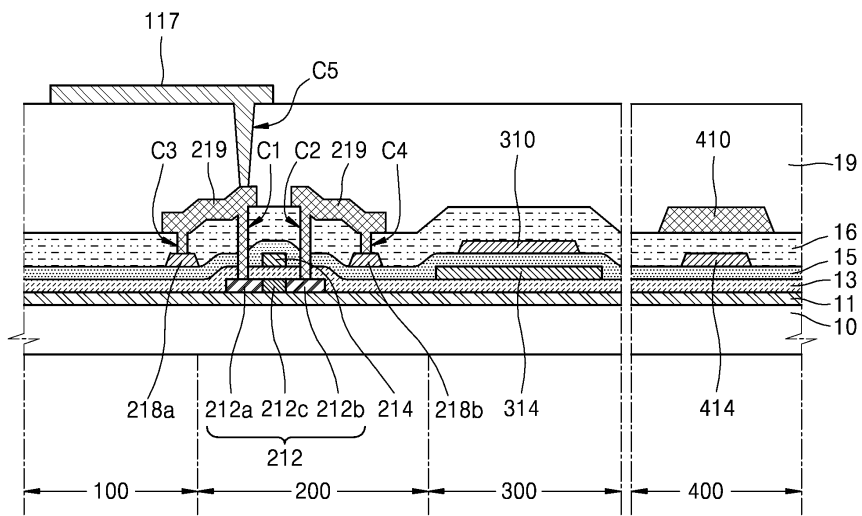
도면4g



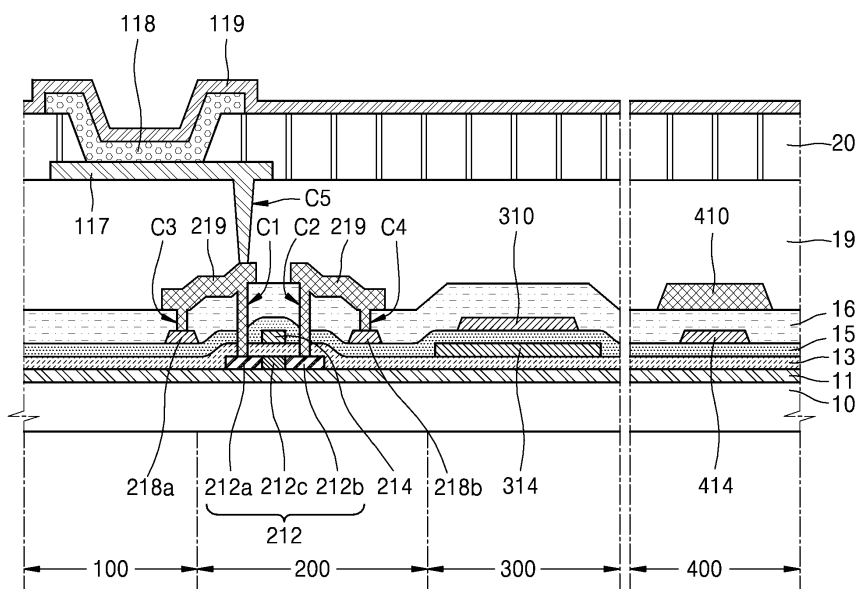
도면4h



도면4i



도면4j



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020160082558A	公开(公告)日	2016-07-08
申请号	KR1020140191122	申请日	2014-12-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM NA YOUNG 김나영 KIM JUNG BAE 김정배		
发明人	김나영 김정배		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L27/3202 H01L27/3276 H01L27/124 H01L27/1255 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3265 H01L29/41733 H01L29/66757 H01L29/78675 H01L2227/323		
外部链接	Espacenet		

摘要(译)

基板本发明涉及基板;第一绝缘层设置在有源层和栅电极之间;第二绝缘层,设置在栅电极和源电极与漏电极之间;第三绝缘层,设置在源电极和漏电极上,导电层设置在第三绝缘层上,并通过第三绝缘层电连接到源电极和漏电极,薄膜晶体管包括;第一布线,设置在第二绝缘层上,并由与源电极和漏电极相同的材料形成;第二布线形成在第三绝缘层上并由与导电层相同的材料形成,第二布线与第一布线重叠至少一部分;第四绝缘层,设置在第三绝缘层上,以覆盖导电层;并且有机发光二极管设置在第四绝缘层上。

