



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0078640
(43) 공개일자 2016년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0188275
(22) 출원일자 2014년12월24일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조경현
전북 정읍시 금봉1길 1-1, 102동 1405호 (상동,
대림아파트)
(74) 대리인
김은구, 송해모

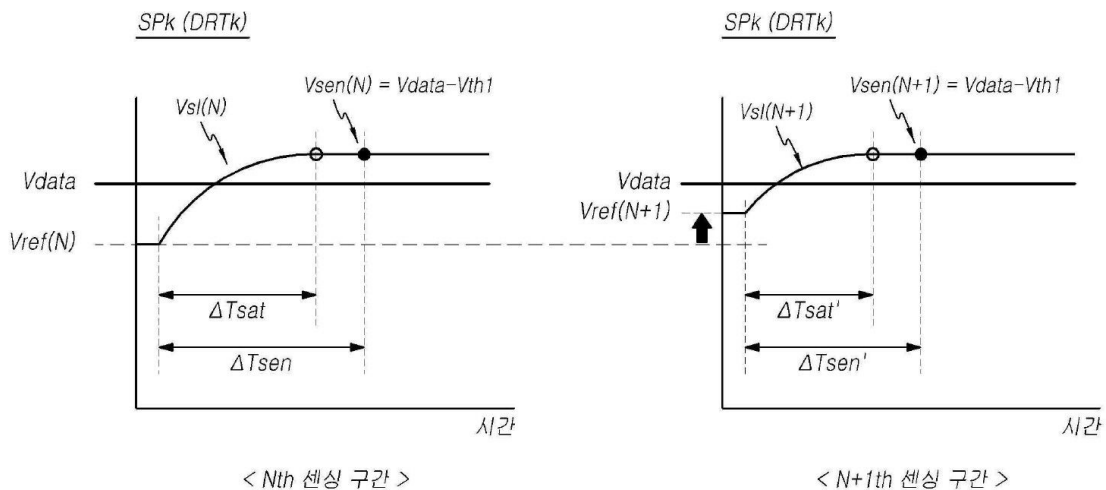
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광표시패널, 유기발광표시장치 및 그 구동방법

(57) 요약

본 실시예들은, 문턱전압 센싱 시간을 단축해주고 문턱전압 센싱 정확도를 높여줄 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것이다.

대표도



명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀이 배치된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 구동부;

상기 다수의 게이트 라인을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하고,

상기 다수의 서브픽셀 각각은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터의 게이트 노드에 데이터 전압을 전달해주는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압은, N번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압보다 높거나 낮게 설정된 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압은,

N번째 센싱 구간에서, 상기 다수의 서브픽셀에 포함된 다수의 구동 트랜지스터 중 특정 구동 트랜지스터의 소스 노드 또는 드레인 노드에 대한 센싱 전압에 근거하여 설정됨으로써,

N번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압보다 높거나 낮게 설정된 것을 특징으로 하는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 특정 구동 트랜지스터는,

N번째 센싱 구간에서 상기 다수의 서브픽셀에 포함된 다수의 구동 트랜지스터에 대하여 센싱된 문턱 전압 분포를 토대로, 최대 문턱 전압을 갖는 것으로 센싱된 구동 트랜지스터인 것을 특징으로 하는 유기발광표시장치.

청구항 4

제2항에 있어서,

N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압은,

N번째 센싱 구간에서, 상기 특정 구동 트랜지스터의 소스 노드 또는 드레인 노드에 대한 센싱 전압에서 오프셋 전압을 차감하여 설정된 것을 특징으로 하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 오프셋 전압은,

N번째 센싱 구간에서 상기 특정 구동 트랜지스터의 소스 노드 또는 드레인 노드에 대한 센싱 전압에서 N번째 센싱 구간에서 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압을 차감한 전압보다 낮게

설정된 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 다수의 서브픽셀 각각은,

상기 유기발광다이오드와,

상기 유기발광다이오드의 제1전극과 구동전압 라인 사이에 전기적으로 연결된 상기 구동 트랜지스터와,

상기 구동 트랜지스터의 게이트 노드에 해당하는 제1노드와 데이터 라인 사이에 전기적으로 연결된 상기 스위칭 트랜지스터와,

상기 구동 트랜지스터의 제1노드와 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 해당하는 제2노드 사이에 전기적으로 연결된 상기 스토리지 캐패시터와,

상기 구동 트랜지스터의 제2노드와 기준전압 라인 사이에 전기적으로 연결된 센싱 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제6항에 있어서,

스위치의 스위칭 동작에 따라 상기 기준전압 라인과 전기적으로 연결 가능한 아날로그 디지털 컨버터를 포함하는 유기발광표시장치.

청구항 8

서로 교차하는 방향으로 배치된 다수의 데이터 라인 및 다수의 게이트 라인; 및

매트릭스 타입으로 배치된 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀 각각은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터의 게이트 노드에 데이터 전압을 전달해주는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압은, N번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압보다 높거나 낮게 설정된 것을 특징으로 하는 유기발광표시패널.

청구항 9

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터의 게이트 노드에 데이터 전압을 전달해주는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성된 다수의 서브픽셀을 포함하는 유기발광표시장치의 구동방법에 있어서,

N번째 센싱 구간에서, 상기 구동 트랜지스터의 게이트 노드에 데이터 전압을 인가하고, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 기준전압을 인가하며, 이후, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드를 플로팅시켜 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드의 전압을 센싱하는 N번째 센싱 단계; 및

N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 게이트 노드에 데이터 전압을 인가하고, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 기준전압을 인가하며, 이후, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드를 플로팅시켜 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드의 전압을 센싱하는 N+1번째 센싱 단계를 포함하되,

상기 N번째 센싱 단계와 상기 N+1번째 센싱 단계 사이에, N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압을, N번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는

드레인 노드에 인가된 기준전압보다 높거나 낮게 설정하는 기준전압 가변 설정 단계를 더 포함하는 유기발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 명암비(Contrast Ratio), 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광표시장치의 유기발광표시패널에는 배치되는 각 서브픽셀은, 기본적으로, 유기발광다이오드와 이를 구동하는 구동 트랜지스터를 포함하여 구성된다.

[0004] 이러한 유기발광표시장치는, 데이터 구동부에서 출력되는 데이터 전압을 기준으로 결정된 구동 트랜지스터의 구동 전류로 유기발광다이오드의 밝기를 조절하여, 영상을 표현한다.

[0005] 한편, 유기발광표시패널 상의 각 서브픽셀 내 구동 트랜지스터는 문턱전압 등의 고유 특성치를 갖는다. 이러한 구동 트랜지스터는, 구동 시간이 증가함에 따라, 열화(Degradation)가 진행되어, 문턱전압이 변하게 된다.

[0006] 이러한 구동 트랜지스터의 열화는, 각 서브픽셀에서의 구동 트랜지스터 간의 문턱전압 편차를 발생시켜, 서브픽셀 간의 휘도 편차를 초래하여, 화상 품질을 떨어뜨릴 수 있다.

[0007] 따라서, 서브픽셀 간의 휘도 편차를 보상해주는 기술, 즉, 구동 트랜지스터 간의 문턱전압 편차를 보상해주는 기술이 제안되었다.

[0008] 하지만, 구동 트랜지스터의 문턱전압 편차 보상을 위해, 구동 트랜지스터의 소스 노드 또는 게이트 노드의 전압을 문턱전압 센싱이 가능한 상태로 만들어 주고, 이후, 구동 트랜지스터의 소스 노드 또는 드레인 노드의 전압을 센싱하는 센싱 과정이 필요하다.

[0009] 종래에는, 이러한 센싱 과정 시, 구동 트랜지스터의 소스 노드 또는 게이트 노드의 전압을 문턱전압 센싱이 가능한 상태로 만들어 주기 위한 센싱 시간이 상당히 오래 걸리는 문제점이 있어왔다.

[0010] 이러한 문제점과 관련하여, 고해상도 구현을 위해 픽셀 사이즈가 점점 작아지는 요즘 추세에 따라 구동 트랜지스터의 사이즈가 작아져서 구동 트랜지스터의 전류구동능력이 떨어지는 경우, 문턱전압 센싱 시간은 더욱 길어질 수 있다.

[0011] 한편, 유기발광표시패널 상의 구동 트랜지스터들은 구동 시간이 길어짐에 따라 열화가 진행되어, 구동 트랜지스터들에 대한 문턱전압 분포도 전체적으로 변하게 된다. 이러한 경우, 일정하게 제한된 센싱 시간 등으로 인해, 문턱전압 센싱 정확도는 낮아질 가능성이 크다.

발명의 내용

해결하려는 과제

[0012] 본 실시예들의 목적은, 문턱전압 센싱 시간을 단축할 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

[0013] 본 실시예들의 다른 목적은, 문턱전압 센싱 정확도를 높여줄 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

[0014] 일 실시예는, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀이 배치된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동부와, 다수의 게이트 라인을 구동하는 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하는 유기발광표시장치를 제공할 수 있다.

- [0015] 이러한 유기발광표시장치에서, 다수의 서브픽셀 각각은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 게이트 노드에 데이터 전압을 전달해주는 스위칭 트랜지스터와, 구동 트랜지스터의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성된다.
- [0016] 또한, 이러한 유기발광표시장치에서, N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압은, N번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압보다 높거나 낮게 설정될 수 있다.
- [0017] 다른 실시예는, 서로 교차하는 방향으로 배치된 다수의 데이터 라인 및 다수의 게이트 라인과, 매트릭스 타입으로 배치된 다수의 서브픽셀을 포함하고, 상기 다수의 서브픽셀 각각은, 유기발광다이오드와, 상기 유기발광다이오드를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터의 게이트 노드에 데이터 전압을 전달해주는 스위칭 트랜지스터와, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성된 유기발광표시패널을 제공할 수 있다.
- [0018] 이러한 유기발광표시패널에서, N+1번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가되는 기준전압은, N번째 센싱 구간에서, 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압보다 높거나 낮게 설정될 수 있다.
- [0019] 또 다른 실시예는, N번째 센싱 구간에서, 구동 트랜지스터의 게이트 노드에 데이터 전압을 인가하고, 구동 트랜지스터의 소스 노드 또는 드레인 노드에 기준전압을 인가하며, 이후, 구동 트랜지스터의 소스 노드 또는 드레인 노드를 플로팅 시켜 구동 트랜지스터의 소스 노드 또는 드레인 노드의 전압을 센싱하는 N번째 센싱 단계와, N+1번째 센싱 구간에서, 구동 트랜지스터의 게이트 노드에 데이터 전압을 인가하고, 구동 트랜지스터의 소스 노드 또는 드레인 노드에 기준전압을 인가하며, 이후, 구동 트랜지스터의 소스 노드 또는 드레인 노드를 플로팅 시켜 구동 트랜지스터의 소스 노드 또는 드레인 노드의 전압을 센싱하는 N+1번째 센싱 단계를 포함하는 유기발광표시장치의 구동방법을 제공할 수 있다.
- [0020] 이러한 유기발광표시장치의 구동방법은, N번째 센싱 단계와 N+1번째 센싱 단계 사이에, N+1번째 센싱 구간에서, 구동 트랜지스터의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 인가되는 기준전압을 N번째 센싱 구간에서, 구동 트랜지스터의 소스 노드 또는 드레인 노드에 인가된 기준전압보다 높거나 낮게 설정하는 기준전압 가변 설정 단계를 더 포함할 수 있다.

발명의 효과

- [0021] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 문턱전압 센싱 시간을 단축할 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.
- [0022] 본 실시예들에 의하면, 문턱전압 센싱 정확도를 높여줄 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.
- 도 2는 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.
- 도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 내 구동 트랜지스터의 문턱전압 센싱 타이밍도이다.
- 도 4는 본 실시예들에 따른 유기발광표시장치에서, 구동 트랜지스터들의 문턱전압 분포와 그 변화를 나타낸 도면이다.
- 도 5는 본 실시예들에 따른 유기발광표시장치에서, 구동 트랜지스터들의 문턱전압 분포의 변화에 따른 센싱 지점의 전압 변화를 나타낸 도면이다.
- 도 6은 본 실시예들에 따른 유기발광표시장치의 기준전압 가변 기법을 설명하기 위한 도면이다.
- 도 7 및 도 8은 본 실시예들에 따른 유기발광표시장치에서 N번째 센싱 구간에서의 문턱전압 분포 및 센싱 전압을 이용하여, N+1번째 센싱 구간에서의 기준전압을 가변하는 기준전압 가변 기법을 설명하기 위한 도면이다.
- 도 9는 본 실시예들에 따른 유기발광표시장치의 기준전압 가변 기법에 따른 센싱 라인 캐패시터에서의 가변 프

리차지 전압을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0025] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0026] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.
- [0027] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120), 게이트 구동부(130), 타이밍 컨트롤러(140) 등을 포함한다.
- [0028] 유기발광표시패널(110)에는, 제1방향으로 다수의 데이터 라인(DL: Data Line)이 배치되고, 제1방향과 교차하는 제2방향으로 다수의 게이트 라인(GL: Gate Line)이 배치되며, 다수의 서브픽셀(SP: Sub Pixel)이 매트릭스 타입으로 배치된다. 데이터 구동부(120)는, 데이터 라인들로 데이터전압을 공급하여 데이터 라인들을 구동한다. 게이트 구동부(130)는, 게이트 라인들로 스캔 신호를 순차적으로 공급하여 게이트 라인들을 순차적으로 구동한다. 타이밍 컨트롤러(140)는, 데이터 구동부(120) 및 게이트 구동부(130)로 제어신호를 공급하여, 데이터 구동부(120) 및 게이트 구동부(130)를 제어한다.
- [0029] 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 호스트 시스템(160)에서 입력되는 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하거나 보상 처리에 따라 전환하여 전환된 영상데이터(Data')를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0030] 게이트 구동부(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 게이트 라인들로 순차적으로 공급하여 게이트 라인들을 순차적으로 구동한다.
- [0031] 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이, 유기발광표시패널(110)의 일 측에만 위치할 수도 있고, 경우에 따라서는, 양측에 위치할 수도 있다.
- [0032] 또한, 게이트 구동부(130)는, 하나 또는 다수의 게이트 드라이버 집적회로(Gate Driver IC, GDIC #1, ... , GDIC #n, n은 1 이상의 자연수)를 포함할 수 있다.
- [0033] 또한, 게이트 구동부(130)에 포함된 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #n)은, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.
- [0034] 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #n) 각각은 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0035] 데이터 구동부(120)는, 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상데이터를 아날로그 형태의 데이터 전압으로 변환하여 데이터 라인들로 공급함으로써, 데이터 라인들을 구동한다.
- [0036] 데이터 구동부(120)는 하나 또는 다수의 소스 드라이버 집적회로(Source Driver IC, SDIC #1, ..., SDIC #m, m은 1 이상의 자연수)를 포함할 수 있다. 이러한 소스 드라이버 집적회로를 데이터 드라이버 집적회로(Data Driver IC)라고도 함,
- [0037] 데이터 구동부(120)에 포함된 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #m)은, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시

패널(110)에 집적화되어 배치될 수도 있다.

- [0038] 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #m) 각각은, 쉬프트 레지스터, 래치, 디지털 아날로그 컨버터(DAC: Digital Analog Converter), 출력 버퍼 등을 포함하고, 경우에 따라서, 서브픽셀 보상을 위해 아날로그 전압 값을 센싱하여 디지털 값으로 변환하고 센싱 데이터를 생성하여 출력하는 아날로그 디지털 컨버터(ADC: Analog Digital Converter)를 더 포함할 수 있다.
- [0039] 또한, 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #m) 각각은, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #m) 각각에서, 일 단은 적어도 하나의 소스 인쇄회로기판(Source Printed Circuit Board)에 본딩되고, 타 단은 유기발광표시패널(110)에 본딩된다.
- [0040] 타이밍 컨트롤러(140)는 연성 플랫 케이블(FFC: Flexible Flat Cable) 또는 연성 인쇄 회로(FPC: Flexible Printed Circuit) 등을 통해 적어도 하나의 소스 인쇄회로기판(Source Printed Circuit Board)과 연결되는 컨트롤 인쇄회로기판(Control Printed Circuit Board)에 배치될 수 있다.
- [0041] 타이밍 컨트롤러(140)가 배치되는 컨트롤 인쇄회로기판(Control Printed Circuit Board)에는, 유기발광표시패널(110), 데이터 구동부(120) 및 게이트 구동부(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(150)가 더 배치될 수 있다. 이러한 전원 컨트롤러(150)는 전원 관리 집적회로(PMIC: Power Management IC)라고도 한다.
- [0042] 컨트롤 인쇄회로기판 및 소스 인쇄회로기판은 하나의 인쇄회로기판으로 통합 구현될 수도 있다.
- [0043] 또한, 호스트 시스템(160) 및 타이밍 컨트롤러(140)는 별도로 구성될 수도 있지만, 하나의 컨트롤러로 통합되어 구성될 수도 있다.
- [0044] 한편, 타이밍 컨트롤러(140)는, 외부의 호스트 시스템(160)으로부터 입력 영상의 영상데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 수신한다.
- [0045] 타이밍 컨트롤러(140)는, 호스트 시스템(160)으로부터 입력된 영상데이터를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터를 출력하는 것 이외에, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력받아, 각종 제어 신호들을 생성하여 데이터 구동부(120) 및 게이트 구동부(130)로 출력한다.
- [0046] 예를 들어, 타이밍 컨트롤러(140)는, 게이트 구동부(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(130)를 구성하는 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #n)의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #n)에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이버 집적회로들(GDIC #1, ..., GDIC #n)의 타이밍 정보를 지정하고 있다.
- [0047] 타이밍 컨트롤러(140)는, 데이터 구동부(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다. 소스 스타트 펄스(SSP)는 데이터 구동부(120)를 구성하는 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #m)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로들(SDIC #1, ..., SDIC #m) 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동부(120)의 출력 타이밍을 제어한다.
- [0048] 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀(SP)에는, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 둘 이상의 트랜지스터(Transistor) 및 하나 이상의 캐패시터(Capacitor) 등으로 이루어진 회로가 형성되어 있다.
- [0049] 유기발광표시패널(110)에서의 각 서브픽셀(SP)은, 가장 기본적으로, 유기발광다이오드(OLED) 이외에, 2개의 트랜지스터와 1개의 캐패시터를 포함하여 구성될 수 있다.
- [0050] 즉, 가장 기본적인 서브픽셀 구조는, 유기발광다이오드(OLED)와, 이를 구동하는 구동 트랜지스터(DRT: Driving

Transistor), 데이터 전압을 구동 트랜지스터(DRT)의 게이트 노드에 전달해주는 스위칭 트랜지스터(SWT: Switching Transistor), 구동 트랜지스터(DRT)의 소스 노드 또는 드레인 노드와 게이트 노드 사이에 전기적으로 연결되어 한 프레임 시간 동안 일정 전압을 유지해주는 스토리지 캐패시터(Cstg: Storage Capacitor)를 포함하여 구성될 수 있다.

- [0051] 이러한 가장 기본적인 서브픽셀 구조에서, 추가 기능에 따라, 1개 이상의 트랜지스터가 추가되거나, 1개 이상의 캐패시터가 추가될 수 있다.
- [0052] 한편, 각 서브픽셀 내 구동 트랜지스터(DRT)는, 문턱전압(V_{th} : Threshold Voltage), 이동도(Mobility) 등의 고유 특성치를 가지고 있다.
- [0053] 이러한 구동 트랜지스터(DRT)는, 구동 시간이 길어짐에 따라 열화(Degradation)가 진행되어, 문턱전압, 이동도 등의 고유 특성치도 변하게 된다.
- [0054] 따라서, 각 서브픽셀 내 구동 트랜지스터(DRT) 간의 고유 특성치 편차가 더 크게 발생하고, 이로 인해, 각 서브픽셀 간의 휘도 편차가 더 크게 초래될 수 있다.
- [0055] 이러한 각 서브픽셀 간의 휘도 편차는, 유기발광표시패널(110)에서의 휘도 불균일 현상을 야기시켜, 화상 품질을 크게 떨어뜨릴 수 있다.
- [0056] 따라서, 본 실시예들에 따른 유기발광표시장치(100)는, 각 서브픽셀 내 구동 트랜지스터(DRT) 간의 고유 특성치를 센싱하여, 고유 특성치 편차를 파악하고, 이러한 고유 특성치 편차를 보상해주는 기술을 제공할 수 있다.
- [0057] 고유 특성치 편차 보상을 위해, 각 서브픽셀의 구조 또한 변경될 수 있다. 도 2는 고유 특성치 편차 보상을 위한 서브픽셀 구조의 일 예를 나타낸다.
- [0058] 도 2에서는, 1개의 유기발광다이오드(OLED), 3개의 트랜지스터(DRT, SWT, SENT) 및 1개의 캐패시터(Cstg)를 포함하는 3T(Transistor)1C(Capacitor) 구조로 되어 있는 경우를 일 예로 들어 설명한다.
- [0059] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.
- [0060] 도 2를 참조하면, 각 서브픽셀은, 1개의 유기발광다이오드(OLED) 이외에, 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT), 센싱 트랜지스터(SENT)를 포함하는 3개의 트랜지스터, 그리고, 1개의 스토리지 캐패시터(Cstg)를 포함하여 구성된 3T(Transistor)1C(Capacitor) 구조를 갖는다.
- [0061] 도 2에 예시된 서브픽셀 구조는, 구동 트랜지스터(DRT)의 고유 특성치(예: 문턱전압, 이동도)의 편차를 보상해 주기 위하여, 센싱 및 보상 기능이 적용된 구조의 예시도이다.
- [0062] 유기발광다이오드(OLED)는, 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어져 있다. 여기서, 일 예로, 제1전극은 구동 트랜지스터(DRT)의 제2노드(N2노드)와 전기적으로 연결되며, 제2전극은 기저전압(EVSS)이 공급되는 노드와 전기적으로 연결될 수 있다.
- [0063] 구동 트랜지스터(DRT)의 고유 특성치 편차 보상은, 서브픽셀의 휘도 편차 보상과 동일한 의미로 사용되고, 또한, 휘도 편차 보상을 위해서는 서브픽셀로 공급할 데이터를 변경해야 하므로, "데이터 보상"과도 동일한 의미로 사용된다. 즉, 트랜지스터 특성치 편차 보상, 휘도 편차 보상, 데이터 보상 및 픽셀 보상 등은 모두 동일한 의미로 사용된다.
- [0064] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)를 구동하는 트랜지스터로서, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 드레인 전극)과 구동전압 라인(DVL: Driving Voltage Line) 사이에 전기적으로 연결된다.
- [0065] 이러한 구동 트랜지스터(DRT)는, 게이트 노드에 해당하는 제1노드(N1노드), 유기발광다이오드(OLED)의 제1전극에 전기적으로 연결되는 제2노드(N2노드, 예: 소스 노드 또는 드레인 노드) 및 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL)과 전기적으로 연결되는 제3노드(N3노드, 예: 드레인 노드 또는 소스 노드)를 갖는다.
- [0066] 스위칭 트랜지스터(SWT)는, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 N1노드에 데이터 전압(Vdata)을 전달해 주기 위한 트랜지스터로서, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 N1노드와 데이터 라인(DL) 사이에 전기적으로 연결된다.
- [0067] 이러한 스위칭 트랜지스터(SWT)는, 해당 게이트 라인(GL)을 통해 게이트 노드에 인가된 스캔신호(SCAN)에 의해

제어되고, 턴 온 시, 데이터 라인(DL)을 통해 공급된 데이터 전압을 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 N1노드에 전달해준다.

- [0068] 스토리지 캐패시터(Cstg: Storage Capacitor)는 구동 트랜지스터(DRT)의 N1노드(게이트 노드)와 N2노드(소스 노드 또는 드레인 노드) 사이에 전기적으로 연결되어, 한 프레임 시간 동안, 일정 전압을 유지하는 역할을 한다.
- [0069] 센싱 트랜지스터(SENT: Sensing Transistor)는, 해당 게이트 라인(GL')에서 게이트 노드에 인가된 스캔신호의 일종인 센스신호(SENSE)에 의해 제어되며, 기준전압(VREF: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line)과 구동 트랜지스터(DRT)의 N2노드 사이에 전기적으로 연결된다.
- [0070] 한편, 도 2를 참조하면, 유기발광표시장치(100)는, 기준전압 라인(RVL)의 일 측 또는 타 측에 연결된 제1스위치(SPRE)의 스위칭 동작에 따라, 기준전압(Vref)이 공급되는 노드와 기준전압 라인(RVL)이 연결될 수 있다. 즉, 제1스위치(SPRE)가 온(On)이 되면, 기준전압 라인(RVL)으로 기준전압(Vref)이 공급될 수 있다.
- [0071] 또한, 도 2를 참조하면, 유기발광표시장치(100)는, 기준전압 라인(RVL)의 일 측에 연결된 제2스위치(SAM)와, 이 제2스위치(SAM)의 스위칭 동작에 따라, 기준전압 라인(RVL)과 전기적으로 연결가능한 아날로그 디지털 컨버터(ADC)를 더 포함할 수 있다.
- [0072] 제2스위치(SAM)가 온(On)이 되면, 기준전압 라인(RVL)과 아날로그 디지털 컨버터(ADC)가 연결되고, 제2스위치(SAM)가 오프(Off) 되면, 기준전압 라인(RVL)과 아날로그 디지털 컨버터(ADC)의 연결이 해제된다.
- [0073] 아날로그 디지털 컨버터(ADC)는, 제2스위치(SAM)가 온이 되어 기준전압 라인(RVL)과 전기적으로 연결된 경우, 기준전압 라인(RVL)의 전압을 센싱한다.
- [0074] 이때, 기준전압(RVL)의 센싱된 전압은, 센싱 트랜지스터(SENT)가 턴 온 되고 센싱 트랜지스터(SENT)의 저항 성분을 무시하면, 구동 트랜지스터(DRT)의 N2노드의 전압과 동일하다.
- [0075] 또한, 구동 트랜지스터(DRT)의 N2노드의 센싱된 전압(Vsen)은, 구동 트랜지스터(DRT)의 문턱전압(Vth) 성분을 포함하여 표현될 수 있다($V_{sen}=V_{data}-V_{th}$). 따라서, 구동 트랜지스터(DRT)의 N2노드의 센싱된 전압으로부터 구동 트랜지스터(DRT)의 문턱전압 또는 그 편차를 파악할 수 있다. 이에 대해서는 뒤에서 다시 설명한다.
- [0076] 아날로그 디지털 컨버터(ADC)는, 센싱된 센싱 전압을 디지털 값으로 변환하여 센싱 데이터를 생성하여 타이밍 컨트롤러(140)로 전송해준다.
- [0077] 전술한 아날로그 디지털 컨버터(ADC)를 이용하면, 타이밍 컨트롤러(140)는, 디지털 기반에서 필요한 정보(예: 문턱전압, 문턱전압 편차 등)에 대한 센싱 및 데이터 보상 처리를 가능하게 할 수 있다.
- [0078] 더 구체적으로, 타이밍 컨트롤러(140)는, 센싱 데이터를 수신하여, 수신된 센싱 데이터를 토대로, 각 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압(Vth)을 알아내어, 문턱전압 편차(ΔV_{th})를 파악할 수 있다.
- [0079] 여기서, 타이밍 컨트롤러(140)는, 수신한 센싱 데이터 또는 알아낸 문턱전압 또는 파악한 문턱전압 편차에 대한 데이터를 메모리(미도시)에 저장해둘 수 있다.
- [0080] 타이밍 컨트롤러(140)는, 문턱전압 편차(ΔV_{th})를 보상해주기 위하여, 각 서브픽셀에 대한 데이터 보상량($\Delta Data$)을 연산하고, 연산된 데이터 보상량($\Delta Data$)을 메모리에 저장해둘 수 있다.
- [0081] 이와 같이, 각 서브픽셀에 대한 데이터 보상량이 연산된 이후, 타이밍 컨트롤러(140)는 각 서브픽셀에 대한 데이터 보상량을 기초로, 각 서브픽셀로 공급할 데이터를 변경하여 데이터 구동부(120)로 공급해주고, 데이터 구동부(120)는 공급받은 데이터를 데이터 전압으로 변환하여 서브픽셀들로 인가해줌으로써, 보상이 실제로 이루어지게 된다.
- [0082] 전술한 아날로그 디지털 컨버터(ADC)는, 데이터 구동부(120)에 포함된 다수의 소스 드라이버 집적회로(SDIC #1, ..., SDIC #m) 각각에 포함될 수 있다.
- [0083] 이와 같이, 보상을 위한 센싱 구성에 해당하는 아날로그 디지털 컨버터(ADC)를 각 소스 드라이버 집적회로에 포함시켜 구성함으로써, 부품 개수를 줄일 수 있고, 데이터 구동과 연계시켜 센싱 동작을 수행할 수 있는 장점이 있다.
- [0084] 전술한 3T1C 서브픽셀 구조를 이용하면, 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압, 이동도 등의 고유 특성을 효과적으로 센싱하여 보상해줄 수 있다.

- [0085] 한편, 기준전압 라인(RVL)은, 아날로그 디지털 컨버터(ADC)의 전압 센싱 시 이용되는 신호 라인으로서, 센싱 라인(SL: Sensing Line)이라고도 한다.
- [0086] 이러한 기준전압 라인(RVL)은, 하나의 서브픽셀 열(Subpixel Column)마다 하나 씩 존재할 수도 있고, 둘 이상의 서브픽셀 열마다 하나씩 존재할 수도 있다.
- [0087] 도 2를 참조하면, 이러한 기준전압 라인(RVL)에는, 센싱 라인 캐패시터(Cs1)의 한 전극에 연결된다. 센싱 라인 캐패시터(Cs1)의 한 전극에는 기준전압 라인(RVL)과 동일한 전압이 걸린다.
- [0088] 한편, 도 2를 참조하면, 각 서브픽셀에서 2개의 트랜지스터(SWT, SENT)의 게이트 노드로 2개의 스캔신호(SCAN, SENSE)를 인가해주는 2개의 게이트 라인(GL, GL')은 서로 다른 게이트 라인일 수도 있고 동일한 하나의 게이트 라인일 수도 있다.
- [0089] 만약, 각 서브픽셀에서 2개의 트랜지스터(T1, T2)의 게이트 노드로 2개의 스캔신호(SCAN, SENSE)를 인가해주는 2개의 게이트 라인(GL, GL')이 서로 다른 게이트 라인인 경우, 도 1에 도시된 하나의 게이트 라인(GL)은 2개의 게이트 라인을 포함하는 것으로 간주할 수 있다.
- [0090] 아래에서는, 도 2의 3T1C 서브픽셀 구조를 이용하여 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압을 센싱하기 위한 구동 방법에 대하여, 도 3을 참조하여 간략하게 설명한다.
- [0091] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 내 구동 트랜지스터(DRT)의 문턱전압 센싱 타이밍도이다.
- [0092] 도 2 및 도 3을 참조하면, 문턱전압 센싱을 위한 구동 방법은, 구동 트랜지스터(DRT)의 N1노드(게이트 노드)와 N2노드(소스 노드 또는 드레인 노드)의 전압을 초기화시키는 제1단계(STEP 1)와, 구동 트랜지스터(DRT)의 N2노드를 플로팅(Floating) 시켜 구동 트랜지스터(DRT)의 N2노드의 전압을 상승시키는 제2단계(STEP 2)와, 구동 트랜지스터(DRT)의 N2노드의 전압이 상승하다가 포화하면 구동 트랜지스터(DRT)의 N2노드의 포화한 전압을 센싱하는 제3단계(STEP 3) 등으로 진행된다.
- [0093] 도 2 및 도 3을 참조하면, 제1단계(STEP 1)에서, 스캔신호(SCAN)가 스위칭 트랜지스터(SWT)의 게이트 노드에 인가되어, 스위칭 트랜지스터(SWT)는 턴 온 된다. 또한, 센스신호(SENSE)가 센싱 트랜지스터(SENT)의 게이트 노드에 인가되어, 센싱 트랜지스터(SENT)는 턴 온 된다.
- [0094] 도 2 및 도 3을 참조하면, 제1단계(STEP 1)에서, 데이터 라인(DL)으로 공급된 데이터 전압(Vdata)이 턴 온 된 스위칭 트랜지스터(SWT)를 통해 구동 트랜지스터(DRT)의 N1노드로 인가된다.
- [0095] 도 2 및 도 3을 참조하면, 제1단계(STEP 1)에서, 제1스위치(SP1)가 온 되어, 기준전압(Vref)이 기준전압 라인(RVL)으로 공급된다. 기준전압 라인(RVL)으로 공급된 기준전압(Vref)은 턴 온 된 센싱 트랜지스터(SENT)를 통해 구동 트랜지스터(DRT)의 N2노드로 인가된다.
- [0096] 따라서, 제1단계(STEP 1)에서, 구동 트랜지스터(DRT)의 N1노드(게이트 노드)는 데이터 전압(Vdata)으로 초기화 되고, 구동 트랜지스터(DRT)의 N2노드(소스 노드 또는 드레인 노드)는 기준전압(Vref)으로 초기화된다.
- [0097] 이에 따라, 도 3에 도시된 바와 같이, 제1단계(STEP 1)에서, 센싱 라인(SL)에 해당하는 기준전압 라인(RVL)의 전압(Vs1)은, 기준전압(Vref)에 해당한다.
- [0098] 도 2 및 도 3을 참조하면, 제1단계(STEP 1) 이후 진행되는 제2단계(STEP 2)에서는, 스캔신호(SCAN)가 스위칭 트랜지스터(SWT)의 게이트 노드에 계속 인가되어, 스위칭 트랜지스터(SWT)는 온 상태를 유지한다. 또한, 센스신호(SENSE)도 센싱 트랜지스터(SENT)의 게이트 노드에 계속 인가되어, 센싱 트랜지스터(SENT)도 온 상태를 유지할 수 있다.
- [0099] 하지만, 도 2 및 도 3을 참조하면, 제2단계(STEP 2)에서는, 제1스위치(SP1)가 오프 되어, 기준전압 라인(RVL)에 기준전압(Vref)이 공급되지 않는다. 이에 따라, 구동 트랜지스터(DRT)의 N2노드가 플로팅(Floating) 된다.
- [0100] 도 3을 참조하면, 구동 트랜지스터(DRT)의 N2노드가 플로팅(Floating) 됨에 따라, 구동 트랜지스터(DRT)의 N2노드의 전압이 기준전압(Vref)에서 상승하기 시작한다.
- [0101] 이러한 구동 트랜지스터(DRT)의 N2노드의 전압 상승은, 데이터 전압(Vdata)과 일정 전압(Vth)만큼 차이가 날 때 까지 이루어진다.

- [0102] 즉, 도 3을 참조하면, 구동 트랜지스터(DRT)의 N2노드의 전압이 $V_{data}-V_{th}$ 가 되면, 구동 트랜지스터(DRT)의 N2노드의 전압이 포화한다. 이때, 구동 트랜지스터(DRT)의 문턱전압(V_{th})는 포지티브 값일 수도 있고, 네거티브 값일 수도 있다.
- [0103] 도 2 및 도 3을 참조하면, 제2단계(STEP 2) 이후 진행되는 제3계(STEP 3)에서는, 센스신호(SENSE)가 센싱 트랜지스터(SENT)의 게이트 노드에 인가되지 않는 상태이다. 즉, 센싱 트랜지스터(SENT)는 오프 상태이다.
- [0104] 그리고, 도 2 및 도 3을 참조하면, 제3계(STEP 3)에서는, 제2스위치(SAM)가 온 되어, 센싱 라인(SL)에 해당하는 기준전압 라인(RVL)과 아날로그 디지털 컨버터(ADC)가 연결된다.
- [0105] 따라서, 아날로그 디지털 컨버터(ADC)는, 기준전압 라인(RVL), 즉, 센싱 라인(SL)의 전압을 센싱할 수 있다.
- [0106] 아날로그 디지털 컨버터(ADC)는, 기준전압 라인(RVL), 즉, 센싱 라인(SL)에 연결된 센싱 라인 캐패시터(C_{s1})의 양단에 형성된 전위차(전압)을 센싱할 수도 있다.
- [0107] 이와 같이, 아날로그 디지털 컨버터(ADC)가 센싱 라인(SL)의 전압을 센싱한다는 것, 즉, 센싱 라인 캐패시터(C_{s1})의 양단에 형성된 전위차(전압)을 센싱한다는 것은, 구동 트랜지스터(DRT)의 N2노드의 전압을 센싱하는 것과 동일한 의미일 수 있다.
- [0108] 이때, 아날로그 디지털 컨버터(ADC)에 의해 센싱된 전압(V_{sen})은 " $V_{data}-V_{th}$ "이다.
- [0109] 이와 같이, 아날로그 디지털 컨버터(ADC)가 센싱 전압(V_{sen})을 센싱(측정)하면, 데이터 전압(V_{data})은 아는 값이므로, 구동 트랜지스터(DRT)의 문턱전압(V_{th})을 알 수 있게 되는 것이다.
- [0110] 전술한 바와 같은 문턱전압 센싱을 위한 구동방법에 따르면, 문턱전압을 정확하게 센싱하기 위해서는, 구동 트랜지스터(DRT)의 N2노드의 전압이 포화할 때, 즉, 센싱 라인(SL)에 해당하는 기준전압 라인(RVL)의 전압이 포화할 때까지 기다려야하기 때문에, 긴 센싱 시간(Sensing Time)을 필요로 할 수 있다.
- [0111] 요즈음, 고해상도 구현을 위해, 픽셀 사이즈가 점점 작아지는 추세이다. 따라서, 구동 트랜지스터(DRT)의 사이즈도 그만큼 줄어들고 있는 추세이다.
- [0112] 이러한 고해상도 구현에 따른 구동 트랜지스터(DRT)의 사이즈 감소는, 구동 트랜지스터(DRT)의 전류구동능력의 감소로 이어져, 센싱 라인 캐패시터(C_{s1})의 충전 시간이 길어진다. 이로 인해, 문턱전압을 센싱하는데 필요한 센싱 시간(Sensing Time)이 더욱 길어질 수밖에 없는 실정이다.
- [0113] 유기발광표시패널(110) 상의 구동 트랜지스터들은 구동 시간이 길어짐에 따라 열화(Degradation)가 진행되어, 유기발광표시패널(110) 상의 구동 트랜지스터들에 대한 문턱전압 분포도 전체적으로 변하게 된다. 이러한 경우, 센싱 정확도가 낮아질 수 있다. 이에 대하여, 도 4 및 도 5를 참조하여 다시 설명한다.
- [0114] 도 4는 본 실시예들에 따른 유기발광표시장치(100)에서, 구동 트랜지스터(DRT)들의 문턱전압 분포와 그 변화를 나타낸 도면이다. 도 5는 본 실시예들에 따른 유기발광표시장치(100)에서, 구동 트랜지스터(DRT)들의 문턱전압 분포의 변화에 따른 센싱 지점의 전압 변화를 나타낸 도면이다.
- [0115] 도 4를 참조하면, 유기발광표시패널(110) 상의 구동 트랜지스터들은 구동 시간이 길어짐에 따라 열화(Degradation)가 진행되어, 유기발광표시패널(110) 상의 구동 트랜지스터들에 대한 문턱전압 분포가 전체적으로 포지티브(Positive) 방향으로 이동하게 된다.
- [0116] 도 4를 참조하면, 이러한 문턱전압 분포의 이동(변화)에 따라, 문턱전압 분포상의 평균값 이동($m \rightarrow m'$), 하한값 이동($LSL \rightarrow LSL'$) 및 상한값 이동($USL \rightarrow USL'$)이 발생한다.
- [0117] 이러한 문턱전압 분포의 변화가 발생하면, 개별 구동 트랜지스터(DRT)의 문턱전압 센싱 시, 센싱 라인(SL)에 해당하는 기준전압 라인(RVL)의 전압(V_{s1})의 과형도 도 5에 도시된 바와 같이 변화한다. 단, 도 5에서는, 설명의 편의를 위하여, 문턱전압이 네거티브(Negative)인 것으로 가정한다.
- [0118] 도 5를 참조하면, 센싱 라인 캐패시터(C_{s1})에 대한 초기의 프리-차지 전압(Pre-Charge Voltage)은 기준전압(V_{ref})으로 항상 고정되어 있는 상황에서, 문턱전압 분포의 네거티브 방향으로의 이동에 따라, 즉, 문턱전압이 V_{th} 에서 V_{th}' 로 커지게 되면, 포화 되는 전압(V_{sat})도 높아지게 된다.
- [0119] 이로 인해, 센싱 라인(SL)의 전압(V_{s1}), 즉, 구동 트랜지스터(DRT)의 N2노드의 전압이 포화하는 시점이 지연되고, 문턱전압을 정확하게 센싱하는데 필요한 시간도 길어지게 된다.

- [0120] 하지만, 센싱 시간은 일정하게 제한되어 있기 때문에, 유기발광표시패널(110) 상의 구동 트랜지스터들에 대한 문턱전압 분포가 변하더라도, 센싱 라인(SL)의 전압(V_{s1}), 즉, 구동 트랜지스터(DRT)의 N2노드의 전압이 포화할 때까지 충분한 기다렸다가 센싱할 수 없고, 정해진 센싱 시간에 전압 센싱을 해야한다. 따라서, 문턱전압 분포의 변화가 발생하는 경우, 전압 포화가 발생하기 이전에 전압 센싱이 이루어져서 센싱 정확도가 낮아질 수밖에 없다.
- [0121] 도 5를 참조하면, 센싱 시간이 정해져 있어, T_{sen} 시점에 전압 센싱을 하는 경우, 문턱전압 분포 변화 이전에는, 포화된 전압($V_{sat}=V_{data}-V_{th}$)을 센싱 전압(V_{sen})으로서 센싱할 수 있다.
- [0122] 하지만, 문턱전압 분포 변화 이후에는, 센싱 라인(SL)의 전압(V_{s1}), 즉, 구동 트랜지스터(DRT)의 N2노드의 전압이 포화 전압($V_{sat}=V_{data}-V_{th}$)으로 상승하기 이전, T_{sen} 시점에 전압 센싱이 이루어진다. 따라서, 정확한 문턱전압(V_{th})을 센싱할 수 없게 된다.
- [0123] 전술한 바와 같이, 문턱전압 센싱을 위한 구동 방법의 경우, 고해상도 구현 시, 문턱전압 센싱 시간이 너무 길어지는 단점과, 문턱전압 분포 변화 시, 문턱전압 센싱 정확도가 낮아질 수 있는 단점이 발생할 수 있다.
- [0124] 이에, 아래에서는, 문턱전압 센싱 시간을 단축하고, 이를 통해, 문턱전압 센싱 정확도도 향상시킬 수 있는 문턱전압 센싱을 구동방법을 도 6 내지 도 9를 참조하여, 설명한다.
- [0125] 아래에서 설명할 문턱전압 센싱을 위한 구동방법은 "기준전압 가변 기법"을 활용하여 문턱전압 센싱 시간을 단축하고 센싱 정확도를 향상시킬 수 있다.
- [0126] 단, 아래에서는, 설명의 편의를 위하여, 임의의 서브픽셀(SPk) 내 구동 트랜지스터(DRTk)의 문턱전압을 센싱하는 것을 가정한다.
- [0127] 도 6은 본 실시예들에 따른 유기발광표시장치(100)의 기준전압 가변 기법을 설명하기 위한 도면이다.
- [0128] 도 6을 참조하면, 임의의 서브픽셀(SPk) 내 구동 트랜지스터(DRTk)에 대한 문턱전압 센싱은, 반복적으로 이루어질 수 있다. 따라서, 아래에서는, N번째 문턱전압 센싱이 이루어지고, 이후, 특정 이벤트(예: 파워 오프 신호 발생 시 등) 또는 요청에 따라, N+1번째 문턱전압 센싱이 이루어진다고 가정한다.
- [0129] 즉, 임의의 서브픽셀(SPk) 내 구동 트랜지스터(DRTk)에 대한 문턱전압 센싱을 위한 구동방법이 N번째 센싱 단계와 N+1번째 센싱 단계로 이루어져 있다고 가정한다.
- [0130] N번째 센싱 단계와 관련하여, N번째 센싱 구간에서, 임의의 서브픽셀(SPk) 내 구동 트랜지스터(DRTk)의 게이트 노드에 해당하는 N1노드에 데이터 전압(V_{data})을 인가하고, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 기준전압($V_{ref}(N)$)을 인가하며, 이후, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드를 플로팅 시켜 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드의 전압, 즉, 센싱 라인(SL)의 전압($V_{s1}(N)$)을 센싱한다.
- [0131] 이때, 센싱 라인(SL)의 전압($V_{s1}(N)$)이 포화하는데 걸리는 포화 소요 시간이 ΔT_{sat} 이다.
- [0132] N번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드의 플로팅 시점을 기준으로 구동 트랜지스터(DRTk)의 N2노드의 전압, 즉, 센싱 라인(SL)의 전압($V_{s1}(N)$)을 센싱하는 시점까지의 센싱 시간은 ΔT_{sen} 이고, 센싱 전압($V_{sen}(N)$)은 $V_{data}-V_{th1}$ (구동 트랜지스터(DRTk)의 문턱전압)이다.
- [0133] N+1번째 센싱 단계와 관련하여, N+1번째 센싱 구간에서, 임의의 서브픽셀(SPk) 내 구동 트랜지스터(DRTk)의 게이트 노드에 해당하는 N1노드에 데이터 전압(V_{data})을 인가하고, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 기준전압($V_{ref}(N+1)$)을 인가하며, 이후, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드를 플로팅 시켜 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드의 전압, 즉, 센싱 라인(SL)의 전압($V_{s1}(N+1)$)을 센싱한다.
- [0134] 이때, 센싱 라인(SL)의 전압($V_{s1}(N+1)$)이 포화하는데 걸리는 포화 소요 시간이 $\Delta T_{sat}'$ 이다.
- [0135] N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드의 플로팅 시점을 기준으로 구동 트랜지스터(DRTk)의 N2노드의 전압, 즉, 센싱 라인(SL)의 전압($V_{s1}(N)$)을 센싱하는 시점까지의 센싱 시간은 $\Delta T_{sen}'$ 이고, 센싱 전압($V_{sen}(N+1)$)은 $V_{data}-V_{th1}$ (구동 트랜지스터(DRTk)의 문턱전압)이다.
- [0136] 한편, 도 6을 참조하면, N번째 센싱 단계와 N+1번째 센싱 단계 사이에, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 인가되는 기준전압($V_{ref}(N+1)$)을 N번째 센싱 구간

에서, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 인가된 기준전압($V_{ref}(N)$)보다 높거나 낮게 설정하는 기준전압 가변 설정 단계를 더 포함할 수 있다.

- [0137] 이러한 기준전압 가변 단계로 인해, N+1번째 센싱 구간에서는, N번째 센싱 구간에 비해, 구동 트랜지스터(DRTk)의 N2노드의 전압, 즉, 센싱 라인(SL)의 전압이 더 빨리 포화하게 된다.
- [0138] 따라서, N+1번째 센싱 구간에서의 포화 소요 시간 ΔT_{sat} '은 N번째 센싱 구간에서의 포화 소요 시간 ΔT_{sat} 보다 짧다.
- [0139] 이와 같이 포화 소요 시간이 짧아짐에 따라, N+1번째 센싱 구간에서는 더 빠른 시점에 전압 센싱을 하더라도 문턱전압을 정확하게 센싱할 수 있다.
- [0140] 이 때문에, 문턱전압 센싱 정확도에 영향을 끼치지 않으면서, N+1번째 센싱 구간에서의 센싱 시간 ΔT_{sen} '을 N번째 센싱 구간에서의 센싱 시간 ΔT_{sen} 보다 짧게 설정할 수 있다.
- [0141] 전술한 바와 같이, N+1번째 센싱 구간에서는, 구동 트랜지스터(DRTk)의 N2노드를 초기화시키는 기준전압($V_{ref}(N+1)$)을 이전 센싱 구간, 즉, N번째 센싱 구간에서의 센싱 결과를 이용하여, 문턱전압의 부호(포지티브 또는 네거티브) 또는 문턱전압의 산포가 움직이는 방향(포지티브 방향 또는 네거티브 방향)에 따라 N번째 센싱 구간에서 설정된 기준전압($V_{ref}(N)$)보다 높거나 낮게 설정하여 센싱 동작을 함으로써, 구동 트랜지스터(DRTk)의 N2노드의 전압을 더욱 빨리 포화시킬 수 있다. 따라서, 기준전압 가변 기법을 통해, 문턱전압 센싱 정확도를 떨어뜨리지 않고도, 센싱 시간을 단축시킬 수 있다.
- [0142] 아래에서는, 기준전압 가변 기법에 대하여 더욱 구체적으로 설명한다.
- [0143] 도 7 및 도 8은 본 실시예들에 따른 유기발광표시장치(100)에서 N번째 센싱 구간에서의 문턱전압 분포 및 센싱 전압을 이용하여, N+1번째 센싱 구간에서의 기준전압을 가변하는 기준전압 가변 기법을 설명하기 위한 도면이다.
- [0144] 도 7 및 도 8을 참조하면, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 인가되는 기준전압($V_{ref}(N+1)$)은, N번째 센싱 구간에서, 다수의 서브픽셀에 포함된 구동 트랜지스터들 중 특정 구동 트랜지스터(DRTt)의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 대한 센싱 전압($V_{sen}(N)_{USL}$)에 근거하여 설정됨으로써, N번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 인가된 기준전압($V_{ref}(N)$)보다 높거나 낮게 설정될 수 있다.
- [0145] 한편, N번째 센싱 결과에 따라서는, N+1번째 센싱 구간에서 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 해당하는 N2노드에 인가되는 기준전압($V_{ref}(N+1)$)은, N번째 센싱 구간에서 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 인가된 기준전압($V_{ref}(N)$)과 동일하게 설정될 수도 있다.
- [0146] 전술한 바와 같이, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드를 초기화시키는 기준전압($V_{ref}(N+1)$)을 이전 센싱 구간, 즉, N번째 센싱 구간에서 설정된 기준전압($V_{ref}(N)$)보다 높게 또는 낮게 설정함에 있어서, N번째 센싱 구간에서 모든 구동 트랜지스터들 중 특정 구동 트랜지스터(DRTt)에 대한 문턱전압(V_{th_USL})을 센싱하기 위하여 센싱된 센싱 전압($V_{sen}(N)_{USL}$)을 토대로, N+1번째 센싱 구간에서의 기준전압($V_{ref}(N+1)$)을 설정함으로써, 이전 센싱 구간에서의 센싱 결과를 참조하여, 센싱 시간 단축과 센싱 정확도 향상을 모두 가능하게 하는 효과적인 기본전압 가변을 할 수 있다.
- [0147] 도 7 및 도 8을 참조하면, 위에서 언급한 다수의 서브픽셀에 포함된 구동 트랜지스터들 중 "특정 구동 트랜지스터"는, N번째 센싱 구간에서 다수의 서브픽셀에 포함된 구동 트랜지스터들에 대하여 센싱된 문턱 전압 분포(700)를 토대로, "최대 문턱 전압(USL)"을 갖는 것으로 센싱된 특정 서브픽셀(SPt)에서의 구동 트랜지스터(DRTt)이다.
- [0148] 전술한 바와 같이, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드를 초기화시키는 기준전압($V_{ref}(N+1)$)을 이전 센싱 구간, 즉, N번째 센싱 구간에서 설정된 기준전압($V_{ref}(N)$)보다 높거나 낮게 설정함에 있어서, N번째 센싱 구간에서 문턱전압 분포(700)를 토대로 모든 구동 트랜지스터들 중 최대 문턱전압(V_{th_USL})이 센싱된 것으로 확인된 특정 구동 트랜지스터(DRTt)의 N2노드에 대한 센싱 전압($V_{sen}(N)_{USL}$)에 근거하여, N+1번째 센싱 구간에서의 기준전압($V_{ref}(N+1)$)을 설정함으로써, 이전 센싱 구간에서의 센싱 결과를 참조하여, 센싱 시간 단축과 센싱 정확도 향상을 모두 가능하게 하는 효과적인 기본전압 가변을 할 수 있다.
- [0149] 도 8을 참조하면, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 소스 노드 또는 드레인 노드에 인가되는 기

준전압($V_{ref}(N+1)$)은, 아래 수학적 식 1과 같이, N번째 센싱 구간에서, 특정 구동 트랜지스터(DRTt)의 소스 노드 또는 드레인 노드에 대한 센싱 전압($V_{sen}(N)_{USL}$)에서 오프셋 전압(V_{offset})을 차감하여 설정될 수 있다.

수학적 식 1

$$V_{ref}(N+1) = V_{sen}(N)_{USL} - V_{offset}$$

[0150]

[0151] 상기 수학적 식 1을 이용하여, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드를 초기화시키는 기준전압($V_{ref}(N+1)$)을 설정함으로써, 센싱 시간 단축과 센싱 정확도 향상을 모두 가능하게 하는 정확한 기본전압 가변을 해줄 수 있다.

[0152] 도 8을 참조하면, 위에서 언급한 오프셋 전압(V_{offset})은, N번째 센싱 구간에서 특정 구동 트랜지스터(DRTt)의 소스 노드 또는 드레인 노드에 대한 센싱 전압($V_{sen}(N)_{USL}$)에서 N번째 센싱 구간에서 구동 트랜지스터(DRTt)의 소스 노드 또는 드레인 노드에 인가된 기준전압($V_{ref}(N)$)을 차감한 전압보다 낮게 설정될 수 있다. 즉, 아래와 같은 수학적 식 2의 조건이 만족되도록, 오프셋 전압(V_{offset})이 설정될 수 있다.

수학적 식 2

$$V_{offset} < V_{sen}(N)_{USL} - V_{ref}(N)$$

[0153]

[0154] 상기 수학적 식 2를 만족하도록, 오프셋 전압(V_{offset})을 설정하여, N+1번째 센싱 구간에서의 기준전압($V_{ref}(N+1)$)을 설정함으로써, N번째 센싱 구간에서의 기준전압($V_{ref}(N)$)보다 높거나 낮은 N+1번째 센싱 구간에서의 기준전압($V_{ref}(N+1)$)을 설정할 수 있다.

[0155] 이상에서 전술한 바와 같이, 센싱 시간 단축과 센싱 정확도 향상을 모두 가능하게 하는 효과적인 기본전압 가변을 위해, N+1번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드를 초기화시키는 기준전압($V_{ref}(N+1)$)을 N번째 센싱 구간에서, 구동 트랜지스터(DRTk)의 N2노드를 초기화시켰던 기준전압($V_{ref}(N)$)보다 높거나 낮게 설정함으로써, 도 9에 도시된 바와 같이, 센싱 라인(SL)에 해당하는 기준전압 라인(RVL)에 존재하는 캐패시터 성분인 센싱 라인 캐패시터(C_{s1})의 양단에 걸리는 프리-차지 전압(Pre-Charge Voltage)을 가변하여 높여주거나 낮아지게 해준다.

[0156] 따라서, 도 9에 도시된 바와 같이, 구동 트랜지스터(DRTk)의 N2노드의 전압이 상승하다가 보다 빠른 시점에 포화화하면, 이때, 아날로그 디지털 컨버터(ADC)는, 구동 트랜지스터(DRTk)의 N2노드의 전압(즉, 센싱 라인(SL)의 전압)을 센싱하기 위하여, 센싱 라인 캐패시터(C_{s1})에 걸린 전압(V_{sen})을 샘플링하여 센싱한다.

[0157] 이러한 점에서, 위에서 언급한 "기준전압 가변 기법"을 "프리-차지 전압 가변 기법"이라고도 할 수 있다.

[0158] 한편, 이상에서 설명한 기준전압 가변 기법을 수행할 때, 기준전압의 가변 설정은, 타이밍 컨트롤러(140)가 아날로그 디지털 컨버터(ADC)로부터 수신된 센싱 데이터로부터 파악한 문턱전압 분포를 토대로 기준전압의 변경값을 결정할 수 있다.

[0159] 타이밍 컨트롤러(140)는, 변경값에 해당하는 기준전압이 유기발광표시패널(110)로 공급되도록, 변경값을 전원 컨트롤러(150)에게 알려주거나 제어신호를 출력해줄 수 있다.

[0160] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 문턱전압 센싱 시간을 단축할 수 있는 유기발광표시패널(110), 유기발광표시장치(100) 및 그 구동방법을 제공할 수 있다.

[0161] 본 실시예들에 의하면, 문턱전압 센싱 정확도를 높여줄 수 있는 유기발광표시패널(110), 유기발광표시장치(100) 및 그 구동방법을 제공할 수 있다.

[0162] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의

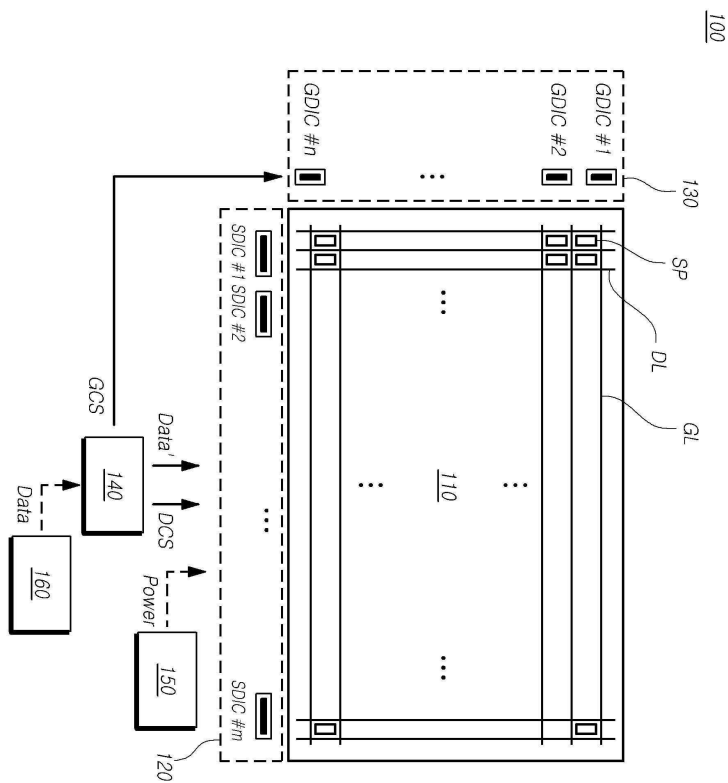
기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

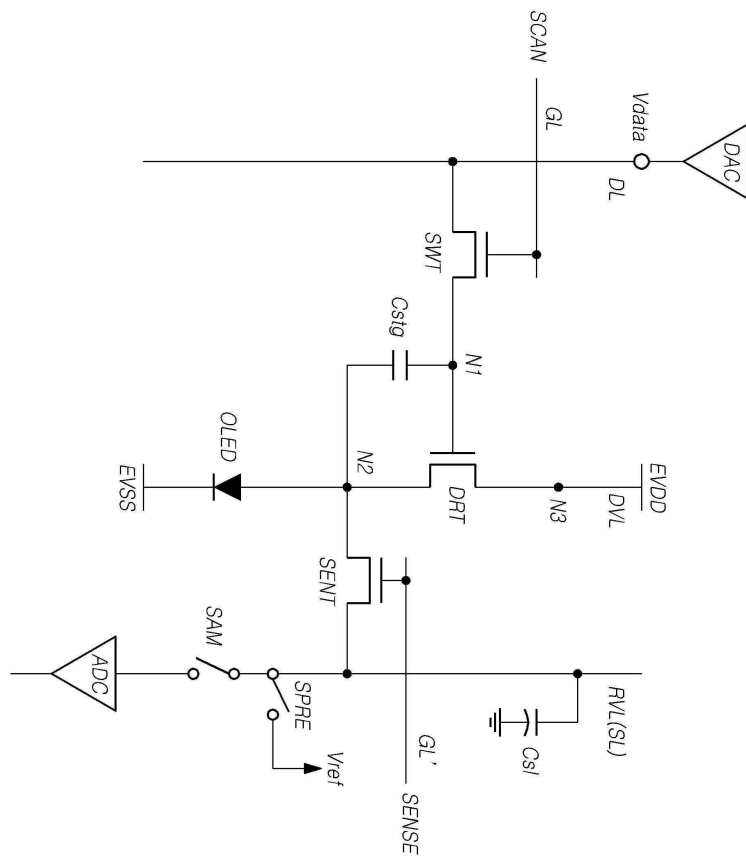
- [0163]
- 100: 표시장치
 - 110: 표시패널
 - 120: 데이터 구동부
 - 130: 게이트 구동부
 - 140: 타이밍 컨트롤러

도면

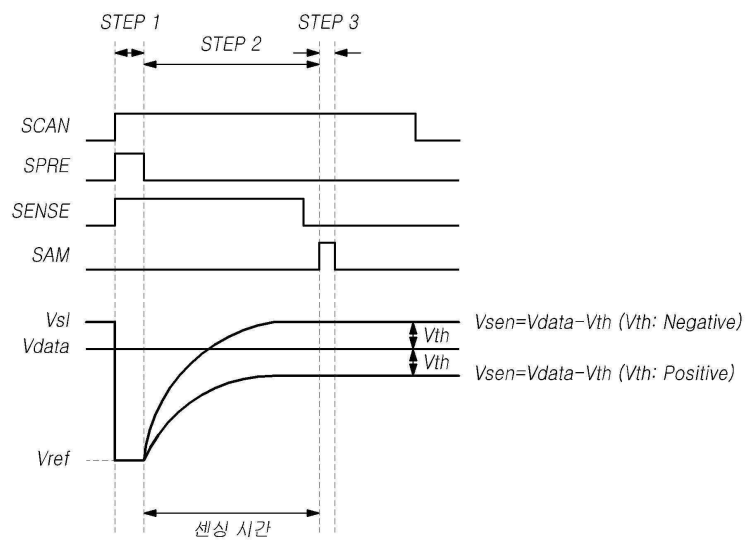
도면1



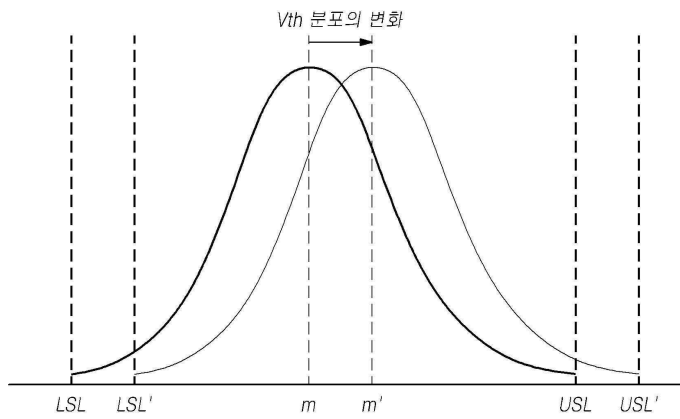
도면2



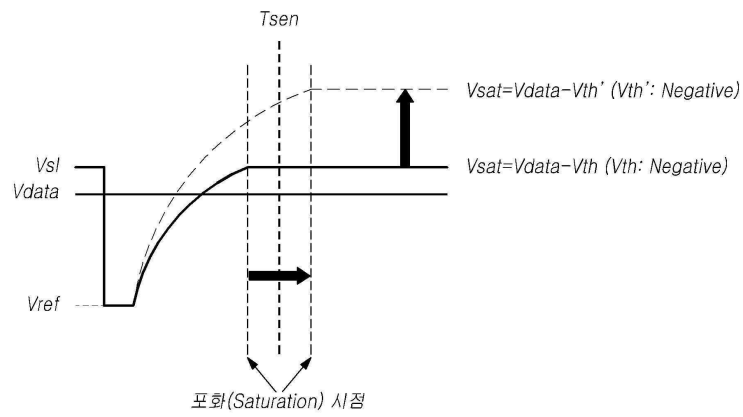
도면3



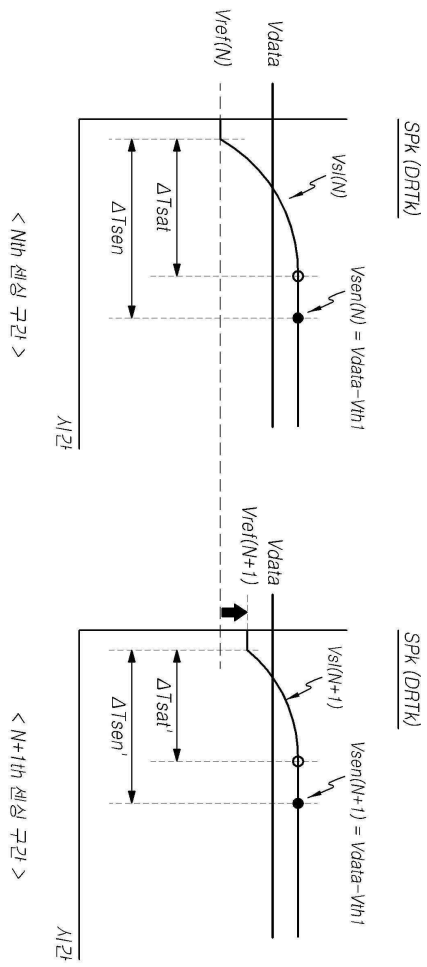
도면4



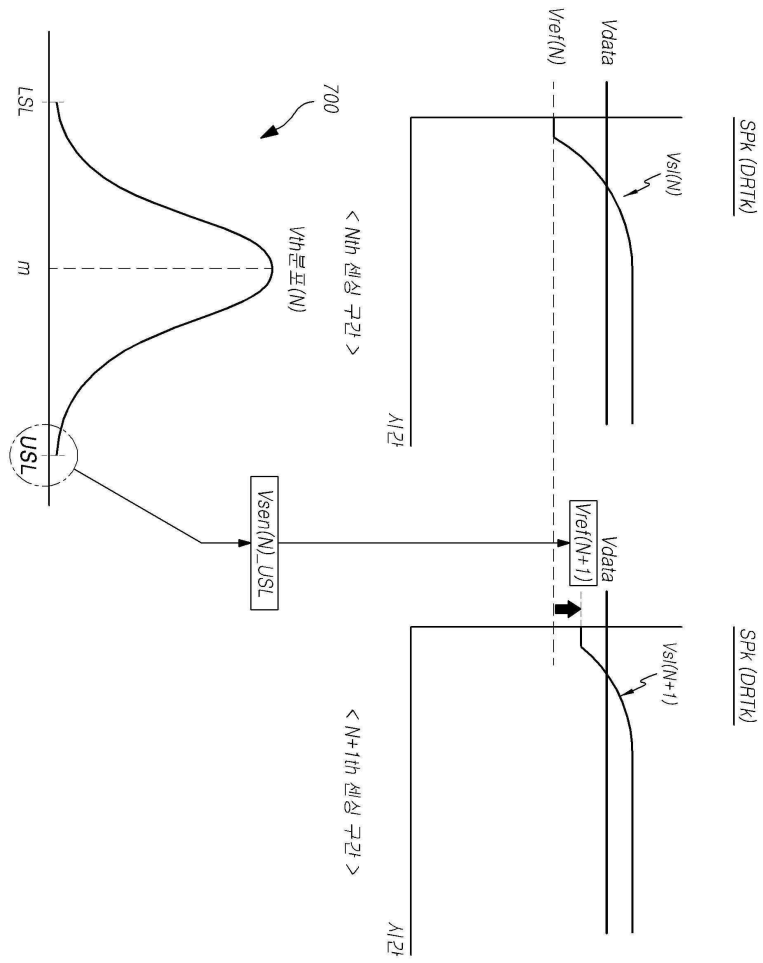
도면5



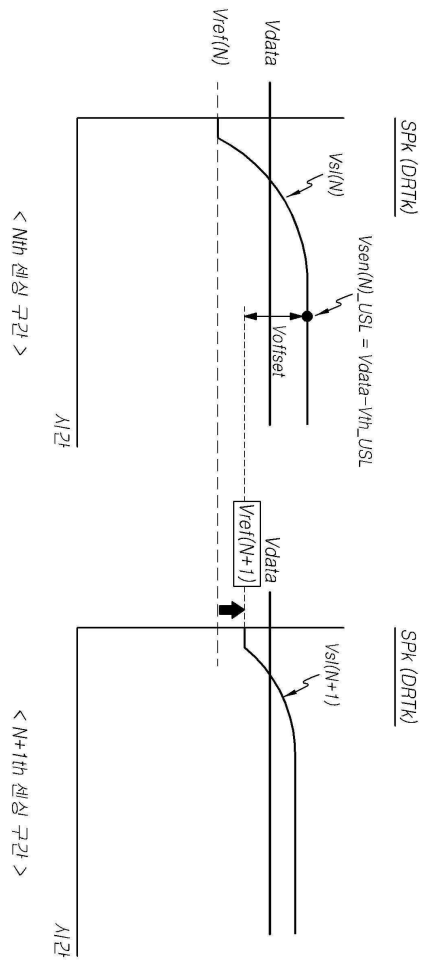
도면6



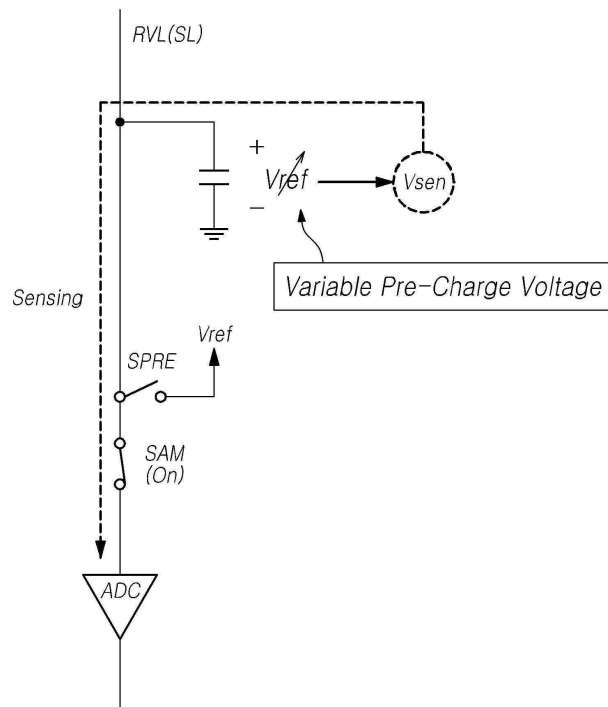
도면7



도면8



도면9



专利名称(译)	标题：有机发光显示面板，有机发光显示装置及其驱动方法		
公开(公告)号	KR1020160078640A	公开(公告)日	2016-07-05
申请号	KR1020140188275	申请日	2014-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO KYUNG HYUN 조경현		
发明人	조경현		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L27/3202		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本实施例涉及有机发光显示面板，有机发光显示器及其驱动方法，其可以缩短阈值电压感测时间并提高阈值电压感测精度。

