



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0117141
(43) 공개일자 2013년10월25일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0039967
(22) 출원일자 2012년04월17일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김성호
경기도 용인시 기흥구 농서동 산24
허종무
경기도 용인시 기흥구 농서동 산24
김혜동
경기도 용인시 기흥구 농서동 산24
(74) 대리인
리엔목특허법인

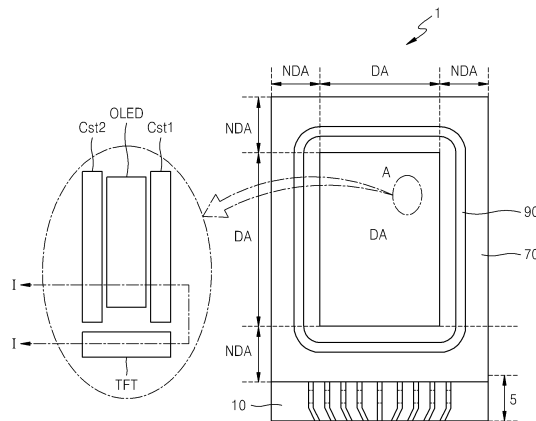
전체 청구항 수 : 총 29 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조방법

(57) 요약

본 발명의 일 실시예는 기판과, 상기 기판 상에 형성되는 복수 개의 발광 소자와, 상기 발광 소자의 적어도 일 측에 위치하는 복수 개의 커패시터를 구비하며, 상기 커패시터는 상기 기판에 형성된 트랜치 내에 형성되는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성되는 복수 개의 발광소자; 및

상기 발광소자의 적어도 일 측에 위치하는 복수 개의 커패시터; 를 구비하며,

상기 커패시터는 상기 기관에 형성된 트랜치 내에 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 커패시터들은 상기 발광소자와 이격되어 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 커패시터는 상기 발광소자를 사이에 두고 상기 발광소자의 양측에 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 커패시터는, 상기 발광소자의 제1측부에서 이격되어 상기 기관 상에 형성된 제1트랜치 내에 배치되는 제1 커패시터와, 상기 발광소자의 상기 제1측부에 대향하는 제2측부에서 이격되어 상기 기관 상에 형성된 제2트랜치 내에 배치되는 제2커패시터로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 제1커패시터는 상기 제1측부의 길이보다 길게 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제4항에 있어서,

상기 제2 커패시터는 상기 제2측부의 길이보다 길게 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제4항에 있어서,

반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터; 및

상기 반도체층과 상기 게이트 전극 사이에 배치되는 게이트 절연층; 을 더 구비하며,

상기 발광소자는,

상기 게이트 절연층 상에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소전극;

상기 화소전극 상에 배치되며, 공통층과 발광층을 갖는 중간층;

상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극; 을 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 제1커패시터는, 상기 제1트랜치 내에 배치되는 제1커패시터 하부전극 및 제1커패시터 상부전극을 구비하며,

상기 제2커패시터는, 상기 제2트랜치 내에 배치되는 제2커패시터 하부전극 및 제2커패시터 상부전극을 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 제1커패시터 하부전극과 상기 제1커패시터 상부전극 사이, 및 상기 제2커패시터 하부전극과 상기 제2커패시터 상부전극 사이에는 상기 게이트 절연층이 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제8항에 있어서,

상기 제1커패시터 하부전극과 상기 제2커패시터 하부전극은 상기 반도체층과 동일한 물질로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제8항에 있어서,

상기 제1커패시터 상부전극과 상기 제2커패시터 상부전극은 상기 화소전극과 동일한 물질로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 화소전극은 투명도전물로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제7항에 있어서,

상기 공통층은 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층으로 이루어지며, 상기 화소전극 상에서는 상기 정공 주입층, 상기 정공 수송층, 상기 발광층, 상기 전자 수송층, 및 상기 전자 주입층 순서로 적층된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 대향전극은 상기 제1커패시터 상부전극 및 상기 제2커패시터 상부전극 상에 배치되며,

상기 대향전극과 상기 제1커패시터 상부전극 사이, 또는 상기 대향전극과 상기 제2커패시터 하부전극 사이에는 상기 정공 주입층, 상기 정공 수송층, 상기 전자 수송층, 또는 상기 전자 주입층이 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제7항에 있어서,

상기 반도체층은 비정질 실리콘 또는 결정질 실리콘인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제7항에 있어서,

상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사전극인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

복수 개의 발광소자영역, 복수 개의 커패시터 영역, 및 복수 개의 트랜지스터 영역으로 구획 기판을 준비하는 단계;

상기 커패시터 영역에 트렌치를 형성하는 단계;

상기 기판 상의 상기 트랜지스터 영역에 활성층, 및 상기 트렌치 내에 커패시터 하부전극을 형성하는 제1마스크 공정단계;

상기 발광소자영역 상에 화소전극을 형성하기 위한 제1전극유닛, 게이트 전극, 상기 트렌치 내에서 상기 커패시터 하부전극 상에 형성되는 커패시터 상부전극을 형성하기 위한 제2전극유닛을 각각 형성하는 제2마스크 공정단계;

상기 활성층의 양쪽 가장자리를 노출하는 컨택홀들, 상기 제1전극유닛과 상기 제2전극유닛을 노출하는 개구부들이 형성된 층간 절연막을 형성하는 제3마스크 공정단계;

상기 컨택홀을 통해 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1전극유닛으로부터 상기 화소전극을 형성하며, 상기 제2전극유닛으로부터 상기 커패시터 상부전극을 형성하는 제4마스크 공정단계;

상기 화소전극의 적어도 일부를 노출하는 화소정의막을 형성하는 제5마스크공정단계;

상기 화소전극 상에 공통층과 발광층을 포함하는 중간층을 형성하며, 상기 발광영역 이외의 영역 상에는 상기 공통층을 형성하는 단계; 및

상기 중간층과 상기 공통층 상에 대향전극을 형성하는 단계; 를 구비하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 커패시터 영역은 상기 발광영역을 사이에 두고 상기 발광영역의 양측에 배치되는 제1커패시터 영역과 제2커패시터 영역으로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 트렌치는 상기 발광영역의 제1측에서 이격된 상기 제1커패시터 영역 내에 형성되는 제1트렌치와 상기 발광영역의 상기 제1측에 대향하는 제2측에서 이격된 상기 제2커패시터 영역 내에 형성된 제2트렌치로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제19항에 있어서,

상기 제1트렌치 내에 형성되는 상기 제1커패시터 하부전극과 상기 제1커패시터 상부전극으로 이루어진 제1커패시터와,

상기 제2트렌치 내에 형성되는 상기 제2커패시터 하부전극과 상기 제2커패시터 상부전극으로 이루어진 제2커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제20항에 있어서,

상기 제2마스크공정단계는.

상기 제1마스크 공정의 결과물 상에 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 상에 제1도전층 및 제2도전층을 차례로 형성하고 이를 패터닝하여, 트랜지스터의 게이트 전극, 상기 화소전극을 형성하기 위한 상기 제1전극유닛, 상기 제1커패시터 상부전극을 형성하기 위한 제2전극유

닛, 및 상기 제2커패시터 하부전극을 형성하기 위한 제3전극유닛을 형성하는 단계; 를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제21항에 있어서,

상기 제3마스크공정단계는,

상기 제2마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층에서 상기 반도체층의 소스 및 드레인 영역을 노출시키는 콘택홀과, 상기 제1전극유닛, 상기 제2전극유닛, 및 상기 제3전극유닛을 노출시키는 개구부들을 형성하여 층간 절연층을 형성하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 23

제22항에 있어서,

상기 제4마스크공정단계는,

상기 층간 절연층 상에 제3도전층을 형성하는 단계;

상기 제3도전층을 패터닝하여 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계; 및

상기 제1전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 상기 화소전극을 형성함과 동시에, 상기 제2전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 상기 제1커패시터 상부전극을 형성함과 동시에, 상기 제3전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 상기 제2커패시터 상부전극을 형성하는 단계; 를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 24

제22항에 있어서,

상기 제5마스크공정단계는, 상기 제4마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 상기 화소전극의 투명도전물이 노출되도록 패터닝하여 화소 정의막을 형성하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 25

제17항에 있어서,

상기 대향전극은 상기 트렌치 내에서 상기 공통층 상에 형성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 26

제17항에 있어서,

상기 공통층은 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층으로 이루어지며,

상기 화소전극 상에서는 상기 정공 주입층, 상기 정공 수송층, 상기 발광층, 상기 전자 수송층, 및 상기 전자 주입층 순서로 적층된 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 27

제17항에 있어서,

상기 공통층은 제1공통층과 제2공통층으로 이루어지며, 상기 화소전극 이외의 상기 제1기판 상에 상기 공통층이 형성되며, 상기 화소전극 상에는 상기 제1공통층, 상기 발광층, 및 상기 제2공통층이 순대로 적층되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 28

제17항에 있어서,

상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사전극인 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 29

제17항에 있어서,

상기 반도체층은 비정질 실리콘 또는 결정질 실리콘으로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명의 일 실시예는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조방법에 관한 것이다.

배경기술

[0002] 근래에 표시 장치는 휴대가 가능한 박형의 평판 표시 장치로 대체되는 추세이다. 평판 표시 장치 중에서도 유기 발광 표시 장치는 자발광형 표시 장치로서 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가져서 차세대 디스플레이 장치로 주목을 받고 있다.

[0003] 유기 발광 표시 장치는 중간층, 제1 전극 및 제2 전극을 구비한다. 중간층은 유기 발광층을 구비하고, 제1 전극 및 제2 전극에 전압을 가하면 유기 발광층에서 가시광선을 발생하게 된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 주된 목적은 발광 영역이 증대되고 광추출 효율이 향상된 유기 발광 표시 장치 및 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판과, 상기 기판 상에 형성되는 복수 개의 발광소자와, 상기 발광소자의 적어도 일 측에 위치하는 복수 개의 커패시터를 구비하며, 상기 커패시터는 상기 기판에 형성된 트랜치 내에 형성될 수 있다.

[0006] 상기 커패시터들은 상기 발광소자와 이격되어 배치될 수 있다.

[0007] 상기 커패시터는 상기 발광소자를 사이에 두고 상기 발광소자의 양측에 배치될 수 있다.

[0008] 상기 커패시터는, 상기 발광소자의 제1측부에서 이격되어 상기 기판 상에 형성된 제1트랜치 내에 배치되는 제1커패시터와, 상기 발광소자의 상기 제1측부에 대향하는 제2측부에서 이격되어 상기 기판 상에 형성된 제2트랜치 내에 배치되는 제2커패시터로 이루어질 수 있다.

[0009] 상기 제1커패시터는 상기 제1측부의 길이보다 길게 형성될 수 있다.

[0010] 상기 제2 커패시터는 상기 제2측부의 길이보다 길게 형성될 수 있다.

[0011] 본 발명의 일 실시예는 반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터와, 상기 반도체층과 상기 게이트 전극 사이에 배치되는 게이트 절연층을 더 구비하며, 상기 발광소자는, 상기 게이트 절연층 상에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소전극과, 상기 화소전극 상에 배치되며, 공통층과 발광층을 갖는 중간층과, 상기 중간층을 사이에 두고 상기 화소전극에 대향 배치되는 대향전극을 구비할 수 있다.

[0012] 상기 제1커패시터는, 상기 제1트랜치 내에 배치되는 제1커패시터 하부전극 및 제1커패시터 상부전극을 구비하며, 상기 제2커패시터는, 상기 제2트랜치 내에 배치되는 제2커패시터 하부전극 및 제2커패시터 상부전극을 구비할 수 있다.

- [0013] 상기 제1커패시터 하부전극과 상기 제1커패시터 상부전극 사이, 및 상기 제2커패시터 하부전극과 상기 제2커패시터 상부전극 사이에는 상기 게이트 절연층이 개재될 수 있다.
- [0014] 상기 제1커패시터 하부전극과 상기 제2커패시터 하부전극은 상기 반도체층과 동일한 물질로 이루어질 수 있다.
- [0015] 상기 제1커패시터 상부전극과 상기 제2커패시터 상부전극은 상기 화소전극과 동일한 물질로 이루어질 수 있다.
- [0016] 상기 화소전극은 투명도전물로 이루어질 수 있다.
- [0017] 상기 공통층은 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층으로 이루어지며, 상기 화소전극 상에서는 상기 정공 주입층, 상기 정공 수송층, 상기 발광층, 상기 전자 수송층, 및 상기 전자 주입층 순서로 적층될 수 있다.
- [0018] 상기 대향전극은 상기 제1커패시터 상부전극 및 상기 제2커패시터 상부전극 상에 배치되며, 상기 대향전극과 상기 제1커패시터 상부전극 사이, 또는 상기 대향전극과 상기 제2커패시터 하부전극 사이에는 상기 정공 주입층, 상기 정공 수송층, 상기 전자 수송층, 또는 상기 전자 주입층이 개재될 수 있다.
- [0019] 상기 반도체층은 비정질 실리콘 또는 결정질 실리콘일 수 있다.
- [0020] 상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사전극일 수 있다.
- [0021] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 복수 개의 발광소자영역, 복수 개의 커패시터 영역, 및 복수 개의 트랜지스터 영역으로 구획 기판을 준비하는 단계와, 상기 커패시터 영역에 트랜치를 형성하는 단계와, 상기 기판 상의 상기 트랜지스터 영역에 활성층, 및 상기 트랜치 내에 커패시터 하부전극을 형성하는 제1마스크 공정단계와, 상기 발광소자영역 상에 화소전극을 형성하기 위한 제1전극유닛, 게이트 전극, 상기 트랜치 내에서 상기 커패시터 하부전극 상에 형성되는 커패시터 상부전극을 형성하기 위한 제2전극유닛을 각각 형성하는 제2마스크 공정단계와, 상기 활성층의 양쪽 가장자리를 노출하는 컨택홀들, 상기 제1전극유닛과 상기 제2전극유닛을 노출하는 개구부들이 형성된 층간 절연막을 형성하는 제3마스크 공정단계와, 상기 컨택홀을 통해 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1전극유닛으로부터 상기 화소전극을 형성하며, 상기 제2전극유닛으로부터 상기 커패시터 상부전극을 형성하는 제4마스크 공정단계와, 상기 화소전극의 적어도 일부를 노출하는 화소정의막을 형성하는 제5마스크공정단계와, 상기 화소전극 상에 공통층과 발광층을 포함하는 중간층을 형성하며, 상기 발광영역 이외의 영역 상에는 상기 공통층을 형성하는 단계와, 상기 중간층과 상기 공통층 상에 대향전극을 형성하는 단계를 구비할 수 있다.
- [0022] 상기 커패시터 영역은 상기 발광영역을 사이에 두고 상기 발광영역의 양측에 배치되는 제1커패시터 영역과 제2커패시터 영역으로 이루어질 수 있다.
- [0023] 상기 트랜치는 상기 발광영역의 제1측에서 이격된 상기 제1커패시터 영역 내에 형성되는 제1트랜치와 상기 발광영역의 상기 제1측에 대향하는 제2측에서 이격된 상기 제2커패시터 영역 내에 형성된 제2트랜치로 이루어질 수 있다.
- [0024] 상기 제1트랜치 내에 형성되는 상기 제1커패시터 하부전극과 상기 제1커패시터 상부전극으로 이루어진 제1커패시터와, 상기 제2트랜치 내에 형성되는 상기 제2커패시터 하부전극과 상기 제2커패시터 상부전극으로 이루어진 제2커패시터를 더 포함할 수 있다.
- [0025] 상기 제2마스크공정단계는. 상기 제1마스크 공정의 결과물 상에 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층 상에 제1도전층 및 제2도전층을 차례로 형성하고 이를 패터닝하여, 트랜지스터의 게이트 전극, 상기 화소전극을 형성하기 위한 상기 제1전극유닛, 상기 제1커패시터 상부전극을 형성하기 위한 제2전극유닛, 및 상기 제2커패시터 하부전극을 형성하기 위한 제3전극유닛을 형성하는 단계를 포함할 수 있다.
- [0026] 상기 제3마스크공정단계는. 상기 제2마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층에서 상기 반도체층의 소스 및 드레인 영역을 노출시키는 콘택홀과, 상기 제1전극유닛, 상기 제2전극유닛, 및 상기 제3전극유닛을 노출시키는 개구부들을 형성하여 층간 절연층을 형성할 수 있다.
- [0027] 상기 제4마스크공정단계는. 상기 층간 절연층 상에 제3도전층을 형성하는 단계와, 상기 제3도전층을 패터닝하여 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계와, 상기 제1전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 상기 화소전극을 형성함과 동시에, 상기 제2전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 상기 제1커패시터 상부전극을 형성함과 동시에, 상기 제3전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 상기 제2커패시터 상부전극을 형성하는

단계를 포함할 수 있다.

- [0028] 상기 제5마스크공정단계는, 상기 제4마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층을 상기 화소전극의 투명도전물이 노출되도록 패터닝하여 화소 정의막을 형성할 수 있다.
- [0029] 상기 대향전극은 상기 트렌치 내에서 상기 공통층 상에 형성될 수 있다.
- [0030] 상기 공통층은 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층으로 이루어지며, 상기 화소전극 상에서는 상기 정공 주입층, 상기 정공 수송층, 상기 발광층, 상기 전자 수송층, 및 상기 전자 주입층 순서로 적층될 수 있다.
- [0031] 상기 공통층은 제1공통층과 제2공통층으로 이루어지며, 상기 화소전극 이외의 상기 제1기판 상에 상기 공통층이 형성되며, 상기 화소전극 상에는 상기 제1공통층, 상기 발광층, 및 상기 제2공통층이 순대로 적층될 수 있다.
- [0032] 상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사전극일 수 있다.
- [0033] 상기 반도체층은 비정질 실리콘 또는 결정질 실리콘으로 이루어질 수 있다.

발명의 효과

- [0034] 본 발명의 일 실시예에 따르면, 유기 발광 표시 장치의 발광영역이 증대되고 광추출 효율이 향상될 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구조를 개략적으로 나타내는 평면도이다.
- 도 2는 도 1의 I-I선을 따라 절개한 단면도이다.
- 도 3 내지 도 10은 도 2에 도시된 유기 발광 표시 장치의 제조공정을 개략적으로 나타내는 단면도이다.
- 도 11은 발광층에서 발생한 빛의 경로를 나타내는 유기 발광 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- [0038] 도 1을 참조하면, 유기 발광 표시 장치(1)는 복수개의 발광소자를 포함하는 제1기판(10), 제1기판(10)과 실링을 통해 합착되는 제2기판(70)을 포함한다.
- [0039] 제1기판(10)에는 박막트랜지스터(TFT), 발광소자(EL), 커패시터(Cst1, Cst2) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0040] 제2기판(70)은 제1기판(10)에 구비된 TFT 및 발광소자 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기판일 수 있다. 제2기판(70)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(70)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.
- [0041] 제1기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광영역(DA) 외측의 비발광영역(NDA)에 실링부재(90)가 배치되어, 제1기판(10)과 제2기판(70)을 접합한다.
- [0042] 상술한 바와 같이, 제1기판(10)의 발광영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광영역(NDA)에는 발광영역(DA)의 배선으로부터 연장 형성된 패드전극(PAD)이 위치하는 패드영역(5)이 포함될 수 있다.
- [0043] 도 1에서 발광영역(DA) 중 일부분인 A를 확대한 부분을 참조하면, 유기발광소자(EL)를 사이에 두고 제1커패시터(Cst1)와 제2커패시터(Cst2)가 배치될 수 있다. 제1커패시터(Cst1)와 제2커패시터(Cst2) 각각은 유기발광소자(EL)의 양측에서 이격되어 배치될 수 있다. 이에 대해서는 후술한다.
- [0044] 도 2는 도 1의 I-I선을 따라 절개한 단면도이다.
- [0045] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)는, 트랜지스터영역(2), 제1커패시터영역

(3a), 제2커패시터영역(3b), 및 발광소자영역(4)을 포함한다.

- [0046] 트랜지스터영역(2)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 활성층(21), 게이트전극(20) 및 소스/드레인 전극(26,27)으로 구성될 수 있다.
- [0047] 게이트전극(20)은 게이트 하부전극(23)과 게이트 하부전극(23) 상부에 있는 게이트 상부전극(25)으로 구성될 수 있다. 게이트 하부전극(23)은 투명한 전도성 물질로 형성될 수 있는데, 구체적으로 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 함유할 수 있다. 게이트 상부전극(25)은 Mo, MoW, Al계 합금 등과 같은 금속 또는 금속의 합금의 단일층 또는 2층 이상의 복수층으로 형성될 수 있으나, 이에 한정되는 것은 아니다. 게이트전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트 절연층(12)이 개재되어 있다. 또한, 활성층(21)은 채널영역(21c)와 소스/드레인 영역(21s/21d)으로 이루어질 수 있다. 채널영역(21c)의 양쪽 가장자리에 고농도의 불순물이 도핑된 소스/드레인영역(21s/21d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(26/27)에 각각 연결될 수 있다.
- [0048] 제1기판(10) 상의 제1커패시터영역(3a)과 제2커패시터영역(3b) 각각에는 제1트랜치(10a)와 제2트랜치(10b)가 형성되며, 제1트랜치(10a) 내에 제1커패시터(Cst1)가 형성되고, 제2트랜치(10b) 내에 제2커패시터(Cst2)가 형성될 수 있다.
- [0049] 제1트랜치(10a)와 제2트랜치(10b)는 제1기판(10) 상에 형성되는 음각 패턴이다. 즉, 제1트랜치(10a)와 제2트랜치(10b)는 화소전극(43)이 형성되는 제1기판(10)의 일면에서 이에 대향하는 타면을 향하여 형성되는 음각 패턴일 수 있다. 제1트랜치(10a)와 제2트랜치(10b)는 발광소자영역(4)을 사이에 두고 형성될 수 있다. 제1트랜치(10a)는 발광소자영역(4)의 일 측으로부터 이격되어 형성되며, 제2트랜치(10b)는 발광소자영역(4)의 일 측에 대향하는 타측으로부터 이격되어 형성될 수 있다. 제1트랜치(10a)와 제2트랜치(10b)의 길이는 화소전극(43)의 길이보다 길게 형성될 수 있다.
- [0050] 제1트랜치(10a) 내에는 제1커패시터(Cst1)가 형성되며, 제2트랜치(10b) 내에는 제2커패시터(Cst2)가 형성될 수 있다. 제1커패시터(Cst1)는 제1커패시터 하부전극(31a) 및 커패시터 상부전극(33a)으로 이루어지며, 이들 사이에 게이트 절연층(12)이 개재되며, 제2커패시터(Cst2)는 제2커패시터 하부전극(31b) 및 커패시터 상부전극(33b)으로 이루어지며, 이들 사이에 게이트 절연층(12)이 개재될 수 있다. 여기서, 제1 및 2커패시터 하부전극(31a, 31b)은 박막트랜지스터(TFT)의 활성층(21)과 동일한 물질로 형성될 수 있다. 제1 및 2커패시터 하부전극(31a, 31b)은 반도체 물질로 이루어지며, 불순물이 도핑되어 있어 전기 전도성이 향상될 수 있다. 한편, 제1 및 2커패시터 상부전극(33a, 33b) 각각은 제1 및 2 트랜치(10a, 10b) 내에서 게이트 절연층(12) 상에 형성될 수 있다.
- [0051] 이와 같이 커패시터(Cst1, Cst2)가 트랜치(10a, 10b)에 형성되므로 제1기판(10)의 평면 상에 형성되는 경우보다 커패시터(Cst1, Cst2)가 차지하는 면적을 감소시켜 발광소자영역(4)의 면적을 더 크게 할 수 있으며, 이에 따라 발광 효율을 향상시킬 수 있다.
- [0052] 발광소자영역(4)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극(26/27) 중 하나와 접속된 화소전극(43), 화소전극(43)과 마주보도록 형성된 대향전극(45) 및 그 사이에 개재된 중간층(44)으로 구성될 수 있다. 화소전극(43)은 투명한 전도성 물질로 형성되며, 박막트랜지스터(TFT)의 게이트 하부전극(23) 등과 동일한 층에 동일한 물질로 형성될 수 있다. 유기발광소자(EL)에 관하여는 후술한다.
- [0053] 도 3 내지 도 10은 도 2에 도시된 유기 발광 표시 장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 2에 도시된 유기 발광 표시 장치(1)의 제조공정을 개략적으로 설명한다.
- [0054] 먼저 도 3에 도시된 바와 같이, 제1기판(10) 상에 제1 및 2 트랜치(10a, 10b)를 형성한다. 상세히, 제1기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 제1기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다. 제1 및 2 트랜치(10a, 10b)는 제1기판(10)의 일면에서 타면 방향으로 형성된 음각 패턴이다. 제1 및 2 트랜치(10a, 10b)는 발광소자영역(4)을 사이에 두고 발광소자영역(4)의 양측에서 이격되어 형성될 수 있다.
- [0055] 다음으로, 도 4에 도시된 바와 같이, 제1기판(10) 상부에 보조층(11)을 형성한다. 제1기판(10) 상면에 불순물

이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.

[0056] 다음으로, 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(21)과 제1커패시터 하부전극(31a) 및 제2커패시터 하부전극(31b)을 형성할 수 있다. 상세히, 보조층(11) 상부에 비정질 실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정 실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정 실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(21) 및 제1커패시터 하부전극(31a)과 제2커패시터 하부전극(31b)으로 패턴닝될 수 있다. 제1커패시터 하부전극(31a)은 제1트랜치(10a) 내의 보조층(11) 상에 형성되며, 제2커패시터 하부전극(31b)은 제2트랜치(10b) 내의 보조층(11) 상에 형성될 수 있다.

[0057] 다른 실시예로서, 제1기판(10) 상의 제1 및 2 트랜치(10a, 10b)는 활성층(21) 형성과 동시에 형성될 수 있다. 보다 상세하게는, 제1기판(10) 상에 보조층(11)을 형성한 후에 보조층(11) 상부에 비정질 실리콘층(미도시)을 증착하고 이를 결정화함으로써 다결정 실리콘층을 형성한다. 이후 하프톤 마스크를 이용하여 제1 및 2 트랜치(10a, 10b)와 활성층(21)을 패턴닝할 수 있다.

[0058] 다음으로, 도 5에 도시된 바와 같이, 활성층(21)과 제1 및 2커패시터 하부전극(31a, 31b)이 형성된 제1기판(10)의 전면에 게이트 절연층(12), 제1도전층(23a) 및 제2도전층(25a)을 순차로 형성한다.

[0059] 게이트 절연층(12)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 게이트 절연층(12)은, 박막트랜지스터(TFT)의 활성층(21)과 게이트전극(20) 사이에 개재되어 박막트랜지스터(TFT)의 절연막 역할을 하며, 제1커패시터 상부전극(33a)과 제1커패시터 하부전극(31a) 사이에 개재되어 제1커패시터(Cst1)의 유전체층 역할을 하며, 제2커패시터 상부전극(33b)과 제2커패시터 하부전극(31b) 사이에 개재되어 제2커패시터(Cst2)의 유전체층 역할을 하게 된다.

[0060] 제1도전층(23a)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(23a)은 화소전극(43), 게이트 하부전극(23), 및 제1 및 2커패시터 상부전극(33a, 33b)으로 패턴닝 될 수 있다.

[0061] 한편, 제2도전층(25a)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(25a)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 추후 제2도전층(25a)은 게이트 상부전극(25)으로 패턴닝 될 수 있다.

[0062] 그러나 이에 한정되지 않고, 제1도전층(23a)은 제2도전층(25a)에 비해 내부식성이 좋은 물질을 포함하며, 제2도전층(25a)은 제1도전층(23a)에 비해 저항이 작아 전류가 잘 흐르는 물질을 포함한다면 본 발명의 일 실시예들을 만족한다.

[0063] 다음으로, 도 6에 도시된 바와 같이, 제1기판(10) 상에 게이트전극(20)과, 제1전극유닛(43, 43a)과 제2전극유닛(33a, 35a)과 제3전극유닛(33b, 35b)을 각각 형성한다.

[0064] 상세히, 제1기판(10) 전면에 차례로 적층된, 제1도전층(23a) 및 제2도전층(25a)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패턴닝된다.

[0065] 이때, 트랜지스터영역(2)에는 활성층(21) 상부에 게이트전극(20)이 형성되고, 게이트전극(20)은 제1도전층(23a)의 일부로 형성된 게이트 하부전극(23)과 제2도전층(25a)의 일부로 형성된 게이트 상부전극(25)을 포함한다.

[0066] 여기서, 게이트전극(20)은 활성층(21)의 중앙에 대응하도록 형성되며, 게이트전극(20)을 셀프 얼라인(self align) 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인영역(21s/21d)과 이들 사이의 채널영역(21c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.

[0067] 제1커패시터 영역(3a)에는 추후 제1커패시터 상부전극(33a)을 형성하기 위한 제2전극유닛(33a, 35a)이 제1커패시터 하부전극(31a) 상부에 형성되고, 제2커패시터 영역(3b)에는 추후 제2커패시터 상부전극(33b)을 형성하기

위한 제3전극유닛(33b, 35b)이 제2커패시터 하부전극(31b) 상부에 형성되며, 발광소자영역(4)에는 추후 화소전극(43)을 형성하기 위한 제1전극유닛(43, 43a)이 형성된다.

[0068] 다음으로, 도 7에 도시된 바와 같이, 게이트전극(20)이 형성된 제1기판(10)의 전면에 제1절연층(미도시)을 형성한 후 제1절연층(미도시)을 패터닝하여 화소전극(43), 제1커패시터 상부전극(33a), 및 제2커패시터 상부전극(33b)을 노출하는 개구들(H1, H2, H3)과 활성층(21)의 소스/드레인영역(21s/21d)의 일부를 노출하는 콘택홀들(H4, H5)이 형성된 층간 절연층(14)을 형성한다.

[0069] 층간 절연층(14)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 층간 절연층(14)은 충분한 두께로 형성되어, 예컨대 전술한 게이트 절연층(12)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(20)과 소스/드레인전극(26/27) 사이의 절연막 역할을 수행한다. 한편, 층간 절연층(14)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 게이트 절연층(12)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.

[0070] 상세히, 상기 제1절연층은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 개구들(H1, H2, H3) 및 콘택홀들(H4, H5)이 형성된 층간 절연층(14)을 형성한다. 여기서, 콘택홀들(H4, H5)은 소스/드레인영역(21s/21d)의 일부를 각각 노출시키고,

[0071] 제1개구(H1)는 제1전극유닛(43, 43a)을 노출시킨다. 제2개구(H2)는 제2전극유닛(33a, 35a)을 노출시키며, 제3개구(H3)는 제3전극유닛(33b, 35b)을 노출시킨다.

[0072] 다음으로, 도 8에 도시된 바와 같이, 층간 절연층(14)을 덮도록 제1기판(10) 전면에서 제3도전층(미도시)을 형성한 후 제3도전층을 패터닝하여, 소스/드레인전극(26/27), 화소전극(43), 제1커패시터 상부전극(33a) 및 제2커패시터 상부전극(33b)을 각각 형성한다.

[0073] 상기 제3도전층은 전술한 제1 또는 제2도전층과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 콘택홀들(H4, H5), 개구들(H1, H2, H3) 사이를 충전할 수 있을 정도로 충분한 두께로 증착된다.

[0074] 상기 제3도전층을 제4마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인전극(26/27)을 형성한다.

[0075] 한편, 소스/드레인전극(26/27)을 형성함과 동시에 화소전극(43), 제1커패시터 상부전극(33a), 및 제2커패시터 상부전극(33b)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(26/27)을 형성한 후 추가 식각에 의해 화소전극(43), 제1커패시터 상부전극(33a), 및 제2커패시터 상부전극(33b)을 각각 형성할 수도 있다.

[0076] 게이트 하부전극(23), 제1 및 2커패시터 상부전극(33a, 33b) 및 화소전극(43)은 동일층에서 동일 물질로 형성된다.

[0077] 여기서, 상기 제2 및 3개구(H2, H3)를 통해 n형 또는 p형의 불순물을 주입하여 제1 및 2커패시터 하부전극(31a, 31b)을 도핑할 수 있다. 상기 도핑 시 주입되는 불순물은 상기 활성층(21)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.

[0078] 다음으로, 도 9에 도시된 바와 같이, 제1기판(10) 상에 화소정의막(pixel define layer: PDL)(16)을 형성하고, 공통층(44) 및 중간층(44)을 형성한다.

[0079] 상세히, 화소전극(43), 소스/드레인전극(26/27), 제1 및 2커패시터 상부전극(33a, 33b)이 형성된 제1기판(10) 전면에서 제2절연층(미도시)을 형성한다. 이때 상기 제2절연층(미도시)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제2절연층은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제2절연층은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.

[0080] 상기 제2절연층은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝되어 화소전극(43)의 중앙부가 노출되도록 개구부를 형성함으로써, 픽셀을 정의하는 화소 정의막(16)을 이루게 된다.

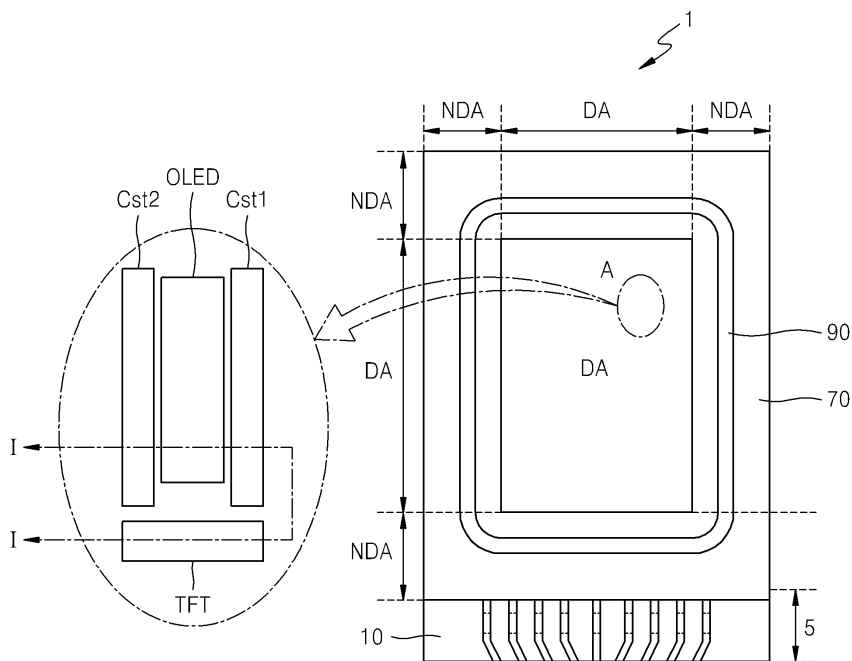
- [0081] 이후, 화소 정의막(16)이 형성된 제1기판(10) 상에 공통층(442)형성하고, 화소전극(43)을 노출하는 개구부에 발광층을 포함하는 중간층(44)을 형성한다.
- [0082] 상세하게는, 중간층(44)은 공통층(442)과 발광층(441)으로 이루어지며, 공통층(442)은 제1공통층(442a, 442b)과 제2공통층(442c, 442d)로 이루어지고, 중간층(44)은 제1공통층(442a, 442b)과 제2공통층(442c, 442d) 사이에 배치될 수 있다.
- [0083] 제1공통층(442a, 442b)은 정공 수송층(hole transport layer: HTL)(442a)과 정공 주입층(hole injection layer: HIL)(442b)이 순서대로 적층되어 이루어질 수 있으며, 제2공통층(442c, 442d)은 전자 수송층(electron transport layer: ETL)(442c)과 전자 주입층(electron injection layer: EIL)(442d)이 순서대로 적층되어 이루어질 수 있다.
- [0084] 발광소자영역(4) 이외의 영역에서는 공통층(442)이 형성된다. 즉, 제1캐패시터 영역(3a), 제2캐패시터 영역(3b), 및 트랜지스터영역(2) 상의 화소 정의막(16) 및 제1, 2캐패시터 상부전극(33a, 33b) 상에 제1공통층(442a, 442b)과 제2공통층(442c, 442d)이 순차적으로 적층될 수 있다.
- [0085] 발광소자영역(4)에서는 화소전극(43) 상에 제1공통층(442a, 442b)이 형성되고, 제1공통층(442a, 442b) 상에 발광층(441)이 형성되고, 발광층(441) 상에 제2공통층(442c, 442d)이 형성될 수 있다.
- [0086] 발광층(441)은 유기 발광층(emissive layer: EML)일 수 있다. 상기 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0087] 유기 발광층이 저분자 유기물로 형성되는 경우, 중간층(44)은 유기 발광층을 중심으로 화소전극(43)의 방향으로 정공 수송층(442a) 및 정공 주입층(442b) 등이 적층되고, 대향전극(45) 방향으로 전자 수송층(442c) 및 전자 주입층(442d) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N, N-디(나프탈렌-1-일)-N, N'-디페닐-벤지딘(N, N'-Di(naphthalene-1-yl)-N, N' -diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0088] 한편, 유기 발광층이 고분자 유기물로 형성되는 경우에는, 중간층(44)은 유기 발광층을 중심으로 화소전극(43) 방향으로 정공 수송층(442a)만이 포함될 수 있다. 정공 수송층(442a)은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(43) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0089] 상기 대향전극(45)은 제1기판(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 대향전극(45)은 도 10에 도시된 바와 같이 제1캐패시터 영역(3a)의 제1트랜치(10a) 및 제2캐패시터 영역(3b)의 제2트랜치(10b) 내에도 형성될 수 있다.
- [0090] 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소전극(43)은 애노드 전극으로 사용되고, 대향전극(45)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0091] 유기 발광 표시 장치(1)가 제1기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(43)은 투명전극이 되고 대향전극(45)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0092] 상술한 바와 같이, 대향전극(45)은 유기발광소자(EL) 소자를 사이에 두고 유기발광소자(EL)의 양측에 형성된 제1, 2 트랜치(10a, 10b) 상에도 형성되므로, 도 11에 도시된 바와 같이, 유기발광소자(EL)에서 생성된 빛(P1, P2)이 제1기판(10) 내에서 전반사 되지 않고 제1, 2 트랜치(10a, 10b) 내의 대향전극(45)에 반사되어 외부로 방출되므로 광추출 효율이 향상된다.
- [0093] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

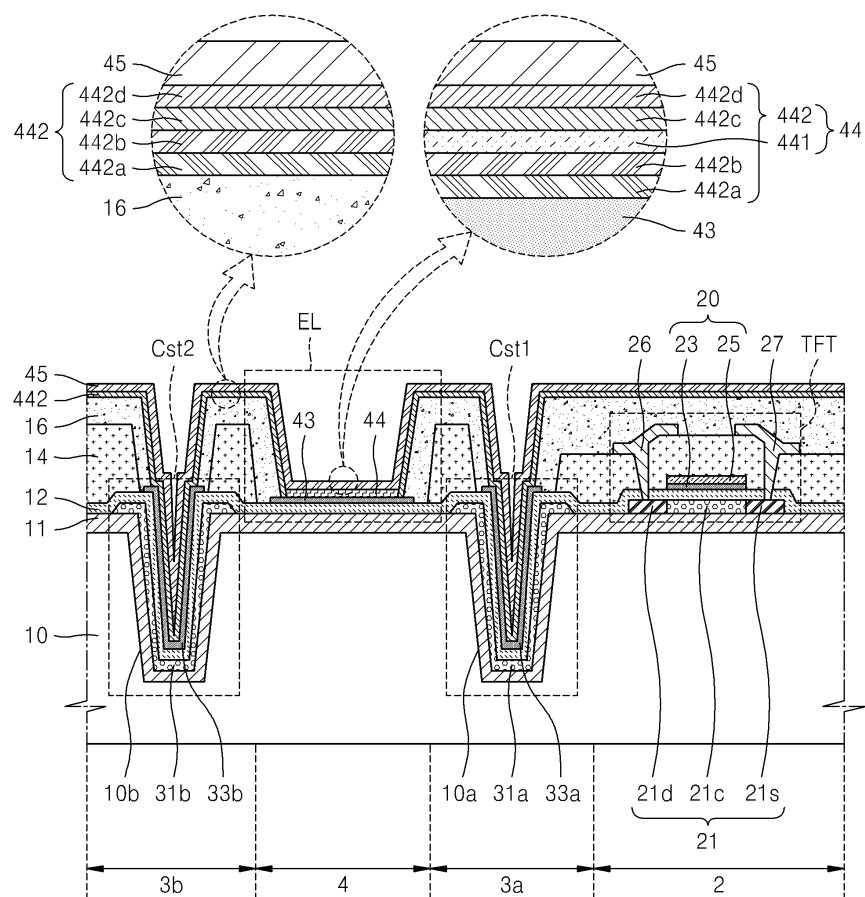
[0094]	1: 유기 발광 표시 장치	26/27: 소스/드레인전극
	2: 트랜지스터영역	3a: 제1커패시터 영역
	3b: 제2커패시터 영역	4: 발광영역
	10: 제1기판	11: 보조층
	12: 게이트 절연층	23a: 제1도전층
	14: 층간 절연층	25a: 제2도전층
	16: 화소 정의막	20: 게이트전극
	21: 활성층	23: 게이트 하부전극
	25: 게이트 상부전극	31a: 제1커패시터 하부전극
	31b: 제2커패시터 하부전극	33a: 제1커패시터 상부전극
	33b: 제2커패시터 상부전극	43: 화소전극
	44: 중간층	45: 대향 전극
	70: 제2기판	90: 실링부재

도면

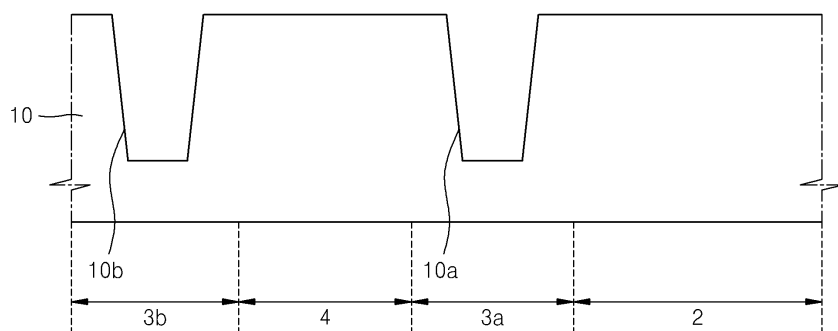
도면1



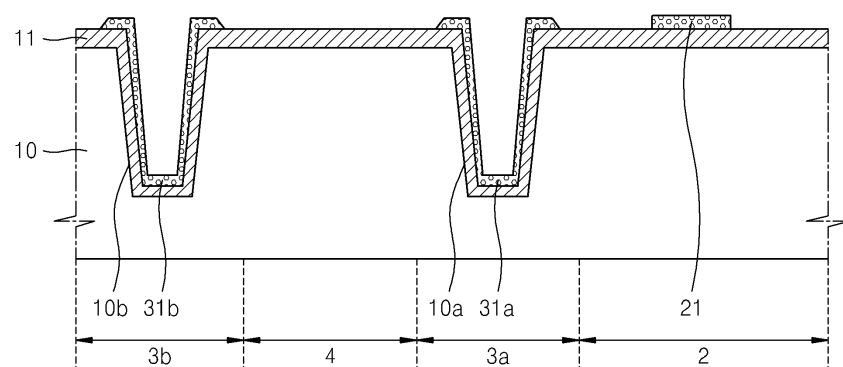
도면2



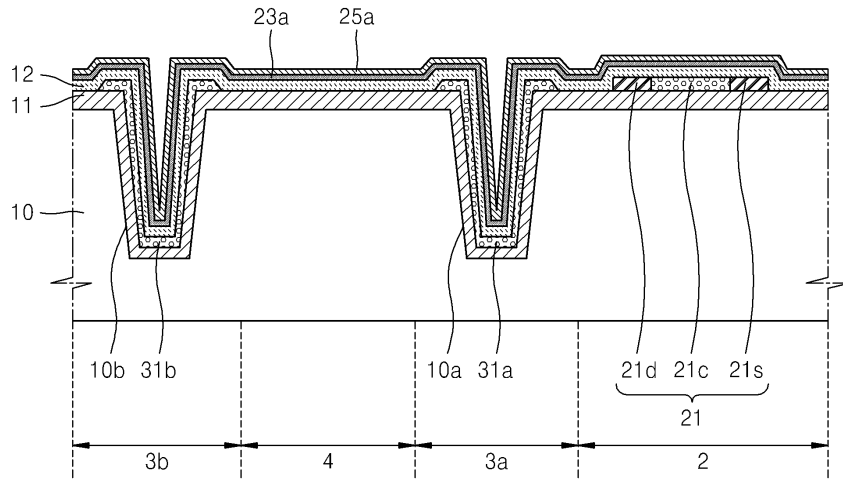
도면3



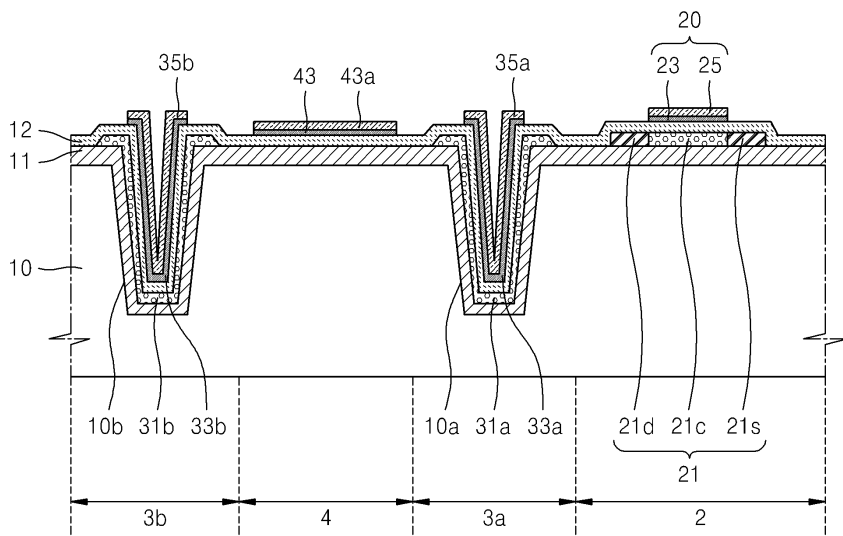
도면4



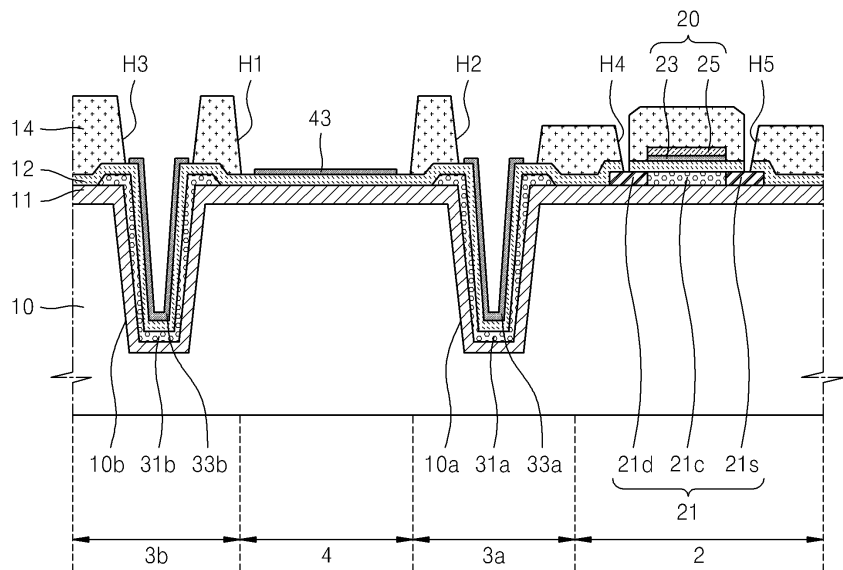
도면5



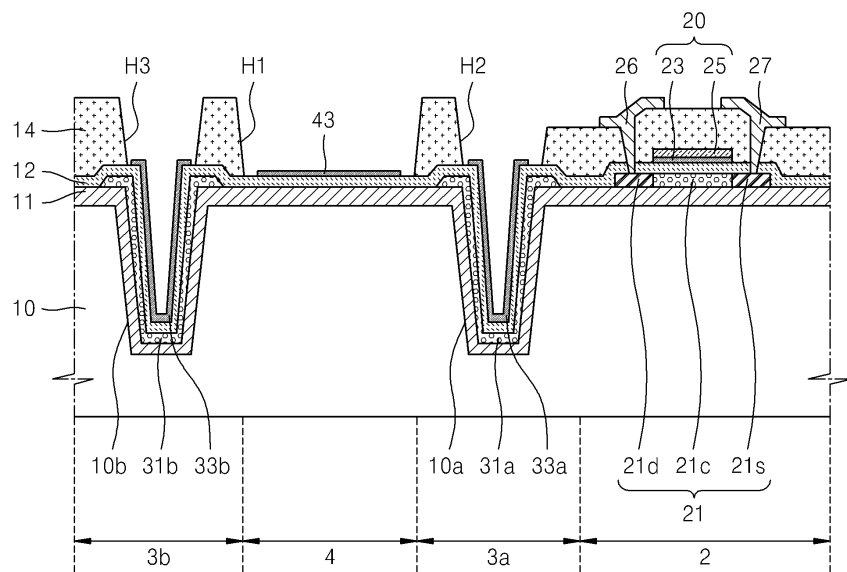
도면6



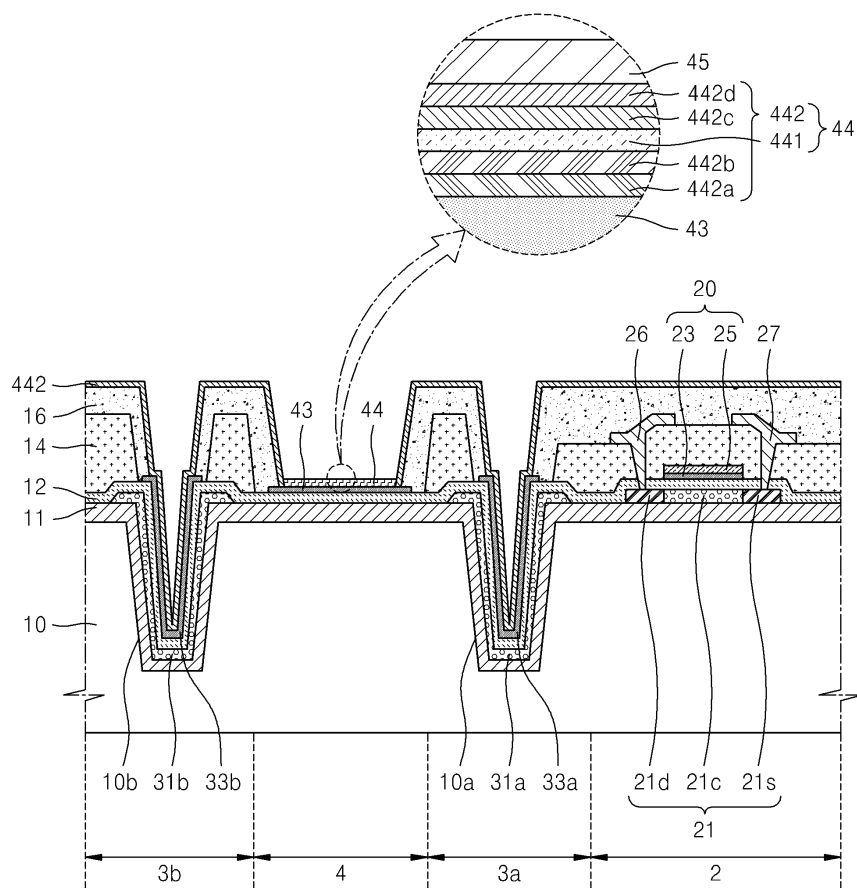
도면7



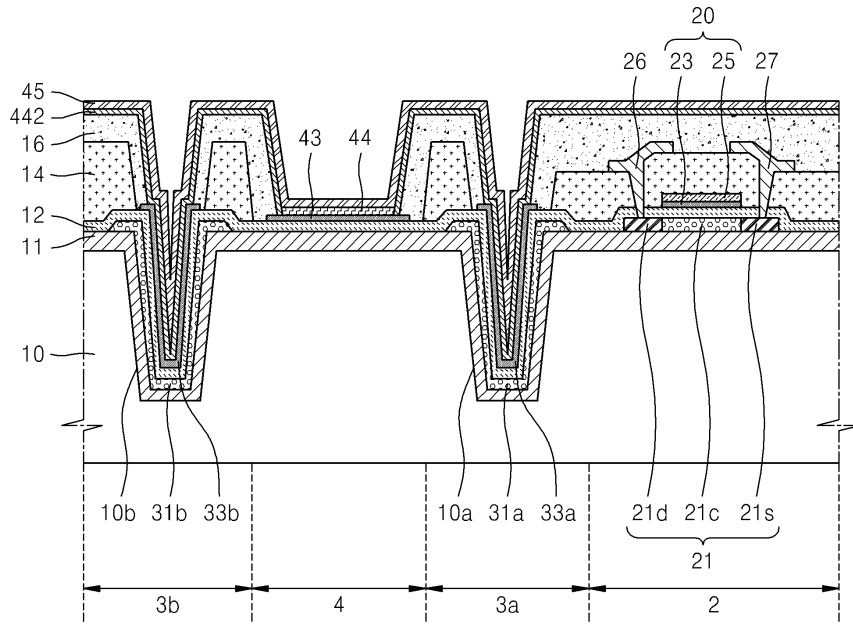
도면8



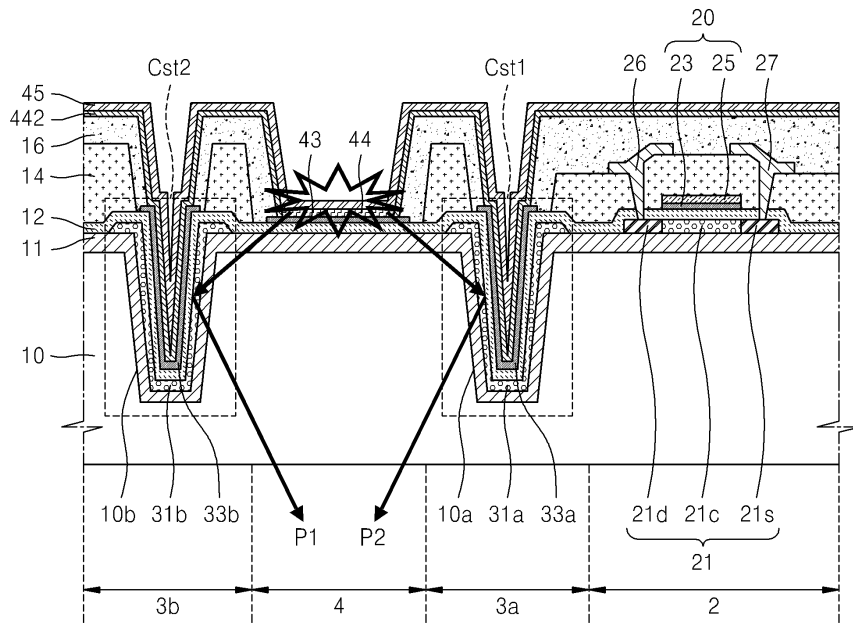
도면9



도면10



도면11



专利名称(译)	有机发光显示器和制造有机发光显示器的方法		
公开(公告)号	KR1020130117141A	公开(公告)日	2013-10-25
申请号	KR1020120039967	申请日	2012-04-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SUNG HO 김성호 HUH JONG MOO 허종무 KIM HYE DONG 김혜동		
发明人	김성호 허종무 김혜동		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L51/52 H01L27/1218 H01L27/1255 H01L51/5271 H01L27/3265 H01L51/5092 H01L51/5088 H01L51/5072 H01L51/5056		
其他公开文献	KR101922177B1		
外部链接	Espacenet		

摘要(译)

本发明的示例性实施例提供了一种发光装置，包括基板，形成在基板上的多个发光装置，以及位于发光装置的至少一侧上的多个电容器，提供了一种发光显示器和制造该有机发光显示器的方法。 专利文献1：JP-A-10-2013-0117141

