(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월19일
(11) 등록번호 10-1990554
(24) 등록일자 2019년06월12일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2012-0129780
(22) 출원일자 2012년11월15일
심사청구일자 2017년11월14일
(65) 공개번호 10-2014-0062880
(43) 공개일자 2014년05월26일
(56) 선행기술조사문헌
JP2008139656 A*
KR1020110101759 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박정근
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

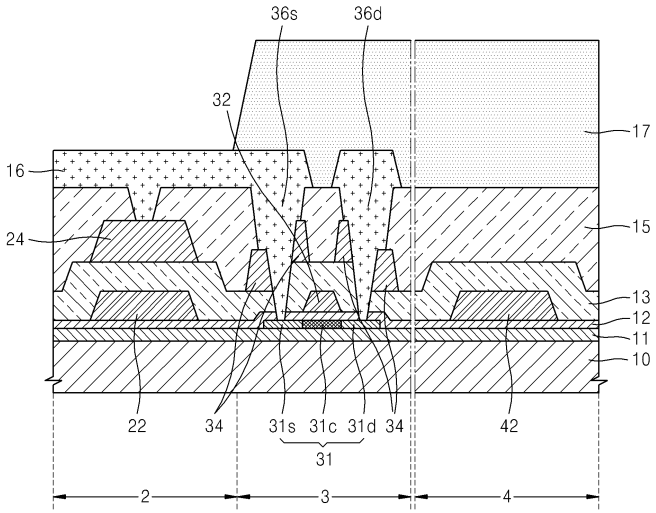
전체 청구항 수 : 총 13 항 심사관 : 이우리

(54) 발명의 명칭 **유기발광표시장치 및 이의 제조방법**

(57) 요 약

본 발명은 유기발광표시장치 및 이의 제조방법에 관한 것으로, 본 발명의 일 실시예에 따르면, 활성층, 상기 활성층과 절연되는 게이트 전극, 상기 게이트 전극과 절연되고 상기 활성층의 양측과 접촉하는 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터와 전기적으로 연결되고, 상기 소스 전극 및 드레인 전극과 일체로 형성되며, 상기 소스 전극 및 드레인 전극 중 어느 하나와 연결되는 화소 전극; 을 포함하는 유기발광표시장치가 제공된다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

활성층, 게이트 전극, 상기 활성층의 양측과 접촉하는 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터;

상기 게이트 전극 상부에 배치되고, 상기 활성층의 양측에 대응하는 개구를 갖고, 상기 개구에서 상기 소스 전극 및 상기 드레인 전극과 접촉하는 중간 도전체;

상기 소스 전극 및 상기 드레인 전극 중 어느 하나로부터 연장되고, 상기 소스 전극 및 상기 드레인 전극과 동일층에 배치된 화소 전극;

을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 중간 도전체와 동일층에 배치된 상부 전극을 포함하는 커패시터;

를 더 포함하는 유기발광표시장치.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 중간 도전체는, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 게이트 전극과 동일층에 배치되고, 상기 박막트랜지스터와 전기적으로 연결된 배선;

을 더 포함하는, 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 소스 전극, 상기 드레인 전극 및 상기 화소전극은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 게이트 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 8

기판 상에 활성층을 형성하는 단계;

상기 활성층 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막 상에 상기 활성층의 양측에 각각 대응하는 제1 개구를 구비한 중간 도전체를 형성하는 단계;

상기 중간 도전체 상에 제3 절연막을 형성하는 단계;

상기 활성층의 양측을 노출하도록, 상기 제1 절연막, 상기 제2 절연막 및 상기 제3 절연막에 상기 제1 개구를 관통하는 제2 개구를 형성하는 단계; 및

상기 제3 절연막 상에 도전층을 형성하고, 상기 도전층을 패터닝하여, 상기 제1 개구 및 상기 제2 개구를 충진하며 상기 활성층의 양측에 각각 접촉하는 소스 전극과 드레인 전극, 및 상기 소스 전극 및 상기 드레인 전극 중의 하나로부터 연장된 화소 전극을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 9

삭제

청구항 10

제8항에 있어서,

상기 활성층은 반도체 물질을 포함하며, 상기 활성층에 불순물을 도핑하여 소스영역 및 드레인영역을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 11

제8항에 있어서,

상기 게이트 전극과 동일층에 커패시터 하부 전극을 형성하는 단계; 및

상기 중간 도전체와 동일층에 커패시터 상부 전극을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 12

제8항에 있어서,

상기 게이트 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 13

제8항에 있어서,

상기 소스 전극, 상기 드레인 전극 및 상기 화소 전극은 ITO, IZO, ZnO, 및 In2O3 중 하나 이상을 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 14

제8항에 있어서,

상기 게이트 전극과 동일층에 동일 물질로 배선을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

제8항에 있어서,

상기 화소 전극의 일부를 노출하고, 상기 소스 전극 및 상기 드레인 전극을 덮는 화소정의막을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광표시장치 및 이의 제조방법에 관한 것으로, 상세하게는 마스크의 수를 저감하여 제조공정이 단순화되고, 개구부 효율이 개선된 유기발광표시장치 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다. 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0003] 그러나, 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0004] 마스크의 수를 저감하여 제조공정이 단순화되고, 개구부 효율이 개선된 유기발광표시장치 및 이의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따르면, 활성층, 상기 활성층과 절연되는 게이트 전극, 상기 게이트 전극과 절연되고 상기 활성층의 양측과 접촉하는 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터와 전기적으로 연결되고, 상기 소스 전극 및 드레인 전극과 일체로 형성되며, 상기 소스 전극 및 드레인 전극 중 어

느 하나와 연결되는 화소 전극; 을 포함하는 유기발광표시장치가 제공된다.

[0006] 본 발명에 있어서, 상기 게이트 전극과 동일층에 동일 물질로 형성되는 하부 전극, 및 절연층을 사이에 두고 상기 하부 전극 상에 형성된 상부 전극을 포함하는 커패시터; 를 더 포함하는 유기발광표시장치가 제공된다.

[0007] 본 발명에 있어서, 상기 박막 트랜지스터는 상기 상부 전극과 동일층에 동일 물질로 형성되며, 상기 활성층의 양측 에 대응하도록형성된 개구를 갖는 중간 도전체; 을 포함하는 유기발광표시장치가 제공된다.

[0008] 본 발명에 있어서, 상기 중간 도전체 및 상부 전극은, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.

[0009] 본 발명에 있어서, 상기 게이트 전극과 동일층에 동일물질로 형성되는 배선; 을 더 포함하며, 상기 배선은 상기 박막트랜지스터와 전기적으로 연결되는 유기발광표시장치가 제공된다.

[0010] 본 발명에 있어서, 상기 소스 전극, 상기 드레인 전극 및 상기 화소전극은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 한다.

[0011] 본 발명에 있어서, 상기 게이트 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.

[0012] 본 발명의 일 실시예에 따르면, 기판 상에 박막트랜지스터 영역에 활성층을 형성하는 제1마스크 공정 단계; 상기 박막트랜지스터 영역에 상기 활성층과 절연되도록 게이트 전극을 형성하고, 커패시터 영역에 하부 전극을 형성하는 제2 마스크 공정 단계; 상기 하부 전극 상에 상기 커패시터의 상부 전극을 형성하는 제3 마스크 공정 단계; 상기 상부 전극 상에 상기 상부 전극을 노출하는 커패시터 개구 및 상기 활성층의 양측을 노출하는 제1 개구를 갖는 층간 절연막을 형성하는 제4 마스크 공정 단계; 상기 제1 개구를 충진하도록 상기 층간 절연막 상에 전면적으로 도전층을 형성하고, 상기 도전층을 패터닝하여 소스 전극, 드레인 전극 및 화소 전극을 생성하며, 상기 소스 전극 및 드레인 전극 중의 하나와 상기 화소 전극은 연결되도록 형성하는 제5 마스크 공정 단계; 및 상기 화소전극을 노출하고 상기 소스 전극 및 드레인 전극을 덮도록 화소 정의막을 형성하는 제6 마스크 공정 단계; 를 포함하는 유기발광표시장치의 제조방법이 제공된다.

[0013] 본 발명에 있어서, 상기 제3 마스크 공정은,상기 박막 트랜지스터 영역의 상기 게이트 전극과 절연되며, 상기 활성층의 양측 에 대응하는 제2 개구를 갖는 중간 도전체를 추가적으로 형성하며, 상기 제2 개구는 상기 제1 개구와 연결되는 것을 특징으로 한다.

[0014] 본 발명에 있어서, 상기 활성층은 반도체 물질을 포함하며, 상기 활성층에 불순물에 도핑하여 소스영역 및 드레인영역을 형성하는 단계; 를 더 포함하는 것을 특징으로 한다.

[0015] 본 발명에 있어서, 상기 제2마스크 공정 단계는 상기 활성층 상부에 제1 절연층, 제1 도전층을 순차 형성하는 단계; 및 상기 제1 도전층을 패터닝하여, 상기 게이트전극 및 상기 하부 전극을 형성하는 단계; 를 포함하는 것을 특징으로 한다.

[0016] 본 발명에 있어서, 상기 게이트 전극 및 상기 하부 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.

[0017] 본 발명에 있어서, 상기 소스 전극, 드레인 전극 및 상기 화소 전극은 ITO, IZO, ZnO, 및 In2O3 중 하나 이상을 포함하는 것을 특징으로 한다.

[0018] 본 발명에 있어서, 상기 제2 마스크 공정 단계는; 상기 하부 전극과 동일층에 동일 물질로 형성된 배선을 형성하는 것을 특징으로 한다.

[0019] 본 발명에 있어서, 상기 제3 마스크 공정 단계는 상기 게이트 전극 및 상기 하부 전극 상부에 제2 절연층 및 제2 도전층을 순차적을 형성하는 단계; 상기 제2 도전층을 패터닝하여 상기 상부 전극 및 상기 제2 개구를 갖는 중간 도전체를 형성하는 단계; 를 포함하는 것을 특징으로 한다.

[0020] 본 발명에 있어서, 상기 제4 마스크 공정 단계는,상기 상부 전극 또는 상기 중간 도전체 상에 제3 절연층을 형성하는 단계; 및 상기 제3 절연층을 패터닝하여 상기 상부 전극을 노출하는 커패시터 개구 및 상기 중간 도전체의 제2 개구를 관통하여 상기 활성층의 양측을 노출하는 제1 개구를 형성하는 단계; 를 포함하는 것을 특징으로 한다.

[0021] 본 발명에 있어서, 상기 제5 마스크 공정 단계는,상기 커패시터 개구 및 상기 제1 개구를 충진할 수 있도록 상

기 층간 절연막 상에 전면적으로 금속층을 형성하는 단계; 상기 금속층을 패터닝하여 화소 전극 및 상기 활성층의 양측에 각각 접촉하는 상기 트랜지스터의 소스 전극, 드레인 전극을 생성하는 단계; 를 포함하는 것을 특징으로 한다.

[0022] 본 발명에 있어서, 상기 제6 마스크 공정 단계는,상기 기판 전면에 제4 절연층을 형성하는 단계; 및 상기 제3절연층을 패터닝하여 상기 화소정의막을 형성하는 단계; 를 포함하는 것을 특징으로 한다.

[0023] 본 발명의 일 실시예에 따르면, 제1 기판; 상기 제1 기판을 밀봉하는 밀봉부재; 상기 제1 기판 상에 형성된 다수의 화소, 상기 화소를 구동하는 트랜지스터, 상기 화소 및 트랜지스터와 전기적으로 연결된 배선; 및 상기 다수의 화소와 배선을 통해 커플링되며, 외부로부터 제공되는 회로기판과 연결되는 입력패드; 를 포함하며,상기 박막 트랜지스터는 활성층, 상기 활성층과 절연되는 게이트 전극, 상기 게이트 전극과 절연되고 상기 활성층의 양측과 접촉하는 소스 전극 및 드레인 전극을 포함하고,상기 화소의 화소 전극은 상기 박막트랜지스터와 전기적으로 연결되고, 상기 소스 전극 및 드레인 전극과 일체로 형성되며, 상기 소스 전극 및 드레인 전극 중 어느 하나와 연결되는 것을 특징으로 하는 유기전계발광표시장치가 제공된다.

[0024] 본 발명에 있어서, 상기 게이트 전극과 동일층에 동일 물질로 형성되는 하부 전극, 및 절연층을 사이에 두고 상기 하부 전극 상에 형성된 상부 전극을 포함하는 커패시터; 를 더 포함하는 유기발광표시장치가 제공된다.

[0025] 본 발명에 있어서, 상기 박막 트랜지스터는,상기 상부 전극과 동일층에 동일 물질로 형성되며, 상기 활성층의 양측에 대응하는 개구를 갖는 중간 도전체; 을 포함하는 유기발광표시장치가 제공된다.

발명의 효과

[0026] 이상과 같은 본 발명의 일 실시예에 따르면, 유기발광표시장치의 제조공정이 단순화되고, 개구부 효율이 개선되는 효과를 얻을 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치의 구조를 개략적으로 나타낸 평면도이다.

도 2는 도 1의 Ⅰ-Ⅰ'선을 따라 절개한 단면도이다.

도 3은 도 2에 도시된 유기발광표시장치의 제조공정을 개략적으로 나타내는 단면도이다.

도 4는 도 3c의 제조 공정에서 형성된 트랜지스터 영역을 상부에서 바라본 모양을 간략히 도시한 도면이다.

도 5는 도 3d의 제조 공정에서 형성된 트랜지스터 영역(3)을 상부에서 바라본 모양을 간략히 도시한 도면이다.

도 6은 본 발명의 다른 일 실시예에 따른 유기발광표시장치의 구조를 개략적으로 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이러한 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 본 명세서에 기재되어 있는 특정 형상, 구조 및 특성은 본 발명의 정신과 범위를 벗어나지 않으면서 일 실시예로부터 다른 실시예로 변경되어 구현될 수 있다. 또한, 각각의 실시예 내의 개별 구성요소의 위치 또는 배치도 본 발명의 정신과 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 행하여지는 것이 아니며, 본 발명의 범위는 특허청구범위의 청구항들이 청구하는 범위 및 그와 균등한 모든 범위를 포괄하는 것으로 받아들여져야 한다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 구성요소를 나타낸다.

[0029] 이하에서는, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 여러 실시예에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.

[0031] 도 1을 참조하면, 유기발광표시장치(1)는 복수개의 발광 화소를 포함하는 제1 기판(10), 제1 기판(10)과 실링을 통해 합착되는 제2 기판(70)을 포함한다.

[0032] 제1 기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1 기

판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.

[0033] 제2기판(70)은 제1 기판(10)에 구비된 TFT 및 발광화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1 기판(10) 상에 배치되는 봉지기판일 수 있다. 제2 기판(70)은 제1 기판(10)과 대향되도록 위치하고, 제1 기판(10)과 제2 기판(70)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2 기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.

[0034] 제1 기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링부재(90)가 배치되어, 제1 기판(10)과 제2기판(70)을 접합한다.

[0035] 도시되지 않았으나, 상기 제2기판 박막의 밀봉필름(26)을 발광 영역을 밀봉하도록 제1기판 상에 형성함으로써 발광 영역을 외기로부터 보호할 수 있다. 예를 들어, 밀봉필름(26)은 실리콘옥사이드 또는 실리콘나이트라이드와 같은 무기물로 이루어진 막과 에폭시, 폴리이미드와 같은 유기물로 이루어진 막이 교대로 성막된 구조를 취할 수 있다. 다른 예로 밀봉필름(26)은 주석산화물(SnO)과 같은 저융점 유리(low melting glass)를 포함하는 막 구조를 취할 수 있다. 한편, 이는 예시적인 것에 불과하여 반드시 이에 한정되는 것은 아니며 박막(thin film)의 밀봉구조이면 어떠한 것이든 적용 가능하다.

[0036] 상술한 바와 같이, 제1 기판(10)의 발광영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광영역(DA)의 배선으로부터 연장 형성된 패드전극이 위치하는 패드 영역(5)이 포함될 수 있다.

[0037] 도 2는 도 1의 Ⅰ-Ⅰ’ 선을 따라 절개한 단면도이다.

[0038] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 저장 영역(2), 트랜지스터 영역(3) 및 배선영역(4)을 포함한다.

[0039] 저장영역(2)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부 전극(22) 및 상부 전극(24)으로 이루어지며, 이들 사이에 제2 절연층(13)이 개재된다. 여기서, 하부 전극(22)은 박막트랜지스터(TFT)의 게이트 전극(32)과 동일한 층에 형성될 수 있다. 한편, 커패시터 상부 전극(24)은 박막트랜지스터(TFT)의 중간 도전체(34)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0040] 트랜지스터 영역(3)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(31), 게이트 전극(32), 중간 도전체(34) 및 소스/드레인 전극(36s/36d)의 역할을 하는 제3 도전층(16)의 일부 영역으로 구성된다. 게이트 전극(32)과 활성층(31) 사이에는 이들 간의 절연을 위한 게이트 절연막인 제1 절연층(12)이 개재되어 있다. 중간 도전체(34)는 제1 절연층(12) 상에 커패시터(Cst)의 상부 전극(24)과 동일한 물질로 형성될 수 있으며, 소스/드레인 전극(36s/36d)이 충진될 수 있도록 제1,2 개구(H1, H2)을 포함할 수 있다. 소스 전극(36s)는 커패시터(Cst)의 화소의 화소 전극과 연결될 수 있다. 또한, 활성층(31)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인 영역(31s/31d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(36s/36d)에 각각 연결되어 있다.

[0041] 특히, 본 발명의 일 실시예에 따르면 소스 전극(36s) 혹은 드레인 전극(36s) 중의 하나는 화소 전극과 동일층의 물질로 생성되며 화소 전극이 연장된 형태일 수 있다(도 2의 실시예에 따르면 소스 전극(36s)이 화소 전극과 연결됨). 후술하는 제조 공정에서와 같이, 화소 전극 및 소스/드레인 전극(36s/36d)은 기판(10)상에 전면적으로 형성된 제3 도전층(16)을 패터닝하여 생성되는데, 제3 도전층(16)을 패터닝할 때 화소 전극과 소스 전극(36s)을 한꺼번에 생성할 수 있다.

[0042] 배선영역(4)은 배선(42)을 포함한다. 여기서, 배선(42)은 박막트랜지스터(TFT)의 게이트 전극(32) 및 커패시터(Cst)의 하부 전극(22)과 동일한 층에 동일한 물질로 형성될 수 있다. 패드전극(53)은 박막트랜지스터(TFT)의 구동을 위해 게이트 전극(32)과 전기적으로 연결될 수 있다.

[0043] 도 3은 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 3a 내지 도 3e를 통해 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.

[0044] 먼저, 도 3a에 도시된 바와 같이, 기판(10) 상부에 보조층(11)을 형성한다. 상세히, 기판(10)은 SiO2를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

[0045] 한편, 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO2 및/또는 SiNx 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.

[0046] 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(31)을 형성한다. 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallzation)법, ELA(excimer laser annealing)법, MIC(metal induced crystallzation)법, MILC(metal induced lateral crystallzation)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1 마스크를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(31)으로 패터닝된다.

[0047] 상기 활성층(212)은 반드시 실리콘에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 G-I-Z-O층[(In2O3)a(Ga2O3)b(ZnO)c층](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)일 수 있다. 산화물 반도체로 활성층을 형성하는 경우, 이후 설명할 도핑 과정이 생략될 수 있다.

[0048] 다음으로, 활성층(21)과 커패시터 하부 전극(22)이 형성된 기판(10)의 전면에 제1 절연층(12)을 순차로 형성한다.

[0049] 제1 절연층(12)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1 절연층(12)은, 박막트랜지스터(TFT)의 활성층(21)과 게이트 전극(32) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 한다.

[0050] 다음으로, 도 3b에 도시된 바와 같이 커패시터(Cst)의 하부 전극(22), 박막트랜지스터(TFT)의 게이트 전극(32), 패드부의 배선(42)을 형성한다.

[0051] 즉, 하부 전극(22), 게이트 전극(32), 배선(42)은 제1 절연층(12) 상에 제1 도전층(미도시됨)을 패터닝하여 형성될 수 있다. 제1 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제1 도전층은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 제1도전층은 제2마스크를 사용한 마스크 공정에 의해 패터닝되어 도 3b와 같이 하부 전극(22), 게이트 전극(32), 배선(42)을 형성한다. 따라서, 커패시터(Cst)의 하부 전극(22), 박막트랜지스터(TFT)의 게이트 전극(32), 패드부의 배선(42)은 동일층에서 동일 물질로 형성된다.

[0052] 보다 상세히, 트랜지스터 영역(3)에는 게이트 전극(32)은 활성층(31)의 중앙에 대응하도록 형성되며, 게이트 전극(32)을 셀프 얼라인(self align) 마스크로 하여 활성층(31)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(32)의 양측에 대응하는 활성층(31)의 가장자리에 소스/드레인 영역(31s/31d)과 이들 사이의 채널영역(31c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.

[0053] 다음으로, 도 3c에 도시된 바와 같이, 게이트 전극(32)이 형성된 기판(10)의 전면에 제2 절연층(13)을 증착하고, 커패시터(Cst) 상부 전극(24) 및 중간 도전체(34)를 형성한다.

[0054] 상기 제2 절연층(13)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2 절연층(13)은 충분한 두께로 형성되어, 예컨대 전술한 제1 절연층(12)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트 전극(32)과 소스/드레인 전극(36s/36d) 사이의 층간 절연막 역할을 수행한다. 한편, 제2 절연층(13)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1 절연층(12)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.

[0055] 다음으로, 제2 절연층(13)을 덮도록 기판(10) 전면에 제2 도전층(미도시)을 증착하고, 증착된 제2 도전층을 패터닝하여 커패시터(Cst) 상부 전극(24) 및 중간 도전체(34)를 형성한다.

[0056] 보다 상세히, 상기 제2 도전층은 전술한 제1 도전층과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 증착된 제2 도전층은 제3 마스크를 이용하여 도 3c와 같이 패터닝된다. 즉, 저장영역(2)에 패터닝된 제3 도전층은 커패시터(Cst)의 상부 전극(24)을 형성하고, 트랜지스터 영역(3)에 패터닝된 제3 도전층은 중간 도전체(34)를 형성한다. 이때, 중간 도전체(34)는 도 3c에 나타난 바와 같이 소스/드레인 전극(36s/36d)이 관통하여 활성층(31)과 콘택될 수 있도록 활성층(31)의 양측 방향으로 형성된

제1, 제2 개구부(H1, H2)가 형성되도록 패터닝 될 수 있다.

[0057] 도 4는 도 3c의 제조 공정에서 형성된 트랜지스터 영역(3)을 상부에서 바라본 모양을 간략히 도시한 도면이다.

[0058] 도 4를 참조하면, 상술한 바와 같이, 중간 도전체(34)내에는 제1, 2 개구부(H1, H2)가 생성된 것을 알 수 있으며, 제1, 2 개구부(H1, H2)를 통해 제2 절연층(13)이 오픈된 것을 알 수 있다.

[0059] 다음으로, 도 3d에 도시된 바와 같이, 기판(10) 상에 제3 절연층(15)을 형성하고, 절연층을 패터닝하여 커패시터(Cst)의 상부 전극(24) 및 활성층(31)의 소스/드레인 영역(31s/31d)의 일부를 노출하는 개구들(H3, H4, H5)을 갖는 층간 절연막을 형성한다.

[0060] 상세히, 커패시터(Cst) 상부 전극(24), 중간 도전체(34)가 형성된 기판(10) 전면에 제3 절연층(15)을 충분히 두껍게 증착한다. 제3 절연층은 중간 도전체(34)의 제1, 제2 개구(H1, H2)를 충진하기 충분할 정도로 두껍게 증착될 수 있다. 제3 절연층(15)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다.

[0061] 제3 절연층(15)을 증착한 다음, 제3 절연층(15)을 패터닝하여 커패시터(Cst)의 상부 전극(24)과 활성층(31)의 소스/드레인 영역(31s/31d)의 일부를 노출하는 개구들(H3, H4, H5)을 갖는 층간절연막을 형성한다.

[0062] 상세히, 상기 제3 절연층(15)은 제4 마스크를 사용한 마스크 공정에 의해 패터닝됨으로써 개구들(H3, H4, H5)을 형성한다. 여기서, 제3 개구(H3)은 커패시터(Cst)의 상부 전극(24)의 일부를 노출시키고, 제4, 5 개구(H4, H5)는 소스/드레인 영역(31s/31d)의 일부를 각각 노출시킨다.

[0063] 특히, 제4, 제5 개구(H4, H5)는 중간 도전체(34)에 형성된 제1, 제2 개구(H1, H2)와 연결되어, 제1 내지 제3 절연층(12, 13, 15)를 모두 관통하는 개구이다. 즉, 중간 도전체(34)에 생성된 제1, 제2 개구(H1, H2)와 제3 절연층(15)에 생성된 제4, 제5 개구(H4, H5)를 통하여 활성층(31)의 일부가 각각 노출될 수 있다. 제2 절연층(13), 제1 절연층(12)은 제3 절연층(15)과 유사한 절연 물질이므로 제4 마스크를 이용하여 한꺼번에 패터닝될 수 있으며 제1, 제2 개구(H1, H2)를 통과하여 소스/드레인 영역(31s/31d)의 일부를 노출시킨다. 이때, 중간 도전층(34)은 제1, 2 절연층(12,13)을 패터닝하기 위한 마스크로 사용될 수 있다.

[0064] 도 5는 도 3d의 제조 공정에서 형성된 트랜지스터 영역(3)을 상부에서 바라본 모양을 간략히 도시한 도면이다.

[0065] 도 5를 참조하면, 제3 절연층(15)에 형성된 제4, 5 개구(H4, H5)를 통해 중간 도전체(34)가 오픈되고, 중간 도전체(34)에 형성된 제1, 2 개구부(H1, H2)를 통해 소스/드레인 영역(31s, 31d)가 오픈되는 것을 알 수 있다. 상술한 바와 같이, 제4 마스크를 이용하여 패터닝 시 중간 도전체(34) 아래에 위치한 제1, 2 절연층(12, 13)도 함께 패터닝 되므로 제1 절연층(12) 아래에 위치한 소스/드레인 영역(31s, 31d)이 오픈되는 것을 알 수 있다.

[0066] 다음으로, 도 3e에 도시된 바와 같이, 제3 절연층(15)을 덮도록 기판(10) 전면에 제3 도전층(16)를 증착하고, 제3 도전층(16)을 패터닝하여 소스 전극(36s) 및 드레인 전극(36d)을 형성한다.

[0067] 상기 제3 도전층(16)은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 한다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5)을 충진할 수 있을 정도로 충분한 두께로 증착된다. 또한, 본 발명의 실시예에 따르면 제3 도전층(16)은 의 일부 영역은 화소 전극으로 사용될 수 있다.

[0068] 다음으로, 제4 마스크를 이용하여 제3 도전층(16)을 식각함으로써, 소스/드레인 전극(36s/36d)를 형성한다. 소스/드레인 전극(36s/36d)는 전술한 제4, 5 개구(H4, H5)를 통하여 활성층(31)에 접하도록 형성된다. 본 명세서의 도면에는 도시되어 있지 않지만, 본 발명의 일 실시예에 따른 유기발광표시장치는 화소를 포함하며, 화소의 화소 전극 역시 제3 도전층(16)을 패터닝하여 생성된다. 이때, 화소 전극은 소스/드레인 전극(36s/36d) 중 어느 하나와 연결될 수 있으며, 달리 표현하면 화소 전극이 연장된 형태가 소스/드레인 전극(36s/36d) 중 어느 하나를 형성할 수 있다.또한, 소스/드레인 전극(36s/36d) 중 하나의 전극(본 실시예의 경우 소스 전극(36s))은 제3 절연층(15)에 형성된 제3 개구(H3)을 통하여 커패시터(Cst)의 상부 전극(24)와 접속하도록 형성된다.

[0069] 기존의 유기발광표시장치를 5MASK 공정으로 생성하는 경우, 본 발명과 달리 화소 전극과 게이트 전극을 동일한 층에 함께 생성하므로 회로 영역과 유기 발광 영역을 분리 해야 한다. 따라서 해상도가 높아지면 픽셀의 크기는 줄어드는데 회로 영역의 크기는 그대로 유지되기 때문에 발광 영역이 줄어드는 문제점이 있었다. 본 발명의 일 실시예에 따르면, 제3 도전층(16)에서 소스/드레인 전극(36s/36d) 접합 부분을 제외한 다른 영역을 개구부, 즉 발광 영역으로 활용할 수 있다. 또한, 평탄화 역할을 하는 제3 절연층(15)을 추가적으로 삽입하여 배선간의 오버랩(overlap)으로 인한 기생 용량을 저감할 수 있다.

[0070] 최종적으로, 도 2와 같이 제4 절연층(미도시)를 형성한 후, 제 4 절연층을 패터닝하여 화소 정의막(17)을 형성한다.

[0071] 제4 절연층(미도시)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제4 절연층은 상기와 같은 유기 절연 물질뿐만 아니라, SiO2, SiNx, Al2O3, CuOx, Tb4O7, Y2O3, Nb2O5, Pr2O3 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제4 절연층은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 한편, 제4 절연층은 선택에 따라 배선영역(4)에 증착될 수도 있고, 증착되지 않을 수도 있다.

[0072] 화소 정의막(17)은 제6 마스크를 사용한 마스크 공정에 의해 패터닝하여 픽셀을 정의하게 된다. 본 발명의 명세서에서는 화소를 표시하는 유기발광층의 구성을 개시하지 않았지만, 본 발명의 유기 발광 장치는 화소 전극과 대향 전극 및 양 전극 사이에 개재된 유기 발광층을 포함하고, 화소 정의막(17)은 화소를 표시하는 전극의 중앙부가 노출되도록 개구를 형성함으로써, 픽셀을 정의하게 된다.

[0073] 한편 유기 발광층을 덮도록 기판에 전면적으로 대향 전극이 형성된다.

[0074] 유기 발광 장치가 기판의 반대 방향으로 발광하는 전면 발광형인 경우, 화소 전극은 광 반사가 가능한 전극으로 구비되고 대향 전극은 광투과가 가능한 전극으로 구비된다. 이 경우 화소 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Yb 또는 Ca 등으로 형성된 반사막을 더 포함할 수 있다. 이 경우 대향 전극은 광투과가 가능하도록 투명한 금속산화물인 ITO, IZO, ZnO, 또는 In2O3 등을 포함하여 구비될 수 있고, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca의 금속을 이용하여 박막으로 형성될 수 있다.

[0075] 본 발명은 이와 같이 총 6개의 마스크를 사용하여 7MASK 제조 공정보다 마스크의 수를 저감할 수 있다.

[0076] 도 6은 본 발명의 다른 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.

[0077] 도 6은 도 2의 실시예와 달리 중간 도전체(34)가 없는 것을 알 수 있다. 도 6의 유기발광표시장치는 도 3a 내지 도 3e의 제조 공정에서 도3c를 제외한 동일한 제조 공정에 의해 만들어질 수 있다. 도 6의 유기발광표시장치는 도 3c의 공정 대신 대신 도 3f로 표시되는 제조 공정으로 대체되어 생성될 수 있다.

[0078] 즉, 도 3c는 게이트 전극(32)이 형성된 기판(10)의 전면에 제2 절연층(13)을 증착하고, 제2 절연층(13)을 패터닝하여 커패시터(Cst) 상부 전극(24) 및 중간 도전체(34)를 형성하지만, 도 3f은 제2 절연층(13)을 패터닝하여 커패시터(Cst) 상부 전극(24)만을 형성한다. 원래의 도 3c 공정에서도 중간 도전체(34)는 제1, 제2 개구부(H1, H2)를 형성하고 있으므로, 도 6의 실시예에서도 도 3d와 같이 제4, 제5 개구(H4, H5)를 형성하는 공정이 동일하게 적용될 수 있다.

[0079] 본 발명에서 설명하는 특정 실행들은 일 실시 예들로서, 어떠한 방법으로도 본 발명의 범위를 한정하는 것은 아니다. 명세서의 간결함을 위하여, 종래 전자적인 구성들, 제어 시스템들, 소프트웨어, 상기 시스템들의 다른 기능적인 측면들의 기재는 생략될 수 있다. 또한, 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다. 또한, “필수적인”, “중요하게” 등과 같이 구체적인 언급이 없다면 본 발명의 적용을 위하여 반드시 필요한 구성 요소가 아닐 수 있다.

[0080] 본 발명의 명세서(특히 특허청구범위에서)에서 “상기”의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다. 또한, 본 발명에서 범위(range)를 기재한 경우 상기 범위에 속하는 개별적인 값을 적용한 발명을 포함하는 것으로서(이에 반하는 기재가 없다면), 발명의 상세한 설명에 상기 범위를 구성하는 각 개별적인 값을 기재한 것과 같다. 마지막으로, 본 발명에 따른 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 상기 단계들은 적당한 순서로 행해질 수 있다. 반드시 상기 단계들의 기재 순서에 따라 본 발명이 한정되는 것은 아니다. 본 발명에서 모든 예들 또는 예시적인 용어(예들 들어, 등등)의 사용은 단순히 본 발명을 상세히 설명하기 위한 것으로서 특허청구범위에 의해 한정되지 않는 이상 상기 예들 또는 예시적인 용어로 인해 본 발명의 범위가 한정되는 것은 아니다. 또한, 당업자는 다양한 수정, 조합 및 변경이 부가된 특허청구범위 또는 그 균등물의 범주 내에서 설계 조건 및 팩터에 따라 구성될 수 있음을 알 수 있다.

[0081] 이상에서 본 발명이 구체적인 구성요소 등과 같은 특정 사항과 한정된 실시예 및 도면에 의하여 설명되었으나,

이는 본 발명의 보다 전반적인 이해를 돕기 위하여 제공된 것일 뿐, 본 발명이 상기 실시예에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정과 변경을 꾀할 수 있다.

[0082] 따라서, 본 발명의 사상은 상기 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위는 본 발명의 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0083]

1: 유기발광표시장치 90: 실링부재

10: 제1기판 70: 제2기판

2: 저장영역 3: 트랜지스터영역

4: 배선 영역 5: 패드영역

11: 보조층

12: 제1절연층 13: 제2 절연층

15: 제3 절연층 16: 제3 도전층

17: 화소 정의막 22: 하부 전극

24: 상부 전극 31: 활성층

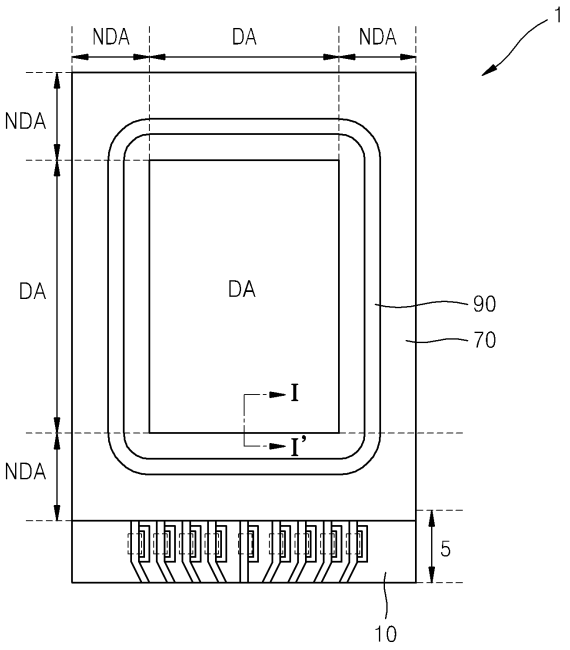
32: 게이트 전극 34: 중간 도전체

36s/36d: 소스/드레인 전극 42: 패드 전극

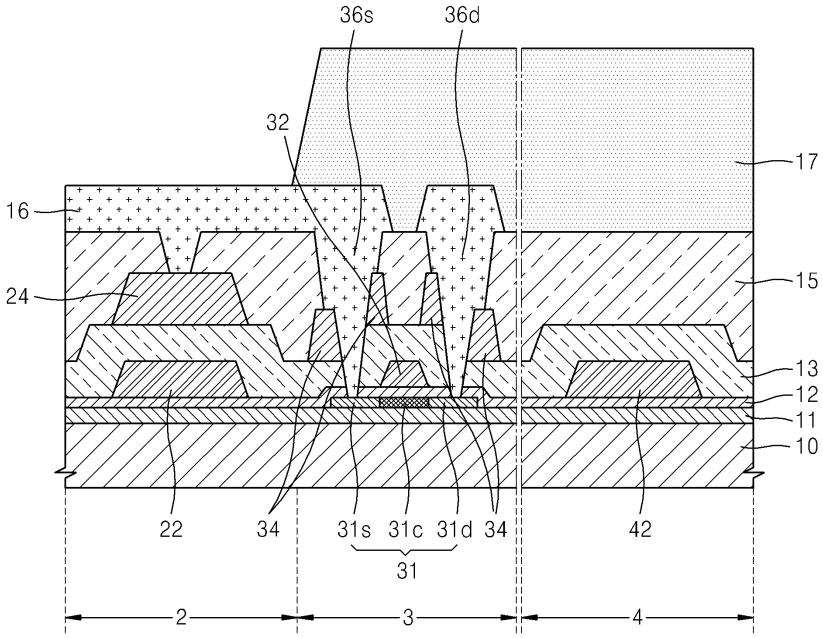
H1,2,3,4,5: 개구

도면

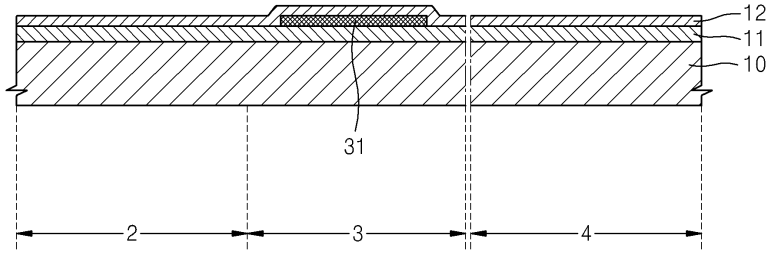
도면1



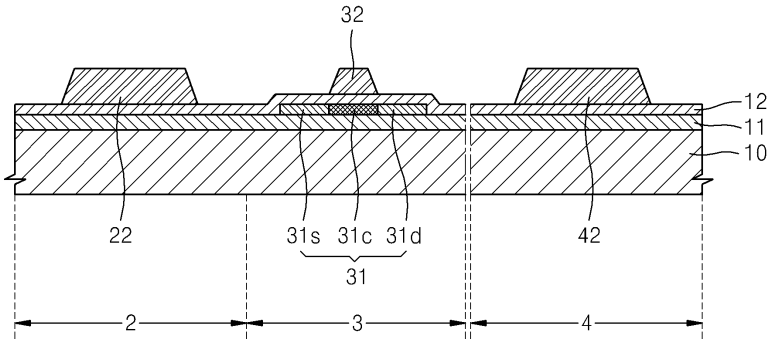
도면2



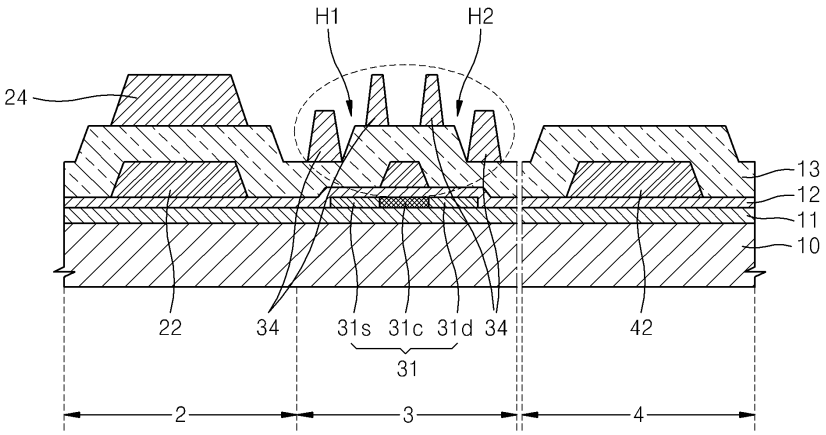
도면3a



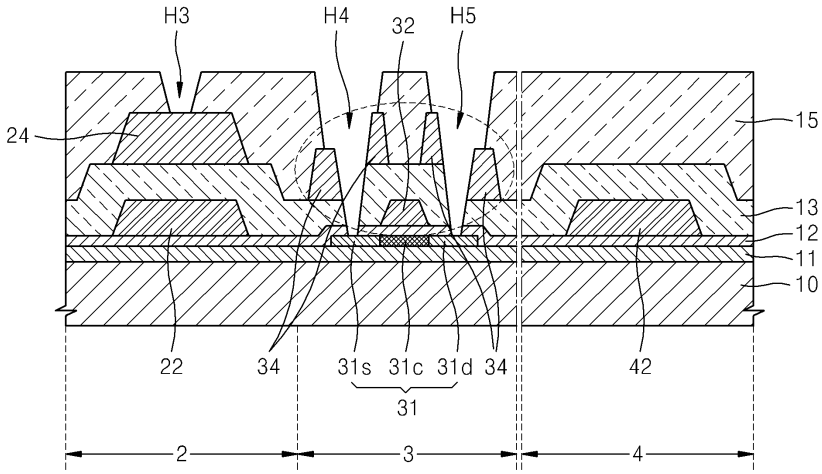
도면3b



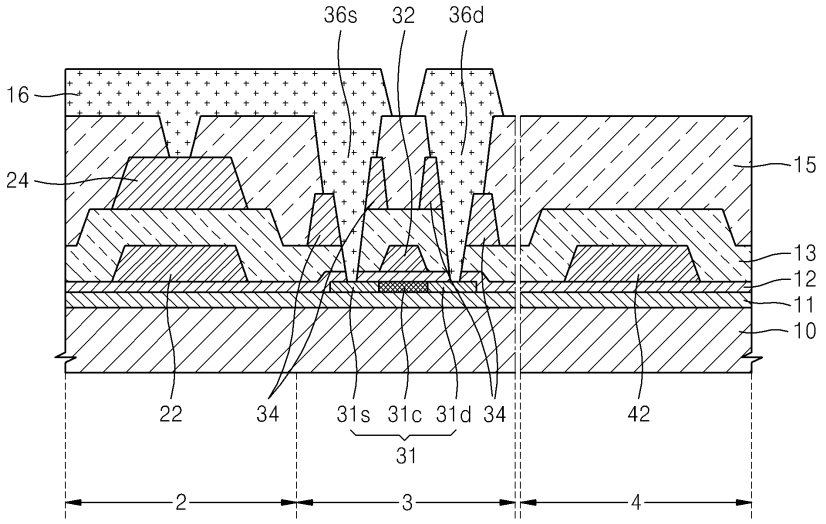
도면3c



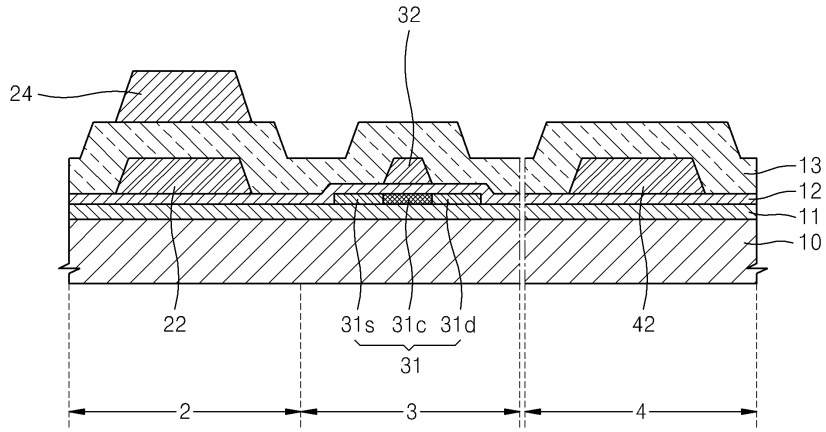
도면3d



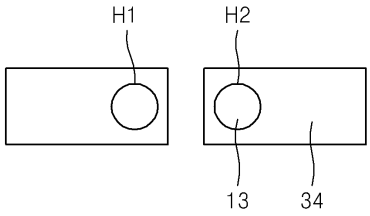
도면3e



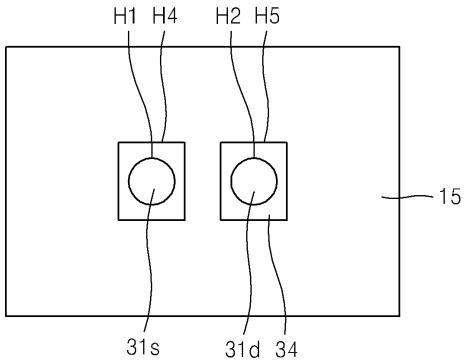
도면3f


32
24
13
12
11
10
22
31s
31c
31d
42
31
2
3
4

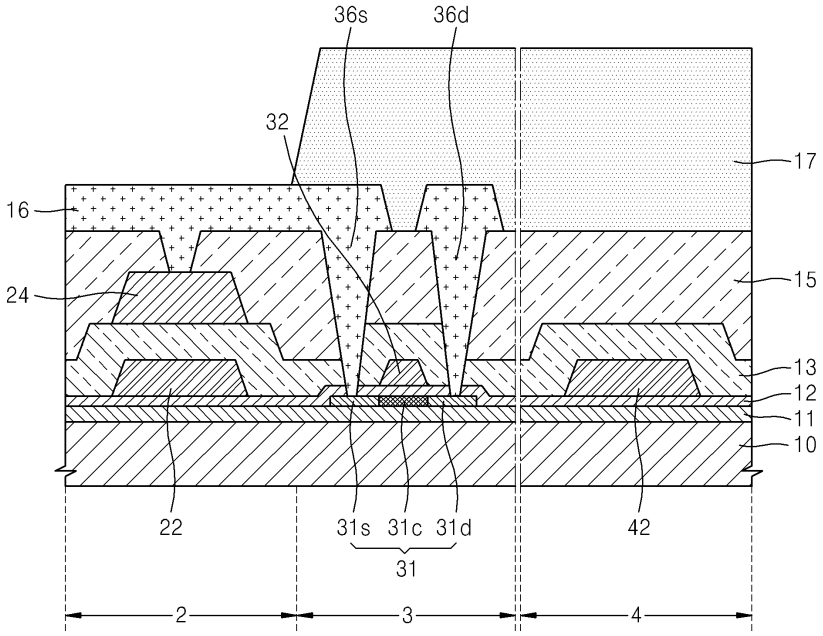
도면4


H1
H2
13
34

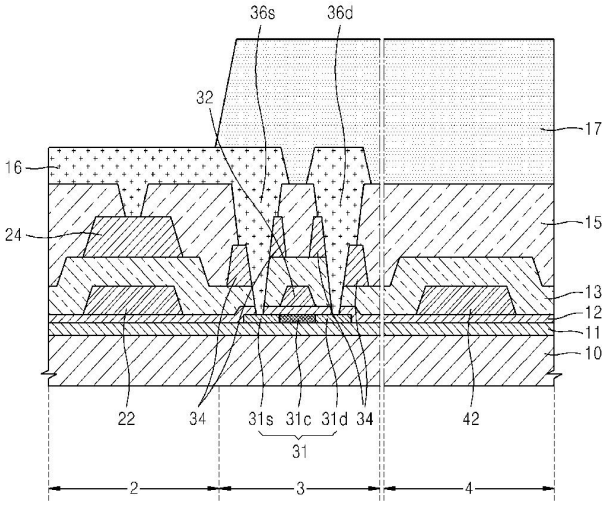
도면5


H1
H4
H2
H5
15
31s
31d
34

도면6



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR101990554B1	公开(公告)日	2019-06-19
申请号	KR1020120129780	申请日	2012-11-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박정근		
发明人	박정근		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3265 H01L27/3276		
审查员(译)	Yiwoori		
其他公开文献	KR1020140062880A		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置及其制造方法。 一种薄膜晶体管，包括漏极； 像素电极电连接至薄膜晶体管，像素电极与源电极和漏电极一体形成，并连接至源电极和漏电极中的任一个； 提供了一种有机发光显示装置。