



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월01일
(11) 등록번호 10-1963748
(24) 등록일자 2019년03월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09G 3/3275 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/3275 (2013.01)
(21) 출원번호 10-2017-7015852
(22) 출원일자(국제) 2016년12월22일
심사청구일자 2017년06월09일
(85) 번역문제출일자 2017년06월09일
(65) 공개번호 10-2018-0116112
(43) 공개일자 2018년10월24일
(86) 국제출원번호 PCT/CN2016/111468
(87) 국제공개번호 WO/2017/215229
국제공개일자 2017년12월21일
(30) 우선권주장
201610440604.7 2016년06월17일 중국(CN)
(56) 선행기술조사문헌
KR1020160001822 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시
양치아오 로드 10호
(72) 발명자
우, 중위안
중국 100176 베이징 비디에이 디저 로드 넘버 9
(74) 대리인
양영준, 김성운, 백만기

전체 청구항 수 : 총 15 항

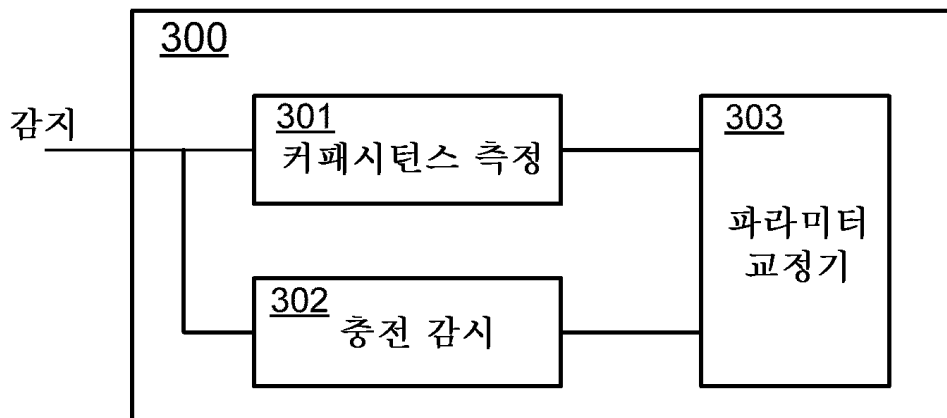
심사관 : 이승민

(54) 발명의 명칭 OLED 서브픽셀 회로를 위한 교정 장치, 소스 전극 구동 회로, 및 데이터 전압 보상 방법

(57) 요약

본 출원은 서브픽셀 회로와 연관되는 교정 장치, 소스 전극 구동 회로, 및 데이터 라인 및 감지 라인과 연관되는 서브픽셀 회로의 데이터 라인에 인가되는 데이터 전압을 보상하는 방법을 개시한다. 교정 장치는 감지 라인과 관련되는 커패시턴스 측정 전압을 출력하는 커패시턴스 측정 회로, 데이터 라인에 참조 데이터 전압이 인가될 때 감지 라인 상에서 충전 전압을 감지하는 충전 감지 회로, 및 커패시턴스 측정 전압, 참조 데이터 전압, 및 충전 전압에 기초하여 상기 서브픽셀 회로에서 구동 트랜지스터의 파라미터들을 산출하는 파라미터 교정기를 포함하고, 전기 파라미터 드리프트들로 인한 회로의 불균일성을 보상하기 위한 보상 데이터 전압을 결정하도록 소스 전극 구동 회로에 대한 구동 트랜지스터의 전기 파라미터 드리프트들을 결정하도록 구성된다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0295 (2013.01)

G09G 2320/043 (2013.01)

G09G 2320/0693 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

픽셀 어레이에서 각각 대응하는 서브픽셀 회로에 대한 데이터 전압을 발생시키도록 구성되는 소스 전극 구동 회로로서, 상기 픽셀 어레이는 복수의 서브픽셀들, 복수의 제1 스캔 라인들, 복수의 제2 스캔 라인들, 복수의 데이터 라인들, 및 복수의 감지 라인들을 포함하고, 각각의 서브픽셀은 구동 트랜지스터, 제1 스위칭 트랜지스터, 제2 스위칭 트랜지스터, 및 광 방출기를 포함하는 서브픽셀 회로를 포함하고, 상기 감지 라인은 기생 커패시턴스를 포함하고; 상기 소스 전극 구동 회로는,

상기 픽셀 어레이에서 각각의 감지 라인을 선택하도록 구성되는 제1 멀티플렉서;

상기 제1 멀티플렉서의 출력 단자에 연결되는 커패시턴스 측정 회로 - 상기 커패시턴스 측정 회로는 펄스 전압 소스를 포함하고, 상기 커패시턴스 측정 회로는 상기 펄스 전압 소스에 의해 발생하는 펄스 전압에 기초하여 상기 제1 멀티플렉서에 의해 선택되는 감지 라인을 충전하도록 구성되고 및 상기 제1 멀티플렉서에 의해 선택되는 감지 라인의 기생 커패시턴스 및 상기 펄스 전압과 연관되는 커패시턴스 측정 전압을 출력하도록 구성됨 -;

상기 픽셀 어레이에서 각각의 감지 라인을 선택하도록 구성되는 복수의 입력 라인들 및 제2 멀티플렉서에 의해 선택되는 감지 라인을 충전하는 충전 전압을 출력하도록 구성되는 출력 라인을 포함하는 상기 제2 멀티플렉서; 및

상기 제2 멀티플렉서의 출력 라인에 결합되고, 및 상기 제1 멀티플렉서에 의해 선택되는 감지 라인에 대응하는 커패시턴스 측정 전압에 기초하여 그리고 상기 데이터 라인에 인가되는 참조 데이터 전압 및 상기 제2 멀티플렉서에 의해 선택되는 감지 라인을 충전하는 충전 전압에 기초하여 상기 제2 멀티플렉서에 의해 선택되는 감지 라인에 대응하는 서브픽셀 회로에서 상기 구동 트랜지스터의 전기 파라미터들을 산출하도록 구성되는 파라미터 교정기

를 포함하는 소스 전극 구동 회로.

청구항 7

제6항에 있어서, 상기 픽셀 어레이는 픽셀들의 M 행들 및 N 열들을 포함하고, 각각의 픽셀은 적어도 하나의 서브픽셀을 포함하고, 서브픽셀들의 각각의 행은 제1 스캔 라인 및 제2 스캔 라인을 공유하고, 서브픽셀들의 각각의 열은 데이터 라인 및 감지 라인을 공유하는 소스 전극 구동 회로.

청구항 8

제6항에 있어서, 커패시턴스 측정 모드에서 동작하기 위해 상기 소스 전극 구동 회로를 제어하도록 상기 커패시턴스 측정 회로로부터 수신되는 커패시턴스 측정 전압 및 충전 감지 모드에서 동작하기 위해 상기 소스 전극 구동 회로를 제어하도록 상기 제2 멀티플렉서로부터 수신되는 충전 전압 중 하나를 선택하도록 구성되는 제3 멀티플렉서를 추가로 포함하는 소스 전극 구동 회로.

청구항 9

제8항에 있어서,

상기 커패시턴스 측정 전압 또는 상기 충전 전압과 연관되는 아날로그 신호를 디지털 신호로 변환하기 위해 상기 제3 멀티플렉서의 출력 단자에 연결되는 아날로그-디지털 변환기;

서브픽셀 회로의 데이터 라인에 인가되는 주어진 데이터 전압 및 상기 파라미터 교정기에 의해 획득되는 상기 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들에 기초하여 상기 픽셀 어레이에서 각각의 상기 서브픽셀 회로에 대한 보상 데이터 전압을 결정하도록 구성되는 데이터 전압 보상기; 및

상기 보상 데이터 전압을 발생시키고 상기 서브픽셀 회로에 연결되는 데이터 라인에 인가하도록 구성되는 데이터 전압 발생기를 추가로 포함하는 소스 전극 구동 회로.

청구항 10

제9항에 있어서, 상기 파라미터 교정기 및 상기 데이터 전압 보상기 각각은 상기 전기 파라미터들 및 상기 보상 데이터 전압을 디지털 포맷으로 처리하는 디지털 신호 프로세서를 포함하는 소스 전극 구동 회로.

청구항 11

제9항에 있어서, 상기 데이터 전압 발생기는 상기 데이터 전압 보상기에 의해 결정되는 디지털 포맷의 상기 보상 데이터 전압을 아날로그 신호로 변환하고 아날로그 포맷의 상기 보상 데이터 전압을 상기 서브픽셀 회로에 연결되는 데이터 라인에 인가하도록 구성되는 디지털-아날로그 변환기를 포함하는 소스 전극 구동 회로.

청구항 12

제11항에 있어서, 상기 제2 멀티플렉서는 상기 픽셀 어레이로부터 선택되는 서브픽셀 회로들의 행으로부터 상기 제2 멀티플렉서에 의해 순서대로 선택되는 감지 라인에 대응하는 제1 충전 전압을 출력하도록 구성되며, 상기 서브픽셀 회로들의 행에 연결되는 각각의 데이터 라인에는 제1 참조 데이터 전압이 인가되고;

상기 제2 멀티플렉서는 상기 픽셀 어레이로부터 선택되는 서브픽셀 회로들의 행으로부터 상기 제2 멀티플렉서에 의해 순서대로 선택되는 감지 라인에 대응하는 제2 충전 전압을 출력하도록 추가로 구성되며, 상기 서브픽셀 회로들의 행에 연결되는 각각의 데이터 라인에는 제2 참조 데이터 전압이 인가되고;

상기 파라미터 교정기는 상기 커패시턴스 측정 회로에 의해 측정되는 서브픽셀 회로에 연결되는 감지 라인 상의 커패시턴스 측정 전압, 상기 서브픽셀 회로에 연결되는 대응하는 데이터 라인에 인가되는 제1 참조 데이터 전압, 상기 서브픽셀 회로에 연결되는 대응하는 감지 라인 상의 제1 충전 전압, 상기 대응하는 데이터 라인에 인가되는 제2 참조 데이터 전압, 및 상기 대응하는 감지 라인 상의 제2 충전 전압에 기초하여 상기 픽셀 어레이에서 상기 각각의 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들을 결정하도록 구성되며, 상기 제1 참조 데이터 전압 및 상기 제2 참조 데이터 전압은 상이한 시간 기간들에서 상기 대응하는 데이터 라인에 인가되는 소스 전극 구동 회로.

청구항 13

제6항에 있어서, 상기 전기 파라미터들은 상기 서브픽셀 회로 내의 구동 트랜지스터와 연관되는 임계 전압 및 캐리어 이동도 레이트를 포함하는 소스 전극 구동 회로.

청구항 14

제6항에 있어서, 상기 커패시턴스 측정 회로는,

접지되는 제1 단자 및 상기 펄스 전압을 출력하는 제2 단자를 갖는 상기 펄스 전압 소스;

상기 펄스 전압 소스의 제2 단자에 연결되는 비반전 입력 단자 및 상기 감지 라인에 연결되는 반전 입력 단자

및 상기 커패시턴스 측정 전압을 출력하는 출력 단자를 갖는 전압 비교기, 및

상기 전압 비교기의 출력 단자에 연결되는 제1 단자 및 상기 전압 비교기의 반전 입력 단자에 연결되는 제2 단자를 갖는 피드백 회로를 포함하는 소스 전극 구동 회로.

청구항 15

제14항에 있어서, 상기 피드백 회로는 상기 전압 비교기의 반전 입력 단자에 연결되는 제1 공통 단자 및 상기 전압 비교기의 출력 단자에 연결되는 제2 공통 단자를 갖는 제1 저항기 및 제1 커패시터를 포함하고;

상기 파라미터 교정기는 상기 커패시턴스 측정 회로에 의해 상기 감지 라인에 대해 측정되는 커패시턴스 측정 전압 및 연관된 펄스 전압, 상기 제1 커패시터의 커패시턴스, 상기 서브픽셀 회로에 연결되는 데이터 라인에 인가되는 참조 데이터 전압, 및 상기 감지 라인을 충전하는 충전 전압에 기초하여 상기 제2 멀티플렉서에 의해 선택되는 감지 라인에 대응하는 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들을 결정하도록 구성되는 소스 전극 구동 회로.

청구항 16

제9항의 소스 전극 구동 회로에 의해 구동되는 서브픽셀 회로들의 선택된 행의 각각의 데이터 라인에 인가되는 데이터 전압을 보상하는 방법으로서,

상기 커패시턴스 측정 모드에서 동작하기 위해 상기 소스 전극 구동 회로를 제어하도록 상기 제3 멀티플렉서에 의해 상기 커패시턴스 측정 회로로부터 수신되는 커패시턴스 측정 전압을 선택하는 단계 - 상기 커패시턴스 측정 전압은 상기 제1 멀티플렉서에 의해 선택되는 감지 라인의 기생 커패시턴스와 연관되고; 상기 제1 멀티플렉서는 상기 서브픽셀 회로들의 선택된 행과 연관되는 각각의 감지 라인을 순차적으로 선택함 -;

제1 참조 데이터 전압을 제1 기간에 디지털 전압 발생기에서 점진적으로 데이터 라인에 하나씩 하나씩 출력하고, 상기 픽셀 어레이로부터 상기 서브픽셀 회로들의 선택된 행에 대한 제2 멀티플렉서에 의해 순차적으로 선택되는 대응하는 감지 라인 상의 현재 충전된 전압으로부터 판독되는 각각의 서브픽셀 회로에 대한 제1 충전 전압을 획득하는 단계;

제2 참조 데이터 전압을 제2 기간에 상기 디지털 전압 발생기에서 점진적으로 데이터 라인에 하나씩 하나씩 출력하고, 상기 픽셀 어레이로부터 상기 서브픽셀 회로들의 선택된 행에 대해 상기 제2 멀티플렉서에 의해 순차적으로 선택되는 대응하는 감지 라인 상의 현재 충전된 전압으로부터 판독되는 각각의 서브픽셀 회로에 대한 제2 충전 전압을 획득하는 단계;

상기 대응하는 감지 라인에 대해 측정되는 커패시턴스 측정 전압, 상기 제1 기간 및 상기 제2 기간에 각각 획득되는 대응하는 감지 라인과 연관되는 각각의 서브픽셀 회로의 제1 충전 전압 및 제2 충전 전압에 기초하여 상기 파라미터 교정기에 의해 상기 픽셀 어레이로부터의 상기 서브픽셀 회로들의 선택된 행 각각에서의 구동 트랜지스터의 전기 파라미터들을 산출하는 단계; 및

상기 서브픽셀 회로의 대응하는 데이터 라인에 인가되는 주어진 데이터 전압 및 상기 서브픽셀 회로 내의 구동 트랜지스터의 전기 파라미터들에 기초하여 상기 데이터 전압 보상기에 의해 상기 서브픽셀 회로의 보상 데이터 전압을 결정하고, 상기 보상 데이터 전압을 발생시키고 상기 서브픽셀 회로에 연결되는 데이터 라인에 인가하는 단계

를 포함하는 방법.

청구항 17

제16항에 있어서, 상기 제1 참조 데이터 전압을 각각의 데이터 라인에 출력하고 각각 대응하는 감지 라인으로부터 제1 충전 전압을 획득하는 단계는,

상기 제1 참조 데이터 전압이 점진적으로 각각 대응하는 데이터 라인에 출력됨에 따라 상기 픽셀 어레이 내의 감지 라인을 참조 전압 단자에 연결하는 단계;

상기 참조 전압 단자로부터 상기 서브픽셀 회로에 의해 충전되는 감지 라인을 분리하는 단계;

상기 제2 멀티플렉서에 의해 각각의 감지 라인을 순차적으로 선택하고 현재 상기 감지 라인 상의 충전된 전압을 출력으로서 판독하는 단계; 및

상기 충전 감지 모드 동안 상기 제3 멀티플렉서에 의해 상기 출력을 선택하고 상기 출력을 상기 제1 충전 전압으로서 출력하는 단계를 추가로 포함하는 방법.

청구항 18

제16항에 있어서, 상기 제2 참조 데이터 전압을 각각의 데이터 라인에 출력하고 각각 대응하는 감지 라인으로부터 제2 충전 전압을 획득하는 단계는,

상기 제2 참조 데이터 전압이 점진적으로 각각 대응하는 데이터 라인에 출력됨에 따라 상기 픽셀 어레이 내의 감지 라인을 참조 전압 단자에 연결하는 단계;

상기 참조 전압 단자로부터 상기 서브픽셀 회로에 의해 충전되는 감지 라인을 분리하는 단계;

상기 제2 멀티플렉서에 의해 각각의 감지 라인을 순차적으로 선택하고 현재 상기 감지 라인 상의 충전된 전압을 출력으로서 판독하는 단계; 및

상기 충전 감지 모드 동안 상기 제3 멀티플렉서에 의해 상기 출력을 선택하고 상기 출력을 상기 제2 충전 전압으로서 출력하는 단계를 추가로 포함하는 방법.

청구항 19

제16항에 있어서, 상기 서브픽셀 회로의 보상 데이터 전압을 결정하는 단계는 디지털 전압 신호를 산출하기 위해 상기 서브픽셀 회로의 데이터 라인에 인가되는 주어진 데이터 전압 및 상기 서브픽셀 회로 내의 구동 트랜지스터의 대응하는 전기 파라미터들과 연관되는 디지털 신호들을 처리하는 단계, 상기 디지털 전압 신호를 아날로그 전압 신호로 상기 데이터 전압 발생기에 의해 변환하는 단계, 상기 아날로그 전압 신호를 보상 데이터 전압으로서 상기 서브픽셀 회로의 데이터 라인에 출력하는 단계를 포함하는 방법.

청구항 20

제16항에 있어서, 상기 구동 트랜지스터의 전기 파라미터들은 상기 서브픽셀 회로 내의 구동 트랜지스터와 연관되는 임계 전압 및 캐리어 이동도 레이트를 포함하는 방법.

발명의 설명

기술 분야

[0001]

관련 출원에 대한 상호 참조

[0002]

본 출원은 2016년 6월 17일에 출원된 중국 특허 출원 제201610440604.7호에 대한 우선권을 주장하며, 그것의 내용들은 전체적으로 참조에 의해 포함된다.

[0003]

본 발명은 유기 발광 디스플레이 기술 분야에 관한 것으로, 특히 각각의 서브픽셀 회로와 연관되는 교정 장치, 소스 전극 구동 회로, 및 유기 발광 디스플레이 장비에 사용되는 데이터 전압 보상 방법에 관한 것이다.

배경 기술

[0004]

유기 발광 다이오드(Organic light emission diode)(OLED)는 고성능 디스플레이 장비를 위한 전류-소스-기반 광 방출기로서 광범위하게 사용되었다. 구체적으로, 능동 매트릭스 OLED 디스플레이에서, 픽셀들의 어레이의 각각의 행은 디스플레이를 위해 행 별로 점진적으로 스캐닝함으로써 순차적으로 턴 온된다. 데이터 전압은 턴 온되는 픽셀들의 모든 행마다 인가되며, 그것에 기초하여 OLED 전류가 발생되어 픽셀들의 행 내의 다이오드들이 데이터 전압에 의해 제어되는 이미지를 디스플레이하기 위한 광을 방출하도록 야기한다.

발명의 내용

[0005]

일 양태에서, 본 발명은 서브픽셀 회로와 연관되는 교정 장치를 제공하며, 서브픽셀 회로는 광 방출기를 구동하기 위해 데이터 라인에 결합되는 게이트 및 감지 라인에 결합되는 드레인을 갖는 구동 트랜지스터를 포함하고; 교정 장치는 펄스 전압 소스에 결합되고, 펄스 전압 소스에 의해 제공되는 펄스 전압에 기초하여 기생 커패시턴스를 충전하도록 구성되고 기생 커패시턴스와 연관되는 커패시턴스 측정 전압 및 펄스 전압을 출력하도록 구성되는 커패시턴스 측정 회로; 데이터 라인에 인가되는 참조 데이터 전압에 응답하여 감지 라인 상에서 충전 전압

을 감지하도록 구성되는 충전 감지 회로; 및 커패시턴스 측정 전압, 펄스 전압, 참조 데이터 전압, 및 충전 전압에 기초하여 구동 트랜지스터의 전기 파라미터들을 산출하도록 구성되는 파라미터 교정기를 포함한다.

[0006] 임의로, 충전 감지 회로는 전도성 와이어를 포함하고 데이터 라인에 인가되는 제1 참조 데이터 전압에 응답하여 감지 라인 상에서 제1 충전 전압을 감지하도록 구성되고, 데이터 라인에 인가되는 제2 참조 데이터 전압에 응답하여 감지 라인 상에서 제2 충전 전압을 감지하도록 구성되고; 파라미터 교정기는 커패시턴스 측정 전압, 펄스 전압, 제1 참조 데이터 전압, 제1 충전 전압, 제2 참조 데이터 전압, 및 제2 충전 전압에 기초하여 구동 트랜지스터의 전기 파라미터들을 산출한다.

[0007] 임의로, 전기 파라미터들은 임계 전압 및 캐리어 이동도 레이트를 포함한다.

[0008] 임의로, 커패시턴스 측정 회로는 제2 전원 단자에 연결되는 제1 단자 및 펄스 전압을 출력하는 제2 단자를 갖는 펄스 전압 소스; 펄스 전압 소스의 제2 단자에 연결되는 비반전 입력 단자, 감지 라인에 연결되는 반전 입력 단자, 및 커패시턴스 측정 전압을 출력하는 출력 단자를 갖는 전압 비교기; 및 전압 비교기의 출력 단자에 연결되는 제1 단자 및 전압 비교기의 반전 입력 단자에 연결되는 제2 단자를 갖는 피드백 회로를 포함한다.

[0009] 임의로, 피드백 회로는 전압 비교기의 반전 입력 단자에 연결되는 제1 공통 단자 및 전압 비교기의 출력 단자에 연결되는 제2 공통 단자를 갖는 제1 저항기 및 제1 커패시터를 포함하며; 커패시턴스 측정 전압과 펄스 전압 사이의 차이는 펄스 전압의 펄스 레이트가 미리 결정된 임계 주파수보다 더 높을 때 감지 라인의 기생 커패시턴스에 비례하고, 펄스 전압에 비례하고, 제1 커패시터의 커패시턴스에 반비례한다.

[0010] 다른 양태에서, 본 발명은 픽셀 어레이에서 각각 대응하는 서브픽셀 회로에 대한 데이터 전압을 발생시키도록 구성되는 소스 전극 구동 회로를 제공하며, 픽셀 어레이는 복수의 서브픽셀들, 복수의 제1 스캔 라인들, 복수의 제2 스캔 라인들, 복수의 데이터 라인들, 및 복수의 감지 라인들을 포함하고, 각각의 서브픽셀은 구동 트랜지스터, 제1 스위칭 트랜지스터, 제2 스위칭 트랜지스터, 및 광 방출기를 포함하는 서브픽셀 회로를 포함하고, 감지 라인은 기생 커패시턴스를 포함하고; 소스 전극 구동 회로는 픽셀 어레이에서 각각의 감지 라인을 선택하도록 구성되는 제1 멀티플렉서; 제1 멀티플렉서의 출력 단자에 연결되는 커패시턴스 측정 회로 - 커패시턴스 측정 회로는 펄스 전압 소스를 포함하고, 커패시턴스 측정 회로는 펄스 전압 소스에 의해 발생하는 펄스 전압에 기초하여 제1 멀티플렉서에 의해 선택되는 감지 라인을 충전하도록 구성되고 제1 멀티플렉서에 의해 선택되는 감지 라인의 기생 커패시턴스 및 펄스 전압과 연관되는 커패시턴스 측정 전압을 출력하도록 구성됨 -; 픽셀 어레이에서 각각의 감지 라인을 선택하도록 구성되는 복수의 입력 라인들 및 제2 멀티플렉서에 의해 선택되는 감지 라인을 충전하는 충전 전압을 출력하도록 구성되는 출력 라인을 포함하는 제2 멀티플렉서; 및 제2 멀티플렉서의 출력 라인에 결합되고, 제2 멀티플렉서에 의해 선택되는 감지 라인에 대응하는 커패시턴스 측정 전압에 기초하여, 그리고 데이터 라인에 인가되는 참조 데이터 전압 및 제2 멀티플렉서에 의해 선택되는 감지 라인을 충전하는 충전 전압에 기초하여 제2 멀티플렉서에 의해 선택되는 감지 라인에 대응하는 서브픽셀 회로에서 구동 트랜지스터의 전기 파라미터들을 산출하도록 구성되는 파라미터 교정기를 포함한다.

[0011] 임의로, 픽셀 어레이는 픽셀들의 M 행들 및 N 열들을 포함하고, 각각의 픽셀은 적어도 하나의 서브픽셀을 포함하고, 서브픽셀들의 각각의 행은 제1 스캔 라인 및 제2 스캔 라인을 공유하고, 서브픽셀들의 각각의 열은 데이터 라인 및 감지 라인을 공유한다.

[0012] 임의로, 소스 전극 구동 회로는 커패시턴스 측정 모드에서 동작하기 위해 소스 전극 구동 회로를 제어하도록 커패시턴스 측정 회로로부터 수신되는 커패시턴스 측정 전압 및 충전 감지 모드에서 동작하기 위해 소스 전극 구동 회로를 제어하도록 제2 멀티플렉서로부터 수신되는 충전 전압 중 하나를 선택하도록 구성되는 제3 멀티플렉서를 더 포함한다.

[0013] 임의로, 소스 전극 구동회로는 커패시턴스 측정 전압 또는 충전 전압과 연관되는 아날로그 신호를 디지털 신호로 변환하기 위해 제3 멀티플렉서의 출력 단자에 연결되는 아날로그-디지털 변환기; 서브픽셀 회로의 데이터 라인에 인가되는 주어진 데이터 전압 및 파라미터 교정기에 의해 획득되는 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들에 기초하여 픽셀 어레이에서 각각의 서브픽셀 회로에 대한 보상 데이터 전압을 결정하도록 구성되는 데이터 전압 보상기; 및 보상 데이터 전압을 발생시키고 서브픽셀 회로에 연결되는 데이터 라인에 인가하도록 구성되는 데이터 전압 발생기를 더 포함한다.

[0014] 임의로, 파라미터 교정기 및 데이터 전압 보상기 각각은 전기 파라미터들 및 보상 데이터 전압을 디지털 포맷으로 처리하는 디지털 신호 프로세서를 각각 포함한다.

[0015] 임의로, 데이터 전압 발생기는 데이터 전압 보상기에 의해 결정되는 디지털 포맷의 보상 데이터 전압을 아날로그

그 신호로 변환하고 보상 데이터 전압을 아날로그 포맷으로 서브픽셀 회로에 연결되는 데이터 라인에 인가하도록 구성되는 디지털-아날로그 변환기를 포함한다.

[0016] 임의로, 제2 멀티플렉서는 픽셀 어레이로부터 선택되는 서브픽셀 회로들의 행으로부터 제2 멀티플렉서에 의해 순서대로 선택되는 감지 라인에 대응하는 제1 충전 전압을 출력하도록 구성되며, 서브픽셀 회로들의 행에 연결되는 각각의 데이터 라인에는 제1 참조 데이터 전압이 인가되고; 제2 멀티플렉서는 픽셀 어레이로부터 선택되는 서브픽셀 회로들의 행으로부터 제2 멀티플렉서에 의해 순서대로 선택되는 감지 라인에 대응하는 제2 충전 전압을 출력하도록 더 구성되며, 서브픽셀 회로들의 행에 연결되는 각각의 데이터 라인에는 제2 참조 데이터 전압이 인가되고; 파라미터 교정기는 커패시턴스 측정 회로에 의해 측정되는 서브픽셀 회로에 연결되는 감지 라인 상의 커패시턴스 측정 전압, 서브픽셀 회로에 연결되는 대응하는 데이터 라인에 인가되는 제1 참조 데이터 전압, 서브픽셀 회로에 연결되는 대응하는 감지 라인 상의 제1 충전 전압, 대응하는 데이터 라인에 인가되는 제2 참조 데이터 전압, 및 대응하는 감지 라인 상의 제2 충전 전압에 기초하여 픽셀 어레이에서 각각의 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들을 결정하도록 구성되며, 제1 참조 데이터 전압 및 제2 참조 데이터 전압은 상이한 시간 기간들에 대응하는 데이터 라인에 인가된다.

[0017] 임의로, 전기 파라미터들은 서브픽셀 회로 내의 구동 트랜지스터와 연관되는 임계 전압 및 캐리어 이동도 레이트를 포함한다.

[0018] 임의로, 커패시턴스 측정 회로는 접지되는 제1 단자 및 펄스 전압을 출력하는 제2 단자를 갖는 펄스 전압 소스; 펄스 전압 소스의 제2 단자에 연결되는 비반전 입력 단자 및 감지 라인에 연결되는 반전 입력 단자 및 커패시턴스 측정 전압을 출력하는 출력 단자를 갖는 전압 비교기, 및 전압 비교기의 출력 단자에 연결되는 제1 단자 및 전압 비교기의 반전 입력 단자에 연결되는 제2 단자를 갖는 피드백 회로를 포함한다.

[0019] 임의로, 피드백 회로는 전압 비교기의 반전 입력 단자에 연결되는 제1 공통 단자 및 전압 비교기의 출력 단자에 연결되는 제2 공통 단자를 갖는 제1 저항기 및 제1 커패시터를 포함하고; 파라미터 교정기는 커패시턴스 측정 회로에 의해 감지 라인에 대해 측정되는 커패시턴스 측정 전압 및 연관된 펄스 전압, 제1 커패시터의 커패시턴스, 서브픽셀 회로에 연결되는 데이터 라인에 인가되는 참조 데이터 전압, 및 감지 라인을 충전하는 충전 전압에 기초하여 제2 멀티플렉서에 의해 선택되는 감지 라인에 대응하는 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들을 결정하도록 구성된다.

[0020] 다른 양태에서, 본 발명은 본원에 설명되는 소스 전극 구동 회로에 의해 구동되는 서브픽셀 회로들의 선택된 행의 각각의 데이터 라인에 인가되는 데이터 전압을 보상하는 방법을 제공하며, 방법은 커패시턴스 측정 모드에서 동작하기 위해 소스 전극 구동 회로를 제어하도록 제3 멀티플렉서에 의해 커패시턴스 측정 회로로부터 수신되는 커패시턴스 측정 전압을 선택하는 단계 - 커패시턴스 측정 전압은 제1 멀티플렉서에 의해 선택되는 감지 라인의 기생 커패시턴스와 연관되고; 제1 멀티플렉서는 서브픽셀 회로들의 선택된 행과 연관되는 각각의 감지 라인을 순차적으로 선택함 -; 제1 참조 데이터 전압을 제1 기간에 디지털 전압 발생기에서 점진적으로 데이터 라인에 하나씩 하나씩 출력하고, 픽셀 어레이로부터 서브픽셀 회로들의 선택된 행에 대한 제2 멀티플렉서에 의해 순차적으로 선택되는 대응하는 감지 라인 상의 현재 충전된 전압으로부터 판독되는 각각의 서브픽셀 회로에 대한 제1 충전 전압을 획득하는 단계; 제2 참조 데이터 전압을 제2 기간에 디지털 전압 발생기에서 점진적으로 데이터 라인에 하나씩 하나씩 출력하고, 픽셀 어레이로부터 서브픽셀 회로들의 선택된 행에 대한 제2 멀티플렉서에 의해 순차적으로 선택되는 대응하는 감지 라인 상의 현재 충전된 전압으로부터 판독되는 각각의 서브픽셀 회로에 대한 제2 충전 전압을 획득하는 단계; 대응하는 감지 라인에 대해 측정되는 커패시턴스 측정 전압, 제1 시간 기간 및 제2 시간 기간에 각각 획득되는 대응하는 감지 라인에 연관되는 각각의 서브픽셀 회로의 제1 충전 전압 및 제2 충전 전압에 기초하여 파라미터 교정기에 의해 픽셀 어레이로부터 서브픽셀 회로들의 선택된 행 각각에서 구동 트랜지스터의 전기 파라미터들을 산출하는 단계; 및 서브픽셀 회로의 대응하는 데이터 라인에 인가되는 주어진 데이터 전압 및 서브픽셀 회로 내의 구동 트랜지스터의 전기 파라미터들에 기초하여 데이터 전압 보상기에 의해 서브픽셀 회로의 보상 데이터 전압을 결정하고, 보상 데이터 전압을 발생시키고 서브픽셀 회로에 연결되는 데이터 라인에 인가하는 단계를 포함한다.

[0021] 임의로, 제1 참조 데이터 전압을 각각의 데이터 라인에 출력하고 각각 대응하는 감지 라인으로부터 제1 충전 전압을 획득하는 단계는 제1 참조 데이터 전압이 점진적으로 각각 대응하는 데이터 라인에 출력됨에 따라 픽셀 어레이 내의 감지 라인을 참조 전압 단자에 연결하는 단계; 참조 전압 단자로부터 서브픽셀 회로에 의해 충전되는 감지 라인을 분리하는 단계; 제2 멀티플렉서에 의해 각각의 감지 라인을 순차적으로 선택하고 충전된 전압을 현재 감지 라인 상에서 출력으로서 판독하는 단계; 및 충전 감지 모드 동안 제3 멀티플렉서에 의해 출력을 선택하

고 출력을 제1 충전 전압으로서 출력하는 단계를 더 포함한다.

[0022] 임의로, 제2 참조 데이터 전압을 각각의 데이터 라인에 출력하고 각각 대응하는 감지 라인으로부터 제2 충전 전압을 획득하는 단계는 제2 참조 데이터 전압이 점진적으로 각각 대응하는 데이터 라인에 출력됨에 따라 픽셀 어레이 내의 감지 라인을 참조 전압 단자에 연결하는 단계; 참조 전압 단자로부터 서브픽셀 회로에 의해 충전되는 감지 라인을 분리하는 단계; 제2 멀티플렉서에 의해 각각의 감지 라인을 순차적으로 선택하고 충전된 전압을 현재 감지 라인 상에서 출력으로서 판독하는 단계; 및 충전 감지 모드 동안 제3 멀티플렉서에 의해 출력을 선택하고 출력을 제2 충전 전압으로서 출력하는 단계를 더 포함한다.

[0023] 임의로, 서브픽셀 회로의 보상 데이터 전압을 결정하는 단계는 디지털 전압 신호를 산출하기 위해 서브픽셀 회로의 데이터 라인에 인가되는 주어진 데이터 전압 및 서브픽셀 회로 내의 구동 트랜지스터의 대응하는 전기 파라미터들과 연관되는 디지털 신호들을 처리하는 단계, 디지털 전압 신호를 아날로그 전압 신호로 데이터 전압 발생기에 의해 변환하는 단계, 아날로그 전압 신호를 보상 데이터 전압으로서 서브픽셀 회로의 데이터 라인에 출력하는 단계를 포함한다.

[0024] 임의로, 구동 트랜지스터의 전기 파라미터들은 서브픽셀 회로 내의 구동 트랜지스터와 연관되는 임계 전압 및 캐리어 이동도 레이트를 포함한다.

도면의 간단한 설명

[0025] 이하의 도면들은 다양한 개시된 실시예들에 따른 예시적 목적들을 위한 예들일 뿐이고 본 발명의 범위를 제한하도록 의도되지 않는다.

도 1은 본 발명의 일 실시예에 따른 교정 장치와 연관되는 서브픽셀 회로이다.

도 2는 본 발명의 일 실시예에 따른 도 1의 서브픽셀 회로와 연관되는 개략적 타이밍 파형이다.

도 3은 본 발명의 일 실시예에 따른 서브픽셀 회로 내의 교정 장치의 블록도이다.

도 4a는 본 발명의 일 실시예에 따른 교정 장치 내의 커패시턴스 측정 회로의 블록도이다.

도 4b는 본 발명의 일 실시예에 따른 커패시턴스 측정 회로의 회로도이다.

도 5는 본 발명의 일 실시예에 따른 AMOLED 디스플레이 패널의 개략도이다.

도 6a는 본 발명의 일 실시예에 따른 소스 전극 구동 회로의 개략도이다.

도 6b는 본 발명의 다른 실시예에 따른 다른 소스 전극 구동 회로의 개략도이다.

도 7은 본 발명의 일 실시예에 따른 데이터 전압 발생기의 개략도이다.

도 8은 본 발명의 일 실시예에 따른 샘플 홀드 회로 내의 샘플 홀드 채널의 회로도이다.

도 9는 본 발명의 일 실시예에 따른 소스 전극 구동 회로로부터 데이터 전압을 보상하는 방법을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 개시내용은 이제 이하의 실시예들을 참조하여 더 구체적으로 설명될 것이다. 일부 실시예들의 이하의 설명들은 예시 및 설명의 목적만을 위해 본원에 제시된다는 점이 주목되어야 한다. 그것은 총망라하거나 개시된 정확한 형태에 제한되도록 의도되지 않는다.

[0027] 능동 매트릭스 OLED 디스플레이 장치는 OLED 전류를 제공하는 각각의 서브픽셀 회로를 구성하기 위해 저온 폴리실리콘(low-temperature poly-silicon)(LTPS) 박막 트랜지스터(thin-film transistor)(TFT) 또는 산화물 TFT를 통상 채택한다. 전형적 비정질 실리кон TFT와 비교하면, LTPS TFT 또는 산화물 TFT는 더 높은 캐리어 이동도 레이트 및 우수한 안정도에 관한 그것의 특성들로 인해 AMOLED 디스플레이에 더 적절하다. 큰 유리 기관 상에 복수의 LTPS TFT들을 제조하는 결정화 공정에서의 제한 때문에, 수개의 전기 파라미터들 예컨대 임계 전압 및 캐리어 이동도 레이트는 TFT들 중에서 균일하지 않다. 동일한 데이터 전압이 인가되면, 캐리어 이동도 레이트들 또는 임계 전압들의 불균일성은 인간 눈들에 의해 인지될 수 있는 OLED 전류 및 휘도의 변화들을 야기할 수 있다. 대안적으로, 산화물 TFT에 대해, 그것의 임계 전압은 데이터 전압이 실질적인 긴 시간 동안 또는 고온 환경 동안 인가된 후에 비정질 실리кон TFT와 같이 드리프트되지만 산화물 TFT들에 대한 제조 공정은 큰 영역에 걸

쳐 더 균일하다. 상이한 디스플레이 이미지들에 대해, AMOLED 디스플레이 패널의 상이한 부분들에서의 상이한 산화물 TFT들의 임계 전압들은 또한 상이한 양들을 드리프트한다. 따라서, 동일한 데이터 전압이 인가됨에 따라, 상이한 산화물 TFT들에서의 임계 전압의 상이한 드리프트들은 상이한 서브픽셀들에서 상이한 OLED 전류들을 초래하여, AMOLED 디스플레이의 상이한 부분들에서 불균일한 밝기를 야기한다.

[0028] 부가적으로, 대형 AMOLED 디스플레이 응용에서, 소스 전극 구동 회로의 데이터 전압 출력 포트에 대한 상이한 서브픽셀 회로들 사이의 상이한 거리들 및 서브픽셀 회로들을 소스 전극 구동 회로에 연결하는 데이터 라인의 저항 때문에, 상이한 서브픽셀 회로들에서의 실제 데이터 전압들은 또한 변화되고 소스 전극 구동 회로에 의해 제공되는 원래의 데이터 전압과 상이하다. 유사하게, 상이한 서브픽셀 회로들에 인가되는 전원 전압들(ARVDD)은 또한 변화되고 전원 소스의 출력에서의 원래의 전원 전압과 상이하다. 소스 전극 구동 회로로부터 출력되는 동일한 데이터 전압을 고려하면, 상이한 서브픽셀 회로들에서의 상이한 데이터 전압들 및 전원 전압들은 또한 대형 디스플레이 패널의 상이한 부분에서 상이한 OLED 전류 및 휘도를 야기한다. 따라서, AMOLED 디스플레이 디바이스들에서 다양한 불균일성에 의해 야기되는 OLED 서브픽셀 회로 전류들의 불균일성을 보상하기 위해 교정 장치를 포함하는 소스 전극 구동 회로를 갖는 것이 바람직하다.

[0029] 따라서, 본 발명은 그 중에서도, 관련 기술의 제한들 및 단점들로 인한 문제들 중 하나 이상을 실질적으로 제거하는 유기 발광 디스플레이 장비에 사용되는 각각의 서브픽셀 회로와 관련되는 교정 장치, 소스 전극 구동 회로, 및 데이터 전압 보상 방법을 제공한다. 일 양태에서, 본 개시내용은 AMOLED 디스플레이 패널 내의 서브픽셀 회로와 연관되는 교정 장치를 제공하며, 서브픽셀 회로는 구동 트랜지스터, 제1 스위칭 트랜지스터, 제2 스위칭 트랜지스터, 및 광 방출기를 포함하고, 제1 스위칭 트랜지스터는 제1 스캔 라인에 연결되는 게이트, 데이터 라인 및 구동 트랜지스터의 게이트에 각각 연결되는 제1 단자 및 제2 단자를 갖고, 제2 스위칭 트랜지스터는 제2 스캔 라인에 연결되는 게이트, 감지 라인 및 구동 트랜지스터의 제2 단자에 각각 연결되는 제1 단자 및 제2 단자를 갖고, 구동 트랜지스터는 또한 제1 전원 단자에 연결되는 제1 단자를 갖고, 광 방출기는 구동 트랜지스터의 제2 단자 및 제2 전원 단자에 각각 연결되는 애노드 및 캐소드를 갖고, 감지 라인은 기생 커패시턴스를 포함한다. 일부 실시예들에서, 교정 장치는 펄스 전압 소스에 결합되고, 펄스 전압 소스에 의해 제공되는 펄스 전압에 기초하여 기생 커패시턴스를 충전하도록 구성되고 기생 커패시턴스와 연관되는 커패시턴스 측정 전압 및 펄스 전압을 출력하도록 구성되는 커패시턴스 측정 회로; 데이터 라인에 인가되는 참조 데이터 전압에 응답하여 감지 라인 상에서 충전 전압을 감지하도록 구성되는 충전 감지 회로; 및 커패시턴스 측정 전압, 펄스 전압, 참조 데이터 전압, 및 충전 전압에 기초하여 구동 트랜지스터의 전기 파라미터들을 산출하도록 구성되는 파라미터 교정기를 포함한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 교정 디바이스와 연관되는 서브픽셀 회로이다. 불균일성 문제를 극복하기 위한 보상 데이터 전압을 제공하는 교정 디바이스는 AMOLED 디스플레이의 도 1의 서브픽셀 회로와 연관되도록 구성된다. 도시된 바와 같이, 서브픽셀 회로는 구동 트랜지스터(DT), 제1 스위칭 트랜지스터(T1), 제2 스위칭 트랜지스터(T2), 및 광 방출기(EL)를 포함하는, N형 TFT 트랜지스터들을 사용하여 구성된다.

[0031] 도 1을 참조하면, 제1 스위칭 트랜지스터(T1)는 데이터 라인(DATA)에 연결되는 제1 단자를 갖는다. 제2 스위칭 트랜지스터는 구동 트랜지스터(DT)의 게이트에 연결되는 제2 단자를 갖는다. 제1 스위칭 트랜지스터(T1)의 게이트는 제1 스캔 라인(G1)에 연결된다. 구동 트랜지스터(DT)는 제1 전원 단자(ELVDD)에 연결되는 제1 단자를 갖는다. 임의로, ELVDD는 고전압 단자이다. 구동 트랜지스터(DT)는 제2 전원 단자(ELVSS)에 연결되는 캐소드를 갖는 광 방출기(EL)의 애노드에 연결되는 제2 단자를 갖는다. 임의로, ELVSS는 저전압 단자이다. 임의로, ELVSS는 접지된다. 제2 스위칭 트랜지스터(T2)는 구동 트랜지스터(DT)의 제2 단자에 연결되는 제1 단자, 및 감지 라인(SENSE)에 연결되는 제2 단자를 갖는다. 제2 스위칭 트랜지스터(T2)는 또한 제2 스캔 라인(G2)에 연결되는 게이트를 갖는다. 도 1을 참조하면, 감지 라인(SENSE)은 감지 라인 커패시터를 형성하는 기생 커패시턴스(C_{SENSE})를 포함한다.

[0032] 도 2는 본 발명의 일 실시예에 따른 도 1의 서브픽셀 회로와 연관되는 개략적 타이밍 파형이다. 타이밍 파형은 서브픽셀 회로가 AMOLED 디스플레이의 하나의 유닛으로서 어떻게 동작되는지를 도시한다. 도 2를 참조하면, 제1 시간 기간(t_1)(리셋 시간 기간)에, 제1 스캔 라인(G1)에는 고전압 레벨이 제공되고 제2 스캔 라인(G2)에는 또한 고전압 레벨이 제공된다. 데이터 라인(DATA)은 데이터 전압(V_g)에 의해 주어진다. 감지 라인(SENSE)은 V_{ref} 가 제공되는 참조 전압 단자에 연결된다. 고전압 레벨은 제1 스위칭 트랜지스터(T1)가 전도 상태에서 데이터 전압(V_g)을 구동 트랜지스터(DT)의 게이트에 인가하는 것을 허용하고 또한 제2 스위칭 트랜지스터(T2)가 전도 상태에서 구동 트랜지스터(DT)의 제2 단자를 참조 전압 단자에 연결하는 것을 허용한다. 이러한 제1 시간 기간

(t1) 동안, 구동 트랜지스터(DT)의 게이트-소스 전압은 $V_g - V_{ref}$ 이다. 임의로, 참조 전압 단자는 ELVSS에 연결되거나, 접지되거나, 임의의 다른 저전압 단자에 연결될 수 있다.

[0033] 도 2를 참조하면, 제2 시간 기간(t2)(감지 시간 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 고전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리된다. 제1 스위칭 트랜지스터(T1)는 G1에서의 저전압 레벨로 인해 차단 상태에 있고 제2 스위칭 트랜지스터(T2)는 G2에서의 고전압 레벨로 인해 전도 상태에 남아 있다. t2의 시작에서, 구동 트랜지스터의 게이트-소스 전압은 $V_g - V_{ref}$ 이다. 구동 트랜지스터(DT)를 통과하는 구동 전류(i_{DT})는 이하에 의해 표현될 수 있다.

수학식 1

[0034]
$$i_{DT} = k(V_g - V_{ref} - V_{th})^2$$

[0035] 여기서, V_{th} 는 구동 트랜지스터(DT)의 임계 전압이고 k는 구동 트랜지스터의 캐리어 이동도 레이트에 비례하는 계수이다. 제2 시간 기간(t2) 동안, 감지 라인 커패시터는 구동 전류(i_{DT})에 의해 충전되며, 그것은 감지 라인 상의 전압(즉, 구동 트랜지스터(DT)의 제 2 단자에서의 전압)을 $V_{ref} + i_{DT} \times \Delta t / C_{SENSE}$ 가 되게 한다. 감지 라인 상의 전압 변화($i_{DT} \times \Delta t / C_{SENSE}$)는 구동 전류(i_{DT})의 변화가 특정 범위, 예를 들어 0 내지 20%에 제한되도록 데이터 전압(V_g)보다 실질적으로 더 작은 것을 가정한다. 그 다음, t2의 끝에서, 감지 라인 상의 전압은 이하에 의해 근사적으로 표현될 수 있다.

수학식 2

[0036]
$$V_{SENSE} = V_{ref} + i_{DT} \times \Delta t / C_{SENSE} = V_{ref} + k(V_g - V_{ref} - V_{th})^2 \times t2 / C_{SENSE}$$

[0037] 여기서, t2는 제2 시간 기간의 시간 스패인이다.

[0038] 기생 커패시턴스(C_{SENSE})가 공지된 것을 가정하면, 상기 수학식(2)은 구동 트랜지스터(DT)의, 임계 전압(V_{th}) 및 캐리어 이동도 레이트와 같은 전기 파라미터들의 드리프트들을 결정하기 위해 사용될 수 있다. 그러나, AMOLED 디스플레이의 프로세스 불균일성으로 인해, 각각의 감지 라인과 연관되는 기생 커패시턴스는 상이하고 개별적으로 결정되어야 한다.

[0039] 일 실시예에서, 감지 라인의 기생 커패시턴스는 감지 라인에 연결되는 대응하는 서브픽셀 회로 내의 구동 트랜지스터의 전기 파라미터 드리프트 전에 첫째로 측정된다. 다른 한편, 감지 라인 상에서 기생 커패시턴스의 측정은 커패시턴스 값을 획득하기 위해 직접 수행될 필요가 없으며, 대신에, 커패시턴스 값을 반영하는 대안 전기 파라미터가 측정될 수 있다. 예를 들어, 감지 라인 커패시터 상의 전압 레벨이 측정될 수 있다.

[0040] 도 3은 본 발명의 일 실시예에 따른 서브픽셀 회로 내의 교정 장치의 블록도이다. 교정 장치는 서브픽셀 회로에서 구동 트랜지스터의 전기 파라미터들의 드리프트들을 적어도 부분적으로 보상하기 위해 데이터 전압 보상을 제공하는 상기 서브픽셀 회로와 연관되도록 제공된다. 도 3을 참조하면, 서브픽셀 회로와 연관되는 교정 장치(300)는 커패시턴스 측정 회로(301), 충전 감지 회로(302), 및 파라미터 교정기(303)를 포함한다.

[0041] 커패시턴스 측정 회로(301)는 펄스 전압 소스에 의해 제공되는 펄스 전압을 사용하여 감지 라인 커패시터를 충전하고 감지 라인 커패시터의 커패시턴스와 연관되는 커패시턴스 측정 전압 및 펄스 전압을 출력하도록 구성된다.

[0042] 충전 감지 회로(302)는 참조 데이터 전압이 동일한 서브픽셀 회로의 대응하는 데이터 라인에 인가되는 조건 하에 감지 라인 커패시터 상에서 현재 충전된 전압을 감지하도록 구성된다. 임의로, 충전 감지 회로(302)는 충전된 전압을 감지 라인 커패시터에서 파라미터 교정기(303)까지 직접 전달하는 전도성 와이어일 수 있다.

[0043] 파라미터 교정기(303)는 상기 모두 언급된 커패시턴스 측정 전압, 펄스 전압, 참조 데이터 전압, 및 충전 전압

에 기초하여 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들을 산출하도록 구성된다. 구동 트랜지스터의 전기 파라미터들은 임계 전압 및 캐리어 이동도 레이트를 포함한다.

[0044] 도 4a는 본 발명의 일 실시예에 따른 교정 장치 내의 커패시턴스 측정 회로의 블록도이다. 도 4a를 참조하면, 커패시턴스 측정 회로(301)는 펄스 전압 소스, 전압 비교기(COMP), 및 피드백 회로(FB)를 포함한다. 펄스 전압 소스는 접지에 연결되는 제1 단자 및 펄스 전압(V_{in})을 출력하는 제2 단자를 갖는다. 전압 비교기(COMP)는 펄스 전압 소스의 제2 단자에 연결되는 비반전 입력 단자 및 감지 라인(SENSE)에 연결되는 반전 입력 단자를 갖는다. 피드백 회로(FB)는 전압 비교기(COMP)의 출력 단자에 연결되는 제1 단자 및 전압 비교기(COMP)의 반전 입력 단자에 연결되는 제2 단자를 갖는다.

[0045] 특정 실시예에서, 도 4b에 도시된 회로도에서와 같이, 피드백 회로(FB)는 병렬로 연결되는 제1 저항기(R_f) 및 제1 커패시터(C_f)를 포함한다. 제1 저항기(R_f)의 제1 단자 및 제1 커패시터(C_f)의 제1 단자는 전압 비교기(COMP)의 반전 입력 단자에 공통으로 연결된다. 제1 저항기(R_f)의 제2 단자 및 제2 커패시터(C_f)의 제2 단자는 전압 비교기(COMP)의 출력 단자에 공통으로 연결된다.

[0046] 제1 저항기(R_f), 제1 커패시터(C_f), 및 전압 비교기(COMP)와 연관되는 회로 연결의 구성은 저주파수 잡음을 효과적으로 필터링하는 고역 통과 필터를 형성한다.

[0047] 도 4b를 참조하면, 회로도에서, 전류는 반전 입력 단자 및 비반전 입력 단자를 통과하지 않는다. 따라서, 감지 라인 커패시터(C_{SENSE})를 통과하는 전류는 피드백 회로(FB)를 통과하는 전류와 동일하다. 감지 라인 커패시터(C_{SENSE})는 펄스 전압(V_{in})과 동일한 전압 레벨로 충전된다. 전압 비교기(COMP)의 펄스 전압(V_{in})과 출력 전압(V_{out}) 사이의 관계는 이하의 수학식에 의해 표현될 수 있다:

수학식 3

$$V_{in} \times (j\omega C_{SENSE}) = (V_{out} - V_{in}) \times (j\omega R_f C_f + 1) / R_f$$

수학식 4

$$V_{out} = V_{in}(1 + j\omega R_f C_{SENSE} / (j\omega R_f C_f + 1))$$

[0050] 여기서, $j\omega C_{SENSE}$ 는 감지 라인 커패시터의 임피던스이고, $\omega = 2\pi f$ 이고, f 는 펄스 전압(V_{in})의 베이스 주파수이고, j 는 허수 단위이다.

[0051] 펄스 전압(V_{in})의 베이스 주파수(f)가 충분히 높을 때, 예를 들어, 미리 결정된 임계 주파수보다 더 높을 때, 수학식(4)은 이하로 근사적으로 재가입될 수 있다:

수학식 5

$$V_{out} = V_{in}(1 + j\omega R_f C_{SENSE} / (j\omega R_f C_f)) = V_{in}(1 + C_{SENSE} / C_f)$$

[0053] 이것은 이하와 같이 단순화된다:

수학식 6

$$V_{out} - V_{in} = V_{in} \times C_{SENSE} / C_f$$

[0054]

수학식 7

$$C_{SENSE} = C_f (V_{out} / C_{in} - 1)$$

[0055]

[0056] 수학식(6)에 알 수 있는 바와 같이, 펄스 전압의 주파수가 임계 주파수보다 더 높을 때, 전압 비교기(COMP)의 출력 단자에서 출력되는 커패시턴스 측정 전압(V_{out})과 펄스 전압(V_{in}) 사이의 차이는 감지 라인의 기생 커패시턴스(C_{SENSE})와 비례하고, 펄스 전압(V_{in})과 비례하고, 제1 커패시터의 커패시턴스(C_f)와 반비례한다.

[0057] 수학식(7)에서 알 수 있는 바와 같이, 펄스 전압의 주파수가 임계 주파수보다 더 높을 때, 기생 커패시턴스(C_{SENSE})는 제1 커패시터의 커패시턴스 값(C_f) 및 전압 비교기(COMP)의 출력 단자에서의 커패시턴스 측정 전압(V_{out}) 및 펄스 전압(V_{in})의 비율에 기초하여 산출될 수 있다.

[0058] 일부 실시예들에서, 감지 라인 커패시턴스(C_{SENSE})를 결정한 후에, 구동 트랜지스터(DT)의 전기 파라미터들(대응하는 드리프트들을 가짐)은 도 1 및 도 2에 도시된 바와 같이 이하의 관계를 사용하여 결정될 수 있다:

수학식 8

$$V_{SENSE} = V_{ref} + k(V_g - V_{ref} - V_{th})^2 \times t2 / C_{SENSE}$$

[0059]

[0060] 특정 실시예에서, 감지 라인 커패시턴스(C_{SENSE})의 값을 결정한 후에, 충전 감지 회로(302)는 대응하는 데이터 라인(DATA)에 제1 참조 데이터 전압(V_{g1})이 인가될 때 감지 라인(SENSE) 상에서 제1 충전 전압(V_{s1})을 감지한다. 게다가, 상이한 시간 기간에, 충전 감지 회로(302)는 대응하는 데이터 라인(DATA)에 제2 참조 데이터 전압(V_{g2})이 인가될 때 감지 라인(SENSE) 상에서 제2 충전 전압(V_{s2})을 감지한다.

[0061] 특히 실시예에서, 도 1 및 도 2를 참조하면, 제1 시간 기간(제1 레스트 기간)에, 제1 스캔 라인(G1)은 고전압 레벨에 있고 제2 스캔 라인(G2)은 또한 고전압 레벨에 있다. 데이터 라인(DATA)에는 V_{g1} 이 인가된다. 감지 라인(SENSE)은 참조 전압 단자에 연결된다. 제1 스위칭 트랜지스터(T1)는 전도 상태에서 데이터 전압(V_{g1})을 구동 트랜지스터(DT)의 게이트에 전달한다. 제2 스위칭 트랜지스터(T2)는 전도 상태에서 참조 전압(V_{ref})을 감지 라인(SENSE)에서 구동 트랜지스터(DT)의 제2 단자까지 전달한다. 따라서, 구동 트랜지스터(DT)의 게이트-소스 전압은 $V_{g1} - V_{ref}$ 이다. 제2 시간 기간(제1 감지 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 고전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리된다. 기생 감지 라인 커패시터(C_{SENSE})는 제1 전원 단자(ELVDD) 및 구동 트랜지스터(DT)로부터 전달되는 전압에 충전되도록 제1 스위칭 트랜지스터(T1)는 차단 상태에 있고 제2 스위칭 트랜지스터(T2)는 전도 상태에 있다. 제3 시간 기간(제1 판독 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 또한 저전압 레벨에 있다. 감지 라인은 참조 전압 단자로부터 분리를 유지한다. 충전 감지 회로(302)는 현재 충전된 전압(즉, 감지 라인 커패시터 상의 충전 전압)을 제1 충전 전압(V_{s1})으로서 판독한다.

[0062] 도 1 및 도 2를 다시 참조하면, 제4 시간 기간(도 2에 도시된 $t1$ 의 실질적으로 동일한 기간인 제2 리셋 기간)에, 제1 스캔 라인(G1)은 고전압 레벨에 있고 제2 스캔 라인(G2)은 또한 고전압 레벨에 있다. 데이터 라

인(DATA)에는 데이터 전압(V_{g2})이 주어진다. 감지 라인(SENSE)은 참조 전압 단자(V_{ref})에 연결된다. 제1 스위칭 트랜지스터(T1)는 전도 상태에서 데이터 전압(V_{g2})이 구동 트랜지스터(DT)의 게이트에 인가되는 것을 허용한다. 제2 스위칭 트랜지스터(T2)는 전도 상태에서 참조 전압(V_{ref})이 구동 트랜지스터(DT)의 제2 단자에 인가되는 것을 허용하여, DT의 게이트-소스 전압을 $V_{g2}-V_{ref}$ 이 되게 한다. 제5 시간 기간(제2 감지 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 고전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리된다. 제1 스위칭 트랜지스터(T1)는 차단 상태에 있고 제2 스위칭 트랜지스터(T2)는 전도 상태에 있다. 감지 라인 커패시터(C_{SENSE})는 제1 전원 전압 단자(ELVDD) 및 구동 트랜지스터(DT)로부터 전달되는 전압에 의해 충전된다. 제6 시간 기간(제2 판독 기간)에, 제1 스캔 라인(G1) 및 제2 스캔 라인(G2) 둘 다는 저전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리를 유지한다. 충전 감지 회로(302)는 현재 충전된 전압(즉, 감지 라인 커패시터 상의 충전 전압)을 제1 충전 전압(V_{S2})으로서 판독한다.

[0063] 따라서, 파라미터 교정기(303)는 커패시턴스 측정 전압(V_{out}), 펄스 전압(V_{in}), 제1 참조 데이터 전압(V_{g1}), 제1 충전 전압(V_{S1}), 제2 참조 데이터 전압(V_{g2}), 제2 충전 전압(V_{S2})에 기초하여 구동 트랜지스터(DT)의 전기 파라미터들을 산출할 수 있다.

[0064] 임의로, 파라미터 교정기(303)는 커패시턴스 측정 회로(301)에 의해 출력되는 커패시턴스 측정 전압 및 커패시턴스 측정 회로(301)에 의해 수신되는 펄스 전압(V_{in})에 기초하여 감지 라인 커패시터(C_{SENSE})의 커패시턴스 값을 결정한다. 그 다음, 파라미터 교정기(303)는 감지 라인 커패시터의 커패시턴스, 제1 참조 데이터 전압(V_{g1}), 제1 충전 전압(V_{S1}), 제2 참조 데이터 전압(V_{g2}), 및 제2 충전 전압(V_{S2})을 사용하여 구동 트랜지스터(DT)의 전기 파라미터들을 산출할 수 있다. 특히, 구동 트랜지스터(DT)의 임계 전압 및 캐리어 이동도 레이트와 같은 전기 파라미터들이 획득된다.

[0065] 임의로, 상기 언급된 제4 시간 기간은 제3 시간 기간 직후에 설정될 수 있다. 임의로, 제4 시간 기간과 제3 시간 기간 사이에 상기 언급된 다른 시간 기간들 중 적어도 하나가 있을 수 있다.

[0066] 대안 실시예에서, 커패시턴스 측정 전압(V_{out})이 측정된 후에 또는 감지 라인 커패시턴스(C_{SENSE})가 결정된 후에, 충전 감지 회로(302)는 대응하는 데이터 라인(DATA)에 제1 참조 데이터 전압(V_{g1})이 인가되는 조건 하에 t_2 의 감지 시간 기간 후에 감지 라인(SENSE) 상에서 제1 충전 전압(V_{S1})을 감지한다. 게다가, 충전 감지 회로(302)는 대응하는 데이터 라인(DATA)에 제1 참조 데이터 전압(V_{g1})이 인가되는 조건 하에 (t_2+t_4)의 감지 시간 기간 후에 감지 라인(SENSE) 상에서 제2 충전 전압(V_{S2})을 감지한다.

[0067] 특히 실시예에서, 도 1 및 도 2를 참조하면, 제1 시간 기간(제1 레스트 기간)에, 제1 스캔 라인(G1)은 고전압 레벨에 있고 제2 스캔 라인(G2)은 또한 고전압 레벨에 있다. 데이터 라인(DATA)에는 V_{g1} 이 인가된다. 감지 라인(SENSE)은 참조 전압 단자에 연결된다. 제1 스위칭 트랜지스터(T1)는 전도 상태에서 데이터 전압(V_{g1})을 구동 트랜지스터(DT)의 게이트에 전달한다. 제2 스위칭 트랜지스터(T2)는 전도 상태에서 참조 전압(V_{ref})을 감지 라인(SENSE)에서 구동 트랜지스터(DT)의 제2 단자까지 전달한다. 따라서, 구동 트랜지스터(DT)의 게이트-소스 전압은 $V_{g1}-V_{ref}$ 이다. 제2 시간 기간(제1 감지 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 고전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리된다. 기생 감지 라인 커패시터(C_{SENSE})는 제1 전원 단자(ELVDD) 및 구동 트랜지스터(DT)로부터 전달되는 전압에 의해 충전되도록 제1 스위칭 트랜지스터(T1)는 차단 상태에 있고 제2 스위칭 트랜지스터(T2)는 전도 상태에 있다. 제3 시간 기간(제1 판독 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 또한 저전압 레벨에 있다. 감지 라인은 참조 전압 단자로부터 분리를 유지한다. 충전 감지 회로(302)는 현재 충전된 전압(즉, 감지 라인 커패시터 상의 충전 전압)을 제1 충전 전압(V_{S1})으로서 판독한다.

[0068] 도 1 및 도 2를 다시 참조하면, 제4 시간 기간(제2 감지 기간)에, 제1 스캔 라인(G1)은 저전압 레벨에 있고 제2 스캔 라인(G2)은 고전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리된다. 제1 스위칭 트랜지스터(T1)는 차단 상태에 있고 제2 스위칭 트랜지스터(T2)는 전도 상태에 있다. 따라서, 감지 라인 커패시터(C_{SENSE})는 제1 전원 단자(ELVDD) 및 구동 트랜지스터(DT)로부터 전달되는 전압에 의해 충전된다. 예를 들어, 제

4 시간 기간은 제2 시간 기간(즉, 상기 언급된 제1 감지 기간)과 연관되는 시간 스캔(t_2)과 동일하거나 상이할 수 있는 t_4 의 시간 스캔을 포함한다. 제5 시간 기간(제2 판독 기간)에, 제1 스캔 라인(G_1)은 저전압 레벨에 있고 제2 스캔 라인(G_2)은 저전압 레벨에 있다. 감지 라인(SENSE)은 참조 전압 단자로부터 분리를 유지한다. 충전 감지 회로(302)는 감지 커패시터 상의 충전된 전압을 제2 충전 전압(V_{S2})으로서 판독한다.

[0069] 따라서, 파라미터 교정기(303)는 커패시턴스 측정 전압(V_{out})(또는 감지 라인 커패시터(C_{SENSE})의 커패시턴스), 제1 참조 데이터 전압(V_{g1}), 제2 시간 기간에 걸친 시간 스캔(t_2), 제1 충전 전압(V_{S1}), 제4 시간 기간에 걸친 시간 스캔(t_4), 및 제2 충전 전압(V_{S2})에 기초하여 구동 트랜지스터(DT)의 전기 파라미터들을 산출할 수 있다. 예를 들어, 구동 트랜지스터(DT)의 임계 전압 및 캐리어 이동도 레이트가 획득된다.

[0070] 도 5는 본 발명의 일 실시예에 따른 AMOLED 디스플레이 패널의 개략도이다. 도 5를 참조하면, AMOLED 디스플레이 패널은 픽셀들의 M 행들 및 N 열들을 갖는 픽셀 어레이를 포함한다. 각각의 픽셀은 적어도 하나의 서브픽셀을 포함한다. 서브픽셀들의 각각의 행은 제1 스캔 라인 및 제2 스캔 라인을 공유한다. 서브픽셀들의 각각의 열은 데이터 라인 및 감지 라인을 공유한다.

[0071] 일 예로서, 각각의 픽셀이 3개의 서브픽셀들을 포함하는 것을 가정하면, 데이터 전압들을 AMOLED 디스플레이 패널의 픽셀 어레이에 제공하는 n개의 수의 소스 전극 구동 회로들이 있다. 각각의 소스 전극 구동 회로는 m 데이터 라인들 및 m 감지 라인들을 포함한다. 여기서, $3N = m \times n$ 이다. m 및 n은 1보다 더 큰 정수들이다. 본 명세서의 이하의 부분들에서, 하나의 소스 전극 구동 회로만, 즉 $n=1$ 은 디스플레이 패널의 픽셀 어레이를 위해 데이터 전압들을 제공하도록 선택된다. 물론, 본 발명은 이러한 부분에 의해 제한되지 않는다.

[0072] 도 6a는 본 발명의 일 실시예에 따른 소스 전극 구동 회로의 개략도이다. 도 6a를 참조하면, 소스 전극 구동 회로는 제1 멀티플렉서(MUX1)(601), 제2 멀티플렉서(MUX2)(602), 커패시턴스 측정 회로(603), 및 파라미터 교정기(604)를 포함한다.

[0073] 제1 멀티플렉서(601)는 m 감지 라인들에 각각 연결되는 m 선택적 입력 포트들을 갖고 픽셀 어레이에서, 각각의 감지 라인, 예컨대 $S_1, S_2, \dots, S_{m-1}$, 및 S_m 을 점진적으로 선택하도록 구성된다.

[0074] 커패시턴스 측정 회로(603)는 제1 멀티플렉서(601)의 출력 포트에 연결되고, 제1 멀티플렉서(601)에 의해 선택되는 임의의 하나의 감지 라인을 충전하고 펄스 전압과 연관되는 커패시턴스 측정 전압 및 제1 멀티플렉서(601)에 의해 선택되는 감지 라인의 커패시턴스 값을 출력하기 위해 펄스 전압을 사용하는 펄스 전압 소스를 연결한다. 커패시턴스 측정 회로(603)는 도 3에 도시된 바와 같은 커패시턴스 측정 회로(301)와 실질적으로 동일할 수 있다.

[0075] 제1 멀티플렉서(601)에 의해 선택되는 임의의 감지 라인에 대해, 파라미터 교정기(604)는 커패시턴스 측정 전압 및 펄스 전압에 기초하여 선택된 감지 라인과 연관되는 감지 라인 커패시터의 커패시턴스 값을 결정할 수 있다. 특히, 도 4b에 도시된 바와 같이, 파라미터 교정기(604)는 선택된 감지 라인 상의 커패시턴스 측정 전압(V_{out}), 펄스 전압(V_{in}), 및 피드백 커패시터(C_f)에 기초하여 감지 라인 커패시터의 커패시턴스 값을 결정할 수 있다.

[0076] 제2 멀티플렉서(MUX2)(602)는 m 감지 라인들에 각각 연결되는 m 선택적 입력 포트들을 갖는다. MUX2는 픽셀 어레이에서 $S_1, S_2, \dots, S_{m-1}$, 및 S_m 의 각각의 감지 라인을 점진적으로 선택하고 선택된 감지 라인 상에 충전 전압을 출력하도록 구성된다.

[0077] 파라미터 교정기(604)는 또한 MUX2의 출력 포트를 연결한다. MUX2에 의해 선택되는 각각의 감지 라인에 대해, 파라미터 교정기(604)는 현재 선택된 감지 라인과 연관되는 현재 선택된 서브픽셀 회로의 구동 트랜지스터의 전기 파라미터들을 산출할 수 있다. 산출은 선택된 감지 라인의 커패시턴스 측정 전압(또는 감지 라인 커패시턴스), 대응하는 데이터 라인에 인가되는 참조 데이터 전압(동일하게 선택된 서브픽셀 회로와 연관됨), 및 MUX2에 의한 선택된 감지 라인 상의 충전 전압에 기초한다. 예를 들어, 구동 트랜지스터의 임계 전압 및 캐리어 이동도 레이트와 같이 전기 파라미터들이 획득된다.

[0078] 도 6b는 본 발명의 다른 실시예에 따른 다른 소스 전극 구동 회로의 개략도이다. 소스 전극 구동 회로는 또한 제3 멀티플렉서(MUX3)(606), 아날로그-디지털 변환기(analog-to-digital converter)(ADC)(607), 데이터 전압 보상기(608), 및 데이터 전압 발생기(609)를 포함한다. MUX3(606)의 2개의 선택적 입력들은 MUX2(602)의 출력 및 커패시턴스 측정 회로(603)의 출력에 각각 연결된다. MUX3(606)은 충전 감지 모드에서 동작하기 위해 소스 전극 구동 회로를 제어하도록 MUX2(602)에 의해 출력되는 충전 전압 또는 커패시턴스 측정 모드에서 동작하기

위해 소스 전극 구동 회로를 제어하도록 커패시턴스 측정 회로(603)에 의해 출력되는 커패시턴스 측정 전압을 선택하도록 구성된다. MUX3(606)의 2개의 선택적 입력들은 MUX2(602)의 출력 및 커패시턴스 측정 회로(603)의 출력에 각각 연결된다. 커패시턴스 측정 모드 동안, MUX3(606)의 출력은 커패시턴스 측정 회로(603)에 의해 출력되는 커패시턴스 측정 전압을 출력한다. 충전 감지 모드 동안, MUX3(606)의 출력은 MUX2(602)에 의해 출력되는 충전 전압을 출력한다.

[0079] 아날로그-디지털 변환기(607)는 MUX3(606)의 출력에서 수신되는 아날로그 신호들을 디지털 신호들로 변환하기 위해 MUX3의 출력에 연결되는 입력 단자를 갖는다. 특히, MUX3(606)가 커패시턴스 측정 모드에서 소스 전극 구동 회로에 의해 커패시턴스 측정 회로의 출력으로부터 커패시턴스 측정 전압을 선택할 때, 아날로그-디지털 변환기(607)는 커패시턴스 측정 회로(603)로부터 출력되는 커패시턴스 측정 전압을 MUX(606)로부터 수신하고 이러한 커패시턴스 측정 전압을 디지털 포맷의 신호로 변환한다. MUX3(606)가 충전 감지 모드에서 소스 전극 구동 회로에 의해 제2 멀티플렉서의 출력으로부터 충전 전압을 선택하면, ADC(607)는 MUX2(602)로부터 출력되는 충전 전압을 MUX(606)로부터 수신하고 이러한 충전 전압을 디지털 신호로 변환한다.

[0080] AMOLED 디스플레이 패널의 픽셀 어레이 내의 각각의 서브픽셀 회로에 대해, 데이터 전압 보상기(608)는 데이터 라인 상의 주어진 데이터 전압 및 파라미터 교정기(604)에 의해 결정되는 서브픽셀 회로의 대응하는 구동 트랜지스터의 관련 전기 파라미터들에 기초하여 서브픽셀 회로와 연관되는 보상 데이터 전압을 산출하도록 구성된다. 파라미터 교정기(604) 및 데이터 전압 보상기(608)는 디지털 신호 프로세서들을 사용하여 각각 구성된다. 따라서, 데이터 전압 보상기(608)는 보상 데이터 전압을 출력 신호로서 디지털 포맷으로 출력할 수 있다.

[0081] 도 6b를 참조하면, 데이터 전압 발생기(609)는 대응하는 데이터 전압들을 출력하기 위해 m 데이터 라인들(D1, D2, ..., Dm-1, 및 Dm)에 각각 연결되는 m 출력 단자들을 갖는다. 픽셀 어레이 내의 각각의 서브픽셀 회로에 대해, 데이터 전압 발생기(609)는 데이터 전압 보상기(608)에 의해 산출되는 보상 데이터 전압에 기초하여 보상 데이터 전압을 발생시키고, 보상 데이터 전압을 서브픽셀 회로에 연결되는 대응하는 데이터 라인에 더 인가하도록 구성된다.

[0082] 다음에, 단일 서브픽셀 회로는 디지털 신호 포맷을 처리하는 파라미터 교정기(604)의 동작들을 설명하기 위해 일 예로 사용된다. ADC(607)는 입력 아날로그 전압을 n 비트 디지털 신호로 변환한다. 특히, ADC(607)는 변환 베이스 전압(Vbase)을 갖는다. 입력 아날로그 전압이 Vbase와 동일할 때, ADC(607)에 의해 출력되는 디지털 신호의 n 비트는 모두 1이다. 커패시턴스 측정 전압(Vout)에 대해, ADC(607)는 입력된 커패시턴스 측정 전압(Vout)을 n 비트 디지털 신호(Evc)로 변환한다. 따라서, 커패시턴스 측정 전압(Vout)과 디지털 신호(Evc) 사이의 관계는 이하의 수학적식에 의해 표현될 수 있다:

수학식 9

$$V_{out} = V_{base} \times Evc / 2^n$$

[0083]

[0084] 대응적으로, 수학식(7)은 이하와 같이 재가입될 수 있다:

수학식 10

$$C_{SENSE} = C_f (V_{base} / V_{in} \times Evc / 2^n - 1)$$

[0085]

[0086] 다른 한편, 감지 라인 커패시터 상의 충전 전압(V_{SENSE})에 대해, ADC(607)는 입력된 충전 전압(V_{SENSE})을 n 비트 디지털 신호(Evs)로 변환한다. 따라서, 충전 전압(V_{SENSE})과 디지털 신호(Evs) 사이의 관계는 이하의 수학적식에 의해 표현될 수 있다:

수학식 11

$$V_{SENSE} = Vbase \times Evs / 2^n$$

[0087]

[0088]

수학식(11) 및 수학식(2)을 조합하면, 이하이다.

수학식 12

$$Vbase \times Evs / 2^n = V_{ref} + k(V_g - V_{ref} - V_{th})^2 \times t2 / C_{SENSE}$$

[0089]

$$Evs = (V_{ref} + k(V_g - V_{ref} - V_{th})^2 \times t2 / C_{SENSE}) / Vbase \times 2^n$$

[0090]

상기 방정식을 단순화하기 위해, 참조 전압(V_{ref})은 0인 것으로 가정되며, 이하의 수학식이 획득된다:

수학식 13

$$Evs = 2^n \times k(V_g - V_{th})^2 \times t2 / (C_{SENSE} \times Vbase)$$

[0091]

[0092]

수학식(10)을 수학식(13)에 치환하면, 이하이다.

수학식 14

$$\begin{aligned} k(V_g - V_{th})^2 &= ((Evs \times Vbase) / (2^n \times t2)) \times (C_f \times Vbase / Vin \times Evc / 2^n - 1) \\ &= Evs \times (Vbase / (2^n \times t2)) \times (C_f \times Vbase / (Vin \times 2^n) \times Evc - 1) \\ &= Evs \times k1 \times (k2 \times Evc - 1) \end{aligned}$$

[0093]

[0094]

여기서, $k1 = Vbase / (2^n \times t2)$ 이고, $k2 = C_f \times Vbase / (Vin \times 2^n)$ 이다. 특정 커패시턴스 측정 회로(603), 서브픽셀 회로, 및 ADC(607)에 대해, $k1$ 및 $k2$ 는 상수들이다.

[0095]

본 명세서의 초기 부분들에 설명된 바와 같이, 제1 참조 데이터 전압(V_{g1})이 데이터 라인에 인가되는 조건 하에, 충전 감지 회로(302)는 대응하는 감지 라인 상에서 제1 충전 전압(V_{SENSE1})을 감지한다. 유사하게, 제1 참조 데이터 전압(V_{g2})이 데이터 라인에 인가되는 다른 조건 하에, 충전 감지 회로(302)는 대응하는 감지 라인 상에서 제1 충전 전압(V_{SENSE2})을 감지한다. 따라서, 이하의 방정식들을 추론할 수 있다:

수학식 15

$$k(V_{g1} - V_{th})^2 = Evs1 \times k1 \times (k2 \times Evc - 1)$$

$$k(V_{g2} - V_{th})^2 = Evs2 \times k1 \times (k2 \times Evc - 1)$$

[0096]

[0097]

픽셀 어레이 내의 각각의 감지 라인에 대해, ADC(607)가 커패시턴스 측정 회로(603)에 의해 발생하는 커패시턴스 측정 전압을 디지털 신호(Evc)로 변환한 후에, 그것은 디지털 신호(Evc)만을 저장할 수 있고 디지털 신호

(Evc)에 기초하여 감지 라인과 연관되는 커패시턴스를 산출할 필요가 없다. 부가적으로, 각각의 서브픽셀 회로에 대해, 제1 충전 전압 및 제2 충전 전압에 각각 대응하는 디지털 신호들(Evs1 및 Evs2)을 획득한 후에, 파라미터 교정기(604)는 서브픽셀 회로에 대응하는 감지 라인과 연관되는 디지털 신호(Evc), 및 디지털 신호들(Evs1 및 Evs2)에 기초하여 서브픽셀 회로의 대응하는 구동 트랜지스터의 관련 전기 파라미터들을 직접 산출할 수 있다. 예를 들어, 구동 트랜지스터의 임계 전압 및 캐리어 이동도 레이트는 상기 방법을 사용하여 산출될 수 있다.

[0098] 도 6b를 더 참조하면, 소스 전극 구동 회로는 또한 m 샘플 홀드 채널들을 갖는 제1 샘플 홀드 회로(S&H1)(605)를 포함한다. 각각의 샘플 홀드 채널은 입력 및 출력을 갖는다. S&H1(605)은 m 감지 라인들(S1, S2, ..., Sm-1, 및 Sm)에 각각 연결되는 m 입력들, 및 제2 멀티플렉서(MUX2)의 m 선택적 입력 포트들에 각각 연결되는 m 출력들을 갖는다.

[0099] 일부 실시예들에서, 도 3의 파라미터 교정기(303)는 도 6b의 아날로그-디지털 변환기(607) 및 파라미터 교정기(604)를 포함할 수 있다. 일부 실시예들에서, 도 3의 충전 감지 회로(302)는 도 6b의 샘플 홀드 회로(605)의 하나의 채널, 제2 멀티플렉서(MUX2)(602)의 하나의 선택적 채널, 및 제3 멀티플렉서 MUX3(606)의 하나의 선택적 채널을 포함할 수 있다.

[0100] 도 7은 본 발명의 일 실시예에 따른 데이터 전압 발생기의 개략도이다. 도 7를 참조하면, 데이터 전압 발생기(609)는 디지털-아날로그 변환기(digital-to-analog converter)(DAC)(701), 제4 멀티플렉서(MUX4)(702), 및 제2 샘플 홀드 회로(S&H2)(703)를 포함한다. 픽셀 어레이 내의 각각의 서브픽셀 회로에 대해, DAC(701)는 서브픽셀 회로에 대한 데이터 전압 보상기(608)로부터 출력되는 보상 데이터 전압을 디지털 신호로부터 아날로그 신호로 변환하도록 구성된다. 제4 멀티플렉서(MUX4)(702)는 DAC(701)의 출력에 연결되는 입력 및 m 선택적 출력 포트들을 갖는다. MUX4(702)는 DAC(701)로부터 수신되는 아날로그 신호를 출력하기 위해 m 출력 포트들 중 하나를 선택한다. S&H2 회로(703)는 m 샘플 홀드 채널들을 포함한다. 각각의 샘플 홀드 채널은 입력 및 출력을 갖는다. S&H2 회로(703)의 m 입력들은 MUX4(702)의 m 선택적 출력 포트들에 각각 연결된다. S&H2 회로(703)의 m 출력들은 픽셀 어레이의 m 데이터 라인들에 각각 연결된다.

[0101] S&H2 회로(702)의 각각의 샘플 홀드 채널에 대해, 샘플 홀드 채널의 입력에 연결되는 MUX4(702)의 선택적 출력 포트가 선택될 때, 샘플 홀드 채널의 입력은 보상 데이터 전압을 DAC(701)로부터 출력되는 아날로그 신호 포맷으로 수신하고 샘플링 프로세스를 수행하여 그것의 샘플링된 보상 데이터 전압을 유지한다.

[0102] 도 8은 본 발명의 일 실시예에 따른 샘플 홀드 회로 내의 샘플 홀드 채널의 회로도이다. 도 8을 참조하면, 샘플 홀드 채널은 입력 단자(in), 샘플링 스위치(SW1), 유지 커패시터(C), 출력 스위치(SW2), 및 출력 단자(out)를 포함한다. 도 8은 샘플 홀드 채널의 간략한 예일 뿐이지만 본 발명은 그것에 제한되지 않는다.

[0103] 도 9는 본 발명의 일 실시예에 따른 소스 전극 구동 회로로부터 데이터 전압을 보상하는 방법을 도시하는 흐름도이다. 일부 실시예들에서, 방법은 도 6a 및 도 6b에 도시된 바와 같은 소스 전극 구동 회로에 기초하여 구현된다. 임의로, 커패시턴스 측정 기간에서, MUX3(606)(도 6b의)은 소스 전극 구동 회로가 커패시턴스 측정 모드에 설정됨에 따라 커패시턴스 측정 회로로부터 출력을 선택한다. MUX1(601)은 픽셀 어레이에서 각각의 감지 라인을 점진적으로 선택한다. MUX1(601)에 의해 선택되는 각각의 감지 라인에 대해, 커패시턴스 측정 회로(603)는 감지 라인 커패시턴스와 연관되는 커패시턴스 측정 전압 및 그것의 펄스 전압 소스에 의해 제공되는 펄스 전압을 출력한다. 따라서, 이러한 기간에, 픽셀 어레이 내의 각각의 감지 라인과 연관되는 대응하는 커패시턴스 측정 전압이 획득된다. 특정 동작은 도 4b에 언급될 수 있으며, 각각의 감지 라인은 참조 전압 단자로부터 분리되고 각각의 서브픽셀 회로 내의 제2 스위칭 트랜지스터는 차단 상태에 있다.

[0104] 도 9를 참조하면, 제1 충전 전압 감지 기간에, 픽셀 어레이 내의 서브픽셀 회로들의 각각의 행이 차례로 선택된다. 서브픽셀 회로들의 각각 현재 선택된 행에 대해, 제1 시간 기간에, MUX3(606)은 동작되지 않아서 픽셀 어레이 내의 모든 감지 라인들이 각각의 참조 전압 단자들에 연결되도록 한다. 데이터 전압 발생기(609)는 제1 참조 데이터 전압을 픽셀 어레이의 각각의 데이터 라인에 점진적으로 출력한다. 그 다음, 제2 시간 기간에, MUX3(606)은 각각의 감지 라인이 각각의 참조 전압 단자들로부터 분리됨에 따라 동작되지 않는다. 따라서, 각각의 감지 라인(기생 커패시터를 가짐)은 서브픽셀 회로들의 선택된 행 내의 대응하는 서브픽셀 회로에 의해 충전된다. 이어서, 제3 시간 기간에, MUX3(606)은 소스 전극 구동 회로가 충전 감지 모드에 설정됨에 따라 MUX2(602)의 출력으로부터 충전 전압을 선택하도록 동작된다. MUX2(602)는 서브픽셀 회로들의 현재 선택된 행의 각각의 서브픽셀 회로에 대응하는 제1 충전 전압이 판독될 수 있도록 픽셀 어레이에서 각각의 감지 라인을 점진적으로 선택한다. 제2 시간 기간의 특정 동작은 상기 도 2에 언급될 수 있다. 임의로, 제1 충전 전압 감

지 기간에, 방법은 픽셀 어레이에서 서브픽셀 회로들의 각각의 행을 점진적으로 선택하는 단계, 및 서브픽셀 회로들의 각각 선택된 행에 대해 제1 시간 기간, 제2 시간 기간, 및 제3 시간 기간에 각각 상기 언급된 바와 같은 동작들을 수행하는 단계를 포함한다.

[0105] 일 예에서, 동작은 제1 시간 기간에, 제1 스캔 라인(G1)을 고전압 레벨에 설정하는 단계, 제2 스캔 라인(G2)을 고전압 레벨에 설정하는 단계; 제2 시간 기간에, 제1 스캔 라인(G1)을 저전압 레벨에 설정하고 제2 스캔 라인(G2)을 고전압 레벨에 설정하는 단계; 및 제3 시간 기간에, 제1 스캔 라인(G1) 및 제2 스캔 라인(G2) 둘 다를 저전압 레벨에 설정하는 단계를 포함한다.

[0106] 도 9를 참조하면, 제2 충전 전압 감지 기간에, 픽셀 어레이 내의 서브픽셀 회로들의 각각의 행이 순차적으로 선택된다. 서브픽셀 회로들의 현재 선택된 행에 대해, 방법은 일부 상이한 동작들이 수행되는 것을 제외하고, 제1 충전 전압 감지 기간에서의 것과 실질적으로 동일하게 제1 시간 기간, 제2 시간 기간, 및 제3 시간 기간들에 동작들을 수행하는 단계를 포함한다. 상이한 동작은 제1 시간 기간에, 제2 참조 데이터 전압을 데이터 전압 발생기(609)에 의해 점진적으로 각각의 데이터 라인에 출력하는 단계; 및 제3 시간 기간에, 서브픽셀 회로들의 선택된 행에서 각각의 서브픽셀 회로에 대응하는 제2 충전 전압을 순차적으로 판독하는 단계를 포함한다. 특정 동작들은 제2 충전 전압 감지 기간 동안 도 2에 언급될 수 있다.

[0107] 도 9를 다시 참조하면, 파라미터 교정 기간에, 파라미터 교정기(604)는 커패시턴스 측정 기간에 획득되는 각각 대응하는 감지 라인에 대한 커패시턴스 측정 전압, 제1 충전 전압 감지 기간에 획득되는 각각의 서브픽셀 회로의 제1 충전 전압, 및 제2 충전 전압 감지 기간에 획득되는 각각의 서브픽셀 회로의 제2 충전 전압에 기초하여 각각의 서브픽셀 회로(또는 선택된 행)에서 구동 트랜지스터의 전기 파라미터들을 산출하도록 동작된다. 예를 들어, 구동 트랜지스터의 임계 전압 및 캐리어 이동도 레이트가 산출된다. 특정 동작들은 이러한 기간에 도 6b에 언급될 수 있다.

[0108] 일부 실시예들에서, 방법은 AMOLED 디스플레이의 픽셀 어레이 상에 규칙적으로 커패시턴스 측정 기간, 제1 충전 전압 감지 기간, 제2 충전 전압 감지 기간, 및 파라미터 교정 기간에 모든 동작들을 실행하는 단계를 포함한다. 예를 들어, 방법은 AMOLED 디스플레이가 그것의 동작을 시작하고 있을 때 반년에 한 번, 1년에 한 번, 또는 매번 동작들을 실행하는 단계를 포함한다.

[0109] 일부 실시예들에서, 방법은 픽셀 어레이에 각각의 서브픽셀 회로에 대한 구동 트랜지스터의 전기 파라미터들을 저장하는 단계를 포함한다. 일부 실시예들에서, 커패시턴스 측정 기간은 제1 충전 전압 감지 기간 및 제2 충전 전압 감지 기간 전에 필요하지 않지만, 제1 충전 전압 감지 기간과 제2 충전 전압 감지 기간 사이일 수 있거나, 제1 충전 전압 감지 기간 및 제2 충전 전압 감지 기간 후일 수 있다.

[0110] 도 9를 참조하면, 데이터 전압 보상 기간에, 픽셀 어레이 내의 서브픽셀 회로들의 각각의 행이 순차적으로 선택된다. 서브픽셀 회로들의 선택된 행 내의 각각의 서브픽셀 회로에 대해, 데이터 전압 보상기(608)는 서브픽셀 회로에 대한 주어진 데이터 전압 및 파라미터 교정 기간에 획득되는 서브픽셀 회로의 대응하는 전기 파라미터들에 기초하여 서브픽셀 회로의 보상 데이터 전압을 산출하도록 동작된다. 게다가, 아날로그 신호 포맷의 보상 데이터 전압이 발생되고 서브픽셀 회로의 대응하는 데이터 라인에 출력된다. 데이터 전압 보상 기간과 연관되는 특정 동작들은 도 7에 언급될 수 있다.

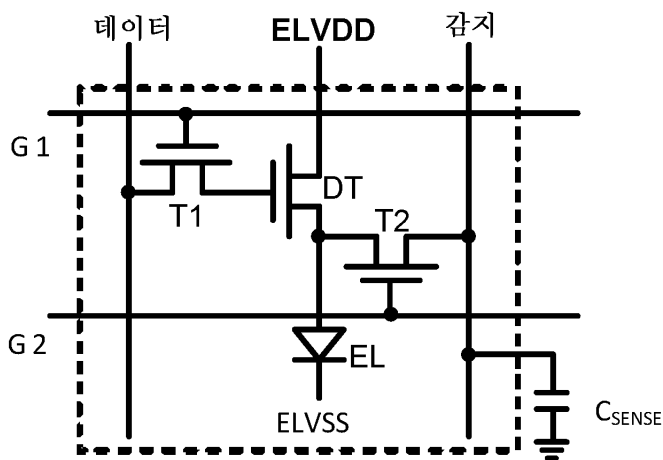
[0111] 본 발명에 의해 제공되는 각각의 서브픽셀 회로와 연관되는 교정 장치, 소스 전극 구동 회로, 및 데이터 전압 보상 방법에 기초하여, 감지 라인의 커패시턴스 전압을 측정하고 참조 데이터 전압이 대응하는 데이터 라인에 인가되는 조건 하에 감지 라인 커패시터 상에서 충전 전압을 감지함으로써, 각각 선택된 서브픽셀 회로의 구동 트랜지스터의 관련 전기 파라미터들 및 그들의 드리프트들이 결정될 수 있다. 게다가, 데이터 라인에 인가되는 데이터 전압은 상이한 서브픽셀 회로들 중에서 전기 파라미터들의 드리프트들로 인한 픽셀 휘도의 불균일성을 보상하기 위해 구동 트랜지스터의 전기 파라미터들의 결정된 바와 같은 드리프트들에 기초하여 조정될 수 있다.

[0112] 본 발명의 실시예들의 상술한 설명은 예시 및 설명의 목적들을 위해 제시되었다. 그것은 총망라하거나 본 발명을 개시된 정확한 형태 또는 예시적 실시예들에 제한하도록 의도되지 않는다. 따라서, 상술한 설명은 제한적인 것보다는 오히려 예시적인 것으로 간주되어야 한다. 명백히, 많은 수정들 및 변형들은 본 기술분야의 통상의 기술자들에게 분명할 것이다. 실시예들이 본 발명의 원리들 및 그것의 최상의 모드 실시 응용을 설명하기 위해 선택되어 기재되고, 그에 의해 본 기술분야의 통상의 기술자들이 다양한 실시예들에 대해 그리고 고려되는 특정 사용 또는 구현에 적합해지는 대로의 다양한 수정들에 의해 본 발명을 이해할 수 있게 한다. 본 발명의 범위는 달리 지시되지 않는 한 이에 첨부된 청구항들 및 모든 용어들이 그들의 가장 넓은 합리적인 의미로 되는 그

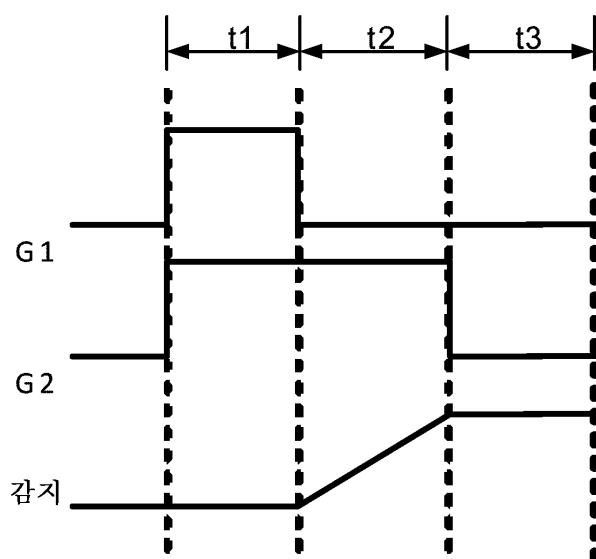
들의 균등물들에 의해 정의되도록 의도된다. 따라서, 용어 "본 발명", "현재 발명" 등은 청구항 범위를 특정 실시예에 반드시 제한하는 것은 아니고, 본 발명의 예시적 실시예들에 대한 참조는 본 발명에 제한을 암시하지 않고, 그러한 제한은 추론되지 않는다. 본 발명은 첨부된 청구항들의 사상 및 범위에 의해서만 제한된다. 더욱이, 이러한 청구항들은 "제1", "제2" 등 다음에 명사 또는 요소를 사용하는 것을 언급할 수 있다. 그러한 용어들은 명명법으로 이해되어야 하고 특정 수가 주어지지 않는 한 그러한 명명법에 의해 수정되는 요소들의 수에 제한을 제공하는 것으로 해석되지 않아야 한다. 설명되는 임의의 장점들 및 이득들은 본 발명의 모든 실시예들에 적용되지 않을 수 있다. 변형들은 이하의 청구항들에 의해 정의되는 바와 같이 본 발명의 범위로부터 벗어나는 것 없이 본 기술분야의 통상의 기술자들에 의해 설명되는 실시예들에 이루어질 수 있다는 점이 이해되어야 한다. 더욱이, 본 개시내용 내의 어떠한 요소 및 구성요소도 요소 또는 구성요소가 이하의 청구항들에 명시적으로 열거되는지에 관계없이 대중에게 바쳐지는 것으로 의도되지 않는다.

도면

도면1



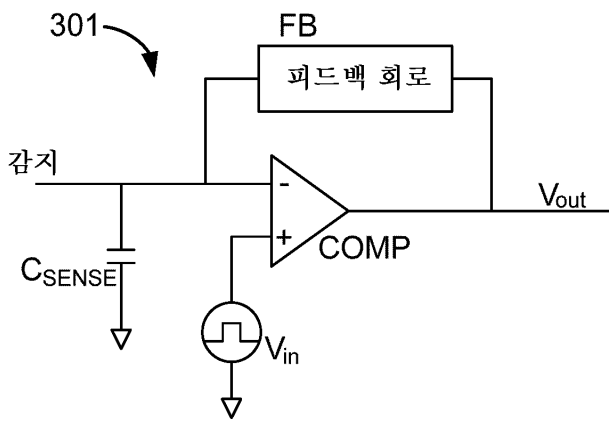
도면2



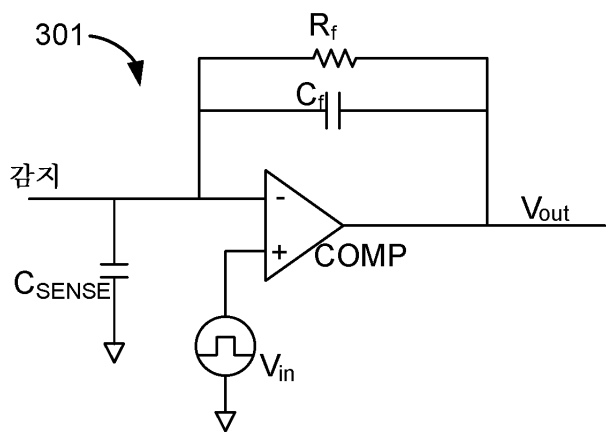
도면3



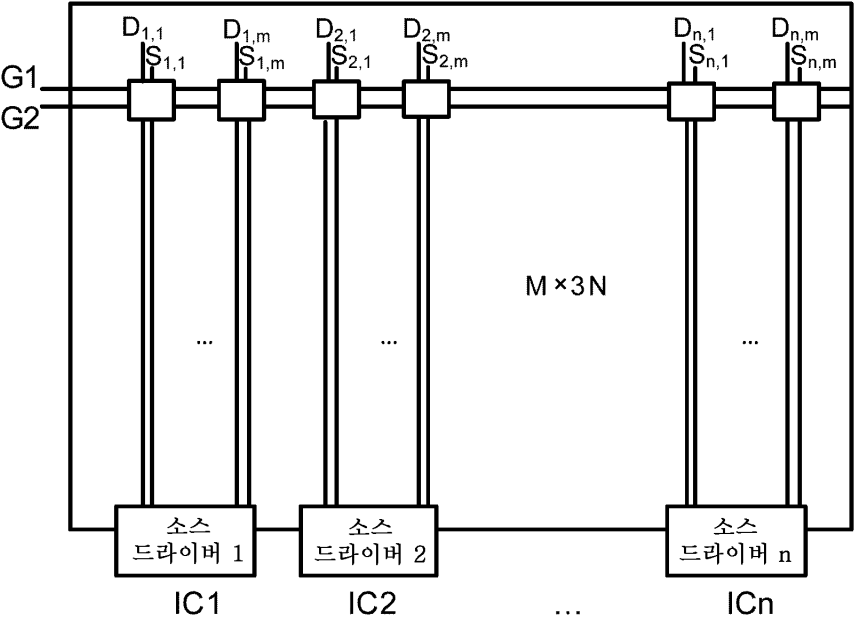
도면4a



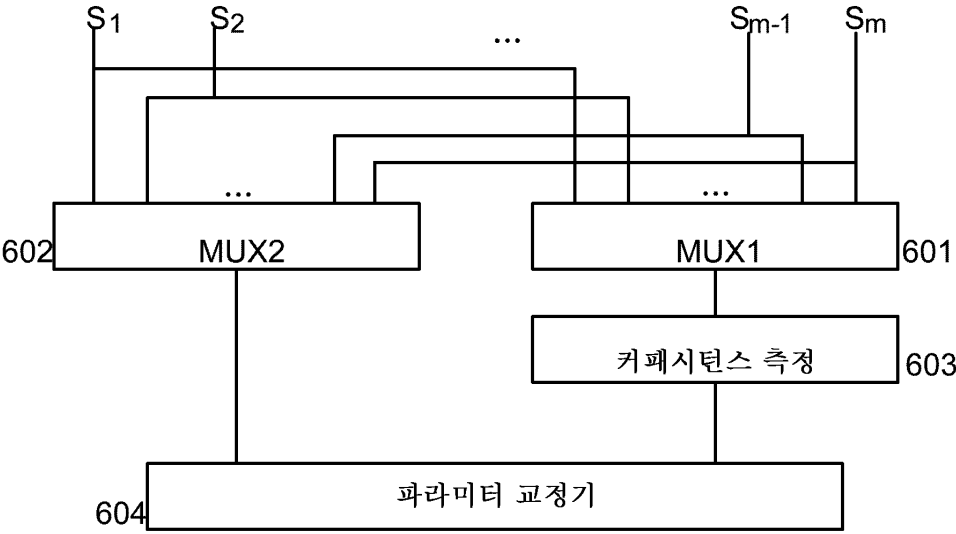
도면4b



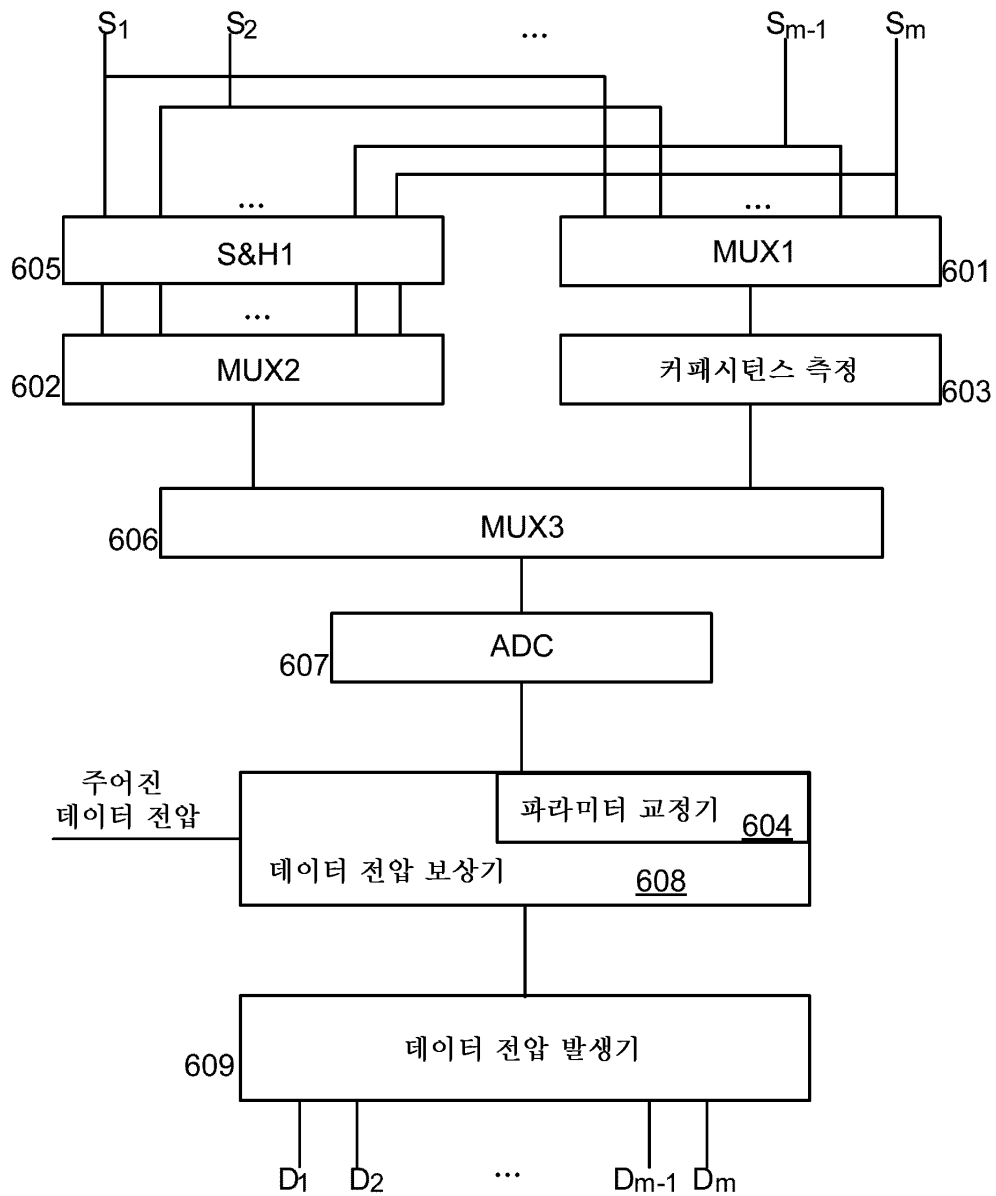
도면5



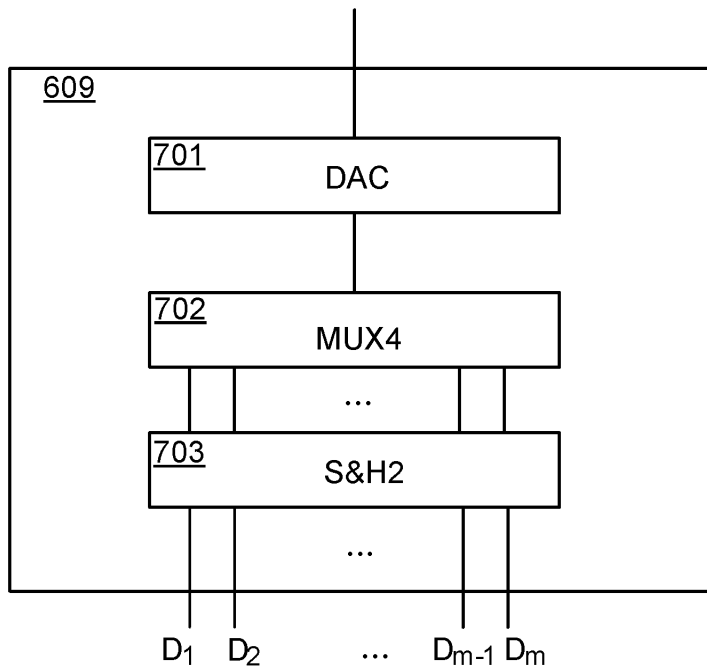
도면6a



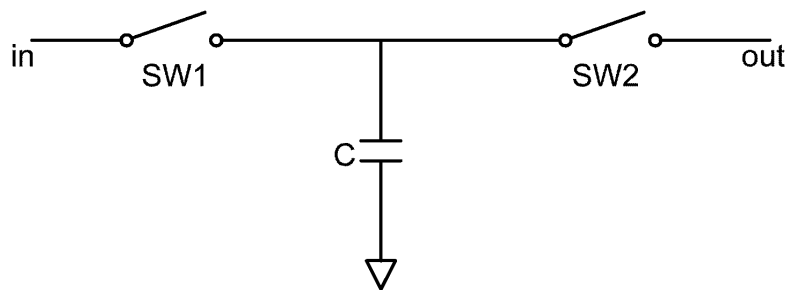
도면6b



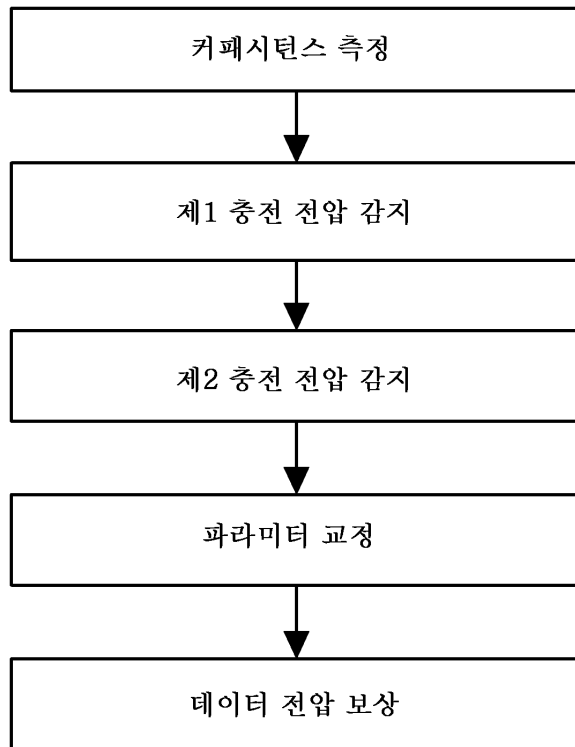
도면7



도면8



도면9



专利名称(译)	OLED子像素电路的校准装置，源电极驱动电路及数据电压补偿方法		
公开(公告)号	KR101963748B1	公开(公告)日	2019-04-01
申请号	KR1020177015852	申请日	2016-12-22
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	博科技集团股份有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司		
发明人	우, 중위안		
IPC分类号	G09G3/3233 G09G3/3275		
CPC分类号	G09G3/3233 G09G3/3275 G09G2300/0842 G09G2320/0295 G09G2320/043 G09G2320/0693 G09G3/3225 G09G3/3291 G09G2310/0297 G09G2320/04		
代理人(译)	Yangyoungjun Gimseongun Baekmangi		
审查员(译)	李升 - 最小		
优先权	201610440604.7 2016-06-17 CN		
其他公开文献	KR1020180116112A		
外部链接	Espacenet		

摘要(译)

本申请公开了与子像素电路相关联的校准设备，源电极驱动电路以及用于补偿施加至与数据线和感测线相关联的子像素电路的数据线的数据电压的方法。校准设备包括：电容测量电路，其输出与感测线有关的电容测量电压；电荷感测电路，其在向数据线施加参考数据电压时感测在感测线上的电荷电压；以及参数校准器，用于基于所述电容测量电压，所述参考数据电压和所述充电电压计算所述子像素电路中的驱动晶体管的参数，并确定所述驱动晶体管的电参数漂移，以便所述源电极驱动电路确定补偿。数据电压以补偿由于电参数漂移引起的亮度不均匀性。

