



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년10월04일

(11) 등록번호 10-2028025

(24) 등록일자 2019년09월26일

(51) 국제특허분류(Int. Cl.)

H01L 51/50 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2012-0128375

(22) 출원일자 2012년11월13일

심사청구일자 2017년11월10일

(65) 공개번호 10-2014-0061144

(43) 공개일자 2014년05월21일

(56) 선행기술조사문헌

KR1020030093044 A*

(뒷면에 계속)

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

송지훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

조규식

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리엔목록특허법인

전체 청구항 수 : 총 20 항

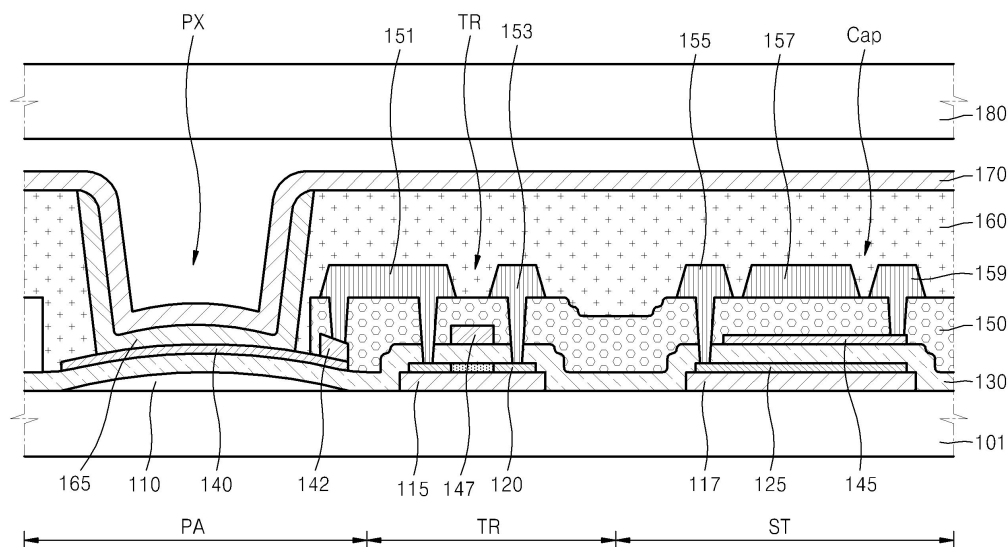
심사관 : 윤난영

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법

(57) 요약

유기 발광 표시 장치가 제공된다. 상기 유기 발광 표시 장치는 화소 영역이 정의된 기판, 상기 기판의 상기 화소 영역 상의 집광 수단, 상기 집광 수단 상의 하부 전극, 상기 하부 전극 상에 배치되고, 유기 발광층을 포함하는 유기층, 및 상기 유기층 상의 상부 전극을 포함한다.

대표도



(72) 발명자

박선

경기도 용인시 기흥구 삼성2로 95 (농서동)

이율규

경기도 용인시 기흥구 삼성2로 95 (농서동)

(56) 선행기술조사문헌

KR1020090120698 A*

KR1020090021709 A

JP2005174914 A

KR1020040108606 A

KR1020110132816 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

화소 영역 및 회로 영역이 정의된 기관;

상기 기관의 상기 화소 영역 상의 집광 수단 및 상기 기관의 상기 회로 영역 상의 제1 버퍼막 패턴을 포함하는 버퍼막;

상기 제1 버퍼막 패턴 상의 활성층;

상기 활성층 상의 게이트 전극;

상기 집광 수단 상의 하부 전극;

상기 하부 전극 상에 배치되고, 유기 발광층을 포함하는 유기층; 및

상기 유기층 상의 상부 전극을 포함하고,

상기 집광 수단 및 상기 제1 버퍼막 패턴은, 동일 평면 상에 배치되되 서로 물리적으로 분리되는, 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 기관의 화소 영역에서는 상기 집광 수단과 상기 하부 전극 사이에 개재되고, 상기 기관의 회로 영역에서는 상기 활성층과 상기 게이트 전극 사이에 개재되는 게이트 절연막을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제2 항에 있어서,

상기 기관은 상기 화소 영역과 구별되는 스토리지 영역을 포함하며,

상기 유기 발광 표시 장치는,

상기 기관의 상기 스토리지 영역 상의 제1 커패시터 전극; 및

상기 제1 커패시터 전극 상의 제2 커패시터 전극을 더 포함하고,

상기 게이트 절연막은 상기 스토리지 영역에서 상기 제1 커패시터 전극과 상기 제2 커패시터 전극 사이에 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 기관과 상기 제1 커패시터 전극 사이에 개재되고, 상기 집광 수단과 동일 평면 상에 배치되지만 상기 집광 수단과 물리적으로 분리되는 제2 버퍼막 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제5 항에 있어서,
 상기 제2 커패시터 전극 상의 제3 커패시터 전극을 더 포함하고,
 상기 제1 커패시터 전극과 상기 제2 커패시터 전극은 제1 커패시터를 구성하고,
 상기 제2 커패시터 전극과 상기 제3 커패시터 전극은 제2 커패시터를 구성하며,
 상기 제2 커패시터 전극은 상기 제1 커패시터와 상기 제2 커패시터의 공통 전극인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,
 상기 집광 수단은 상기 기관 상에 직접 적층된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,
 상기 집광 수단은 가운데 부분이 테두리 부분보다 두꺼운 볼록 렌즈의 단면 형상을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제9 항에 있어서,
 상기 집광 수단의 물질의 굴절율은 상기 유기층의 물질의 굴절율보다 큰 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제1 항에 있어서,
 상기 집광 수단은 테두리 부분이 가운데 부분보다 두꺼운 오목 렌즈의 단면 형상을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,
 상기 집광 수단의 물질의 굴절율은 상기 유기층의 물질의 굴절율보다 작은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제1 항에 있어서,
 상기 집광 수단은 하프톤 마스크를 이용하여 형성된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제1 항에 있어서,
 상기 유기 발광층에서 방출된 광은 상기 집광 수단에 의하여 상기 기관에 수직인 방향을 향하여 굴절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

화소 영역 및 회로 영역이 정의된 기관 상에 버퍼막을 형성하는 단계;
 상기 버퍼막을 패터닝하여, 상기 기관의 상기 회로 영역 상에 버퍼막 패턴을 형성하고 상기 기관의 상기 화소 영역 상에 집광 수단을 형성하는 단계;

상기 버퍼막 패턴 상에 반도체 패턴을 형성하는 단계;

상기 집광 수단 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 유기 발광층을 포함하는 유기층을 형성하는 단계; 및

상기 유기층 상에 상부 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15 항에 있어서,

상기 집광 수단을 형성하는 단계는,

하프톤 마스크를 이용하여 상기 버퍼막을 패터닝함으로써, 상기 회로 영역에서 상기 반도체 패턴을 지지하는 버퍼막 패턴을 형성하고, 상기 화소 영역에서 상기 집광 수단을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제15 항에 있어서,

상기 집광 수단을 형성하는 단계는,

상기 버퍼막 상에 포토레지스트막을 형성하는 단계;

하프톤 마스크를 이용하여 상기 포토레지스트막을 노광 및 현상함으로써, 단차를 갖는 포토레지스트 패턴을 형성하는 단계; 및

상기 단차를 갖는 포토레지스트 패턴을 식각 마스크로 이용하여 상기 버퍼막을 과도 식각함으로써, 상기 집광 수단을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17 항에 있어서,

상기 버퍼막을 과도 식각할 때, 상기 단차를 갖는 포토레지스트 패턴도 함께 얇은 두께를 갖는 부분부터 서서히 제거되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제15 항에 있어서,

상기 반도체 패턴을 형성한 후에, 상기 집광 수단 상에 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제15 항에 있어서,

상기 집광 수단을 형성하는 단계는,

상기 집광 수단의 가운데 부분을 상기 집광 수단의 테두리 부분보다 두껍게 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제15 항에 있어서,

상기 집광 수단을 형성하는 단계는,

상기 집광 수단의 가운데 부분을 상기 집광 수단의 테두리 부분보다 얇게 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 22

기관;

상기 기관 상에 배치되는 집광 수단;

상기 기관 상에, 상기 집광 수단과 동일 면 상에 배치되되 서로 물리적으로 분리되는 버퍼막; 및

상기 집광 수단 상에 배치되는 발광 수단을 포함하며,

상기 집광 수단은 상기 기관과 직접 접촉하는 평평한 제1 면 및 상기 제1 면의 반대 면인 오목한 제2 면을 가지고,

상기 발광 수단은 상기 집광 수단의 상기 오목한 제2 면에 대응하여 볼록한 제3 면을 가지며,

상기 발광 수단에 의해 방출된 광은 상기 집광 수단에 의해 상기 기관에 수직인 방향을 향하여 굴절되는 것을 특징으로 하는 표시 장치.

청구항 23

삭제

청구항 24

삭제

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로 더욱 상세하게는 유기 발광층으로부터 방출된 광의 추출 효율을 개선한 향상하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것이다.

배경 기술

[0002] 평판 표시 장치 중에서 유기 발광 표시 장치는 자발광형 표시 장치로서 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 갖는다. 유기 발광 표시 장치는 기관 상의 애노드 전극, 애노드 전극 상의 유기 발광층, 및 유기 발광층 상의 캐소드 전극을 구비한다. 애노드 전극과 캐소드 전극 사이에 전압을 인가하면 유기 발광층은 발광하게 된다. 유기 발광층으로부터 방출되는 광은 애노드 전극 및/또는 캐소드 전극을 통해 외부로 추출된다.

[0003] 애노드 전극을 통과한 광의 일부는 기관을 따라 좌우 방향으로 분산되어 외부로 추출되지 못할 수 있다. 그 결과, 유기 발광 표시 장치의 광 추출 효율은 낮아질 수 있다.

발명의 내용

해결하려는 과제

[0004] 따라서, 본 발명이 해결하려는 과제는 광의 추출 효율, 즉, 유기 발광층에서 생성된 광이 외부로 추출되는 비율을 높이도록 개선한 유기 발광 표시 장치를 제공하는 것이다.

[0005] 또한, 본 발명이 해결하려는 과제는 광의 추출 효율을 높이도록 개선한 유기 발광 표시 장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 화소 영역이 정의된 기관, 상기 기관의 상기 화소 영역 상의 집광 수단, 상기 집광 수단 상의 하부 전극, 상기 하부 전극 상에 배치되고, 유기 발광층을 포함하는 유기층, 및 상기 유기층 상의 상부 전극을 포함한다.

[0007] 상기 유기 발광 표시 장치의 일 특징에 따르면, 상기 유기 발광 표시 장치는 상기 집광 수단과 상기 하부 전극 사이에 개재되는 게이트 절연막을 더 포함할 수 있다.

[0008] 상기 유기 발광 표시 장치의 다른 특징에 따르면, 상기 기관은 상기 화소 영역과 구별되는 회로 영역을 포함할

수 있다. 상기 유기 발광 표시 장치는, 상기 기관의 상기 회로 영역 상에 배치되고, 채널 영역을 포함하는 활성층, 및

- [0009] 상기 활성층의 상기 채널 영역 상에 배치되는 게이트 전극을 더 포함할 수 있다. 상기 게이트 절연막은 상기 회로 영역에서 상기 활성층과 상기 게이트 전극 사이에 개재될 수 있다.
- [0010] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 유기 발광 표시 장치는 상기 기관과 상기 활성층 사이에 개재되고, 상기 집광 수단과 동일 평면 상에 배치되지만 상기 집광 수단과 물리적으로 분리되는 제1 버퍼막 패턴을 더 포함할 수 있다.
- [0011] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 기관은 상기 화소 영역과 구별되는 스토리지 영역을 포함할 수 있다. 상기 유기 발광 표시 장치는, 상기 기관의 상기 스토리지 영역 상의 제1 커패시터 전극, 및 상기 제1 커패시터 전극 상의 제2 커패시터 전극을 더 포함할 수 있다. 상기 게이트 절연막은 상기 스토리지 영역에서 상기 제1 커패시터 전극과 상기 제2 커패시터 전극 사이에 개재될 수 있다.
- [0012] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 유기 발광 표시 장치는 상기 기관과 상기 제1 커패시터 전극 사이에 개재되고, 상기 집광 수단과 동일 평면 상에 배치되지만 상기 집광 수단과 물리적으로 분리되는 제2 버퍼막 패턴을 더 포함할 수 있다.
- [0013] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 유기 발광 표시 장치는 상기 제2 커패시터 전극 상의 제3 커패시터 전극을 더 포함할 수 있다. 상기 제1 커패시터 전극과 상기 제2 커패시터 전극은 제1 커패시터를 구성할 수 있다. 상기 제2 커패시터 전극과 상기 제3 커패시터 전극은 제2 커패시터를 구성할 수 있다. 상기 제2 커패시터 전극은 상기 제1 커패시터와 상기 제2 커패시터의 공통 전극일 수 있다.
- [0014] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 집광 수단은 상기 기관 상에 직접 적층될 수 있다.
- [0015] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 집광 수단은 가운데 부분이 테두리 부분보다 두꺼운 볼록 렌즈의 단면 형상을 가질 수 있다. 상기 집광 수단의 물질의 굴절율은 상기 유기층의 물질의 굴절율보다 클 수 있다.
- [0016] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 집광 수단은 테두리 부분이 가운데 부분보다 두꺼운 오목 렌즈의 단면 형상을 가질 수 있다. 상기 집광 수단의 물질의 굴절율은 상기 유기층의 물질의 굴절율보다 작을 수 있다.
- [0017] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 집광 수단은 하프톤 마스크를 이용하여 형성될 수 있다.
- [0018] 상기 유기 발광 표시 장치의 또 다른 특징에 따르면, 상기 유기 발광층에서 방출된 광은 상기 집광 수단에 의하여 상기 기관에 수직인 방향을 향하여 굴절될 수 있다.
- [0019] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 따르면, 기관의 화소 영역 상에 집광 수단이 형성된다. 상기 집광 수단 상에 하부 전극이 형성된다. 상기 하부 전극 상에 유기 발광층을 포함하는 유기층이 형성된다. 상기 유기층 상에 상부 전극이 형성된다.
- [0020] 상기 유기 발광 표시 장치의 제조 방법의 일 특징에 따르면, 상기 집광 수단이 형성되는 단계에서, 상기 기관 상에 버퍼막이 형성될 수 있다. 그 후, 상기 기관의 회로 영역 상의 상기 버퍼막 상에 반도체 패턴이 형성될 수 있다. 그 후, 하프톤 마스크를 이용하여 상기 버퍼막을 패터닝함으로써, 상기 회로 영역에서 상기 반도체 패턴을 지지하는 버퍼막 패턴이 형성되고, 상기 화소 영역에서 상기 집광 수단이 형성될 수 있다.
- [0021] 상기 유기 발광 표시 장치의 제조 방법의 다른 특징에 따르면, 상기 집광 수단이 형성되는 단계에서, 상기 기관 상에 버퍼막이 형성될 수 있다. 그 후, 상기 버퍼막 상에 포토레지스트막이 형성될 수 있다. 그 후, 하프톤 마스크를 이용하여 상기 포토레지스트막을 노광 및 현상함으로써, 단차를 갖는 포토레지스트 패턴이 형성될 수 있다. 그 후, 상기 단차를 갖는 포토레지스트 패턴을 식각 마스크로 이용하여 상기 버퍼막을 과도 식각함으로써, 상기 집광 수단이 형성될 수 있다. 또한, 상기 버퍼막을 과도 식각할 때, 상기 단차를 갖는 포토레지스트 패턴도 함께 얇은 두께를 갖는 부분부터 서서히 제거될 수 있다.
- [0022] 상기 유기 발광 표시 장치의 제조 방법의 또 다른 특징에 따르면, 상기 집광 수단이 형성된 후에, 상기 집광 수단 상에 게이트 절연막이 형성될 수 있다.

- [0023] 상기 유기 발광 표시 장치의 제조 방법의 또 다른 특징에 따르면, 상기 집광 수단의 가운데 부분이 상기 집광 수단의 테두리 부분보다 두껍게 형성될 수 있다.
- [0024] 상기 유기 발광 표시 장치의 제조 방법의 또 다른 특징에 따르면, 상기 집광 수단의 가운데 부분을 상기 집광 수단의 테두리 부분보다 얇게 형성될 수 있다.
- [0025] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 표시 장치는, 기관 상에 배치되는 발광 수단, 상기 기관과 상기 발광 수단 사이에 배치되는 집광 수단을 포함한다. 상기 집광 수단은 상기 기관과 직접 접촉하는 평평한 제1 면을 가지고, 상기 발광 수단에 의해 방출된 광은 상기 집광 수단에 의해 상기 기관에 수직한 방향을 향하여 굴절된다.
- [0026] 상기 표시 장치의 일 특징에 따르면, 상기 집광 수단은 상기 제1 면의 반대 면인 오목한 제2 면을 가지고, 상기 발광 수단은 상기 집광 수단의 상기 오목한 제2 면에 대응하여 볼록한 제3 면을 가질 수 있다.
- [0027] 상기 표시 장치의 다른 특징에 따르면, 상기 집광 수단은 상기 제1 면의 반대 면인 볼록한 제2 면을 가지고, 상기 발광 수단은 상기 집광 수단의 상기 볼록한 제2 면에 대응하여 오목한 제3 면을 가질 수 있다.

발명의 효과

- [0028] 본 발명의 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 따르면, 유기 발광층에서 생성되어 애노드 전극을 통과한 광은 집광 수단에 의해 기관에 수직한 방향으로 배향됨으로써 광 추출 효율이 개선될 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 도시한 개략적인 단면도이다.
- 도 2a 및 2b는 다양한 실시예들에 따라 도 1의 A 부분을 확대한 확대도들이다.
- 도 3 내지 도 12는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 개략적인 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 본 발명의 실시예들은 본 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이다. 아래에 제시되는 실시예들은 여러 다른 형태로 변형될 수 있고, 본 발명의 범위가 아래의 실시예들로 한정되는 것은 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0031] 첨부된 도면들을 설명하면서 유사한 구성요소에 대해 유사한 참조 부호를 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확한 이해를 돕기 위하여 실제보다 확대하거나 축소하여 도시될 수 있다.
- [0032] 본 명세서에서 사용된 용어는 오로지 특정한 실시예를 설명하기 위해 사용된 것이며, 본 발명을 한정하려는 의도로 사용된 것이 아니다. 단수의 표현은 문맥상 명백히 다른 경우를 제외하고는 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 나열된 특징들의 존재를 특정하는 것이지, 하나 이상의 다른 특징들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 본 명세서에서, 용어 "및/또는"은 열거된 특징들 중 어느 하나 및 하나 이상의 모든 조합들을 포함하기 위해 사용된다. 본 명세서에서, "제1", "제2" 등의 용어가 다양한 특징들을 설명하기 위하여 하나의 특징을 다른 특징과 구별하기 위한 의도로만 사용되며, 이러한 특징들은 이들 용어에 의해 한정되지 않는다. 아래의 설명에서 제1 특징이 제2 특징과 연결, 결합 또는 접속된다고 기재되는 경우, 이는 제1 특징과 제2 특징 사이에 제3 특징이 개재될 수 있다는 것을 배제하지 않는다.
- [0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 도시한 개략적인 단면도이다.
- [0035] 도 1을 참조하면, 유기 발광 표시 장치(100)는 기판(101), 집광 수단(110), 집광 수단(110) 상에 배치되는 발광 화소(PX), 제1 버퍼막 패턴(115) 상에 배치되는 박막 트랜지스터(TFT), 및 제2 버퍼막 패턴(117) 상에 배치되는 커패시터부(Cap)를 포함한다.
- [0036] 기판(101)은 복수의 영역으로 정의될 수 있으며, 도 1에 도시된 바와 같이 화소 영역(PA), 회로 영역(TR) 및 스토리지 영역(ST)을 포함할 수 있다.
- [0037] 화소 영역(PA)은 하부 전극(140), 하부 전극(140) 상의 유기층(165), 유기층(165) 상의 상부 전극(170)을 포함할 수 있다. 또한, 화소 영역(PA)은 하부 전극(140)과 기판(101) 사이에 집광 수단(110)을 더 포함할 수 있다. 유기층(165)은 하부 전극(140)과 상부 전극(170) 사이에 전압이 인가되면 광을 방출할 수 있다.
- [0038] 회로 영역(TR)은 화소 영역(PA)의 동작을 위한 다양한 전기적 신호를 전달하는 영역으로서 박막 트랜지스터(TFT)들이 배치될 수 있다.
- [0039] 박막 트랜지스터(TFT)는 활성층(120), 게이트 전극(147), 소스 전극(151) 및 드레인 전극(153)을 포함할 수 있다. 또한, 소스 전극(151)은 활성층(120)의 소스 영역과 콘택 플러그를 통해 연결될 수 있다. 드레인 전극(153)은 활성층(120)의 드레인 영역과 콘택 플러그를 통해 연결될 수 있다. 도 1에서 소스 전극(151)은 하부 전극(140)과 연결되는 것으로 도시되어 있지만, 이는 예시적이다.
- [0040] 스토리지 영역(ST)에는 제1 커패시터 전극(125), 제2 커패시터 전극(145), 및 제3 커패시터 전극(157)이 배치될 수 있다. 제1 커패시터 전극(125)과 제2 커패시터 전극(145)이 제1 커패시터를 구성하고, 제2 커패시터 전극(145)과 제3 커패시터 전극(157)이 제2 커패시터를 구성할 수 있다. 제2 커패시터 전극(145)은 제1 커패시터와 제2 커패시터의 공통 전극으로 기능할 수 있다. 또한, 제1 커패시터와 제2 커패시터는 커패시터부(Cap)를 구성할 수 있다. 도 1에 도시된 스토리지 영역(ST)은 예시적이다. 제3 커패시터 전극(157)이 생략되고, 제1 커패시터 전극(125)과 제2 커패시터 전극(145)으로 구성되는 제1 커패시터만이 존재할 수도 있다.
- [0041] 또한, 스토리지 영역(ST)에는 제1 커패시터 전극(125)에 콘택 플러그를 통해 연결되는 제1 커패시터 콘택 전극(155)과 제2 커패시터 전극(145)에 콘택 플러그를 통해 연결되는 제2 커패시터 콘택 전극(159)이 배치될 수 있다.
- [0042] 기판(101)은 실리콘 산화물(SiO_2)을 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기판(101)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재질로 이루어질 수 있으며, 플렉서블한 특성을 가질 수 있다. 이 때, 기판(101)을 형성하는 플라스틱 재질은 다양한 유기물들 중에서 선택된 어느 한 유기물 또는 복수의 유기물들의 조합일 수 있다.
- [0043] 기판(101) 상에 집광 수단(110), 제1 버퍼막 패턴(115) 및 제2 버퍼막 패턴(117)이 배치될 수 있다. 집광 수단(110)은 화소 영역(PA) 내에 배치되고, 제1 버퍼막 패턴(115)은 회로 영역(TR) 내에 배치되고, 제2 버퍼막 패턴(117)은 스토리지 영역(ST) 내에 배치될 수 있다. 집광 수단(110), 제1 버퍼막 패턴(115) 및 제2 버퍼막 패턴(117)은 기판(101)을 통해 불순물 원소가 침투하는 것을 방지하고, 기판(101) 상에 평탄한 면을 제공하기 위한 것으로서, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 예를 들면, 집광 수단(110), 제1 버퍼막 패턴(115) 및 제2 버퍼막 패턴(117)은 모두 실리콘 산화물, 실리콘 질화물, 실리콘 질산화물, 알루미늄 산화물, 알루미늄 질화물, 티타늄 산화물 또는 티타늄 질화물 등과 같은 무기물로 이루어지거나, 폴리이미드, 폴리에스테르, 아크릴 등과 같은 유기물로 이루어질 수 있고, 앞에서 나열한 물질에서 선택된 복수의 물질들의 적층체로 이루어질 수도 있다. 집광 수단(110), 제1 버퍼막 패턴(115) 및 제2 버퍼막 패턴(117)은 모두 동일한 물질 또는 동일한 물질들의 조합으로 형성될 수 있다.
- [0044] 집광 수단(110)은 그 상부에 배치되는 유기층(165)에서 방출되는 광이 기판(101)을 따라 좌우로 산란되는 것을 방지하기 위해 기판(101)에 수직인 방향으로 배향되도록 굴절시킬 수 있다. 이를 위해, 도 1에 도시된 바와 같이 집광 수단(110)은 중앙부와 가장자리의 두께가 상이할 수 있다. 예컨대, 집광 수단(110)의 중앙부는 가장자리보다 두꺼운 두께를 가질 수 있다. 반대로, 집광 수단(110)의 물질에 따라, 집광 수단(110)의 중앙부는 가장자리보다 얇은 두께를 가질 수 있다.
- [0045] 도 2a 및 2b는 도 1의 A 부분을 확대한 확대도들이다. 도 2a는 중앙부가 가장자리보다 두꺼운 두께를 갖는 집광 수단(110a)을 도시하고, 도 2b는 가장자리가 중앙부보다 두꺼운 두께를 갖는 집광 수단(110b)을 도시한다.

- [0046] 도 2a를 참조하면, 도 1에 도시된 바와 같이, 집광 수단(110a)은 볼록 렌즈와 같은 단면 형상을 갖는다. 구체적으로, 집광 수단(110a)은 기관(101)과 직접 접촉하는 제1 면 및 상기 제1 면의 반대 면인 제2 면을 갖는다. 상기 제2 면은 볼록할 수 있다. 발광 수단(165a)은 집광 수단(110a)의 제2 면에 대응하여 볼록한 제3 면을 가질 수 있다. 이 경우, 집광 수단(110a)의 물질의 굴절율은 발광 수단(165a)의 물질의 굴절율보다 크다. 발광 수단(165a)은 도 1의 유기층(165)을 포함할 수 있다.
- [0047] 그 결과, 발광 수단(165a)에서 방출되는 광은 볼록 렌즈와 같은 집광 수단(110a)을 통해 기관에 수직인 방향을 향하여 굴절된다. 발광 수단(165a)에서 방출된 광은 기관을 따라 좌우로 산란되는 비율이 감소된다. 즉, 발광 수단(165a)에서 생성된 광 중에서 외부로 추출되는 비율인 광 추출 효율이 높아진다.
- [0048] 도 2a에서 하부 전극(140a)은 집광 수단(110a)의 상부를 덮으며, 균일한 두께를 가질 수 있다. 또한, 집광 수단(110a)과 하부 전극(140a) 사이에 배치될 수 있는 게이트 절연층은 도 2a에서 생략하여 도시되었다.
- [0049] 도 2b를 참조하면, 집광 수단(110b)은 오목 렌즈와 같은 단면 형상을 갖는다. 구체적으로, 집광 수단(110b)은 기관(101)과 직접 접촉하는 제1 면 및 상기 제1 면의 반대 면인 제2 면을 갖는다. 상기 제2 면은 오목할 수 있다. 발광 수단(165b)은 집광 수단(110b)의 제2 면에 대응하여 볼록한 제3 면을 가질 수 있다. 이 경우, 집광 수단(110b)의 물질의 굴절율은 발광 수단(165b)의 물질의 굴절율보다 작다. 발광 수단(165b)은 도 1의 유기층(165)을 포함할 수 있다.
- [0050] 그 결과, 발광 수단(165b)에서 방출되는 광은 오목 렌즈와 같은 집광 수단(110b)을 통해 기관에 수직인 방향을 향하여 굴절된다. 발광 수단(165b)에서 방출된 광이 기관을 따라 좌우로 산란되는 비율이 감소된다. 즉, 발광 수단(165b)에서 생성된 광 중에서 외부로 추출되는 비율인 광 추출 효율이 높아진다.
- [0051] 도 2b에서 하부 전극(140b)은 집광 수단(110b)의 상부를 덮으며, 균일한 두께를 가질 수 있다. 또한, 집광 수단(110b)과 하부 전극(140b) 사이에 배치될 수 있는 게이트 절연층은 도 2b에서 생략하여 도시되었다.
- [0052] 다시 도 1을 참조하면, 제1 버퍼막 패턴(115)과 제2 버퍼막 패턴(117)은 각각 활성층(120) 및 제1 커패시터 전극(125)의 아래에 배치된다. 아래에서 자세히 설명되겠지만, 버퍼막을 제1 버퍼막 패턴(115)과 제2 버퍼막 패턴(117)으로 패터닝하는 이유는 활성층(120) 및 제1 커패시터 전극(125)을 형성하기 위해 반도체 물질층을 패터닝할 때, 화소 영역(PA)의 버퍼막 상에서 반도체 물질이 완전히 제거되지 않을 경우, 완전히 제거되지 않은 반도체 물질은 화소 영역(PA)에서 암점으로 보일 수 있기 때문이다. 즉, 화소 영역(PA)의 버퍼막 상에 반도체 물질이 잔존하는 것을 방지하기 위해, 화소 영역(PA)의 버퍼막을 적어도 일부 제거할 수 있다. 이를 위해, 버퍼막을 제1 버퍼막 패턴(115)과 제2 버퍼막 패턴(117)으로 패터닝할 수 있다.
- [0053] 상기 반도체 물질층은 비정질 실리콘 또는 폴리 실리콘과 같은 실리콘 물질일 수 있다. 대안적으로, 상기 반도체 물질층은 산화물 반도체일 수도 있다.
- [0054] 제1 버퍼막 패턴(115) 상에 활성층(120)이 배치되고, 제2 버퍼막 패턴(117) 상에 제1 커패시터 전극(125)이 배치될 수 있다. 활성층(120) 및 제1 커패시터 전극(125)은 동일한 물질 또는 동일한 물질들의 조합으로 이루어질 수 있다. 상술한 바와 같이, 활성층(120) 및 제1 커패시터 전극(125)은 반도체 물질을 포함할 수 있으며, 구체적인 예로 실리콘 물질을 포함하거나, 산화물 반도체를 포함할 수 있다. 활성층(120)의 게이트 전극(147) 아래 부분은 채널 영역으로 기능할 수 있으며, 활성층(120) 중 상기 부분을 제외한 나머지 부분은 불순물 이온들을 도핑함으로써 도전성을 가질 수 있다. 불순물 이온이 도핑된 활성층(120)은 소스 영역 및 드레인 영역으로 지칭될 수 있다. 제1 커패시터 전극(125)도 마찬가지로 불순물 이온으로 도핑되어 도전성을 가질 수 있다.
- [0055] 집광 수단(110), 제1 버퍼막 패턴(115) 상의 활성층(120), 및 제2 버퍼막 패턴(117) 상의 제1 커패시터 전극(125)을 덮도록 게이트 절연막(130)이 배치될 수 있다. 게이트 절연막(130)은 산화물, 질화물, 산질화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 게이트 절연막(130)은 하부 실리콘 산화물, 실리콘 질화물, 및 상부 실리콘 산화물의 적층 구조를 가질 수 있다. 실리콘 질화물은 실리콘 산화물에 비해 더 높은 유전상수를 갖기 때문에, 게이트 절연막(130)을 커패시터 유전체로 이용하는, 제1 커패시터 전극(125)과 제2 커패시터 전극(145)으로 구성되는 제1 커패시터의 커패시턴스를 높일 수 있다. 게이트 절연막(130)은 집광 수단(110) 상에도 배치되며, 균일한 두께로 배치될 수 있다.
- [0056] 게이트 절연막(130) 상에 하부 전극(140)과 제2 커패시터 전극(145)이 배치될 수 있다. 하부 전극(140)과 제2 커패시터 전극은 동일한 도전 물질로 형성될 수 있으며, 예컨대, ITO, IZO, ZnO, In₂O₃, IG₀ 또는 AZO와 같은 투과형 도전 물질로 이루어질 수 있다.

- [0057] 하부 전극(140)의 일부 상에 하부 전극 패드(142)이 배치될 수 있다. 또한, 활성층(120) 상부의 게이트 절연막(130) 상에 게이트 전극(147)이 배치될 수 있다. 하부 전극 패드(142)와 게이트 전극(147)은 동일한 도전 물질로 형성될 수 있으며, 예컨대, Mo, MoW, Al계 합금 등과 같은 금속 또는 금속들의 합금으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 또한, 하부 전극 패드(142)와 게이트 전극(147)은 Mo/Al/Mo의 적층 구조를 가질 수도 있다.
- [0058] 게이트 절연막(130)과 게이트 전극(147) 사이에는 하부 전극(140)과 동일한 물질로 이루어진 도전층이 삽입될 수도 있다. 또한, 제2 커패시터 전극(145) 상에 게이트 전극(147)과 동일한 물질로 이루어진 도전층이 배치될 상에 직접 적층될 수 있다. 또한, 하부 전극 패드(142)는 생략될 수도 있다.
- [0059] 하부 전극(140)을 노출하면서, 게이트 전극(147) 및 제2 커패시터 전극(145)을 덮는 층간 절연막(150)이 배치될 수 있다. 층간 절연막(150)은 다양한 절연 물질들로 이루어질 수 있으며, 예컨대, 산화물, 질화물, 실산화물과 같은 무기물로 이루어질 수도 있다. 도 1에 도시된 바와 같이, 층간 절연막(150)은 하부 전극 패드(142)를 덮을 수 있다. 다른 예에 따르면, 층간 절연막(150)은 하부 전극 패드(142)의 일부를 노출할 수도 있다.
- [0060] 층간 절연막(150)은 하부 전극 패드(142)를 노출하는 콘택 홀을 포함할 수 있다. 또한, 층간 절연막(150)은 제2 커패시터 전극(145)의 일부를 노출하는 콘택 홀을 포함할 수 있다. 또한, 게이트 절연막(130)과 층간 절연막(150)은 활성층(120)의 소스 영역 및 드레인 영역 및 제1 커패시터 전극(125)의 일부를 노출하는 콘택 홀을 포함할 수 있다.
- [0061] 도 1에서는 층간 절연막(150)이 제2 커패시터(145)를 덮는 것으로 도시되어 있지만, 스토리지 영역(ST)에 하나의 커패시터만 배치되는 다른 예에 따르면, 층간 절연막(150)은 제2 커패시터(145)를 덮지 않고 제2 커패시터(145)를 노출시킬 수도 있다.
- [0062] 게이트 절연막(130)과 층간 절연막(150)의 상기 콘택 홀들, 및 층간 절연막(150)의 상기 콘택 홀들은 도전 물질로 매립될 수 있다. 소스 전극(151)은 층간 절연막(150) 상에 배치되고, 활성층(120)의 소스 영역과 하부 전극 패드(142)를 연결할 수 있다. 드레인 전극(153)도 층간 절연막(150) 상에 배치되고, 활성층(120)의 드레인 영역에 연결될 수 있다. 제1 커패시터 콘택 전극(155)과 제2 커패시터 콘택 전극(159)도 층간 절연막(150) 상에 배치되고, 각각 콘택 플러그를 통해 제1 커패시터 전극(125)과 제2 커패시터 전극(145)에 연결될 수 있다.
- [0063] 제2 커패시터 전극(145) 상부의 층간 절연막(150) 상에는 제3 커패시터 전극(157)이 배치될 수 있다. 상술한 바와 같이, 제2 커패시터 전극(145)와 제3 커패시터 전극(157)은 제2 커패시터를 구성할 수 있다.
- [0064] 소스 전극(151), 드레인 전극(153), 제1 커패시터 콘택 전극(155), 제3 커패시터 전극(157), 및 제2 커패시터 콘택 전극(159)은 동일한 도전 물질로 이루어질 수 있으며, 예컨대, Au, Pd, Pt, Ni, Rh, Ru, Ir, Os, Al, Mo, Nd, Mo, W 등과 같은 금속으로 이루어지거나, 이들 중 2종 이상의 합금으로 이루어질 수 있다.
- [0065] 하부 전극(140)의 일부 영역을 노출하면서, 층간 절연막(150) 상의 소스 전극(151), 드레인 전극(153), 제1 커패시터 콘택 전극(155), 제3 커패시터 전극(157), 및 제2 커패시터 콘택 전극(159)을 덮도록 화소 정의막(160)이 배치될 수 있다. 화소 정의막(160)은 화소 영역(PA) 내의 화소를 정의하게 된다.
- [0066] 유기층(165)이 화소 정의막(160)에 의해 노출된 하부 전극(140) 상에 배치된다. 유기층(165)은 저분자 또는 고분자 유기막으로 형성될 수 있다. 유기층(165)이 저분자 유기막으로 형성되는 경우, 정공 주입층(HIL: Hole Injection Layer), 정공 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: emissive layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등을 구비할 수 있다.
- [0067] 정공 주입층(HIL)은 구리프탈로시아닌 등의 프탈로시아닌 화합물 또는 스타버스트(Starburst)형 아민류인 TCTA, m-MTDATA, m-MTDAPB 등으로 형성할 수 있다. 정공 수송층(HTL)은 N,N'-비스(3-메틸페닐)-N,N'-디페닐-[1,1'-비페닐]-4,4'-디아민(TPD), N,N'-디(나프탈렌-1-일)-N,N'-디페닐 벤지딘(α -NPD)등으로 형성될 수 있다. 전자 주입층(EIL)은 LiF, NaCl, CsF, Li₂O, BaO, Liq 등의 물질을 이용하여 형성할 수 있다. 전자 수송층(ETL)은 Alq₃를 이용하여 형성할 수 있다. 유기층(165)은 호스트 물질과 도판트 물질을 포함할 수 있다.
- [0068] 상부 전극(170)은 유기층(165) 상에 배치될 수 있다. 상부 전극(170)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca의 금속으로 이루어질 수 있다. 또한, 상부 전극(170)은 광 투과가 가능하도록 ITO, IZO, ZnO, 또는 In₂O₃ 등과 같은 투과형 도전 물질로 이루어질 수도 있다.
- [0069] 상부 전극(170) 상에 봉지 부재(180)가 배치될 수 있다. 봉지 부재(180)는 유기물 또는 무기물을 이용하여 형

성할 수 있다.

- [0070] 본 실시예에 따른 유기 발광 표시 장치(100)는 유기층(165)과 기관(101) 사이에 집광 수단(110)이 배치될 수 있다. 집광 수단(110)은 제1 버퍼막 패턴(115) 및 제2 버퍼막 패턴(117)과 동일한 물질로 이루어질 수 있으며, 볼록 렌즈 또는 오목 렌즈와 같은 단면 형상을 가질 수 있다. 여기서, 볼록 렌즈는 양면이 모두 볼록한 렌즈만을 지칭하지 않고, 한 면은 평평하지만 다른 한 면은 볼록한 렌즈도 포함하는 것으로 이해되어야 한다. 또한, 오목 렌즈도 양면이 모두 오목한 렌즈만을 지칭하지 않고, 한 면은 평평하지만 다른 한 면은 오목한 렌즈도 포함하는 것으로 이해되어야 한다. 집광 수단(110)은 유기층(165)에서 생성된 광을 기관(101)에 수직인 방향으로 굴절시킨다. 그 결과, 유기층(165)에서 생성된 광은 기관(101)을 따라 좌우로 산란되지 않고, 기관(101)을 통과하여 외부로 추출된다. 즉, 광 추출 효율이 높아진다.
- [0071] 도 3 내지 도 12는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 개략적인 단면도들이다.
- [0072] 아래에서는 도 1에 도시된 유기 발광 표시 장치(100)의 제조 방법을 개략적으로 설명한다. 도 3 내지 도 12를 통해 제시된 제조 방법은 도 1의 유기 발광 표시 장치(100)를 제조하기 위한 방법의 한 실시예이다.
- [0073] 도 3을 참조하면, 기관(101)의 상부에 버퍼막(105)이 형성될 수 있다. 구체적으로, 기관(101)은 실리콘 산화물(SiO_2)을 주성분으로 하는 투명 재질의 유리 물질, 또는 투명한 플라스틱 물질 또는 금속 물질 등과 같은, 다양한 재질로 이루어질 수 있다.
- [0074] 한편, 기관(101) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어막 및/또는 블록킹막과 같은 버퍼막(105)이 배치될 수 있다. 버퍼막(105)은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물 등과 같은 무기 절연 물질을 사용하여, PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등과 같은 다양한 증착 방법에 의해 형성될 수 있다.
- [0075] 버퍼막(105) 상부에 박막 트랜지스터(TFT)의 활성층(120)으로 기능할 제1 반도체 패턴(120')과 제1 커패시터 전극(125)으로 기능할 제2 반도체 패턴(125')이 형성될 수 있다. 구체적으로, 버퍼막(105) 상부에 반도체 물질층(미 도시), 예컨대, 비정질 실리콘층을 먼저 증착한 후 이를 결정화함으로써 폴리 실리콘층(미 도시)이 형성될 수 있다. 상기 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 이와 같이 형성된 폴리 실리콘층은 제1 마스크(미 도시)를 이용한 포토리소그래피 공정에 의해, 제1 반도체 패턴(120')과 제2 반도체 패턴(125')으로 패터닝될 수 있다.
- [0076] 본 실시예에서는, 제1 반도체 패턴(120')과 제2 반도체 패턴(125')이 분리하여 형성되었으나, 제1 반도체 패턴(120')과 제2 반도체 패턴(125')은 일체로 형성될 수도 있다. 또한, 다른 예에 따르면, 비정질 실리콘층을 먼저 패터닝한 후, 결정화함으로써, 폴리 실리콘 패턴들이 형성될 수도 있다.
- [0077] 도 4를 참조하면, 버퍼막(105) 상에 제1 내지 제3 포토레지스트 패턴들(127a, 127b, 127c)이 배치될 수 있다. 구체적으로, 제1 포토레지스트 패턴(127a)은 도 1의 집광 수단(110)을 형성하기 위한 것일 수 있고, 제2 및 제3 포토레지스트 패턴(127b, 127c)은 각각 도 1의 제1 및 제2 버퍼막 패턴(115, 117)을 형성하기 위한 것일 수 있다.
- [0078] 이를 위해, 제1 반도체 패턴(120')과 제2 반도체 패턴(125')이 상부에 배치된 버퍼막(105) 상에 포토레지스트막(미 도시)이 형성될 수 있다. 상기 포토레지스트막의 물질은 감광성 고분자로서, 광에 반응하는 물질을 포함할 수 있다. 포토레지스트 물질은 용제(solvent), 탄화수소 고분자(polymer) 및 감응제(PAC)를 포함할 수 있다. 여기서 포토레지스트 물질은 크게 두가지 타입으로 구분할 수 있는데, 빛을 받은 부분이 굳어지고 다른 부분이 현상되는 것을 네가티브(Negative) 타입이라 하고, 빛을 받은 부분이 녹아내리는 것을 포지티브(Positive) 타입이라 한다.
- [0079] 포토레지스트막이 도포된 후, 하프톤 마스크(129)를 이용하여 노광될 수 있다. 도 4에 설명되는 포토레지스트막은 포지티브(positive) 포토레지스트로 예시되어 있다. 그러나, 포토레지스트막은 네가티브 포토레지스트일 수 있고 있으며, 이 경우, 하프톤 마스크(129)는 반전될 수 있다.

- [0080] 하프톤 마스크(129)는 광의 투과율이 다른 복수의 영역들을 포함할 수 있다. 예컨대, 하프톤 마스크(129)는 광을 100%로 차단하는 제1 영역(129a)을 포함하고, 광을 100%로 투과하는 제5 영역(129e)을 포함할 수 있다. 하프톤 마스크(129)는 광을 일부 차단하고 일부만 통과시키는 제2 내지 제4 영역(129b, 129c, 129d)을 포함할 수 있다. 예컨대, 제2 영역(129b)은 광의 75%를 차단하고, 제3 영역(129c)은 광의 50%를 차단하고, 제4 영역(129d)은 광의 25%를 차단할 수 있다.
- [0081] 도 4에 제시한 하프톤 마스크(129)는 예시적이다. 포토레지스트막을 부분적으로 노광할 수 있는 다른 마스크들이 사용될 수도 있다. 또한, 하프톤 마스크(129)는 다른 개수의 영역들로 구분될 수 있으며, 각 영역들의 광 투과율에 관하여 앞에서 언급한 수치는 예시적이다. 하프톤 마스크(129)는 제2 마스크로 지칭될 수 있다.
- [0082] 하프톤 마스크(129)를 통과한 광은 포토레지스트막을 부분적으로 노광시킬 수 있다. 부분적으로 노광된 포토레지스트막은 현상 과정을 통해 부분적으로 제거될 수 있다. 도 4에 개념적으로 도시한 바와 같이, 하프톤 마스크(129)의 제1 영역(129a)에 의해 완전히 차단된 광은 해당하는 포토레지스트막을 노광시키지 못하며, 제1 영역(129a)에 대응하는 포토레지스트막은 제거되지 않는다. 또한, 하프톤 마스크(129)의 제5 영역(129e)에 의해 광은 완전히 통과하므로, 해당하는 포토레지스트막을 완전히 노광시키며, 제5 영역(129e)에 대응하는 포토레지스트막은 완전히 제거될 수 있다. 그 결과, 제2 및 제3 포토레지스트 패턴들(127b, 127c)이 형성될 수 있다.
- [0083] 또한, 하프톤 마스크(129)의 제2 내지 제4 영역(129b, 129c, 129d)에 대응하는 포토레지스트막은 해당 영역의 광 차단율에 대응하여 부분적으로 잔존할 수 있다. 차단율이 높은 제2 영역(129b)에 대응하는 포토레지스트막은 차단율이 낮은 제4 영역(129d)에 대응하는 포토레지스트막보다 많이 잔존할 수 있다. 그 결과, 도 4에 도시된 제1 포토레지스트 패턴(127a)이 형성될 수 있다. 도시된 바와 같이, 제1 포토레지스트 패턴(127a)은 가운데 부분이 테두리 부분보다 두꺼운 형상을 가질 수 있다.
- [0084] 그러나, 도 2b에 도시된 실시예의 구조를 제조하기 위해서는 제1 포토레지스트 패턴은 테두리 부분이 가운데 부분보다 두꺼운 형상을 가질 수 있다.
- [0085] 도 5를 참조하면, 버퍼막(105) 상에 집광 수단(110), 제1 및 제2 버퍼막 패턴(115, 117)이 배치될 수 있다. 이를 위해, 제1 내지 제3 포토레지스트 패턴들(127a, 127b, 127c)을 식각 마스크로 이용하여 버퍼막(105)이 식각될 수 있다.
- [0086] 버퍼막(105)를 이용하여 제1 포토레지스트 패턴들(127a)을 형성하기 위하여, 과도 식각이 수행될 수 있다. 과도 식각에 의해 노출된 버퍼막(105)뿐만 아니라 제1 포토레지스트 패턴(127a)도 함께 제거될 수 있다. 그 결과, 중간 부분보다 얇은 두께를 갖는 제1 포토레지스트 패턴(127a)의 테두리 부분부터 서서히 제거되면서, 그 아래에 배치된 버퍼막(105)은 도 5에 도시된 바와 같이 중간 부분이 테두리 부분보다 두꺼운 볼록 렌즈의 형상을 갖게 될 수 있다.
- [0087] 과도 식각에 의해 완전히 제거되지 않은 제1 내지 제3 포토레지스트 패턴들(127a, 127b, 127c)은 애싱(Ashing) 및 스트리핑(stripping)을 통해 완전히 제거될 수 있다. 애싱 및 스트리핑 공정이란 박리공정이라고도 지칭될 수 있으며, 포토리소그래피 공정에서 잔존하는 포토레지스트 패턴들을 제거하는 공정이다. 예를 들어, 잔존하는 포토레지스트 패턴들은 애싱 공정에서 산소 플라즈마를 이용하여 제거될 수 있다. 다른 예에 따르면, 잔존하는 포토레지스트 패턴들은 스트리핑 공정에서 황산(H_2SO_4) 및 과산화수소(H_2O_2)를 이용하여 제거될 수 있다.
- [0088] 도 3을 참조로 앞에서 언급한 바와 같이, 비정질 실리콘층 또는 폴리 실리콘층은 포토리소그래피 공정 및 식각 공정을 통해 패터닝되며, 회로 영역(TR)과 스토리지 영역(ST)에만 패턴이 남는다. 그러나, 포토리소그래피 공정 및 식각 공정이 수행되었음에도, 비정질 실리콘층 또는 폴리 실리콘층이 화소 영역(PA)에서 완전히 제거되지 않을 수 있다. 이와 같이 완전히 제거되지 않은 비정질 실리콘층 또는 폴리 실리콘층은 암점으로 나타날 수 있다. 이러한 문제를 해결하기 위해, 화소 영역(PA)의 버퍼막(105)의 적어도 일부가 제거될 수 있다. 그 결과, 화소 영역(PA)에서 비정질 실리콘층 또는 폴리 실리콘층은 완전히 제거될 수 있다.
- [0089] 도 6을 참조하면, 기판(101) 상의 집광 수단(110), 제1 버퍼막 패턴(115) 상의 제1 반도체 패턴(120'), 및 제2 버퍼막 패턴(117) 상의 제2 반도체 패턴(125')상에 게이트 절연막(130)이 배치될 수 있다.
- [0090] 게이트 절연막(130)은 산화물, 질화물, 산질화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 게이트 절연막(130)은 하부 실리콘 산화물, 실리콘 질화물, 및 상부 실리콘 산화물의 적층 구조를 가질 수 있다. 게이트 절연막(130)은 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다.
- [0091] 게이트 절연막(130)은 박막 트랜지스터(TFT)의 활성층(120)과 게이트 전극(147) 사이에 개재되어 박막트랜지스

터(TFT)의 게이트 절연막으로 기능할 수 있다. 또한, 게이트 절연막(130)은 제1 커패시터 전극(125)과 제2 커패시터 전극(145) 사이에 개재되어 제1 커패시터의 유전체층으로 기능할 수 있다. 상술한 바와 같이, 상기 제1 커패시터의 커패시턴스를 높이기 위해, 게이트 절연막(130)은 유전율이 높은 절연 물질을 포함할 수 있다. 예컨대, 게이트 절연막(130)은 실리콘 산화물들 사이에 실리콘 산화물보다 유전율이 높은 실리콘 질화물을 개재한 구조를 가질 수 있다.

[0092] 게이트 절연막(130)은 집광 수단(110) 상에도 배치되며, 균일한 두께로 배치될 수 있다. 게이트 절연막(130)이 굴곡이 있는 집광 수단(110) 상에 균일한 두께로 적층될 경우, 게이트 절연막(130)에 소정 각도로 입사한 광은 상기 소정 각도로 상기 게이트 절연막(130)을 탈출하게 된다. 그 결과, 상기 게이트 절연막(130)은 광의 굴절 경로에 큰 영향을 주지 않을 수 있다.

[0093] 도 7을 참조하면, 집광 수단(110) 상부의 게이트 절연막(130) 상에 하부 전극(140)이 배치되고, 제2 반도체 패턴(125') 상부의 게이트 절연막(130) 상에 제2 커패시터 전극(145)이 배치될 수 있다.

[0094] 구체적으로, 게이트 절연막(130) 상에 제1 도전층(미 도시)이 적층될 수 있다. 상기 제1 도전층은 IT0, IZO, ZnO, 또는 In_2O_3 와 같은 투명한 도전 물질들 중에서 선택된 하나 이상의 물질을 포함할 수 있다. 상기 제1 도전층은 제3 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 하부 전극(140)과 제2 커패시터 전극(145)으로 패터닝될 수 있다.

[0095] 도 7에서는 제1 반도체 패턴(120') 상부의 게이트 절연막(130) 상에는 상기 제1 도전층의 패턴이 배치되지 않은 것으로 도시되었지만, 필요에 따라 제1 반도체 패턴(120') 상부의 게이트 절연막(130) 상에도 제1 도전층 패턴이 배치되어 게이트 전극의 하부 도전층으로 기능할 수 있다.

[0096] 도 8을 참조하면, 하부 전극(140) 상에 도전 패턴(141) 및 하부 전극 패드(142)이 배치되고, 활성층(120) 상부의 게이트 절연막(130) 상에 게이트 전극(147)이 배치된다. 또한, 제1 및 제2 반도체 패턴(120', 125')은 각각 활성층(120)과 제1 커패시터 전극(125)으로 변형된다.

[0097] 하부 전극(140)과 제2 커패시터 전극(145)이 상부에 배치된 게이트 절연막(130) 상에 제2 도전층(미 도시)이 적층될 수 있다. 상기 제2 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 상기 제2 도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다.

[0098] 상기 제2 도전층은 제4 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 도전 패턴(141), 하부 전극 패드(142) 및 게이트 전극(147)으로 패터닝될 수 있다. 게이트 전극(147)은 제1 반도체 패턴(120')의 중앙의 상부에 배치될 수 있다.

[0099] 게이트 전극(147)을 자기 정렬 마스크로 이용하여 제1 반도체 패턴(120')에 n형 또는 p형의 불순물을 도핑함으로써, 제1 반도체 패턴(120')의 중앙부에는 채널 영역을 형성하고, 가장자리에는 소스 영역과 드레인 영역을 형성할 수 있다. 불순물이 도핑된 제1 반도체 패턴(120')은 활성층(120)으로 지칭될 수 있다. 불순물은 붕소(B) 이온 또는 인(P) 이온일 수 있다.

[0100] 또한, 상기 n형 또는 p형의 불순물의 도핑으로 인하여, 제2 반도체 패턴(125')도 도전성을 갖게 되며, 제1 커패시터 전극(125)으로 변형된다.

[0101] 하부 전극(140) 상부에 배치되는 도전 패턴(141)은 상기 불순물 이온 도핑으로 인하여 하부 전극(140)의 표면이 손상되는 것을 방지할 수 있다. 도전 패턴(141)은 상기 제4 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정에서 생성되지 않고 생략될 수도 있다. 또한, 도전 패턴(141)과 하부 전극 패드(142)이 분리되는 것으로 도시되어 있지만, 일체로 형성될 수도 있다.

[0102] 도 9를 참조하면, 도 8에 도시된 구조물 상에 층간 절연막(150)이 배치된다. 층간 절연막(150)은 하부 전극 패드(142)의 상부 표면의 적어도 일부를 노출하는 제1 개구부(150a)를 포함할 수 있다. 또한, 층간 절연막(150)은 제2 커패시터 전극(145)의 상부 표면의 적어도 일부를 노출하는 제5 개구부(150e)를 포함할 수 있다. 층간 절연막(150)과 게이트 절연막(130)은 활성층(120)의 소스 영역의 적어도 일부를 노출하는 제2 개구부(150b), 활성층(120)의 드레인 영역의 적어도 일부를 노출하는 제3 개구부(150c), 및 제1 커패시터 전극(125)의 상부 표면의 적어도 일부를 노출하는 제4 개구부(150d)를 포함할 수 있다. 또한, 층간 절연막(150)은 도전 패턴(141)을 노출하는 제6 개구부(150f)를 포함할 수 있다.

- [0103] 구체적으로 도 8에 도시된 구조물 상에 제1 절연 물질층(미 도시)이 적층될 수 있다. 상기 제1 절연 물질층은 게이트 절연막(130)과 같은 무기 절연 물질로 형성될 수 있다. 예컨대, 상기 제1 절연 물질층은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 질산화물로 이루어질 수 있다. 또한, 상기 제1 절연 물질층은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 상기 제1 절연 물질층은 유기 절연 물질과 무기 절연 물질이 교대로 적층된 구조를 가질 수도 있다.
- [0104] 상기 제1 절연 물질층은 제5 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 제1 내지 제6 개구부(150a-150f)를 포함하는 층간 절연막(150)으로 패터닝될 수 있다.
- [0105] 제2 커패시터 전극(145) 상의 층간 절연막(150)은 후속 공정에 의해 생성되는 제3 커패시터 전극(157)과 제2 커패시터 전극(145) 사이에서 제2 커패시터의 유전체층으로 기능할 수 있다. 따라서, 층간 절연막(150)의 두께는 제2 커패시터 전극(145)과 제3 커패시터 전극(157)으로 구성되는 제2 커패시터의 커패시턴스에 영향을 끼친다. 또한, 층간 절연막(150)의 물질의 유전율도 제2 커패시터의 커패시턴스에 영향을 준다. 제2 커패시터의 목적하는 커패시턴스를 달성할 수 있도록, 층간 절연막(150)의 두께와 물질이 결정될 수 있다.
- [0106] 도 10을 참조하면, 층간 절연막(150) 상에 제1 내지 제5 개구부(150a-150e)를 매립하는 소스 전극(151), 드레인 전극(153), 제1 커패시터 콘택 전극(155), 및 제2 커패시터 콘택 전극(159)이 배치되고, 제2 커패시터 전극(145) 상부의 층간 절연막(150) 상에 제3 커패시터 전극(157)이 배치된다. 소스 전극(151)은 제1 및 제2 개구부(150a, 150b)를 매립하여, 하부 전극 패드(142)와 활성층(120)의 소스 영역을 전기적으로 연결한다. 드레인 전극(153)은 활성층(120)의 드레인 영역에 전기적으로 연결된다. 또한, 제1 및 제2 커패시터 콘택 전극(155, 159)은 각각 제1 및 제2 커패시터 전극(125, 145)에 연결된다. 또한, 하부 전극(140) 상에 적층되어 있던 도전 패턴(141)은 제거되고, 하부 전극(140)의 상부 표면의 적어도 일부는 외부에 노출된다.
- [0107] 구체적으로, 층간 절연막(150)을 덮도록 기판(101)의 전면에 제3 도전층(미 도시)이 증착될 수 있다. 상기 제3 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 상기 제3 도전층은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 상기 도전 물질은 제1 내지 제5 개구부(150a-150e)를 매립할 수 있을 정도로 충분한 두께로 증착되어야 하고, 스텝 커버리지가 양호하여야 한다.
- [0108] 상기 제3 도전층은 제6 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 소스 전극(151), 드레인 전극(153), 제1 커패시터 콘택 전극(155), 제3 커패시터 전극(157), 및 제2 커패시터 콘택 전극(159)으로 패터닝될 수 있다. 상기 제6 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정에서, 상기 제3 도전층과 함께 도전 패턴(141)이 식각되어 제거될 수 있다.
- [0109] 다른 예에 따르면, 도전 패턴(141)은 층간 절연막(150)과 소스 전극(151), 드레인 전극(153), 제1 커패시터 콘택 전극(155), 제3 커패시터 전극(157), 및 제2 커패시터 콘택 전극(159)을 식각 마스크로 이용하여 별도의 식각 공정에서 제거될 수도 있다. 이 경우, 도전 패턴(141)의 물질과 상기 제3 도전층의 물질은 상기 별도의 식각 공정에 대하여 식각 선택비를 가져야 한다.
- [0110] 상술한 바와 같이, 제2 커패시터 전극(145) 상부의 층간 절연막(150) 상에 배치되는 제3 커패시터 전극(157)은 제2 커패시터 전극(145)와 함께 제2 커패시터를 구성할 수 있다.
- [0111] 도 11을 참조하면, 층간 절연막(150)과 소스 전극(151), 드레인 전극(153), 제1 커패시터 콘택 전극(155), 제3 커패시터 전극(157), 및 제2 커패시터 콘택 전극(159)을 덮고, 하부 전극(140)을 노출하는 화소 정의막(160)이 배치될 수 있다.
- [0112] 구체적으로 도 10에 도시된 구조물 상에 제2 절연 물질층(미 도시)이 적층될 수 있다. 상기 제2 절연 물질층은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제2 절연 물질층은 유기 절연 물질뿐만 아니라, 실리콘 산화물, 실리콘 질화물, 알루미늄 산화물, 구리 산화물, 티타늄 산화물, 이트륨 산화물, 니오븀 산화물, 프라세오디뮴 산화물 등으로부터 선택되는 무기 절연 물질로 형성될 수도 있다. 또한, 상기 제2 절연 물질층은 유기 절연 물질과 무기 절연 물질이 교대로 적층되는 다층 구조로 형성될 수도 있다.
- [0113] 상기 제2 절연 물질층은 제7 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 하부 전극(140)의 상부 표면을 노출시키도록 패터닝될 수 있다. 그 결과, 화소 정의막(160)이 형성될 수 있다. 화소 정

의막(160)은 하부 전극(140)의 상부 표면의 중앙부를 노출시키는 개구부(160a)를 포함할 수 있으며, 화소를 정의하게 된다.

[0114] 도 12를 참조하면, 하부 전극(140)을 노출하는 개구부(160a) 내에 유기층(165)이 형성되고, 유기층(165) 및 화소 정의막(160) 상에 상부 전극(170)이 형성된다.

[0115] 유기층(165)은 유기 발광층(emissive layer: EML) 외에도 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층들 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.

[0116] 유기층(165)은 저분자 또는 고분자 유기물로 구비될 수 있다.

[0117] 유기층(165)이 저분자 유기물로 형성되는 경우, 유기층(165)은 유기 발광층을 중심으로 하부 전극(140)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 상부 전극(170)의 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), NPB(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine), Alq3(tris-8-hydroxyquinoline aluminum) 등을 비롯하여 다양하게 적용 가능하다.

[0118] 한편, 유기층(165)이 고분자 유기물로 형성되는 경우에는, 유기층(165)은 유기 발광층을 중심으로 하부 전극(140)의 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 PEDOT(poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 하부 전극(140)의 상부에 형성될 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

[0119] 상부 전극(170)은 기관(101) 전면에 증착되어 공통 전극으로 형성될 수 있다. 하부 전극(140)은 애노드 전극으로 사용되고, 상부 전극(170)은 캐소드 전극으로 사용될 수 있다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0120] 유기 발광 표시 장치(100)는 기관(101)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)일 수 있다. 이 경우, 하부 전극(140)은 투명 전극이 되고 상부 전극(170)은 반사 전극이 될 수 있다. 이때 반사 전극은 일함수가 작은 금속, 예컨대, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성될 수 있다.

[0121] 그 후, 도 1에 도시된 바와 같이, 봉지 부재(180)가 기관(101) 상에 배치될 수 있다. 실링 부재(미 도시)를 이용하여 봉지 부재(180)는 기관(101) 상에 접합될 수 있다.

[0122] 한편, 전술한 실시예에서는 유기 발광 표시 장치(100)를 예로서 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 장치에 적용될 수 있음은 물론이다.

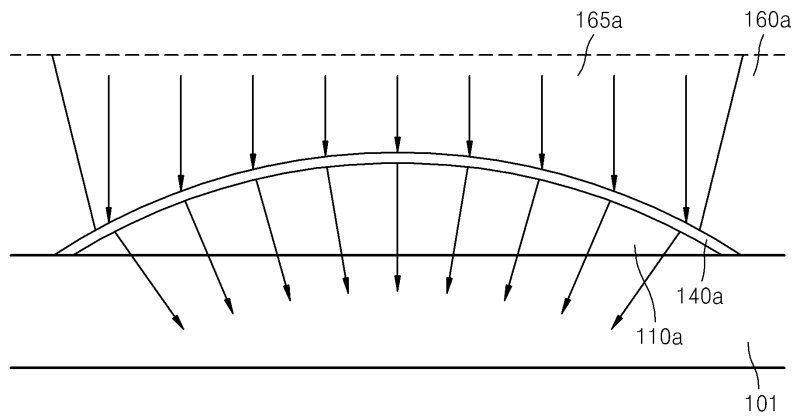
[0123] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.

[0124] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

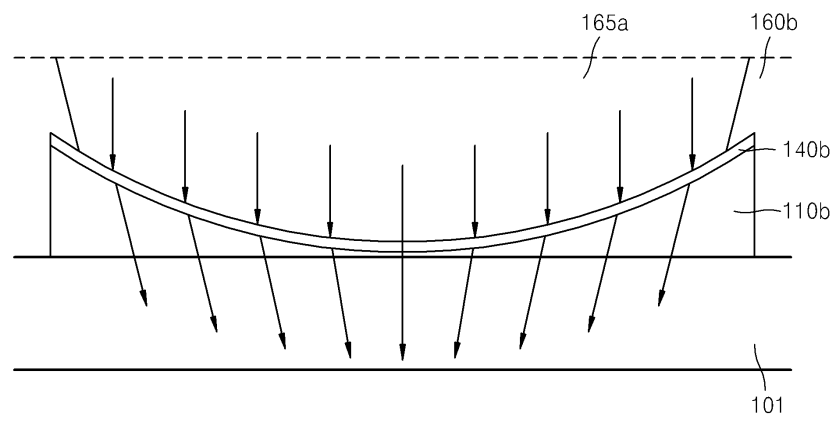
부호의 설명

[0125]	100: 유기 발광 표시 장치	101: 기관
	110: 집광 수단	115: 제1 버퍼막 패턴
	117: 제2 버퍼막 패턴	120: 활성층

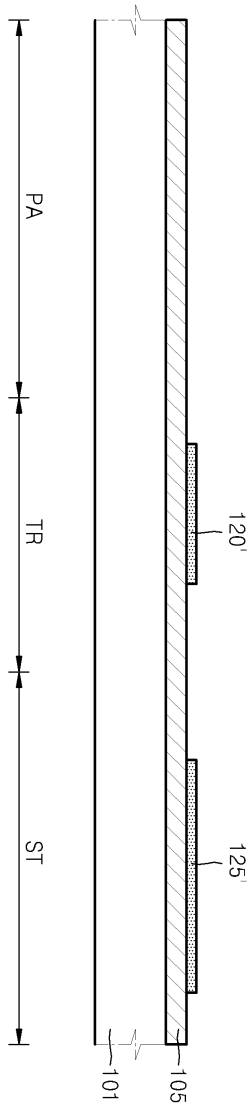
도면2a



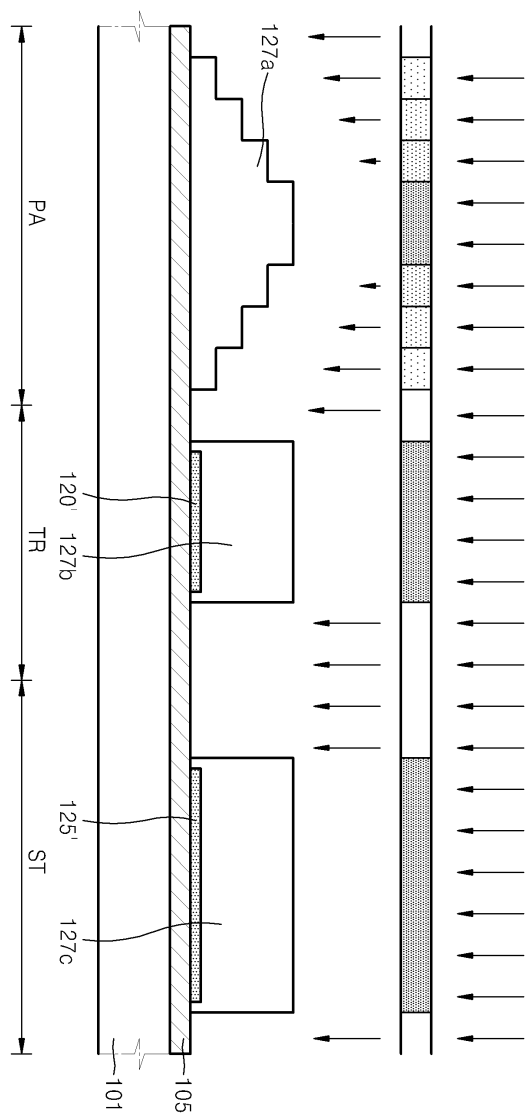
도면2b



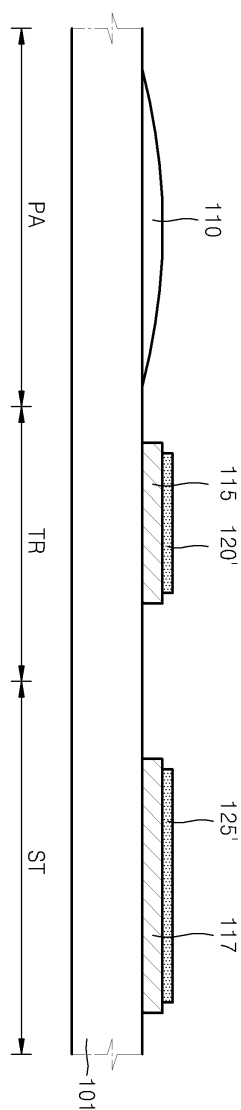
도면3



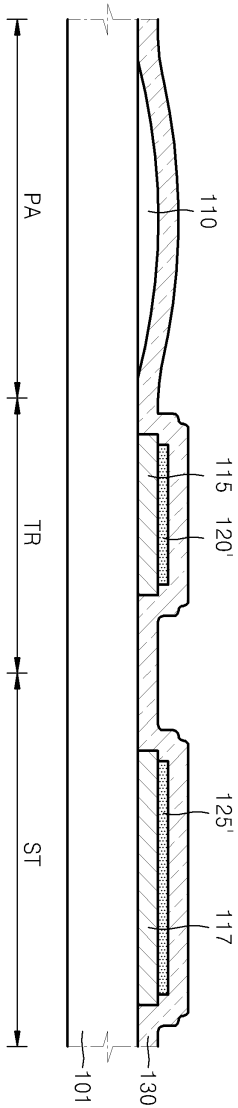
도면4



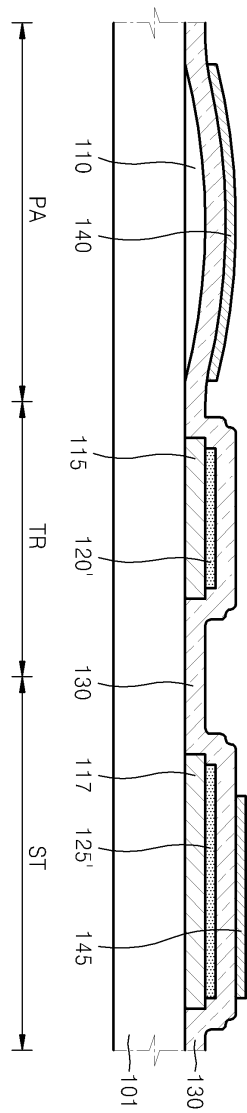
도면5



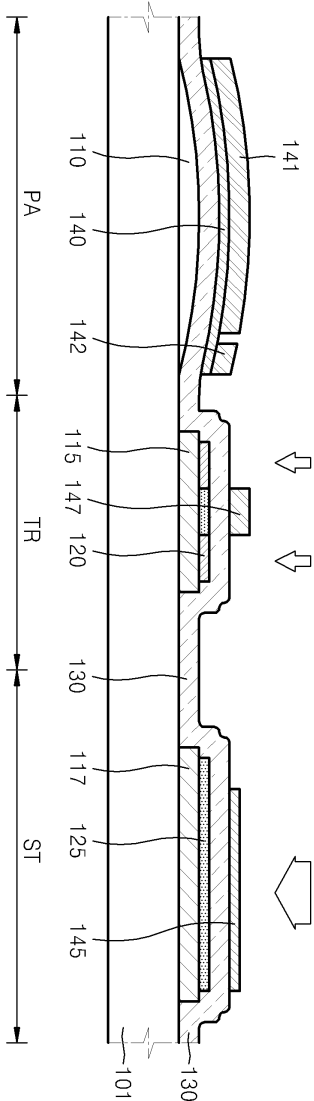
도면6



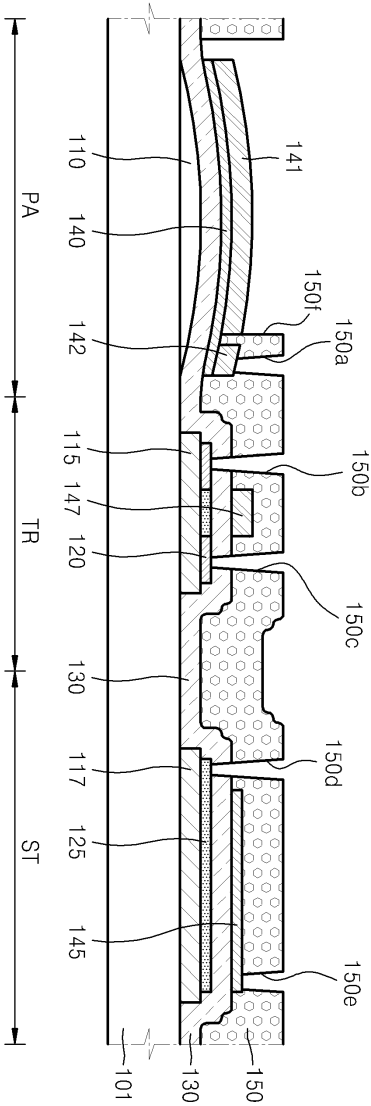
도면7



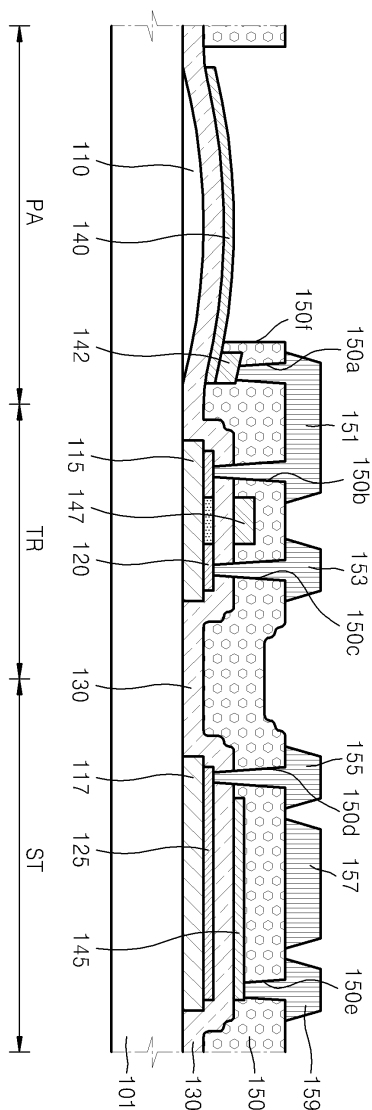
도면8



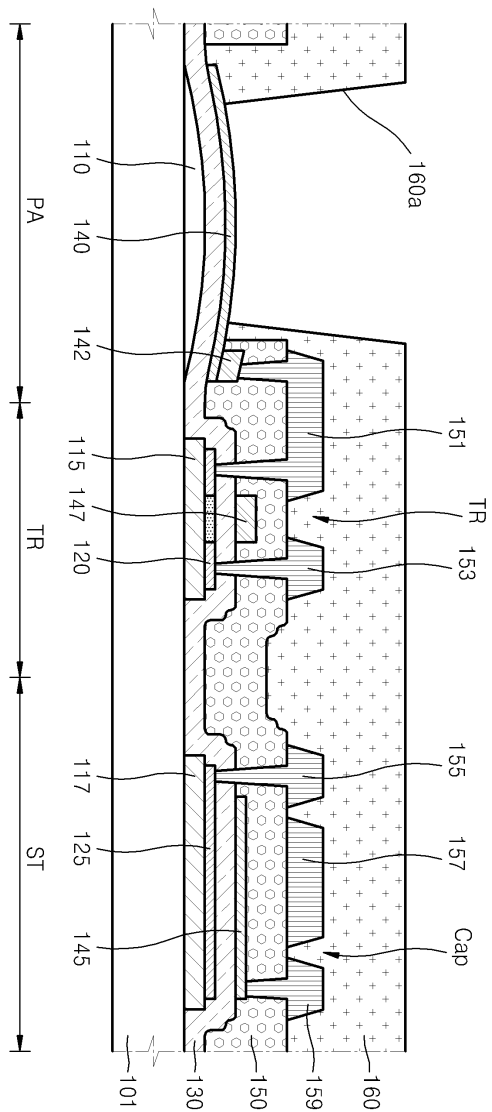
도면9



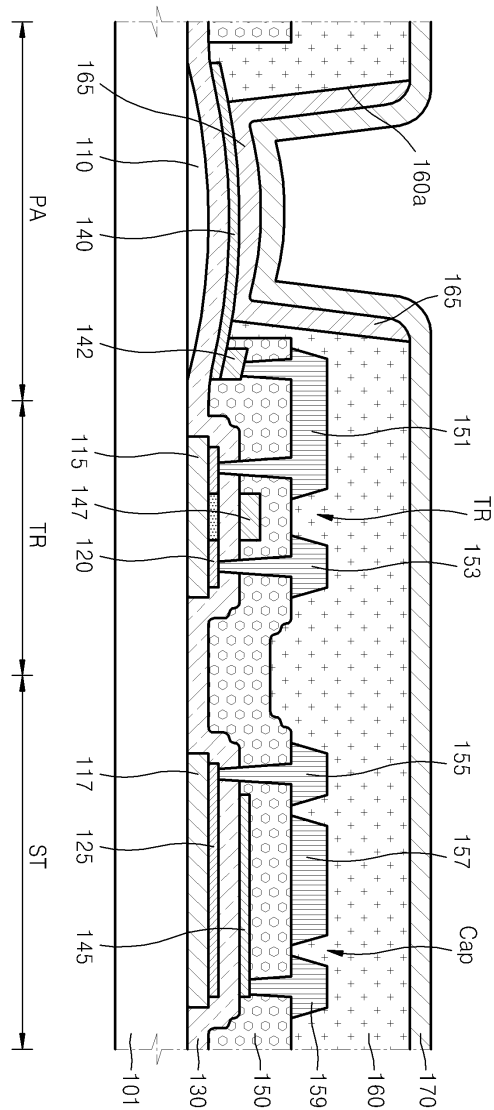
도면10



도면11



도면12



专利名称(译)	OLED显示器及其制造方法		
公开(公告)号	KR102028025B1	公开(公告)日	2019-10-04
申请号	KR1020120128375	申请日	2012-11-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	송지훈 조규식 박선 이율규		
发明人	송지훈 조규식 박선 이율규		
IPC分类号	H01L51/50 H05B33/10		
审查员(译)	允我永		
其他公开文献	KR1020140061144A		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示 (OLED) 装置。 OLED 装置包括：基板，其限定了像素区域；以及基板。聚光装置，设置在基板的像素区域上。下部电极设置在聚光装置上；有机层，其设置在下部电极上并包括有机发光层；上部电极设置在有机层上。还提供了一种用于制造这种 OLED 装置的方法。

