



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0079740  
(43) 공개일자 2020년07월06일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G09G 3/3208 (2016.01)  
H01L 51/52 (2006.01) H01L 51/56 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2013.01)  
G09G 3/3208 (2013.01)  
(21) 출원번호 10-2018-0169205  
(22) 출원일자 2018년12월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
정원준  
경기도 파주시 월롱면 엘지로 245  
박상무  
경기도 파주시 월롱면 엘지로 245  
(뒷면에 계속)  
(74) 대리인  
특허법인 정안

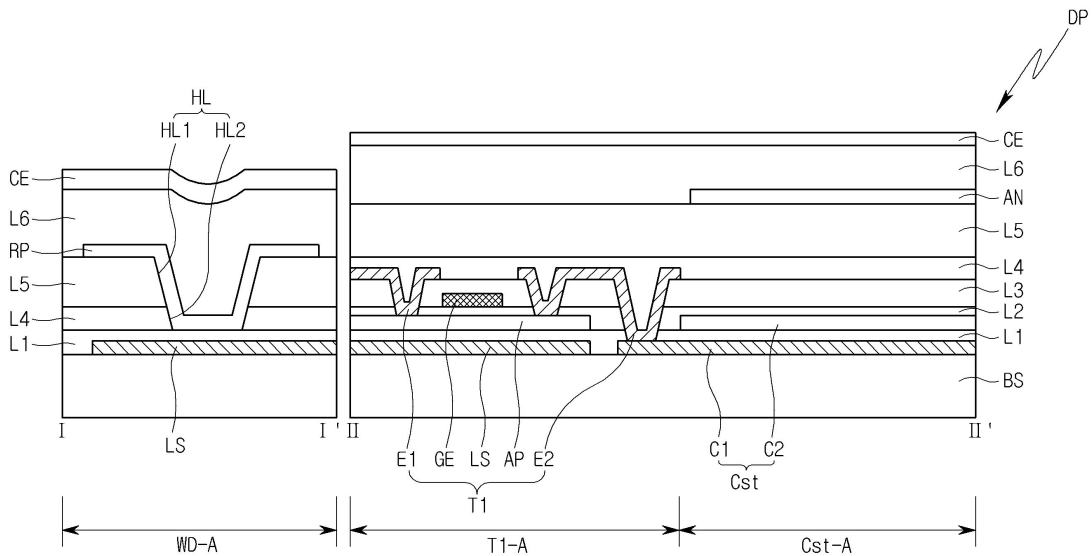
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

유기발광 표시패널은 베이스 기판 위에 배치된 차광성과 도전성을 갖는 광차단층, 광차단층을 커버하는 버퍼막, 제1 유기발광 다이오드와 제1 구동 회로부를 포함하는 제1 화소, 제1 화소에 인접하게 배치되어 제2 유기발광 다이오드를 포함하는 제2 화소, 및 제1 구동 회로부로부터 제2 유기발광 다이오드 측으로 연장된 리페어 패턴을 포함한다. 제1 화소에는 레이저가 조사되는 웰딩 영역이 정의되고, 웰딩 영역에서 리페어 패턴은 상기 버퍼막을 사이에 두고 제1 구동 회로부로부터 출력되는 구동전원이 흐르는 광차단층에 중첩된다. 제2 화소에서 리페어 패턴은 제2 유기발광 다이오드의 애노드에 전기적으로 연결된다. 웰딩 영역에서 리페어 패턴과 버퍼막 사이에 개재된 다수의 절연층들에 리페어 패턴에 대응되어 서로 중첩되는 홀들이 형성된다.

대표도



(52) CPC특허분류

*H01L 51/5284* (2013.01)

*H01L 51/56* (2013.01)

*H01L 2251/568* (2013.01)

(72) 발명자

**유은상**

경기도 과천시 월롱면 엘지로 245

---

**정해림**

경기도 과천시 월롱면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

베이스 기관;

상기 베이스 기관 위에 배치되어 차광성과 도전성을 갖는 광차단층;

상기 베이스 기관 위에 배치되어 상기 광차단층을 커버하는 버퍼막;

상기 베이스 기관 위에 배치되어 제1 유기발광 다이오드와 상기 제1 유기발광 다이오드를 구동하는 제1 구동 회로부를 포함하는 제1 화소;

상기 베이스 기관 위에서 상기 제1 화소에 인접하게 배치되어 제2 유기발광 다이오드를 포함하는 제2 화소; 및

상기 제1 구동 회로부로부터 상기 제2 유기발광 다이오드 측으로 연장된 리페어 패턴;을 포함하고,

상기 제1 화소에는 레이저가 조사되는 웰딩 영역이 정의되고, 상기 웰딩 영역에서 상기 리페어 패턴은 상기 버퍼막을 사이에 두고 상기 제1 구동 회로부로부터 출력되는 구동전원이 흐르는 상기 광차단층에 중첩되고, 상기 제2 화소에서 상기 리페어 패턴은 상기 제2 유기발광 다이오드의 애노드에 전기적으로 연결되고,

상기 웰딩 영역에서 상기 리페어 패턴과 상기 버퍼막 사이에 개재된 다수의 절연층들에 상기 리페어 패턴에 대응되어 서로 중첩되는 홀들이 형성된 유기발광 표시패널.

#### 청구항 2

제 1 항에 있어서, 상기 제1 구동 회로부는,

상기 제1 유기발광 다이오드의 애노드에 제공되는 상기 구동전원을 스위칭하는 구동 트랜지스터;

상기 구동 트랜지스터에 센싱신호를 제공하는 센싱 트랜지스터; 및

상기 구동 트랜지스터에 데이터 신호를 제공하는 스위칭 트랜지스터를 포함하고,

상기 광차단층은 상기 베이스 기관과 상기 센싱 트랜지스터의 액티브 패턴 사이에 개재되어 상기 웰딩 영역 측으로 연장된 형상을 갖고, 상기 웰딩 영역에서 상기 광차단층의 일 부분이 상기 버퍼막을 사이에 두고 상기 리페어 패턴에 중첩된 유기발광 표시패널.

#### 청구항 3

제 2 항에 있어서, 상기 다수의 절연층들은,

상기 센싱 트랜지스터를 커버하는 층간 절연막; 및

상기 층간 절연막 위에 배치되는 오버코트막을 포함하고,

상기 웰딩 영역에서 상기 리페어 패턴에 대응되어 상기 오버코트막에 제1 홀이 형성되고, 상기 웰딩 영역에서 상기 리페어 패턴에 대응되어 상기 층간 절연막에 제2 홀이 형성되고,

상기 제1 홀은 상기 제2 홀에 중첩되는 유기발광 표시패널.

#### 청구항 4

제 3 항에 있어서, 상기 웰딩 영역에서 상기 리페어 패턴은 상기 제1 홀과 상기 제2 홀을 통해 상기 버퍼막에 접촉된 유기발광 표시패널.

#### 청구항 5

제 3 항에 있어서, 상기 제1 구동 회로부는,

상기 센싱 트랜지스터와 상기 구동 트랜지스터에 전기적으로 연결된 스토리지 커패시터를 더 포함하고,

상기 스토리지 커패시터는,

상기 베이스 기판과 상기 버퍼막의 사이에 개재된 제1 커패시터 전극; 및

상기 버퍼막을 사이에 두고 상기 제1 커패시터 전극에 중첩된 제2 커패시터 전극을 포함하는 유기발광 표시패널.

**청구항 6**

제 5 항에 있어서, 상기 센싱 트랜지스터의 일 전극은 상기 제1 커패시터 전극에 콘택되어 상기 구동 트랜지스터에 전기적으로 연결된 유기발광 표시패널.

**청구항 7**

제 5 항에 있어서, 상기 제1 커패시터 전극과 상기 광차단층은 서로 동일한 물질을 포함하고, 상기 제2 커패시터 전극과 상기 액티브 패턴은 서로 동일한 물질을 포함하는 유기발광 표시패널.

**청구항 8**

제 5 항에 있어서, 상기 웰딩 영역에 레이저가 조사되어 상기 버퍼막에 비아홀이 형성되고, 상기 웰딩 영역에서 상기 리페어 패턴은 상기 비아홀을 통해 상기 광차단층에 콘택된 유기발광 표시패널.

**청구항 9**

제 5 항에 있어서, 상기 스토리지 커패시터는 커패시터 영역에 배치되고, 상기 오버 코트막과 상기 층간 절연막은 상기 커패시터 영역과 상기 웰딩 영역 중에서 상기 웰딩 영역에서 패터닝된 형상을 가져 상기 오버 코트막과 상기 층간 절연막에 상기 제1 홀과 상기 제2 홀이 각각 형성된 유기발광 표시패널.

**청구항 10**

제 1 항에 있어서, 상기 리페어 패턴은 상기 제2 유기발광 다이오드에 구비된 애노드와 동일한 물질을 포함하여 상기 애노드와 일체형으로 형성된 형상을 갖는 유기발광 표시패널.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 보다 상세하게는 화소 불량에 대한 리페어 구조를 갖는 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 자체 발광형 표시장치는 다수의 화소들 각각에 배치되어 광을 발광하는 발광 소자 및 발광 소자와 전기적으로 연결되어 발광 소자의 구동을 스위칭하는 구동 트랜지스터를 포함한다. 자체 발광형 표시장치 중 유기발광 표시장치는 다수의 화소들 각각에 배치된 유기발광 다이오드 및 유기발광 다이오드와 전기적으로 연결된 구동 트랜지스터를 포함한다.

[0003] 구동 트랜지스터는 유기발광 다이오드의 구동을 스위칭하고, 구동 트랜지스터는 게이트 전극, 액티브 패턴, 소오스 전극 및 드레인 전극을 포함한다. 구동 트랜지스터는 게이트 전극으로 인가되는 게이트 신호에 의해 턴-온(turn-on)되며, 구동 트랜지스터가 턴-온 된 경우에, 소오스 전극을 통해 제공되는 전원 신호가 액티브 패턴 및 드레인 전극을 통해 유기발광 다이오드 측으로 제공되어 유기발광 다이오드가 발광한다.

[0004] 한편, 유기발광 표시장치를 제조하는 과정 중에 유기발광 다이오드 또는 구동 트랜지스터에 불량이 발생하는 경우에, 유기발광 다이오드의 발광 기능이 동작하지 않아 불량 화소가 발생될 수 있다. 이 경우에 불량 화소는 암점으로 시인될 수 있는데, 불량 화소가 암점으로 시인되는 것을 방지하기 위하여 불량 화소에 리페어 공정이 수행될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 목적은 리페어 패턴의 구조를 변경함에 따라 커패시터의 전극의 크기를 향상시킬 수 있는 유기발광 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

[0006] 상술한 본 발명의 목적을 달성하기 위한 유기발광 표시패널은 베이스 기판, 상기 베이스 기판 위에 배치되어 차광성과 도전성을 갖는 광차단층, 상기 베이스 기판 위에 배치되어 상기 광차단층을 커버하는 버퍼막, 상기 베이스 기판 위에 배치되어 제1 유기발광 다이오드와 상기 제1 유기발광 다이오드를 구동하는 제1 구동 회로부를 포함하는 제1 화소, 상기 베이스 기판 위에서 상기 제1 화소에 인접하게 배치되어 제2 유기발광 다이오드를 포함하는 제2 화소 및 상기 제1 구동 회로부로부터 상기 제2 유기발광 다이오드 측으로 연장된 리페어 패턴을 포함한다.

[0007] 상기 제1 화소에는 레이저가 조사되는 웰딩 영역이 정의되고, 상기 웰딩 영역에서 상기 리페어 패턴은 상기 버퍼막을 사이에 두고 상기 제1 구동 회로부로부터 출력되는 구동전원이 흐르는 상기 광차단층에 증착되고, 상기 제2 화소에서 상기 리페어 패턴은 상기 제2 유기발광 다이오드의 애노드에 전기적으로 연결된다. 또한, 상기 웰딩 영역에서 상기 리페어 패턴과 상기 버퍼막 사이에 개재된 다수의 절연층들에 상기 리페어 패턴에 대응되어 서로 증착되는 홀들이 형성된다.

**발명의 효과**

[0008] 본 발명에 따르면, 화소 불량을 리페어 하기 위하여 유기발광 표시패널의 웰딩 영역에 리페어 패턴이 구비되되, 리페어 패턴은 버퍼막을 사이에 두고 광차단층에 증착된다. 상술한 리페어 패턴의 구조에 의해 웰딩 영역에서 리페어 패턴과 버퍼막 사이에 배치된 층간 절연막과 오버 코트막에는 서로 증착되는 홀들이 형성된다.

[0009] 또한, 웰딩 영역에서 서로 증착되는 홀들이 형성된 층간 절연막과 오버 코트막을 패터닝하는 공정에는 풀 노광 방식이 적용되므로, 하프톤 노광 방식이 적용되는 경우보다는 오버코트막과 층간 절연막 각각의 홀의 크기를 작게 하기가 용이할 수 있고, 그 대신에 유기발광 표시패널의 화소에 구비되는 구동회로부에 구비되는 스토리지 커패시터의 전극의 크기가 용이하게 확장될 수 있다. 따라서, 스토리지 커패시터의 정전 용량이 충분히 확보되는 효과가 발생할 수 있다.

**도면의 간단한 설명**

[0010] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.  
 도 2a 및 도 2b의 각각은 본 발명의 일 실시예에 따른 유기발광 표시패널의 서로 인접하게 배치된 두 개의 화소들의 개략적인 회로 구성을 나타내는 회로도이다.  
 도 3은 본 발명의 실시예에 따른 제1 화소, 제2 화소, 제3 화소 및 제4 화소를 나타내는 평면도이다.  
 도 4a는 도 3에 도시된 웰딩부를 확대하여 나타낸 도면이다.  
 도 4b는 도 3과 도 4a에 도시된 I-I'을 따라 절취된 부분과 도 3a에 도시된 II-II'을 따라 절취된 부분을 나타내는 단면도이다.  
 도 5a 내지 도 5d들은 도 4b에 도시된 표시패널을 제조하는 방법들을 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 살펴보기로 한다. 상기한 본 발명의 목적, 특징 및 효과는 도면과 관련된 실시예들을 통해서 이해될 수 있을 것이다. 다만, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고, 다양한 형태로 응용되어 변형될 수도 있다. 오히려 후술될 본 발명의 실시예들은 본 발명에 의해 개시된 기술 사상을 보다 명확히 하고, 나아가 본 발명이 속하는 분야에서 평균적인 지식을 가진 당업자에 본 발명의 기술 사상이 충분히 전달될 수 있도록 제공되는 것이다. 따라서, 본 발명의 범위가 후술될 실시예들에 의해 한정되는 것으로 해석되어서는 안될 것이다. 한편, 하기 실시예와 도면 상에 동일한 참조 번호들은 동일한 구성 요소를 나타낸다.

[0012] 또한, 본 명세서에서 '제1' 및 '제2' 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와

구별하는 목적으로 사용된다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 '위에' 또는 '상에' 있다고 할 때, 다른 부분 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

- [0013] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- [0014] 도 1을 참조하면, 유기발광 표시장치(500)는 유기발광 표시패널(DP), 타이밍 제어부(TC), 게이트 구동부(GD) 및 데이터 구동부(DD)를 포함한다.
- [0015] 타이밍 제어부(TC)는 입력 영상신호들을 수신하고, 타이밍 제어부(TC)는 유기발광 표시패널(DP)의 동작모드에 부합하게 변환된 영상데이터들(DTA), 게이트 구동제어신호(SCS) 및 데이터 구동제어신호(DCS)를 출력한다.
- [0016] 게이트 구동부(GD)는 타이밍 제어부(TC)로부터 게이트 구동제어신호(SCS)를 수신하여 복수의 게이트 신호들을 생성하고, 상기 생성된 복수의 게이트 신호들은 게이트 라인들(GL1~GLn)을 통해 유기발광 표시패널(DP) 측으로 제공된다.
- [0017] 데이터 구동부(DD)는 타이밍 제어부(TC)로부터 데이터 구동제어신호(DCS) 및 영상 데이터(DTA)를 수신한다. 데이터 구동부(DD)는 수신된 데이터 구동제어신호(DCS) 및 영상 데이터(DTA)에 근거하여 복수의 데이터 신호들을 생성하고, 상기 생성된 복수의 데이터 신호들은 데이터 라인들(DL1~DLn)을 통해 유기발광 표시패널(DP) 측으로 제공된다.
- [0018] 이 실시예에서는, 게이트 라인들(GL1~GLn) 각각은 유기발광 표시패널(DP)의 수평 방향으로 연장되고, 데이터 라인들(DL1~DLn) 각각은 유기발광 표시패널(DP)의 수직 방향으로 연장된다. 데이터 라인들(DL1~DLn)은 게이트 라인들(GL1~GLn)과 절연되어 교차한다.
- [0019] 유기발광 표시패널(DP)은 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)을 포함하고, 유기발광 표시패널(DP)은 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)로부터 출력되는 광을 이용하여 영상을 표시한다. 이 실시예에서는, 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)은 유기발광 표시패널(DP)의 수평 방향 및 수직 방향으로 매트릭스의 형상으로 배열될 수 있다.
- [0020] 외부로부터 유기발광 표시패널(DP)에 제1 전원전압 및 제1 전원 전압보다 높은 레벨의 제2 전원전압이 제공되어, 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)의 각각은 제1 전원전압 및 제2 전원 전압을 수신한다.
- [0021] 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>) 각각은 게이트 라인들(GL1~GLn) 중 대응되는 게이트 라인 및 데이터 라인들(DL1~DLn) 중 대응되는 데이터 라인에 전기적으로 연결된다. 따라서, 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)의 각각은 대응되는 게이트 신호에 의해 턴-온 되어 대응되는 데이터 신호를 제공받을 수 있고, 다수의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)의 각각은 상기 데이터 신호에 응답하여 광을 출력할 수 있다.
- [0022] 도 2a 및 도 2b의 각각은 본 발명의 일 실시예에 따른 유기발광 표시패널의 서로 인접하게 배치된 두 개의 화소들의 개략적인 회로 구성을 나타내는 회로도이다. 보다 상세하게는 도 2a는 리페어 패턴이 활성화되기 이전의 두 개의 서로 인접한 화소들의 회로 구성을 나타내는 회로도이고, 도 2b는 리페어 패턴이 활성화된 이후에 두 개의 서로 인접한 화소들의 회로 구성을 나타내는 회로도이다.
- [0023] 도 2a를 참조하면, 이 실시예에서는 제1 화소(PX1)는 제1 유기발광 다이오드(OLED1: Organic Light Emitting Diode)와 제1 유기발광 다이오드(OLED1)를 구동하는 제1 구동회로부(DC1)을 포함한다.
- [0024] 제1 유기발광 다이오드(OLED1)는 애노드, 캐소드 및 상기 애노드와 상기 캐소드 사이에 배치된 유기발광층을 포함할 수 있다. 상기 애노드로부터 주입되는 정공과 상기 캐소드로부터 주입되는 전자가 상기 유기발광층에서 재결합됨에 따라 상기 유기발광층으로부터 광이 발생될 수 있다.
- [0025] 이 실시예에서는 상기 유기발광층은 다수의 화소들마다 패터닝되어 컬러광을 발광할 수 있다. 다른 실시예에서는 상기 유기발광층은 다수의 화소들에 공통형의 구조로 형성되어 백색광을 발광할 수 있고, 이 경우에는 다수의 화소들의 각각에는 상기 백색광을 컬러광으로 필터링하는 컬러필터가 배치될 수 있다.
- [0026] 이 실시예에서는 제1 구동 회로부(DC1)는 구동 트랜지스터(DT), 센싱 트랜지스터(T1), 스위칭 트랜지스터(T2) 및 스토리지 커패시터(Cst)를 포함한다.
- [0027] 구동 트랜지스터(DT)는 제1 유기발광 다이오드(OLED1) 측으로 제공되는 구동 전원을 스위칭 한다. 구동 트랜지스터(DT)의 제1노드(N1)는 제1 유기발광 다이오드(OLED1)의 애노드와 전기적으로 연결될 수 있고, 구동 트랜지

스터(DT)의 제2노드(N2)는 스위칭 트랜지스터(T2)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다. 구동 트랜지스터(DT)의 제3노드(N3)는 제1 전원전압을 공급하는 전원라인(EVDD)에 전기적으로 연결될 수 있다.

- [0028] 센싱 트랜지스터(T1)는 구동 트랜지스터(DT)의 제1 노드(N1)와 센싱신호를 공급하는 센싱라인(VREF)에 연결된다. 이 실시예에서는 센싱 트랜지스터(T1)는 게이트 라인(GL)으로부터 제공되는 스캔 신호(SCAN)에 의해 턴-온 될 수 있고, 센싱 트랜지스터(T1)가 턴-온 된 경우에 구동 트랜지스터(DT)의 제1노드(N1)에 센싱라인(VREF)의 센싱신호가 제공될 수 있다.
- [0029] 스위칭 트랜지스터(T2)는 구동 트랜지스터(DT)의 제2노드(N2)와 데이터 전압(Vdata)을 공급하는 데이터 라인(DL)에 연결될 수 있다. 스위칭 트랜지스터(T2)는 게이트 라인(GL)으로부터 제공되는 스캔 신호(SCAN)에 의해 턴-온 될 수 있다. 스위칭 트랜지스터(T2)가 턴-온 된 경우에, 데이터 라인(DL)을 통해 공급된 데이터 전압(Vdata)이 구동 트랜지스터(DT)의 제2노드(N2)에 제공될 수 있다.
- [0030] 스토리지 커패시터(Cst)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결된다. 스토리지 커패시터(Cst)는 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지해줄 수 있다.
- [0031] 상술한 제1 화소(PX1)의 회로 구성에 따르면, 게이트 라인(GL)의 게이트신호에 따라 스위칭 트랜지스터(T2)가 턴-온 되면, 데이터 라인(DL)의 데이터신호가 스위칭 트랜지스터(T2)를 통해 구동 트랜지스터(DT)의 게이트 전극과 스토리지 커패시터(Cst)의 일 전극에 인가된다.
- [0032] 구동 트랜지스터(DT)는 게이트전극에 인가된 데이터신호에 따라 턴-온 되며, 그 결과 데이터 라인(DL)의 데이터 신호에 대략적으로 비례하는 구동전원이 전원라인(EVDD)로부터 구동 트랜지스터(DT)를 통하여 제1 유기발광 다이오드(OLED1) 측으로 제공될 수 있다. 제1 유기발광 발광다이오드(OLED1)는 구동 트랜지스터(DT)를 통하여 제공되는 전원라인(EVDD)의 구동전원에 대략적으로 비례하는 휘도로 발광할 수 있다. 또한, 스토리지 커패시터(Cst)에는 데이터신호에 비례하는 전압으로 충전되어, 구동 트랜지스터(DT)가 턴-온 되는 동안에 일 프레임(frame) 동안 구동 트랜지스터(DT)의 게이트전극의 전압이 일정하게 유지될 수 있다.
- [0033] 한편, 이 실시예에서는 제1 구동회로부(DC1)는 상술한 구성을 가질 수 있으나, 본 발명이 제1 구동회로부(DC1)의 구성에 한정되는 것은 아니다. 예를 들면, 이 실시예에서는 센싱 트랜지스터(T1)와 스위칭 트랜지스터(T2)는 서로 동일한 게이트 라인(GL)으로부터 제공되는 게이트 신호에 의해 턴-온 되도록 구성될 수 있으나, 다른 실시예에서는 센싱 트랜지스터(T1)와 스위칭 트랜지스터(T2)는 서로 상이한 게이트 라인들로부터 제공되는 게이트 신호에 의해 턴-온 되도록 구성될 수도 있다.
- [0034] 상술한 구성을 갖는 제1 화소(PX1)의 다음에 제2 화소(PX2)가 배열될 수 있다. 이 실시예에서는 제1 화소(PX1)와 제2 화소(PX2)는 열 방향으로 배열될 수 있으나, 다른 실시예에서는 제1 화소(PX1)와 제2 화소(PX2)는 행 방향으로 배열될 수도 있다.
- [0035] 제2 화소(PX2)는 제2 유기발광 다이오드(OLED2)와 제2 유기발광 다이오드(OLED2)를 구동하는 제2 구동회로부(DC2)를 포함한다. 이 실시예에서는, 제2 유기발광 다이오드(OLED2)의 구성은 제1 유기발광 다이오드(OLED1)의 구성과 동일할 수 있고, 제2 구동회로부(DC2)의 구성은 제1 구동회로부(DC1)의 구성과 동일할 수 있으므로, 제2 유기발광 다이오드(OLED2)와 제2 구동회로부(DC2) 각각의 구성에 대한 설명은 생략된다.
- [0036] 이 실시예에서는 제1 화소(PX1)와 제2 화소(PX2)에 화소 불량을 리페어 하기 위한 리페어 패턴(RP)이 배치될 수 있다. 보다 상세하게는, 리페어 패턴(RP)은 제1 화소(PX1)의 제1 구동회로부(DC1)으로부터 제2 화소(PX2) 측으로 연장된 형상을 가질 수 있다. 보다 상세하게는 리페어 패턴(RP)은 제1 화소(PX1)에서 리페어 패턴(RP)은 절연막을 사이에 두고 센싱 트랜지스터(T1)의 소스 노드 또는 드레인 노드에 중첩될 수 있다. 제1 화소(PX1)에서의 상술한 리페어 패턴(RP)의 구조에 따라, 제1 화소(PX1)에서 리페어 패턴(RP)과 센싱 트랜지스터(T1)의 노드가 중첩되어 웰딩부(WD)가 정의될 수 있다.
- [0037] 리페어 패턴(RP)은 제2 화소(PX2)에서 제2 유기발광 다이오드(OLED2)의 애노드에 전기적으로 연결될 수 있다. 이 실시예에서는 제2 유기발광 다이오드(OLED2)의 애노드는 리페어 패턴(RP)과 동일한 공정에서 동일한 물질로 형성될 수 있다. 따라서, 제2 화소(PX2)에서 리페어 패턴(RP)은 제2 유기발광 다이오드(OLED2)의 애노드와 일체형으로 형성된 형상을 가질 수 있다.
- [0038] 도 2b를 참조하여, 이 실시예에 따른 리페어 패턴(RP)을 이용하여 화소 불량을 리페어하는 과정을 개략적으로 설명하면 다음과 같다.

- [0039] 만약에 제2 화소(PX2)의 제2 유기발광 다이오드(OLED2)가 발광하지 않는 경우에, 제2 화소(PX2)의 구동 트랜지스터(DT)와 제2 유기발광 다이오드(OLED2)를 연결하는 라인(CT)의 일부가 레이저에 의해 커팅될 수 있다. 그 이후에, 웰딩부(WD)에 레이저를 조사하면, 리페어 패턴(RP)이 센싱 트랜지스터(T1)의 노드에 콘택될 수 있다. 보다 상세하게는, 이 실시예에서는 웰딩부(WD)에 레이저가 조사됨에 따라 리페어 패턴(RP)과 센싱 트랜지스터(T1)의 노드에 형성된 광차단층(도 3의 LS)의 사이에 개재된 버퍼막(도 4b의 L1)이 번-아웃될 수 있고, 이에 따라 리페어 패턴(RP)이 센싱 트랜지스터(T1)의 노드에 형성된 광차단층에 콘택될 수 있다.
- [0040] 따라서, 제1 화소(PX1)에 구비된 구동 트랜지스터(DT)로부터 출력되는 구동전원의 일부가 리페어 패턴(RP)을 통해 제2 화소(PX2)에 구비된 제2 유기발광 다이오드(OLED2)의 애노드에 제공될 수 있다. 그 결과, 제1 화소(PX1)에 구비된 제1 유기발광 다이오드(OLED1)와 제2 화소(PX2)에 구비된 제2 유기발광 다이오드(OLED2)가 발광하여, 제2 화소(PX2)가 불량화소 또는 암점으로 시인되는 것이 방지될 수 있다.
- [0041] 도 3은 본 발명의 실시예에 따른 제1 화소, 제2 화소, 제3 화소 및 제4 화소를 나타내는 평면도이다.
- [0042] 도 2a와 도 3을 참조하면, 유기발광 표시장치(도 1의 500)의 유기발광 표시패널(DP)에는 다수의 화소영역들이 배치되고, 상기 다수의 화소영역들에 다수의 화소들이 배치된다. 도 3에서는 상기 다수의 화소들 중 행방향과 열방향으로 배열된 제1 화소(PX1), 제2 화소(PX2), 제3 화소(PX3) 및 제4 화소(PX4)가 도시된다.
- [0043] 이 실시예에서는 제1 화소(PX1)와 제2 화소(PX2)의 좌측에는 세로 방향을 따라 전원라인(EVDD)이 배치된다. 전원라인(EVDD)은 제1 화소(PX1)와 제3 화소(PX3)에 공통으로 연결된다. 제1 화소(PX1)를 예를 들어 설명하면, 전원라인(EVDD)은 제1 화소(PX1)에 배치된 구동 트랜지스터(DT)에 전기적으로 연결될 수 있다. 따라서, 구동 트랜지스터(DT)가 턴-온 된 경우에, 전원라인(EVDD)을 통해 제공되는 구동전원은 제1 화소(PX1)에 구비된 제1 애노드(AE1) 측으로 제공되고, 그 결과 제1 애노드(AE1)와 캐소드(도 4b의 CE)의 사이에 배치된 유기발광층(미도시)이 발광될 수 있다.
- [0044] 제1 화소(PX1)와 제3 화소(PX3)의 사이에는 세로 방향을 따라 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2)이 배치된다. 제1 데이터 라인(DL1)은 제1 화소(PX1)와 제2 화소(PX2)에 연결될 수 있고, 제2 데이터 라인(DL2)은 제3 화소(PX3)와 제4 화소(PX4)에 연결될 수 있다. 제1 화소(PX1)를 예를 들어 설명하면, 제1 데이터 라인(DL1)은 스위칭 트랜지스터(T2)에 전기적으로 연결되어 제1 데이터 라인(DL1)의 데이터 신호가 스위칭 트랜지스터(T2)에 제공될 수 있다.
- [0045] 제3 화소(PX3)와 제4 화소(PX4)의 우측에는 세로 방향으로 센싱라인(VREF)이 배치된다. 센싱라인(VREF)은 가로 방향으로 연장된 센싱연결라인(VREFS)에 콘택될 수 있으며, 센싱연결라인(VREFS)은 제1 화소(PX1)와 제3 화소(PX3)에 공통으로 연결될 수 있다. 제1 화소(PX1)를 예를 들어 설명하면, 센싱연결라인(VREFS)은 센싱 트랜지스터(T1)에 전기적으로 연결되어 센싱라인(VREF)의 센싱신호가 센싱 트랜지스터(T1) 측으로 제공될 수 있다.
- [0046] 게이트 라인(GL)은 제1 및 제2 화소들(PX1, PX2)의 사이와 제3 및 제4 화소들(PX3, PX4)의 사이를 따라 가로 방향으로 배치될 수 있다. 제1 화소(PX1)를 예를 들어 설명하면, 게이트 라인(GL)은 제1 화소(PX1)에 구비된 센싱 트랜지스터(T1)와 스위칭 트랜지스터(T2)에 게이트 신호를 제공할 수 있다.
- [0047] 한편, 본 발명이 상술한 유기발광 다이오드를 구동하기 위한 제1 내지 제4 화소들(PX1, PX2, PX3, PX4)의 화소 구조에 한정되는 것은 아니다. 예를 들어, 전술된 바와 같이, 이 실시예에서는 제1 내지 제4 화소들(PX1, PX2, PX3, PX4)의 각각에서 센싱 트랜지스터(T1)와 스위칭 트랜지스터(T2)은 하나의 게이트 라인(GL)으로부터 게이트 신호를 제공받아 턴-온 되나, 다른 실시예에서는 센싱 트랜지스터(T1)와 스위칭 트랜지스터(T2)는 서로 다른 게이트 라인들로부터 게이트 신호를 제공받아 턴-온 될 수 있다.
- [0048] 이 실시예에서는 유기발광 표시패널(DP)에 화소 불량을 리페어하기 위한 다수의 리페어 패턴들이 배치되고, 다수의 리페어 패턴들의 각각은 어느 하나의 화소의 구동회로로부터 상기 화소에 세로 방향으로 인접하게 배치된 다른 화소 측으로 연장된 형상을 갖는다. 예를 들면, 다수의 리페어 패턴들 중 리페어 패턴(RP)은 제1 화소(PX1)의 센싱 트랜지스터(T1)로부터 제2 화소(PX2) 측으로 연장된 형상을 갖는다.
- [0049] 이 실시예에서는, 제1 화소(PX1)에서 리페어 패턴(RP)의 일부가 센싱 트랜지스터(T1)의 노드 상에서 버퍼막(도 4b의 L1)을 사이에 두고 광차단층(LS)에 중첩되어 웰딩부(WD)가 정의된다. 또한, 리페어 패턴(RP)은 제1 화소(PX1)의 웰딩부(WD)로부터 제2 화소(PX2) 측으로 연장되어 제2 애노드(AE2)에 전기적으로 연결된다.
- [0050] 이 실시예에서는 리페어 패턴(RP)은 제1 및 제2 애노드들(AE1, AE2)과 동일한 공정에서 동일한 물질로 형성될 수 있다. 따라서, 리페어 패턴(RP)은 제2 애노드(AE2)와 일체형으로 형성되어 제2 애노드(AE2)에 전기적으로 연결

될 수 있다.

- [0051] 제2 화소(PX2)의 불량에 대한 리페어 패턴(RP)을 이용하여 리페어 공정이 수행되기 이전에는, 제1 화소(PX1)에 서는 리페어 패턴(RP)은 버퍼막(도 4b의 L1)에 의해 광차단층(LS)과 절연된다. 또한, 웰딩부(WD)에 레이저를 조사하여 리페어 패턴(RP)이 웰딩부(WD)에 대응되는 광차단층(LS)의 일부분에 콘택된 경우에는, 도 2b에 도시된 바와 같이 제1 화소(PX1)의 제1 구동회로부(DC1)으로부터 출력되는 구동전원이 리페어 패턴(RP)을 통해 제1 유기발광 다이오드(OLED1) 뿐만 아니라 제2 유기발광 다이오드(OLED2) 측에 제공될 수 있다. 따라서, 제2 유기발광 다이오드(OLED2)가 발광되어 제2 화소(PX2)의 화소 불량이 리페어될 수 있다.
- [0052] 이하, 리페어 패턴(RP)의 구조에 대해 보다 상세히 설명하면 다음과 같다.
- [0053] 도 4a는 도 3에 도시된 웰딩부를 확대하여 나타낸 도면이고, 도 4b는 도 3과 도 4a에 도시된 I-I'을 따라 절취된 부분과 도 3a에 도시된 II-II'을 따라 절취된 부분을 나타내는 단면도이다.
- [0054] 도 3, 도 4a 및 도 4b를 참조하면, 이 실시예에서는 베이스 기판(BS)의 센싱 트랜지스터 영역(T1-A)에서 베이스 기판(BS) 위에 광차단층(LS)이 배치될 수 있다. 광차단층(LS)은 베이스 기판(BS)과 액티브 패턴(AP) 사이에 배치될 수 있고, 광차단층(LS)은 센싱 트랜지스터(T1)의 액티브 패턴(AP) 측으로 진행되는 광을 차단한다. 따라서, 광차단층(LS)에 의해 액티브 패턴(AP) 측으로 입사된 광에 의해 센싱 트랜지스터(T1)의 스위칭 특성이 변화되는 것이 방지될 수 있다.
- [0055] 이 실시예에서는, 광차단층(LS)의 구성물질은 금속 재료를 포함하여 광차단층(LS)은 광을 반사하는 특성과 도전성을 가질 수 있다.
- [0056] 광차단층(LS) 위에 버퍼막(L1)이 배치된다. 버퍼막(L1)은 산화실리콘과 질화실리콘과 같은 절연층일 수 있다. 버퍼막(L1)은 베이스 기판(BS)으로부터 확산되는 불순물을 차단할 수 있다.
- [0057] 버퍼막(L1) 위에 액티브 패턴(AP)이 배치되고, 액티브 패턴(AP) 위에는 게이트 절연막(L2)을 사이에 두고 게이트 전극(GE)이 배치된다. 도 3에 도시된 바와 같이, 센싱 트랜지스터(T1)의 게이트 전극은 게이트 라인(도 3의 GL)의 일 부분이거나 게이트 라인(도 3의 GL)으로부터 분기된 부분일 수 있다.
- [0058] 게이트 전극(GE) 위에는 중간 절연막(L3)이 배치되며, 중간 절연막(L3) 위에는 제1 전극(E1)과 제2 전극(E2)이 배치된다. 제1 전극(E1)과 제2 전극(E2)의 각각은 게이트 절연막(L2)에 형성된 비아홀을 통해 액티브 패턴(AP)에 콘택된다. 이 실시예에서는, 센싱 트랜지스터(T1)의 종류 또는 구동 특성에 따라 제1 전극(E1)과 제2 전극(E2) 중 어느 하나가 소스 전극이고 다른 하나가 드레인 전극일 수 있다.
- [0059] 제1 전극(E1)과 제2 전극(E2)의 위에는 층간 절연막(L4)이 배치되며, 층간 절연막(L4) 위에는 오버코트막(L5)이 배치된다. 이 실시예에서는 층간 절연막(L4)와 오버코트막(L5)의 각각은 절연막일 수 있고, 오버코트막(L5)이 센싱 트랜지스터(T1)를 커버함으로써 센싱 트랜지스터(T1)에 의해 형성된 단차들이 평탄화될 수 있다.
- [0060] 이 실시예에서는, 층간절연막(L4)과 오버코트막(L5)은 센싱 트랜지스터(T1)와 스토리지 커패시터(Cst)를 커버하나, 웰딩부(WD)에서는 층간절연막(L4)과 오버코트막(L5) 각각은 개구된 형상을 가질 수 있다. 이 경우에, 1회의 포토리소그래피 공정을 통하여 층간절연막(L4)과 오버코트막(L5)이 일괄적으로 패터닝될 수 있고, 이에 따라 웰딩부(WD)에서 오버코트막(L5)에 형성된 제1 홀(HL1)은 층간절연막(L4)에 형성된 제2 홀(HL2)과 중첩될 수 있다.
- [0061] 이 실시예에서는 스토리지 커패시터(Cst)는 제1 커패시터 전극(C1)과 제2 커패시터 전극(C2)을 포함한다. 제1 커패시터 전극(C1)은 광차단층(LS)과 동일한 공정에서 형성될 수 있고, 제2 커패시터 전극(C2)은 액티브 패턴(AP)과 동일한 공정에서 형성될 수 있다. 또한, 제1 및 제2 커패시터 전극들(C1, C2)의 사이에는 버퍼막(L1)이 개재되어 스토리지 커패시터(Cst)에 정전용량이 충전될 수 있다.
- [0062] 이 실시예에서는 센싱 트랜지스터(T1)의 제2 전극(E2)이 제1 커패시터 전극(C1)과 콘택될 수 있다. 또한, 도면에 도시되지는 않았으나, 구동 트랜지스터(도 2a의 DT)의 드레인 전극(미도시)이 제1 커패시터 전극(C1)에 콘택될 수 있다. 따라서, 도 2a에 도시된 바와 같이, 센싱 트랜지스터(T1)는 제1 노드(도 2a의 N1)에서 구동 트랜지스터(도 2a의 DT)에 전기적으로 연결될 수 있다.
- [0063] 웰딩부(WD)가 형성된 베이스 기판(BS)의 웰딩 영역(WD-A)에서, 베이스 기판(BS) 위에 광차단층(LS)이 배치되고, 광차단층(LS) 위에 버퍼막(L1)이 배치된다. 도 3에 도시된 바와 같이, 웰딩부(WD)의 광차단층(LS)은 센싱 트랜지스터(T1)에 구비된 광차단층(LS)은 동일한 층으로, 바꾸어 말하면 광차단층(LS)은 센싱 트랜지스터 영역(T1-

A)으로부터 웰딩 영역(WD-A) 측으로 연장된 하나의 층일 수 있다.

- [0064] 버퍼막(L1) 위에는 제2 홀(HL2)이 형성된 층간절연막(L4)과 제1 홀(HL1)이 형성된 오버코트막(L5)이 형성된다. 이 실시예에서는 웰딩 영역(WD-A)에서 오버코트막(L5)에 형성된 제1 홀(HL1)은 층간절연막(L4)에 형성된 제2 홀(HL2)에 중첩될 수 있다. 제조 방법적인 측면에서는 오버코트막(L5)과 층간절연막(L4)은 동일한 마스크를 이용하는 1회의 식각 공정에서 패터닝되어 오버코트막(L5)과 층간절연막(L4)에 제1 홀(HL1)과 제2 홀(HL2)이 형성될 수 있다.
- [0065] 오버코트막(L5) 위에는 리페어 패턴(RP)이 배치된다. 이 실시예에서는 리페어 패턴(RP)은 애노드층(AN), 제1 애노드(도 3의 AE1) 및 제2 애노드(도 3의 AE2)와 동일한 공정에서 동일한 물질로 형성될 수 있다.
- [0066] 웰딩 영역(WD-A)에서 리페어 패턴(RP)은 제1 홀(HL1)과 제2 홀(HL2)을 통해 버퍼막(L1)에 접촉될 수 있다. 따라서, 웰딩 영역(WD-A)에서 리페어 패턴(RP)은 버퍼막(L1)을 사이에 두고 광차단층(LS)에 중첩될 수 있다.
- [0067] 상술한 구조를 갖는 리페어 패턴(RP)에 따르면, 웰딩 영역(WD-A)에 레이저를 조사하기 이전에는 리페어 패턴(RP)은 버퍼막(L1)에 의해 광차단층(LS)과 절연된다. 웰딩 영역(WD-A)에 레이저를 조사하는 경우에, 레이저의 에너지에 의해 버퍼막(L1)이 번-아웃 되고, 이와 동시에 레이저의 에너지에 의해 리페어 패턴(RP)과 광차단층(LS)이 부분적으로 용융되어 리페어 패턴(RP)이 광차단층(LS)에 콘택될 수 있다.
- [0068] 웰딩 영역(WD-A)에 레이저를 조사하여 리페어 패턴(RP)이 광차단층(LS)에 콘택될 경우에는, 전술된 바와 같이 리페어 패턴(RP)은 웰딩부(WD)와 센싱 트랜지스터(T1)에 구비된 광차단층(LS)을 통해 센싱 트랜지스터(T1)에 전기적으로 연결될 수 있다. 또한, 전술된 바와 같이, 센싱 트랜지스터(T1)는 스토리지 커패시터(Cst)의 제1 커패시터 전극(C1)을 통해 구동 트랜지스터(도 2a의 DT)에 전기적으로 연결되므로, 도 2b에 도시된 회로도 및 같이 구동 트랜지스터(도 2a의 DT)로부터 출력되는 구동전원은 리페어 패턴(RP)을 통해 제2 화소(도 2b)에 구비된 제2 유기발광 다이오드(도 2b의 OLED2) 측으로 제공될 수 있다.
- [0069] 따라서, 제2 화소(도 2b)를 구성하는 회로 소자들에 불량 발생이 발생되더라도, 웰딩 영역(WD-A)에서 리페어 패턴(RP)을 광차단층(LS)에 콘택시킴에 따라 제1 화소(도 2a의 PX1)를 구동하는 구동전원이 제2 화소(도 2a의 PX2)로 분기되어 제2 화소(도 2a의 PX2)에 구비된 제2 유기발광 다이오드(도 2a의 OLED2)가 발광될 수 있다.
- [0070] 한편, 오버코트막(L5) 위에는 बैं크막(L6)이 형성되며, बैं크막(L6) 위에는 캐소드(CE)가 배치된다. बैं크막(L6)에는 제1 애노드(도 3의 AE1)와 제2 애노드(도 3의 AE2) 각각에 대응되도록 개구부(미도시)가 형성될 수 있으며, बैं크막(L6)에 형성된 개구부에 유기발광층(미도시)이 형성되어 제1 애노드(도 3의 AE1) 또는 제2 애노드(도 3의 AE2)에 접촉될 수 있다.
- [0071] 캐소드(CE)는 인듐틴옥사이드(indium tin oxide, ITO) 또는 인듐징크옥사이드(indium zinc oxide, IZO)와 같은 투명한 도전층일 수 있다. 캐소드(CE)는 बैं크막(L6)을 위에 배치될 수 있으며, बैं크막(L6)이 개구된 부분에서는 캐소드(CE)는 유기발광층 위에 배치될 수 있다. 따라서, बैं크막(L6)이 개구된 부분에서는 제1 애노드와 제2 애노드의 각각 위에 유기발광층과 캐소드(CE)가 순차적으로 적층되어 유기발광 다이오드가 구현될 수 있다.
- [0072] 도 5a 내지 도 5d들은 도 4b에 도시된 표시패널을 제조하는 방법들을 나타내는 도면이다. 보다 상세하게는 도 5a 내지 도 5c들에서는 리페어 패턴을 형성하기 위하여 오버코트막과 층간절연막을 패터닝하는 방법들이 도시되며, 도 5d에서는 리페어 패턴에 대한 레이저 조사 공정이 도시된다.
- [0073] 한편, 도 5a 내지 도 5d들을 설명함에 있어서, 앞서 설명된 구성요소들에 대해서는 도면 부호를 병기하고, 상기 구성요소들에 대한 중복된 설명은 생략된다.
- [0074] 도 5a를 참조하면, 웰딩 영역(WD-A)에 광차단층(LS)을 형성하고, 센싱 트랜지스터 영역(T1-A)에 센싱 트랜지스터(T1)를 형성하고, 커패시터 영역(Cst-A)에 스토리지 커패시터(Cst)를 형성한다.
- [0075] 그 이후에, 광차단층(LS), 센싱 트랜지스터(T1) 및 스토리지 커패시터(Cst)를 커버하는 예비 층간절연막(L4-1)을 형성하고, 예비 층간절연막(L4-1) 위에 예비 오버코트막(L5-1)을 형성한다.
- [0076] 그 이후에, 예비 오버코트막(L5-1) 위에 감광막(PR)을 형성한다. 감광막(PR)은 웰딩 영역(WD-A), 센싱 트랜지스터 영역(T1-A) 및 커패시터 영역(Cst-A)에 형성될 수 있다.
- [0077] 그 이후에, 포토 마스크(MK)를 베이스 기판(BS)의 상부에 배치한다. 이 실시예에서는 포토 마스크(MK)는 광 투과부(P1)와 광 차단부(P2)를 포함할 수 있고, 광 투과부(P1)가 웰딩 영역(WD-A)에 대응되도록 포토 마스크(MK)가 배치될 수 있다.

- [0078] 그 이후에, 포토 마스크(MK)를 이용하여 감광막(PR) 층에 대해 노광 공정이 수행된다. 상기 노광 공정이 진행됨에 따라, 광(LT)이 광 투과부(P1)를 투과하여 웰딩 영역(WD-A)에 대응되는 감광막(PR)의 일부분(PR-1)의 일부분에 조사된다.
- [0079] 도 5a에 도 5b를 더 참조하면, 노광 공정이 수행된 감광막(PR)에 대해 현상공정이 수행된다. 그 결과, 상기 현상 공정에서 광(LT)이 조사된 감광막(PR)의 일부분(PR-1)이 제거되고, 웰딩 영역(WD-A)에 개구부(MP)가 형성된 마스크 패턴(PR-M)이 형성된다.
- [0080] 그 이후에, 마스크 패턴(PR-M)을 식각 마스크로 활용하여 예비 오버코트막(L5-1)과 예비 층간절연막(L4-1)에 대한 패터닝 공정이 수행된다. 그 결과, 웰딩 영역(WD-A)에서 마스크 패턴(PR-M)의 개구부(MP)에 의해 외부에 노출된 예비 오버코트막(L4-1) 측에 식각가스 또는 식각용액이 제공되어, 예비 오버코트막(L4-1)에 대한 식각 공정과 패터닝 공정이 수행될 수 있다.
- [0081] 상술한 마스크 패턴(PR-M)을 이용한 예비 오버코트막(L4-1)에 대한 식각 공정과 패터닝 공정이 완료되면, 마스크 패턴(PR-M)을 이용하여 예비 층간절연막(L5-1)에 대한 식각 공정과 패터닝 공정이 수행될 수 있다. 즉, 이 실시예에서는 마스크 패턴(PR-M)을 식각 마스크로 활용하는 1회의 패터닝 공정을 통하여 예비 오버코트막(L5-1)과 예비 층간절연막(L4-1)의 식각공정과 패터닝공정이 일괄적으로 수행될 수 있다.
- [0082] 도 5c를 참조하면, 예비 오버코트막(도 5b의 L5-1)과 예비 층간절연막(도 5b의 L4-1)의 식각공정과 패터닝공정이 완료되어 오버코트막(L5)과 층간절연막(L4)이 완성된다. 웰딩 영역(WD-A)에서 오버코트막(L5)에는 제1 홀(H1)이 형성되며, 제1 홀(H1)은 오버코트막(L5)을 관통하는 형상으로 형성된다. 또한, 웰딩 영역(WD-A)에서 층간절연막(L4)에는 제1 홀(H1)에 중첩하는 제2 홀(H2)이 형성되며, 제2 홀(H2)은 층간절연막(L4)을 관통하는 형상으로 형성된다.
- [0083] 그 이후에, 오버코트막(L5) 위에 리페어 패턴(RP)과 애노드층(AN)을 형성한다. 이 실시예에서는 리페어 패턴(RP)과 애노드층(AN)은 투명한 도전층으로 형성될 수 있으며, 도면에서 도시되지 않았으나, 리페어 패턴(RP)과 애노드층(AN)과 함께 제1 애노드(도 3의 AE1)와 제2 애노드(도 3의 AE2)가 형성될 수 있다.
- [0084] 한편, 전술된 바와 같이 오버코트막(L5)과 층간절연막(L4)에 각각 제1 홀(HL1)과 제2 홀(HL2)이 형성되므로, 웰딩 영역(WD-A)에서 리페어 패턴(RP)은 버퍼막(L1)을 사이에 두고 광차단층(LS)에 중첩될 수 있다.
- [0085] 이 실시예에서는 전술된 바와 같이 오버코트막(L5)과 층간절연막(L4)이 동일한 식각 공정에서 패터닝된다. 또한, 이 실시예에서는, 오버코트막(L5)과 층간절연막(L4)이 패터닝되는 공정에 적용되는 노광공정은 하프톤(half tone) 노광 방식이 아닌, 풀(full) 노광 방식이 적용된다. 참고로, 상기 풀 노광 방식은 광 투과부(도 5a의 P1)와 광 차단부(도 5a의 P2)를 포함하는 포토 마스크(도 5a의 MK)가 사용될 수 있고, 상기 하프톤 노광 방식은 광 투과부 및 광 차단부 외에 반투과를 더 포함하는 포토 마스크를 사용될 수 있다. 상기 하프톤 노광 방식에 따르면 패터닝된 감광막을 식각 마스크로 활용하여 1차 패터닝 공정이 수행될 수 있고, 상기 패터닝된 감광막에 대해 에치백(etch-back) 공정을 수행하여 형성된 다른 패터닝된 감광막을 식각 마스크로 활용하여 2차 패터닝 공정이 수행될 수 있다.
- [0086] 한편, 본 발명의 실시예와 달리, 상기 하프톤 노광 방식이 적용되는 경우에, 상술한 바와 같이 감광막이 2회에 걸쳐 패터닝되므로, 다수 회 진행되는 패터닝 공정들을 감안하여 베이스 기판 위에 최초 형성되는 감광막(도 5a의 PR)은 충분한 두께로 형성될 필요가 있다. 따라서, 상기 감광막에 대해 2회의 패터닝 공정이 수행된 이후에, 상기 패터닝된 감광막을 활용하여 웰딩 영역에 형성된 오버코트막에 홀을 형성하는 경우에, 오버코트막의 홀의 크기는 증가될 수 있다.
- [0087] 하지만, 전술된 바와 같이, 이 실시예에서는 감광막(도 5a의 PR)에 대해 상기 풀 노광 방식이 적용되어 상기 감광막에 1회의 패터닝 공정으로 오버코트막(L5)에 제1 홀(HL1)과 층간 절연막(L4)에 제2 홀(HL2)이 일괄적으로 형성될 수 있으므로, 상기 하프톤 노광 방식이 적용되는 경우보다는 제1 홀(HL1)과 제2 홀(HL2)의 사이즈를 작게 하기가 용이할 수 있다.
- [0088] 또한, 이 실시예와 같이 오버코트막(L5)의 제1 홀(HL1)과 층간 절연막(L4)의 제2 홀(HL2) 각각의 사이즈를 작게 형성할 수 있으므로, 표시패널에서 웰딩 영역(WD-A)의 사이즈가 감소될 수 있고, 그 대신에 커패시터(Cst-A)의 영역이 용이하게 확장될 수 있다. 그 결과, 도 4b에 도시된 바와 같이, 스토리지 커패시터(Cst)가 제1 및 제2 커패시터 전극들(도 4b의 C1, C2)과 같이 2개의 전극들로 구성되더라도, 제1 및 제2 커패시터 전극들(도 4b의 C1, C2) 각각의 면적이 확장되어 스토리지 커패시터(Cst)의 정전 용량이 충분히 확보되는 효과가 발생될 수 있다.

다.

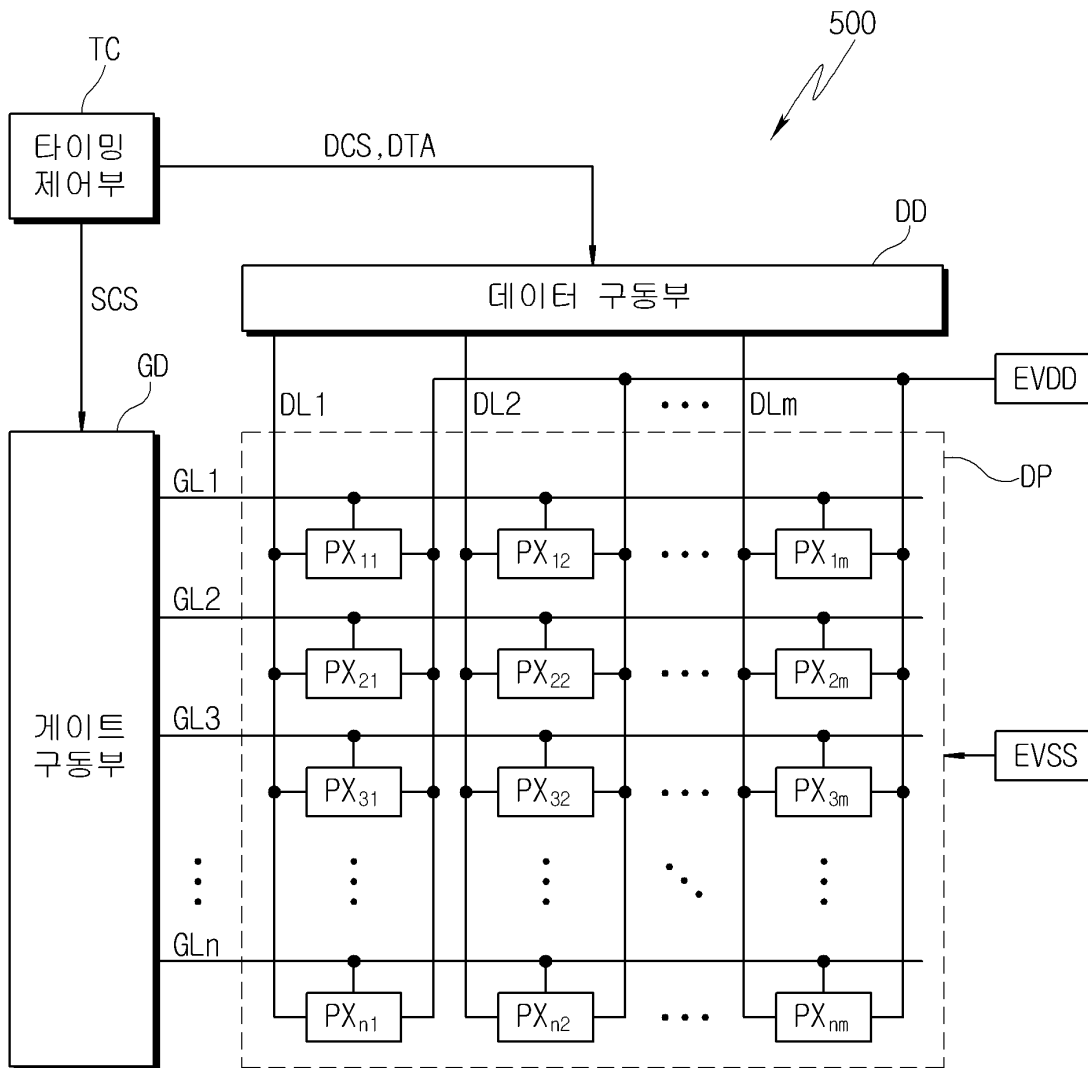
- [0089] 도 5d를 참조하면, 리페어 패턴(RP)이 형성된 이후에, 리페어 패턴(RP) 위에 बैं크막(L6)과 캐소드(CE)를 순차적으로 형성한다. 도면에 도시되지는 않았으나, बैं크막(L6)은 제1 애노드(도 3의 AE1)와 제2 애노드(도 3의 AE2) 각각에 대응하여 개구된 구조로 형성될 수 있다. 또한, बैं크막(L6)을 형성하는 공정과 캐소드(CE)를 형성하는 공정의 사이에 유기발광층(미도시)이 형성될 수 있고, 상기 유기발광층은 बैं크막(L6)의 개구된 부분을 통해 제1 애노드(도 3의 AE1)와 제2 애노드(도 3의 AE2)에 콘택될 수 있다.
- [0090] 한편, 상술한 바와 같이, 유기발광 표시장치의 표시패널을 제조한 이후에, 각 화소에 구비된 유기발광 다이오드의 어떤 화소에 불량 발생된 경우에, 앞서 도 2a와 도 2b를 참조하여 설명된 리페어 패턴(RP)을 이용한 리페어 공정이 수행될 수 있다.
- [0091] 이 경우에, 웰딩 영역(WD-A)에 레이저(LD)를 조사하여 리페어 패턴(RP)이 광차단층(LS)에 콘택될 수 있다. 보다 상세하게는, 레이저(LB)가 조사되면, 레이저(LB)의 에너지에 의해 버퍼막(L1)의 일 부분이 번아웃(burn-out)되고, 이에 따라 웰딩 영역(WD-A)에서 버퍼막(L1)에 버퍼막(L1)을 관통하는 비아홀(VH)이 형성된다. 또한, 레이저(LB)에 의해 리페어 패턴(RP)과 광 차단층(LS) 각각으로부터 부분적으로 용융된 도전물이 버퍼막(L1)에 형성된 비아홀(VH)에 수용된다.
- [0092] 그 이후에 레이저(LB)의 조사를 중지하면, 버퍼막(L1)의 비아홀(VH)의 내부에는 용융된 금속이 굳어 채워지며, 이에 따라 리페어 패턴(RP)이 광 차단층(LS)에 콘택될 수 있다. 따라서, 레이저(LB)를 이용하여 리페어 패턴(RP)을 광 차단층(LS)에 콘택시킴으로서, 전술된 리페어 패턴(RP)을 이용하여 화소 불량에 대한 리페어 공정이 수행될 수 있다.
- [0093] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

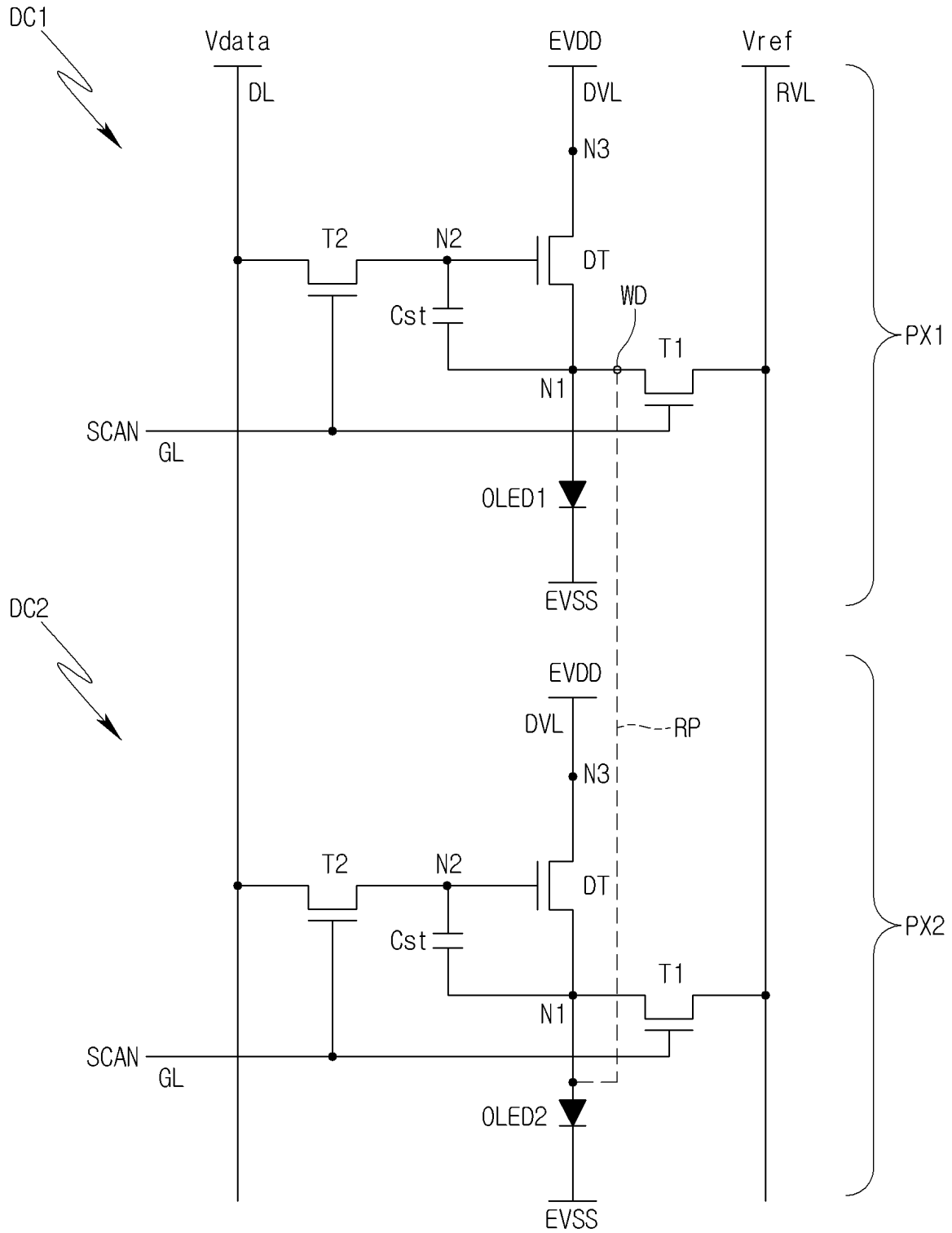
- [0094] DT: 구동 트랜지스터 T1: 센싱 트랜지스터
- T2: 스위칭 트랜지스터 EVDD: 전원라인
- GL: 게이트라인 DL: 데이터 라인
- PX1: 제1 화소 PX2: 제2 화소
- AE1: 제1 애노드 CE: 캐소드
- RP: 리페어 패턴 L4: 층간 절연막
- L5: 오버코트막 HL1: 제1 홀
- HL2: 제2 홀 LS: 광차단층
- WD: 웰딩부 Cst: 스토리지 커패시터
- WD-A: 웰딩 영역 T1-A: 센싱 트랜지스터 영역
- Cst-A: 커패시터 영역 DP: 유기발광 표시패널
- 500: 유기발광 표시장치

도면

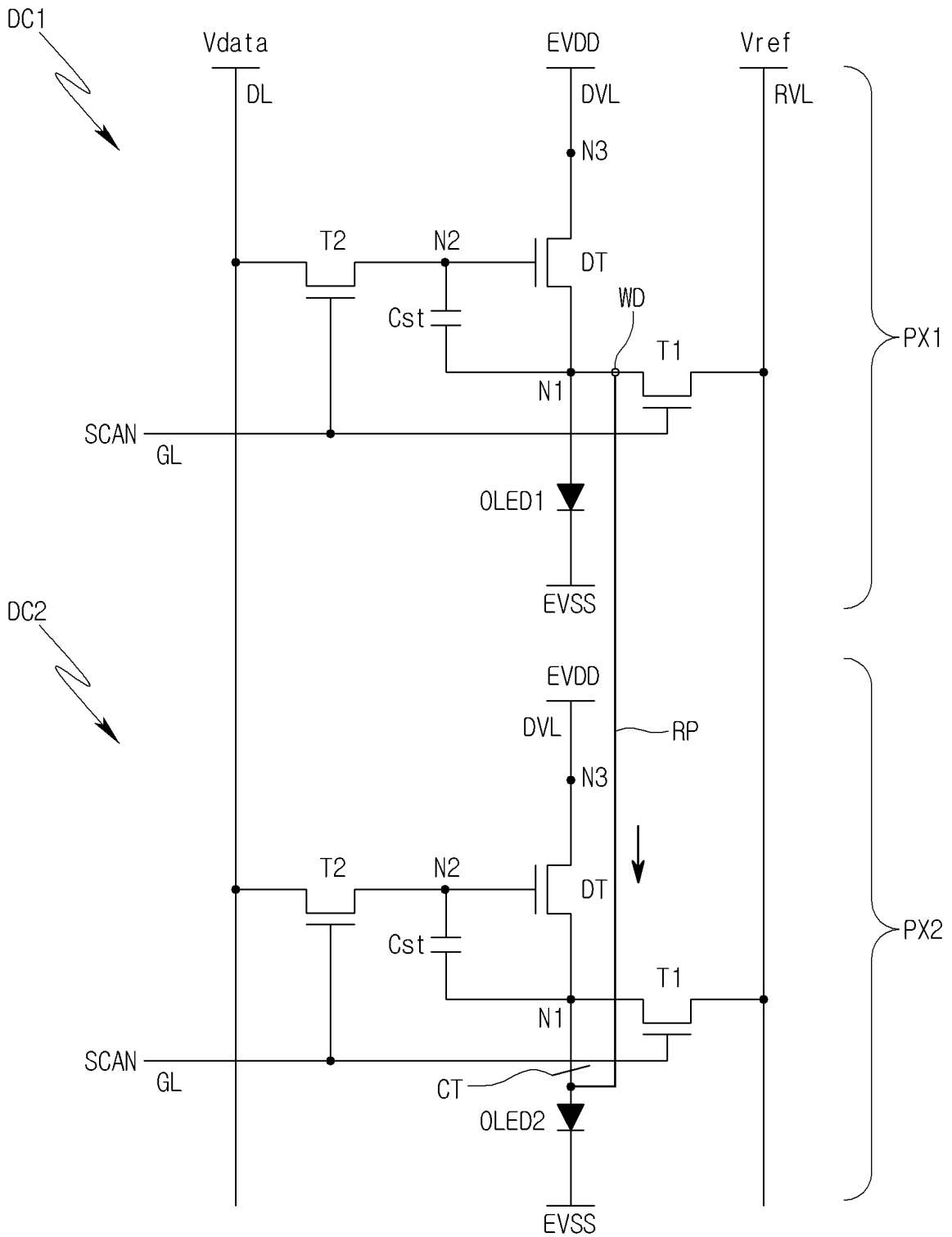
도면1



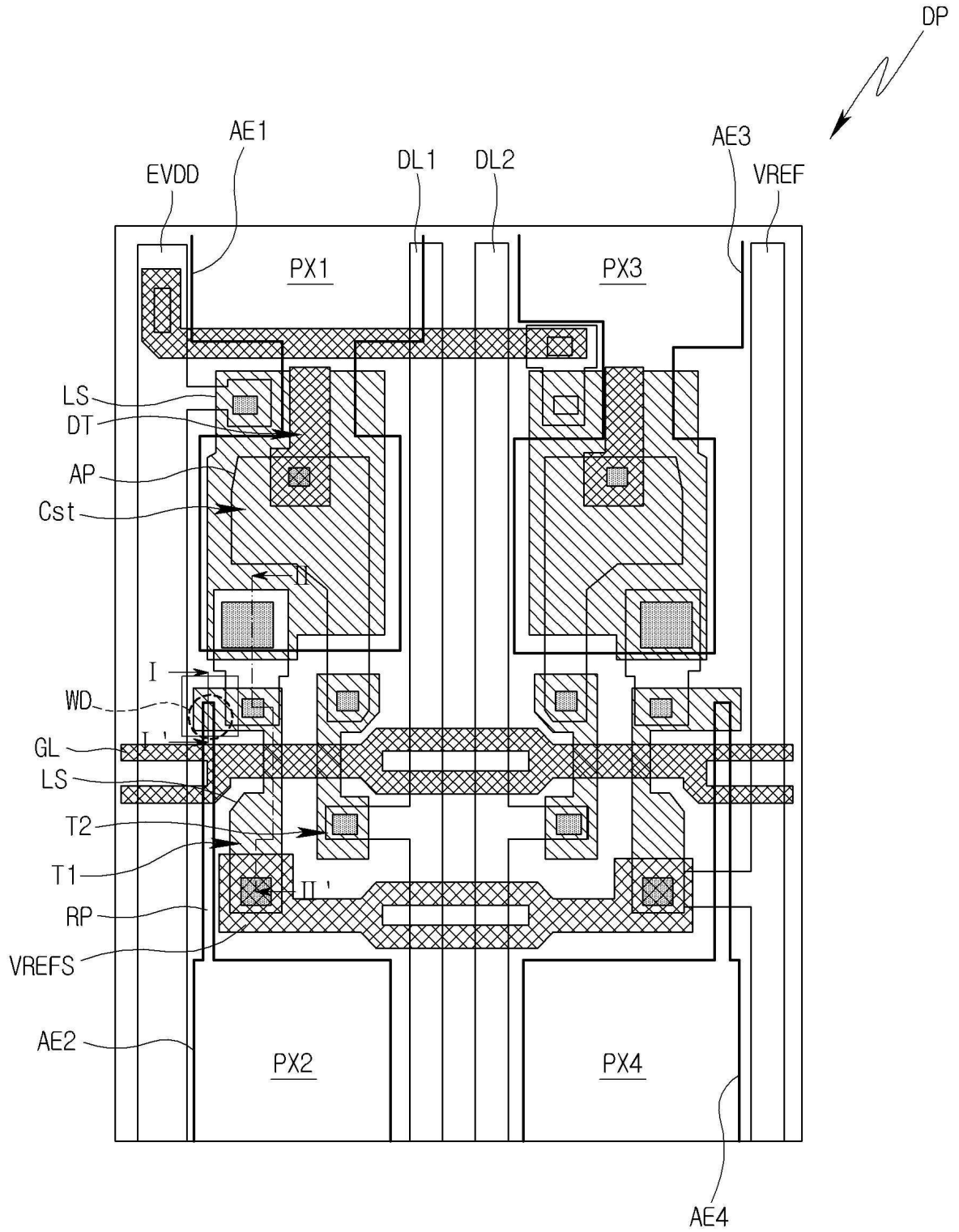
도면2a



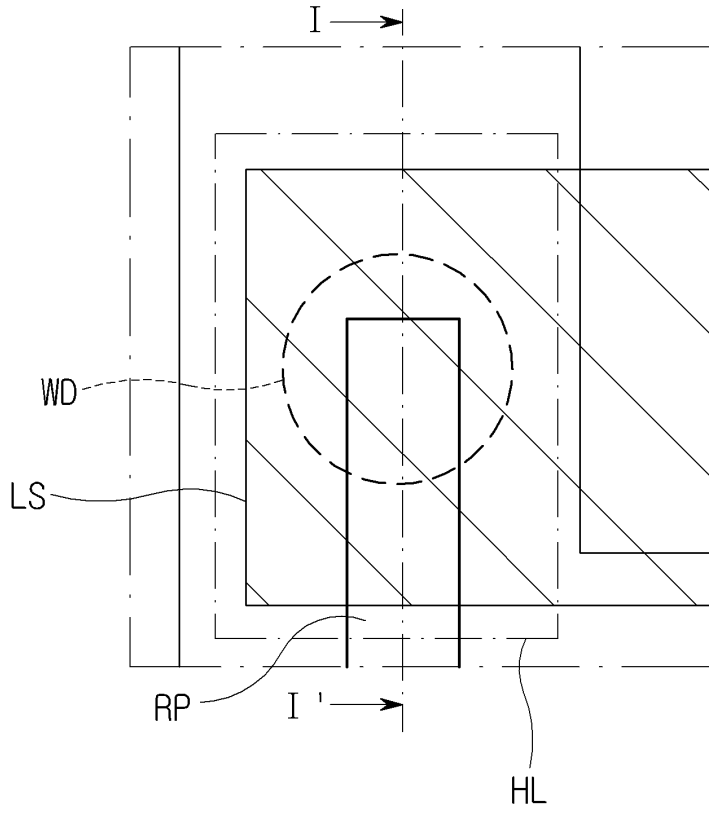
도면2b



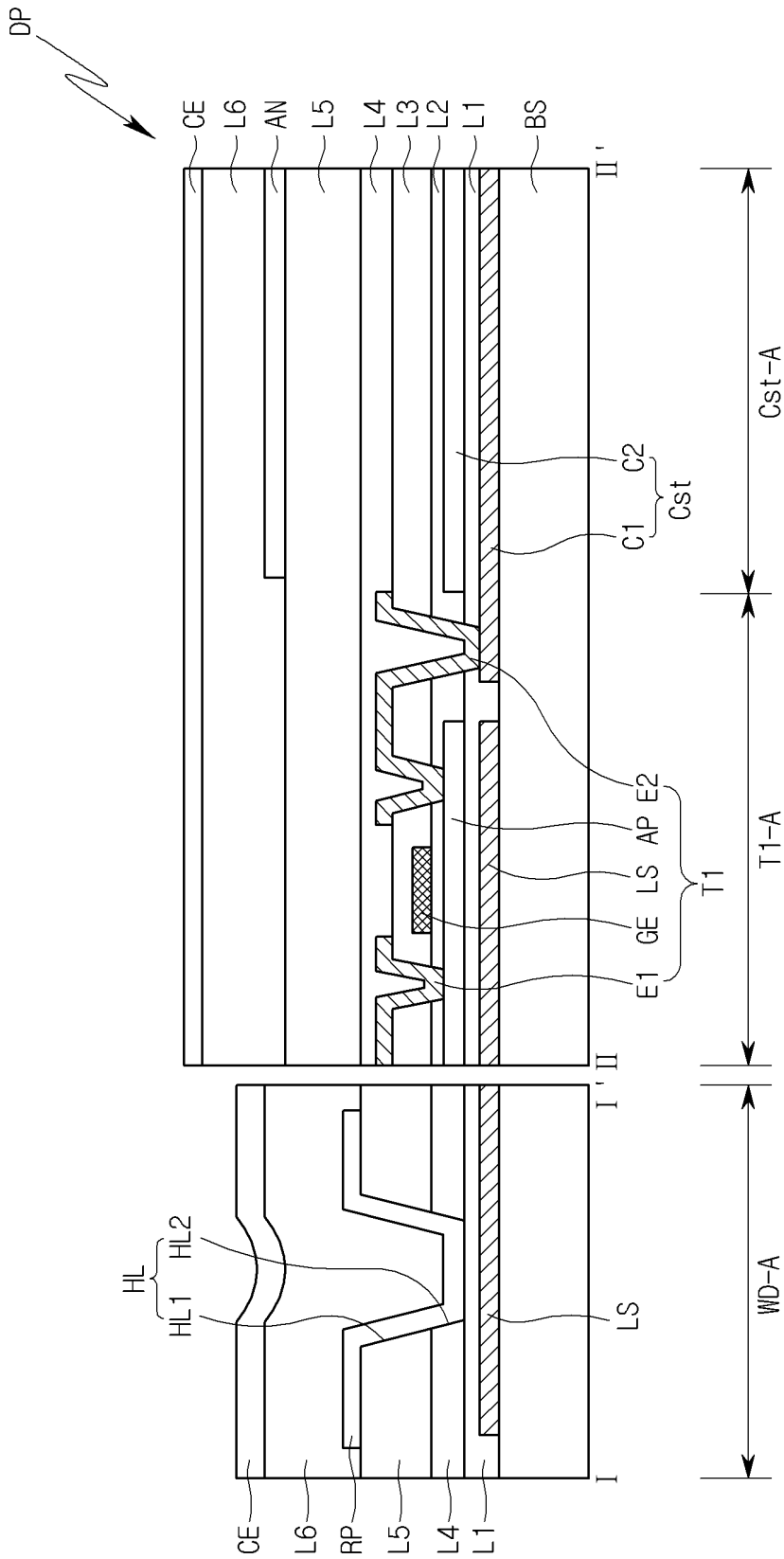
도면3



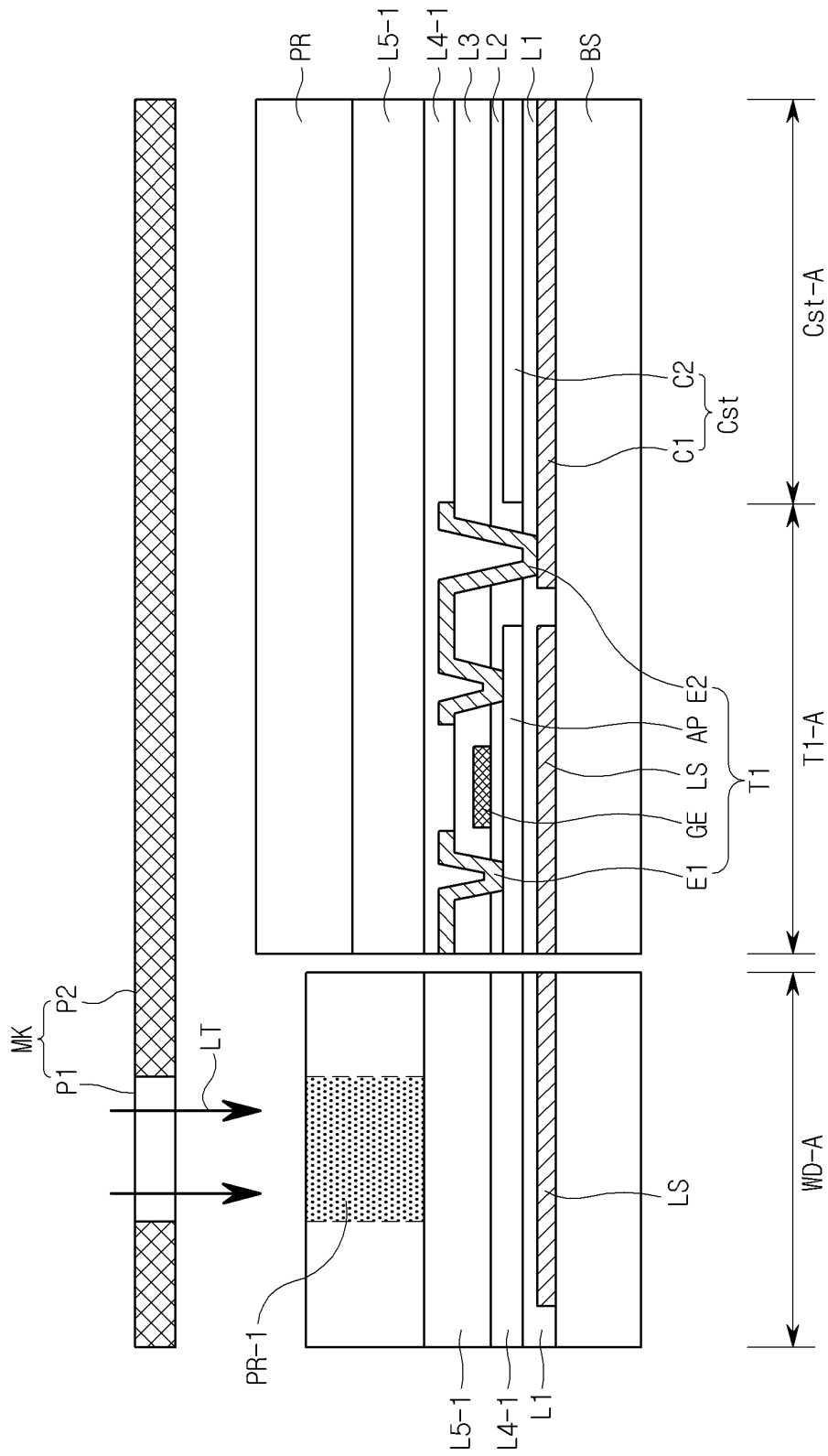
도면4a



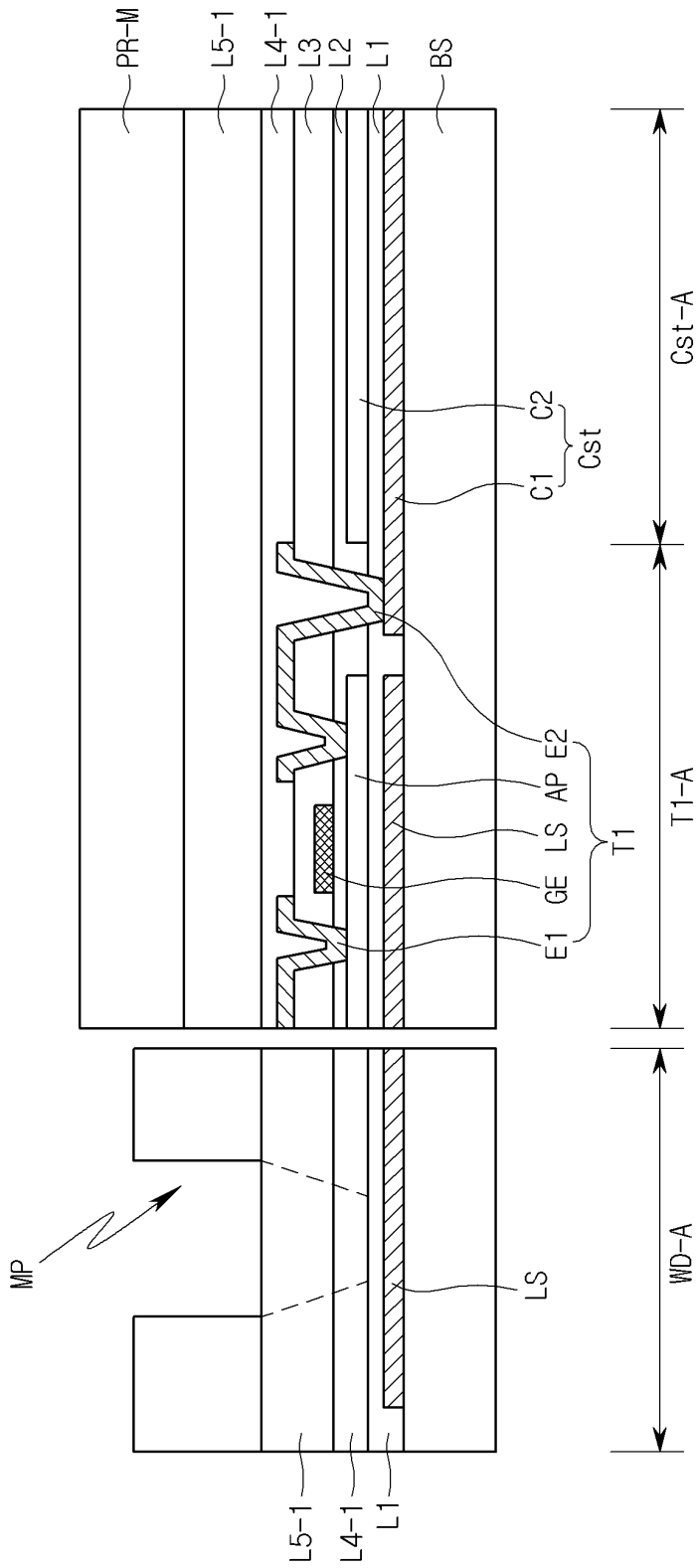
도면4b



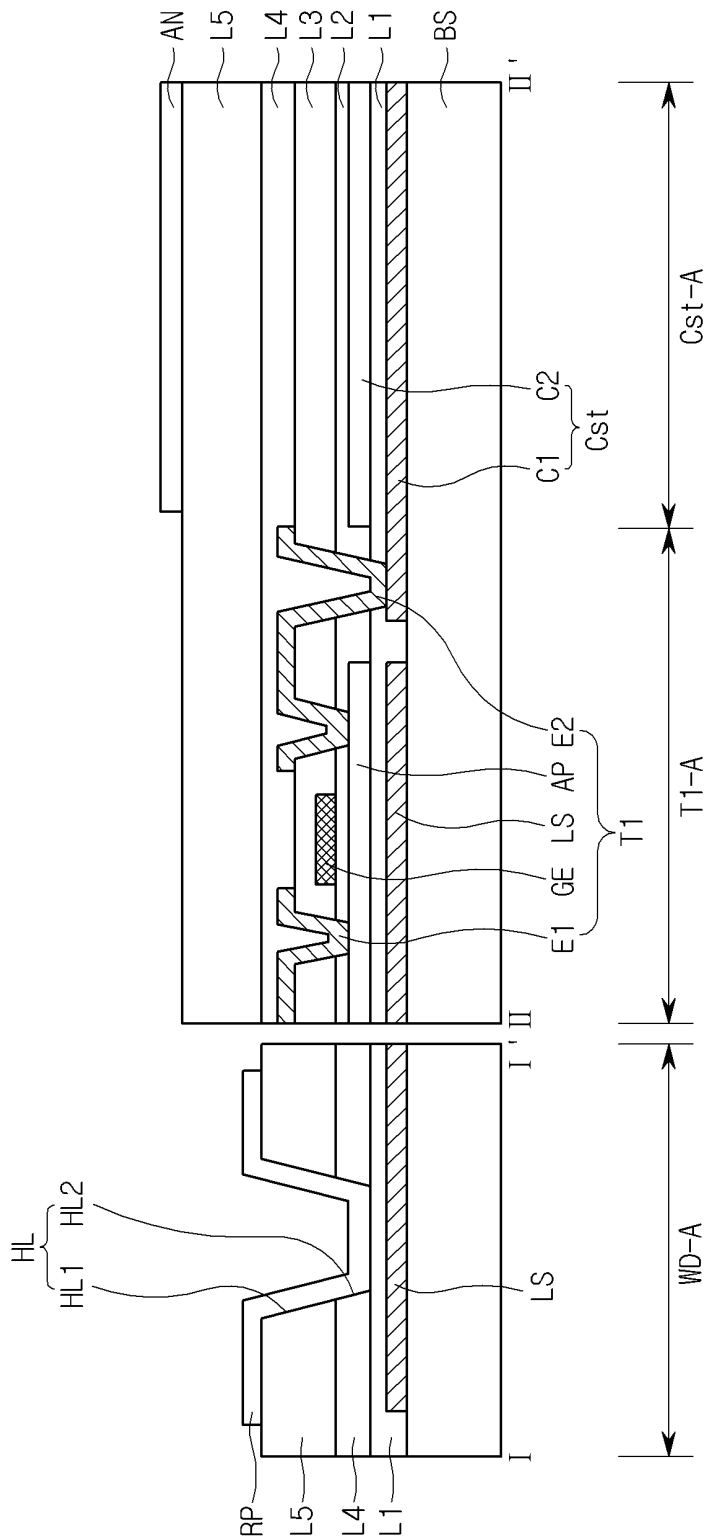
도면5a



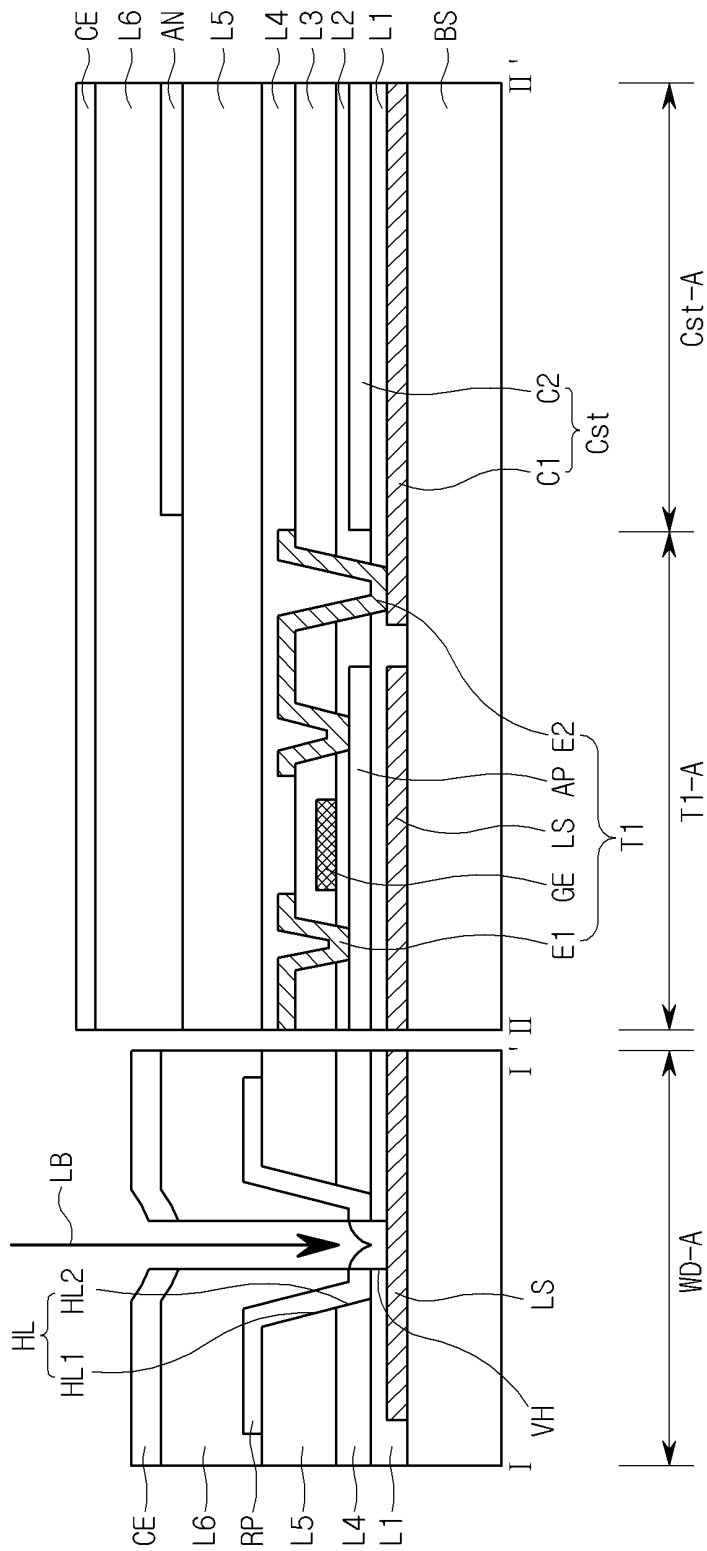
도면5b



도면5c



도면5d



专利名称(译)	有机发光显示装置		
公开(公告)号	<a href="#">KR1020200079740A</a>	公开(公告)日	2020-07-06
申请号	KR1020180169205	申请日	2018-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정원준 박상무 유은상 정해림		
发明人	정원준 박상무 유은상 정해림		
IPC分类号	H01L27/32 G09G3/3208 H01L51/52 H01L51/56		
CPC分类号	H01L27/3276 G09G3/3208 H01L51/5284 H01L51/56 H01L2251/568		

摘要(译)

有机发光显示面板被布置为与第一像素和第一像素相邻,第一像素包括布置在基础基板上的具有遮光性能和导电性的遮光层,覆盖该遮光层的缓冲膜,第一有机发光二极管和第一驱动电路单元 第二像素包括第二有机发光二极管和从第一驱动电路延伸到第二有机发光二极管的修复图案。在第一像素中限定照射有激光的焊接区域,并且该焊接区域中的修复图案与遮光层重叠,从第一驱动电路单元输出的驱动力通过遮光层与缓冲层夹在中间。在第二像素中,修复图案电连接到第二有机发光二极管的阳极。对应于修复图案的彼此重叠的孔形成在焊接区域中的介于修复图案和缓冲膜之间的多个绝缘层中。

