



공개특허 10-2020-0078091

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0078091
(43) 공개일자 2020년07월01일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 27/12* (2006.01)
(52) CPC특허분류
H01L 27/3244 (2013.01)
H01L 27/1218 (2013.01)
(21) 출원번호 10-2018-0167670
(22) 출원일자 2018년12월21일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
변현태
경기도 파주시 월롱면 엘지로 245
송은아
경기도 파주시 월롱면 엘지로 245
이진숙
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

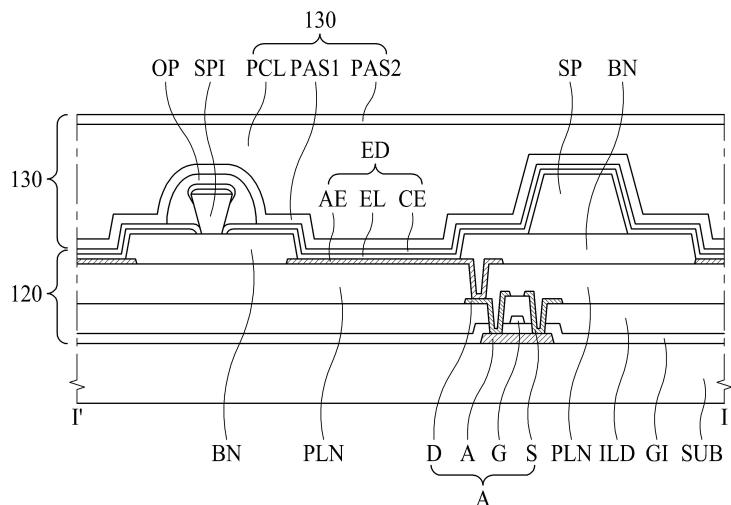
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 플렉서블 전계 발광 표시장치

(57) 요 약

본 출원은 플렉서블 전계 발광 표시장치에 관한 것이다. 본 출원의 일 실시 예에 따른 플렉서블 전계 발광 표시장치는, 기판, 화소 구동 전극들, 뱅크, 크랙 방지 패턴, 발광층, 공통 전극 및 평탄 패턴을 포함한다. 기판은, 표시 영역, 그리고 표시 영역을 둘러싸는 비표시 영역을 포함한다. 화소 구동 전극들은, 기판 위에 매트릭스 방식으로 배치된다. 뱅크는, 각 화소 구동 전극의 가장자리를 덮으며 발광 영역을 개구한다. 크랙 방지 패턴은, 뱅크 위에 배치된다. 뱅크는, 화소 구동 전극, 뱅크 및 크랙 방지 패턴 위에 적층된다. 공통 전극은, 발광층 위에 적층된다. 평탄 패턴은, 크랙 방지 패턴을 덮는다.

대 표 도 - 도3



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/326 (2013.01)

명세서

청구범위

청구항 1

표시 영역과 상기 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판;
상기 기판 위에 매트릭스 방식으로 배치된 다수 개의 화소 구동 전극들;
상기 각 화소 구동 전극의 가장자리를 덮으며 발광 영역을 개구하는 뱅크;
상기 뱅크 위에 배치된 크랙 방지 패턴;
상기 화소 구동 전극, 상기 뱅크 및 상기 크랙 방지 패턴 위에 적층된 발광층;
상기 발광층 위에 적층된 공통 전극; 그리고
상기 크랙 방지 패턴을 덮는 평탄 패턴을 포함하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,
상기 발광층은,
상기 크랙 방지 패턴이 형성된 부분에서 단선된 구조를 갖는 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,
상기 크랙 방지 패턴은,
단면 형상에서, 상변의 폭이 하변의 폭보다 넓은 역 테이퍼 형상을 갖는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,
상기 발광층은,
상기 크랙 방지 패턴의 상변에는 적층되지만, 측벽에는 도포되지 않은 전계 발광 표시장치.

청구항 5

제 3 항에 있어서,
상기 평탄 패턴은,
단면 형상이 정 테이퍼 형상을 갖도록 상기 크랙 방지 패턴을 덮는 전계 발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 크랙 방지 패턴은,

상기 화소들 사이에 배치된 상기 뱅크의 표면 위에서 일부 영역에만 형성된 전계 발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 크랙 방지 패턴은,

폭은 좁고 길이가 긴 막대 형상을 갖는 전계 발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 평탄 패턴이 형성된 상기 기판 전체 표면 위에 적층된 봉지층을 더 포함하는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 봉지층은,

제1 무기 봉지층;

상기 제1 무기 봉지층 위에 도포된 유기 봉지층;

상기 유기 봉지층의 상부 표면에 적층된 제2 무기 봉지층을 포함하는 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 무기 봉지층은,

상기 평탄 패턴을 덮으며, 단선부 없이 상기 기판 전체 표면 위에 적층된 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 출원은 플렉서블 전계 발광 표시장치에 관한 것이다. 특히, 본 출원은 자유롭게 휘어지더라도 표시 기능을 정상적으로 유지하는 플렉서블 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치들 중에서 전계 발광 표시장치는 자체 발광형으로서, 시야각, 대조비 등이 우수하며, 별도의 백 라이트가 필요하지 않아 경량 박형이 가능하며, 소비 전력이 유리한 장점이 있다. 특히, 전계 발광 표시장치 중 유기 발광 표시장치는 직류 저전압 구동이 가능하고, 응답 속도가 빠르며, 제조 비용이 저렴한 장점이 있다.

[0003] 전계 발광 표시장치는 다수 개의 전계 발광 다이오드를 포함한다. 전계 발광 다이오드는, 애노드 전극, 애노드 전극 상에 형성되는 발광층, 그리고 발광층 위에 형성되는 캐소드 전극을 포함한다. 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면, 애노드 전극에서는 정공이 캐소드 전극에서는 전자가 각각 발광층으로 이동된다. 발광층에서 정공과 전자가 결합할 때, 여기 과정에서 여기자(exiton)가 형성되고, 여기자로부터의 에너지로 인해 빛이 발생한다. 전계 발광 표시장치는, 뱅크에 의해 개별적으로 구분되는 다수 개

의 전계 발광 다이오드의 발광층에서 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다.

[0004] 전계 발광 표시장치는 초박형으로 구현할 수 있고, 유기물질의 특징인 유연성을 최대한 활용할 수 있다는 장점이 있다. 표시 패널을 자유롭게 구부렸다 펼수 있는 플렉서블(Flexible) 표시장치로의 개발이 용이하다. 하지만, 유연성이 우수하더라도, 반복적으로 구부렸다 펴는 동작을 반복할 경우, 구부림 응력에 의해 갈라짐 혹은 파손이 발생할 수 있다. 특히, 플렉서블 전계 발광 표시장치를 구성하는 주요 소자인 발광층이 구부림 응력에 의해 갈라지거나 결함이 발생하면, 표시 능력이 불가능해진다. 따라서, 플렉서블 전계 발광 표시장치에서는 기판 전체 면적에 걸쳐 도포된 발광층이 구부림 응력에 대해 강건한 구조를 갖도록 하는 것이 매우 중요하다.

발명의 내용

해결하려는 과제

[0005] 본 출원은 구부림과 펴는 동작을 반복하더라도 구부림 응력에 의해 발광층의 갈라짐이나 파손이 발생하지 않는 구조를 갖는 플렉서블 전계 발광 표시장치를 제공하는 것을 기술적 과제로 한다. 또한, 본 출원은 발광층을 구부림 응력에 강건하게 하는 구조체에 의해 표시 품질이 저하되는 것을 방지할 수 있는 플렉서블 전계 발광 표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0006] 본 출원의 일 실시 예에 따른 플렉서블 전계 발광 표시장치는, 기판, 화소 구동 전극들, 뱅크, 크랙 방지 패턴, 발광층, 공통 전극 및 평탄 패턴을 포함한다. 기판은, 표시 영역, 그리고 표시 영역을 둘러싸는 비표시 영역을 포함한다. 화소 구동 전극들은, 기판 위에 매트릭스 방식으로 배치된다. 뱅크는, 각 화소 구동 전극의 가장자리를 덮으며 발광 영역을 개구한다. 크랙 방지 패턴은, 뱅크 위에 배치된다. 발광층은, 화소 구동 전극, 뱅크 및 크랙 방지 패턴 위에 적층된다. 공통 전극은, 발광층 위에 적층된다. 평탄 패턴은, 크랙 방지 패턴을 덮는다.

[0007] 일례로, 발광층은, 크랙 방지 패턴이 형성된 부분에서 단선된 구조를 갖는다.

[0008] 일례로, 크랙 방지 패턴은, 단면 형상에서, 상변의 폭이 하변의 폭보다 넓은 역 테이퍼 형상을 갖는다.

[0009] 일례로, 발광층은, 크랙 방지 패턴의 상변에는 적층되지만, 측벽에는 도포되지 않은다.

[0010] 일례로, 평탄 패턴은, 단면 형상이 정 테이퍼 형상을 갖도록 크랙 방지 패턴을 덮는다.

[0011] 일례로, 크랙 방지 패턴은, 화소들 사이에 배치된 뱅크의 표면 위에서 일부 영역에만 형성된다.

[0012] 일례로, 크랙 방지 패턴은, 폭은 좁고 길이가 긴 막대 형상을 갖는다.

[0013] 일례로, 평탄 패턴이 형성된 기판 전체 표면 위에 적층된 봉지층을 더 포함한다.

[0014] 일례로, 봉지층은, 제1 무기 봉지층, 제1 무기 봉지층 위에 도포된 유기 봉지층, 그리고 유기 봉지층의 상부 표면에 적층된 제2 무기 봉지층을 포함한다.

[0015] 일례로, 제1 무기 봉지층은, 평탄 패턴을 덮으며, 단선부 없이 상기 기판 전체 표면 위에 적층된다.

발명의 효과

[0016] 본 출원에 따른 플렉서블 전계 발광 표시장치는 구부렸다 펴는 동작을 반복하더라도 기판 전체 면적에 도포된 발광층이 구부림 응력에 의해 갈라짐이나 파손이 발생하지 않는다. 또한, 본 출원에 따른 플렉서블 전계 발광 표시장치는, 발광층이 구부림 응력에 강건하도록 보조하는 구조체를 구비하면서도, 표시 품질이 저하되지 않도록 함으로써, 양질의 화질을 제공할 수 있다.

[0017] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0018] 도 1은 본 출원에 의한 플렉서블 전계 발광 표시장치를 나타내는 평면도이다.

도 2는 본 출원의 바람직한 실시 예에 의한 플렉서블 전계 발광 표시장치의 화소 구조를 나타내는 확대 평면도

이다.

도 3은 본 출원의 바람직한 실시 예에 의한 플렉서블 전계 발광 표시장치의 구조를 나타내는 것으로 도 2의 절취선 I-I'를 따라 절취한 단면도이다.

도 4는 본 출원의 바람직한 실시 예에 의한 플렉서블 전계 발광 표시장치의 비 표시 영역과 표시 영역 사이의 구조를 나타내는 것으로 도 1의 절취선 II-II'를 따라 절취한 단면도이다.

도 5는 본 출원의 다른 실시 예에 의한 플렉서블 전계 발광 표시장치의 구조를 나타내는 것으로 도 2의 절취선 I-I'를 따라 절취한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019]

본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원의 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원의 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0020]

본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원의 예를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0021]

본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0022]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0023]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0024]

시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0025]

제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.

[0026]

"적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0027]

본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0028]

이하에서는 본 출원에 따른 플렉서블 전계 발광 표시장치의 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다.

[0029]

이하, 도 1을 참조하여 본 출원에 의한 플렉서블 전계 발광 표시장치에 대해 설명한다. 도 1은 본 출원에 의한 플렉서블 전계 발광 표시장치를 나타내는 평면도이다. 도 1을 참조하면, 본 출원에 의한 플렉서블 전계 발광 표시장치는 기판(SUB), 화소(P), 공통 전원 배선(CPL), 댐 구조체(DM) 및 구동부(PP, 200, 300)를 포함할 수 있다.

[0030]

기판(SUB)은 베이스 기판(또는 베이스층)으로서, 플라스틱 재질 또는 유리 재질을 포함한다. 특히, 플렉서블

표시장치의 경우, 유연성이 우수한 플라스틱 재질로 형성하는 것이 바람직하다. 하지만, 유리 재질이더라도, 초박형으로 형성하여 플렉서블 표시장치를 구현할 수 있다.

[0031] 일 예에 따른 기판(SUB)은 평면적으로 사각 형태, 각 모서리 부분이 일정한 곡률반경으로 라운딩된 사각 형태, 또는 적어도 6개의 변을 갖는 비사각 형태를 가질 수 있다. 여기서, 비사각 형태를 갖는 기판(SUB)은 적어도 하나의 돌출부 또는 적어도 하나의 노치부(notch portion)를 포함할 수 있다.

[0032] 일 예에 따른 기판(SUB)은 표시 영역(AA)과 비 표시 영역(IA)으로 구분될 수 있다. 표시 영역(AA)은 기판(SUB)의 중간 영역에 마련되는 것으로, 영상을 표시하는 영역으로 정의될 수 있다. 일 예에 따른 표시 영역(AA)은 평면적으로 사각 형태, 각 모서리 부분이 일정한 곡률 반경을 가지도록 라운딩된 사각 형태, 또는 적어도 6개의 변을 갖는 비 사각 형태를 가질 수 있다. 여기서, 비 사각 형태를 갖는 표시 영역(AA)은 적어도 하나의 돌출부 또는 적어도 하나의 노치부를 포함할 수 있다.

[0033] 비 표시 영역(IA)은 표시 영역(AA)을 둘러싸도록 기판(SUB)의 가장자리 영역에 마련되는 것으로, 영상이 표시되는 않는 영역 또는 주변 영역으로 정의될 수 있다. 일 예에 따른 비 표시 영역(IA)은 기판(SUB)의 제1 가장자리에 마련된 제1 비 표시 영역(IA1), 제1 비 표시 영역(IA1)과 나란한 기판(SUB)의 제2 가장자리에 마련된 제2 비 표시 영역(IA2), 기판(SUB)의 제3 가장자리에 마련된 제3 비 표시 영역(IA3), 및 제3 비 표시 영역과 나란한 기판(SUB)의 제4 가장자리에 마련된 제4 비 표시 영역(IA4)을 포함할 수 있다. 예를 들어, 제1 비 표시 영역(IA1)은 기판(SUB)의 상측(또는 하측) 가장자리 영역, 제2 비 표시 영역(IA2)은 기판(SUB)의 하측(또는 상측) 가장자리 영역, 제3 비 표시 영역(IA3)은 기판(SUB)의 좌측(또는 우측) 가장자리 영역, 그리고 제4 비 표시 영역(IA4)은 기판(SUB)의 우측(또는 좌측) 가장자리 영역일 수 있으나, 반드시 이에 한정되지 않는다.

[0034] 화소(P)는 기판(SUB)의 표시 영역(AA) 상에 마련될 수 있다. 일 예에 따른 화소(P)는 복수 개가 매트릭스 배열을 이루고 기판(SUB)의 표시 영역(AA) 내에 배치될 수 있다. 화소(P)는 스캔 배선(SL), 데이터 배선(DL), 화소 구동 전원 배선(PL)에 의해 정의될 수 있다.

[0035] 스캔 배선(SL)은 제1 방향(X)을 따라 길게 연장되고 제1 방향(X)과 교차하는 제2 방향(Y)을 따라 일정 간격으로 배치된다. 기판(SUB)의 표시 영역(AA)은 제1 방향(X)과 나란하면서 제2 방향(Y)을 따라 서로 이격된 복수의 스캔 배선(SL)을 포함한다. 여기서, 제1 방향(X)은 기판(SUB)의 가로 방향으로 정의될 수 있고, 제2 방향(Y)은 기판(SUB)의 세로 방향으로 정의될 수 있으나, 반드시 이에 한정되지 않고 그 반대로 정의될 수도 있다.

[0036] 데이터 배선(DL)은 제2 방향(Y)을 따라 길게 연장되고 제1 방향(X)을 따라 일정 간격으로 배치된다. 기판(SUB)의 표시 영역(AA)은 제2 방향(Y)과 나란하면서 제1 방향(X)을 따라 서로 이격된 복수의 데이터 배선(DL)을 포함한다.

[0037] 화소 구동 전원 배선(PL)은 데이터 배선(DL)과 나란하도록 기판(SUB) 상에 배치된다. 기판(SUB)의 표시 영역(AA)은 데이터 배선(DL)과 나란한 복수의 화소 구동 전원 배선(PL)을 포함한다. 선택적으로, 화소 구동 전원 배선(PL)은 스캔 배선(SL)과 나란하도록 배치될 수도 있다.

[0038] 일 예에 따른 화소(P)는 표시 영역(AA) 상에 스트라이프(stripe) 구조를 가지도록 배치될 수 있다. 이 경우, 하나의 단위 화소는 적색 화소, 녹색 화소, 및 청색 화소를 포함할 수 있으며, 나아가 하나의 단위 화소는 백색 화소를 더 포함할 수 있다.

[0039] 다른 예에 따른 화소(P)는 표시 영역(AA) 상에 펜타일(pentile) 구조를 가지도록 배치될 수 있다. 이 경우, 하나의 단위 화소는 평면적으로 다각 형태로 배치된 적어도 하나의 적색 화소, 적어도 2개의 녹색 화소, 및 적어도 하나의 청색 화소들을 포함할 수 있다. 예를 들어, 펜타일 구조를 갖는 하나의 단위 화소는 하나의 적색 화소, 2개의 녹색 화소, 및 하나의 청색 화소가 평면적으로 팔각 형태를 가지도록 배치될 수 있고, 이 경우 청색 화소는 상대적으로 가장 큰 크기의 개구 영역(또는 발광 영역)을 가질 수 있으며, 녹색 화소는 상대적으로 가장 작은 크기의 개구 영역을 가질 수 있다.

[0040] 화소(P)는 스캔 배선(SL)과 데이터 배선(DL) 및 화소 구동 전원 배선(PL)에 전기적으로 연결된 화소 회로(PC), 및 화소 회로(PC)에 전기적으로 연결된 발광 소자(ED)를 포함할 수 있다.

[0041] 화소 회로(PC)는 인접한 적어도 하나의 스캔 배선(SL)으로부터 공급되는 스캔 신호에 응답하여 인접한 데이터 배선(DL)으로부터 공급되는 데이터 전압을 기반으로 화소 구동 전원 배선(PL)으로부터 발광 소자(ED)에 흐르는 전류(Ied)를 제어한다.

[0042] 일 예에 따른 화소 회로(PC)는 적어도 2개의 박막 트랜지스터 및 하나의 커패시터를 포함할 수 있다. 예를 들

어, 일 예에 따른 화소 회로(PC)는 데이터 전압을 기반으로 하는 데이터 전류(Ied)를 발광 소자(ED)에 공급하는 구동 박막 트랜지스터, 데이터 배선(DL)으로부터 공급되는 데이터 전압을 구동 박막 트랜지스터에 공급하는 스위칭 박막 트랜지스터, 및 구동 박막 트랜지스터의 게이트-소스 전압을 저장하는 커패시터를 포함할 수 있다.

[0043] 다른 예에 따른 화소 회로(PC)는 적어도 3개의 박막 트랜지스터 및 적어도 하나의 커패시터를 포함할 수 있다. 예를 들어, 일 예에 따른 화소 회로(PC)는 적어도 3개의 박막 트랜지스터 각각의 동작(또는 기능)에 따라 전류 공급 회로와 데이터 공급 회로 및 보상 회로를 포함할 수 있다. 여기서, 전류 공급 회로는 데이터 전압을 기반으로 하는 데이터 전류(Ied)를 발광 소자(ED)에 공급하는 구동 박막 트랜지스터를 포함할 수 있다. 데이터 공급 회로는 적어도 하나의 스캔 신호에 응답하여 데이터 배선(DL)으로부터 공급되는 데이터 전압을 전류 공급 회로에 공급하는 적어도 하나의 스위칭 박막 트랜지스터를 포함할 수 있다. 보상 회로는 적어도 하나의 스캔 신호에 응답하여 구동 박막 트랜지스터의 특성 값(임계 전압 및/또는 이동도) 변화를 보상하는 적어도 하나의 보상 박막 트랜지스터를 포함할 수 있다.

[0044] 발광 소자(ED)는 화소 회로(PC)로부터 공급되는 데이터 전류(Ied)에 의해 발광하여 데이터 전류(Ied)에 해당하는 휘도의 광을 방출한다. 이 경우, 데이터 전류(Ied)는 화소 구동 전원 배선(PL)으로부터 구동 박막 트랜지스터와 발광 소자(ED)를 통해 공통 전원 배선(CPL)으로 흐를 수 있다.

[0045] 일 예에 따른 발광 소자(ED)는 화소 회로(PC)와 전기적으로 연결된 화소 구동 전극(또는 제 1 전극 혹은 애노드), 화소 구동 전극 상에 형성된 발광층, 및 발광층에 전기적으로 연결된 공통 전극(또는 제 2 전극 혹은 캐소드)(CE)을 포함할 수 있다.

[0046] 공통 전원 배선(CPL)은 기판(SUB)의 비 표시 영역(IA) 상에 배치되고 표시 영역(AA) 상에 배치된 공통 전극(C E)과 전기적으로 연결된다. 일 예에 따른 공통 전원 배선(CPL)은 일정한 배선 폭을 가지면서 기판(SUB)의 표시 영역(IA)에 인접한 제2 내지 제4 비 표시 영역(IA2, IA3, IA4)을 따라 배치되고, 기판(SUB)의 제1 비 표시 영역(IA1)에 인접한 표시 영역(AA)의 일부를 제외한 나머지 부분을 둘러싼다. 공통 전원 배선(CPL)의 일단은 제1 비 표시 영역(IA1)의 일측 상에 배치되고, 공통 전원 배선(CPL)의 타단은 제1 비 표시 영역(IA1)의 타측 상에 배치될 수 있다. 그리고 공통 전원 배선(CPL)의 일단과 타단 사이는 제2 내지 제4 비 표시 영역(IA2, IA3, IA4)을 둘러싸도록 배치될 수 있다. 이에 따라, 일 예에 따른 공통 전원 배선(CPL)은 평면적으로 기판(SUB)의 제1 비 표시 영역(IA1)에 해당하는 일측이 개구된 '∩'자 형태를 가질 수 있다.

[0047] 평면도이 도 1에는 나타나지 않지만, 봉지층은 기판(SUB) 상에 형성되어 표시 영역(AA) 및 공통 전원 배선(CPL)의 상부면과 측면을 둘러싸도록 형성할 수 있다. 한편, 봉지층은, 제1 비 표시 영역(IA1)에서는, 공통 전원 배선(CPL)의 일단과 타단을 노출할 수 있다. 봉지층은 산소 또는 수분이 표시 영역(AA) 내에 마련된 발광 소자(ED)로 침투하는 것을 방지할 수 있다. 일 예에 따른 봉지층은 적어도 하나의 무기막을 포함할 수 있다. 다른 예에 따른 봉지층은 복수의 무기막 및 복수의 무기막 사이의 유기막을 포함할 수 있다.

[0048] 본 출원의 일 예에 따른 플렉서블 전계 발광 표시장치는 패드부(PP), 게이트 구동 회로(200) 및 구동 접적 회로(300)를 더 포함할 수 있다.

[0049] 패드부(PP)는 기판(SUB)의 비 표시 영역(IA)에 마련된 복수의 패드를 포함할 수 있다. 일 예에 따른 패드부(PP)는 기판(SUB)의 제1 비 표시 영역(IA1)에 마련된 복수의 공통 전원 공급 패드, 복수의 데이터 입력 패드, 복수의 전원 공급 패드 및 복수의 제어 신호 입력 패드 등을 포함할 수 있다.

[0050] 게이트 구동 회로(200)는 기판(SUB)의 제3 비 표시 영역(IA3) 및/또는 제4 비 표시 영역(IA4)에 마련되어 표시 영역(AA)에 마련된 스캔 배선들(SL)과 일대일로 연결된다. 게이트 구동 회로(200)는 화소(P)의 제조 공정, 즉 박막 트랜지스터의 제조 공정과 함께 기판(SUB)의 제3 비 표시 영역(IA3) 및/또는 제4 비 표시 영역(IA4)에 접속된다. 이러한 게이트 구동 회로(200)는 구동 접적 회로(300)로부터 공급되는 게이트 제어 신호를 기반으로 스캔 신호를 생성하여 정해진 순서에 따라 출력함으로써 복수의 스캔 배선(SL) 각각을 정해진 순서에 따라 구동 한다. 일 예에 따른 게이트 구동 회로(200)는 쉬프트 레지스터를 포함할 수 있다.

[0051] 댐 구조체(DM)는 기판(SUB)의 제1 비 표시 영역(IA1), 제2 비 표시 영역(IA2), 제3 비 표시 영역(IA3) 및 제4 비 표시 영역(IA4)에 마련되어 표시 영역(AA) 주변을 둘러싸는 폐곡선 구조를 가질 수 있다. 일례로, 댐 구조체(DM)는 공통 전원 배선(CPL)의 외측에 배치됨으로서 기판(200) 위에서 최 외각부에 위치할 수 있다. 패드부(PP)와 구동 접적 회로(300)은 댐 구조체(DM)의 외측 영역에 배치하는 것이 바람직하다.

[0052] 도 1에서는 댐 구조체(DM)가 최외곽에 배치된 경우를 도시하였지만, 이에 국한하는 것은 아니다. 다른 예로, 댐 구조체(DM)는 공통 전원 배선(CPL)과 게이트 구동 회로(200) 사이에 배치될 수 있다. 또 다른 예로, 댐 구

조체(DM)는 표시 영역(AA)과 게이트 구동 회로(200) 사이에 배치될 수 있다.

[0053] 구동 접적 회로(300)는 칩 실장(또는 본딩) 공정을 통해 기판(SUB)의 제1 비 표시 영역(IA1)에 정의된 칩 실장 영역에 실장된다. 구동 접적 회로(300)의 입력 단자들은 패드부(PP)에 전기적으로 연결되고, 구동 접적 회로(300)의 입력 단자들은 표시 영역(AA)에 마련된 복수의 데이터 배선(DL)과 복수의 화소 구동 전원 배선(PL)에 전기적으로 연결된다. 구동 접적 회로(300)는 패드부(PP)를 통해 디스플레이 구동 회로부(또는 호스트 회로)로부터 입력되는 각종 전원, 타이밍 동기 신호, 및 디지털 영상 데이터 등을 수신하고, 타이밍 동기 신호에 따라 게이트 제어 신호를 생성하여 게이트 구동 회로(200)의 구동을 제어하고, 이와 동시에 디지털 영상 데이터를 아날로그 형태의 화소 데이터 전압으로 변환하여 해당하는 데이터 배선(DL)에 공급한다.

[0054] 이하, 도 2 및 3을 더 참조하여, 바람직한 실시 예를 상세히 설명한다. 도 2는 본 출원의 바람직한 실시 예에 의한 플렉서블 전계 발광 표시장치의 화소 구조를 나타내는 확대 평면도이다. 도 3은 본 출원의 바람직한 실시 예에 의한 플렉서블 전계 발광 표시장치의 구조를 나타내는 것으로 도 2의 절취선 I-I'를 따라 절취한 단면도이다.

[0055] 본 출원의 바람직한 실시 예에 따른 플렉서블 전계 발광 표시장치는 기판(SUB), 화소 어레이층(120), 스페이서(SP) 및 봉지층(130)을 포함할 수 있다.

[0056] 기판(SUB)은 베이스 층으로서, 플라스틱 재질 또는 유리 재질을 포함한다. 일 예에 따른 기판(SUB)은 불투명 또는 유색 폴리이미드(polyimide) 재질을 포함할 수 있다. 예를 들어, 폴리이미드 재질의 기판(SUB)은 상대적으로 두꺼운 캐리어 기판에 마련되어 있는 릴리즈층의 전면(前面)에 일정 두께로 코팅된 폴리이미드 수지가 경화된 것일 수 있다. 이 경우, 캐리어 유리 기판은 레이저 릴리즈 공정을 이용한 릴리즈층의 릴리즈에 의해 기판(SUB)으로부터 분리된다. 이러한 일 예에 따른 기판(SUB)은 두께 방향(Z)을 기준으로, 기판(SUB)의 후면에 결합된 백 플레이트를 더 포함한다. 백 플레이트는 기판(SUB)을 평면 상태로 유지시킨다. 일 예에 따른 백 플레이트는 플라스틱 재질, 예를 들어, 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 재질을 포함할 수 있다. 이러한 백 플레이트는 캐리어 유리 기판으로부터 분리된 기판(SUB)의 후면에 라미네이팅될 수 있다.

[0057] 다른 예에 따른 기판(SUB)은 플렉서블 유리 기판일 수 있다. 예를 들어, 유리 재질의 기판(SUB)은 100마이크로미터 이하의 두께를 갖는 박형 유리 기판이거나, 기판 식각 공정에 의해 100마이크로미터 이하의 두께를 가지고 록 식각된 캐리어 유리 기판일 수 있다.

[0058] 가장 바람직하게는 기판(SUB)은, 자유롭게 접거나 펼 수 있는 유연성이 우수한 재질인 것이 바람직하다. 기판(SUB)은 표시 영역(AA)과 표시 영역(AA)을 둘러싸는 비 표시 영역(IA)을 포함할 수 있다.

[0059] 기판(SUB)의 상부 표면 상에는 베퍼막(도시하지 않음)이 형성될 수 있다. 베퍼막은 투습에 취약한 기판(SUB)을 통해서 화소 어레이 층(120)으로 침투하는 수분을 차단하기 위하여, 기판(SUB)의 일면 상에 형성된다. 일 예에 따른 베퍼막은 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 베퍼막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx), 및 실리콘산질화막(SiON) 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 베퍼막은 생략될 수 있다.

[0060] 화소 어레이 층(120)은 박막 트랜지스터 층, 평탄화 층(PLN), 뱅크(BN), 크랙 방지 패턴(SPI) 및 발광 소자(ED)를 포함할 수 있다.

[0061] 박막 트랜지스터 층은 기판(SUB)의 표시 영역(AA)에 정의된 복수의 화소(P) 그리고 기판(SUB)의 제4 비 표시 영역(IA4)에 정의된 게이트 구동 회로(200)에 각각 마련된다.

[0062] 일 예에 따른 박막 트랜지스터 층은 박막 트랜지스터(T), 게이트 절연막(GI) 및 층간 절연막(ILD)을 포함한다. 여기서, 도 2에 도시된 박막 트랜지스터(T)는 발광 소자(ED)에 전기적으로 연결된 구동 박막 트랜지스터일 수 있다.

[0063] 박막 트랜지스터(T)는 기판(SUB) 또는 베퍼막 상에 형성된 반도체 층(A), 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)을 포함한다. 도 3에서 박막 트랜지스터(T)는 게이트 전극(G)이 반도체 층(A)의 상부에 위치하는 상부 게이트(톱 게이트, top gate) 구조를 도시하였으나, 반드시 이에 한정되지 않는다. 다른 예로, 박막 트랜지스터(T)는 게이트 전극(G)이 반도체 층(A)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 구조 또는 게이트 전극(G)이 반도체 층(A)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 구조를 가질 수 있다.

[0064] 반도체 층(A)은 기판(SUB) 또는 베퍼막 상에 형성될 수 있다. 반도체 층(A)은 실리콘계 반도체 물질, 산화물계

반도체 물질, 또는 유기물계 반도체 물질을 포함할 수 있으며, 단층 구조 또는 복층 구조를 가질 수 있다. 베퍼막과 반도체 층(A) 사이에는 반도체 층(A)으로 입사되는 외부광을 차단하기 위한 차광층이 추가로 형성될 수 있다.

[0065] 게이트 절연막(GI)은 반도체 층(A)을 덮도록 기판(SUB) 전체에 형성될 수 있다. 게이트 절연막(GI)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx), 또는 이들의 다중막으로 형성될 수 있다.

[0066] 게이트 전극(G)은 반도체 층(A)과 중첩되도록 게이트 절연막(GI) 상에 형성될 수 있다. 게이트 전극(G)은 스캔 배선(SL)과 함께 형성될 수 있다. 일 예에 따른 게이트 전극(G)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0067] 층간 절연막(ILD)은 게이트 전극(G)과 게이트 절연막(GI)을 덮도록 기판(SUB) 전체에 형성될 수 있다. 층간 절연막(ILD)은 게이트 전극(G)과 게이트 절연막(GI) 상에 평탄면을 제공한다.

[0068] 소스 전극(S)과 드레인 전극(D)은 게이트 전극(G)을 사이에 두고 반도체 층(A)과 중첩되도록 층간 절연막(ILD) 상에 형성될 수 있다. 소스 전극(S)과 드레인 전극(D)은 데이터 배선(DL)과 화소 구동 전원 배선(PL) 및 공통 전원 배선(CPL)과 함께 형성될 수 있다. 즉, 소스 전극(S), 드레인 전극(D), 데이터 배선(DL), 화소 구동 전원 배선(PL) 및 공통 전원 배선(CPL) 각각은 소스 드레인 전극 물질에 대한 패터닝 공정에 의해 동시에 형성된다.

[0069] 소스 전극(S)과 드레인 전극(D) 각각은 층간 절연막(ILD)과 게이트 절연막(GI)을 관통하는 전극 컨택홀을 통해 반도체 층(A)에 접속될 수 있다. 소스 전극(S)과 드레인 전극(D)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 여기서, 도 3에 도시된 박막 트랜지스터(T)의 소스 전극(S)은 화소 구동 전원 배선(PL)과 전기적으로 연결될 수 있다.

[0070] 이와 같이, 기판(SUB)의 화소(P)에 마련된 박막 트랜지스터(T)는 화소 회로(PC)를 구성한다. 또한, 기판(SUB)의 제4 비표시 영역(IA4)에 배치된 게이트 구동 회로(200)는 화소(P)에 마련된 박막 트랜지스터(T)와 동일하거나 유사한 박막 트랜지스터를 구비할 수 있다.

[0071] 평탄화 층(PLN)은 박막 트랜지스터 층을 덮도록 기판(SUB) 전체에 형성된다. 평탄화 층(PLN)은 박막 트랜지스터 층 상에 평탄면을 제공한다. 일 예에 따른 평탄화 층(PLN)은 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0072] 다른 예에 따른 평탄화 층(PLN)은 화소(P)에 마련된 박막 트랜지스터의 드레인 전극(D)을 노출시키기 위한 화소 컨택홀(PH)을 포함할 수 있다.

[0073] 뱅크(BN)는 평탄화 층(PLN) 상에 배치되어 표시 영역(AA)의 화소(P) 내에 개구 영역(또는 발광 영역)을 정의한다. 이러한 뱅크(BN)는 화소 정의막으로 표현될 수도 있다.

[0074] 발광 소자(ED)는 화소 구동 전극(AE), 발광층(EL), 및 공통 전극(CE)을 포함한다. 화소 구동 전극(AE)은 평탄화 층(PLN) 상에 형성되고 평탄화 층(PLN)에 마련된 화소 컨택홀(PH)을 통해 구동 박막 트랜지스터의 드레인 전극(D)에 전기적으로 연결된다. 이 경우, 화소(P)의 개구 영역과 중첩되는 화소 구동 전극(AE)의 중간 부분을 제외한 나머지 가장자리 부분은 뱅크(BN)에 의해 덮일 수 있다. 뱅크(BN)는 화소 구동 전극(AE)의 가장자리 부분을 덮음으로써 화소(P)의 개구 영역을 정의할 수 있다.

[0075] 일 예에 따른 화소 구동 전극(AE)은 반사율이 높은 금속 물질을 포함할 수 있다. 예를 들어, 화소 구동 전극(AE)은 알루미늄(Al)과 티타늄(Ti)의 적층 구조(Ti/Al/Ti), 알루미늄(Al)과 ITO의 적층 구조(ITO/Al/ITO), APC(Ag/Pd/Cu) 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)와 같은 다층 구조로 형성되거나, 은(Ag), 알루미늄(Al), 몰리브덴(Mo), 금(Au), 마그네슘(Mg), 칼슘(Ca), 또는 바륨(Ba) 중에서 선택된 어느 하나의 물질 또는 2 이상의 합금 물질로 이루어진 단층 구조를 포함할 수 있다.

[0076] 크랙 방지 패턴(SPI)은 화소(P)들 사이에 배치된 뱅크(BN) 위에 배치된다. 크랙 방지 패턴(SPI)은 그 후에 적층되는 발광층(EL)이 기판(SUB) 전체 표면에 걸쳐 일체형의 박막으로 형성되지 않고, 일부 끊어진 형상을 갖도록 하기 위한 구조체이다. 따라서, 크랙 방지 패턴(SPI)은 화소(P)들 사이에서 일부 영역에만 배치되며, 동일한 패턴 혹은 대칭 패턴이 반복적으로 분산 분포될 수 있다. 발광층(EL)이 기판(SUB) 전체에 걸쳐 도포된 일체형의 박막일 경우, 구부림 동작에 의한 구부림 응력에 의해 인장력을 반복적으로 받을 때, 쉽게 끊어지거나 파

손될 수 있다. 하지만, 발광층(EL)이 기판(SUB) 전체에 걸쳐 반복적으로 끊어지는 패턴을 가지고 있으면, 구부림 응력이 끊어진 부분에서 인장력으로 작용되지 않고, 감소된다. 즉, 크랙 방지 패턴(SPI)에 의해 부분적으로 발광층(EL)을 끊어 놓음으로써, 구부림 응력을 감소하는 효과를 얻을 수 있어, 발광층(EL)의 크랙을 방지할 수 있다.

[0077] 크랙 방지 패턴(SPI)은 평면도 상에서 보면, 화소(P)들 사이에 배치된 막대 형상을 가질 수 있다. 일례로, 도 2에 도시한 바와 같이 갈매기 혹은 쉐브론(Shevron) 형상의 막대 모양을 가질 수 있다. 한편, 크랙 방지 패턴(SPI)은 단면도 상에서 보면, 그 단면 형상이 역 테이퍼를 갖는 구조체인 것이 바람직하다. 예를 들어, 뱅크(BN)와 접하는 하면의 폭이 상면의 폭보다 좁은 역 사다리꼴을 갖는 것이 바람직하다.

[0078] 발광층(EL)은 화소 구동 전극(AE)과 뱅크(BN)를 덮도록 기판(SUB)의 표시 영역(AA) 전체에 형성된다. 특히, 뱅크(BN) 위에는 크랙 방지 패턴(SPI)이 분산 배치되어 있다. 발광층(EL)은 크랙 방지 패턴(SPI) 위에도 적층된다. 크랙 방지 패턴(SPI)이 역 테이퍼 형상을 가지고 있으므로, 뱅크(BN)의 상부 표면과 크랙 방지 패턴(SPI)의 상면에는 적층되지만, 크랙 방지 패턴(SPI)의 측벽면에는 도포되지 않는다. 즉, 발광층(EL)은 기판(SUB) 전체 표면을 덮되, 크랙 방지 패턴(SPI)이 위치하는 부분에서 단선된 구조를 갖는 박막 형상으로 적층된다.

[0079] 일 예에 따른 발광층(EL)은 백색 광을 방출하기 위해 수직 적층된 2 이상의 발광부를 포함할 수 있다. 예를 들어, 일 예에 따른 발광층(EL)은 제 1 광과 제 2 광의 혼합에 의해 백색 광을 방출하기 위한 제 1 발광부와 제 2 발광부를 포함할 수 있다. 여기서, 제 1 발광부는 제 1 광을 방출하는 것으로 청색 발광부, 녹색 발광부, 적색 발광부, 황색 발광부, 및 황록색 발광부 중 어느 하나를 포함할 수 있다. 제 2 발광부는 청색 발광부, 녹색 발광부, 적색 발광부, 황색 발광부, 및 황록색 중 제 1 광의 보색 관계를 갖는 제 2 광을 방출하는 발광부를 포함할 수 있다.

[0080] 다른 예에 따른 발광층(EL)은 화소(P)에 설정된 색상과 대응되는 컬러 광을 방출하기 위한, 청색 발광부, 녹색 발광부, 및 적색 발광부 중 어느 하나를 포함할 수 있다. 예를 들어, 다른 예에 따른 발광층(EL)은 유기 발광층, 무기 발광층, 및 양자점 발광층 중 어느 하나를 포함하거나, 유기 발광층(또는 무기 발광층)과 양자점 발광층의 적층 또는 혼합 구조를 포함할 수 있다.

[0081] 추가적으로, 일 예에 따른 발광 소자(ED)는 발광층(EL)의 발광 효율 및/또는 수명 등을 향상시키기 위한 기능층을 더 포함하여 이루어질 수 있다.

[0082] 공통 전극(CE)은 발광층(EL)과 전기적으로 연결되도록 형성된다. 공통 전극(CE)은 각 화소(P)에 마련된 발광층(EL)과 공통적으로 연결되도록 기판(SUB)의 표시 영역(AA) 전체에 형성된다. 공통 전극(CE)도 크랙 방지 패턴(SPI) 위에 적층된다. 공통 전극(CE)도 발광층(EL)과 마찬가지로, 크랙 방지 패턴(SPI)이 역 테이퍼 형상을 가지고 있으므로, 뱅크(BN)의 상부 표면과 크랙 방지 패턴(SPI)의 상면에는 적층되지만, 크랙 방지 패턴(SPI)의 측벽면에는 도포되지 않는다. 공통 전극(CE)도 발광층(EL)과 마찬가지로, 기판(SUB) 전체 표면을 덮되, 크랙 방지 패턴(SPI)이 위치하는 부분에서 단선된 구조를 갖는 박막 형상으로 적층된다. 크랙 방지 패턴(SPI)이 뱅크(BN) 위에서 모두 연결된 구조를 가지지 않으므로, 공통 전극(CE)은 기판(SUB) 전체 면적에 걸쳐 물리적 및 전기적으로 서로 연결된 구조를 가진다.

[0083] 일 예에 따른 공통 전극(CE)은 광을 투과시킬 수 있는 투명 전도성 물질 또는 반투과 전도성 물질을 포함할 수 있다. 공통 전극(CE)이 반투과 전도성 물질로 형성되는 경우, 마이크로 캐비티(micro cavity) 구조를 통해 발광 소자(ED)에서 발광된 광의 출광 효율을 높일 수 있다. 일 예에 따른 반투과 전도성 물질은 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금 등을 포함할 수 있다. 추가적으로, 공통 전극(CE) 상에는 발광 소자(ED)에서 발광된 광의 굴절율을 조절하여 광의 출광 효율을 향상시키기 위한 캡핑층(capping layer)이 더 형성될 수 있다.

[0084] 스페이서(SP)는 표시 영역(AA) 내에서 개구 영역 즉, 발광 소자(ED)가 배치되지 않은 영역에 산포하여 배치될 수 있다. 도 2에 도시한 바와 같이, 스페이서(SP)는 뱅크(BN) 위에서 크랙 방지 패턴(SPI)이 배치되지 않은 영역에 배치된다. 스페이서(SP)는 발광층(EL)을 증착하는 과정에서 스크린 마스크와 기판이 서로 직접 접촉하지 않도록 하기 위한 것일 수 있다. 스페이서(SP)는 뱅크(BN) 위에 배치되며, 정 테이퍼 형상을 가져 발광층(EL)과 공통 전극(CE)이 표시 영역(AA) 내측에 배치된 스페이서(SP)를 타고 넘어가도록 도포될 수 있다.

[0085] 경우에 따라서, 발광층(EL) 및/또는 공통 전극(CE)은 스페이서(SP)를 타고 넘어가지 않을 수 있다. 스페이서(SP)는 표시 영역(AA) 내부에서 뱅크 패턴(BN)의 일부에만 배치되어 있으므로, 공통 전극(CE)이 스페이서(SP)를 타고 넘어가지 않더라도, 공통 전극(CE)은 표시 영역(AA) 전체를 덮으며 연결된 구조를 갖는다.

- [0086] 봉지층(130)은 화소 어레이 층(120)의 상면과 측면을 모두 둘러싸도록 형성된다. 봉지층(130)은 산소 또는 수분이 발광 소자(ED)로 침투하는 것을 방지하는 역할을 한다.
- [0087] 일 예에 따른 봉지층(130)은 평탄 패턴(OP), 제1 무기 봉지층(PAS1), 제1 무기 봉지층(PAS1) 상의 유기 봉지층(PCL) 및 유기 봉지층(PCL) 상의 제2 무기 봉지층(PAS2)을 포함할 수 있다. 평탄 패턴(OP)은 크랙 방지 패턴(SPI)을 덮으면서, 역 테이퍼 구조를 정 테이퍼 구조로 덮는 패턴일 수 있다. 크랙 방지 패턴(SPI)이 역 테이퍼 형상을 가지므로, 그 위에 적층되는 박막들이 크랙 방지 패턴(SPI)에 의해 연결성이 끊어지는 구조가 된다. 발광층(EL)과 공통 전극(CE)은 끊어진 구조로 인해 구부림 응력을 분산하는 효과를 얻을 수 있다. 하지만, 봉지층(130)의 경우, 연결성이 끊어지면, 산소나 수분의 침투를 방지하는 기능을 할 수 없다. 따라서, 봉지층(130)을 도포하기 전에 평탄 패턴(OP)으로 크랙 방지 패턴(SPI)을 덮어 역 테이퍼 구조를 정 테이퍼 구조로 바꾸는 것이 바람직하다.
- [0088] 제1 무기 봉지층(PAS1)과 제2 무기 봉지층(PAS2)은 수분이나 산소의 침투를 차단하는 역할을 한다. 일 예에 따른 제1 무기 봉지층(PAS1)과 제2 무기 봉지층(PAS2)은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물 등의 무기물로 이루어질 수 있다. 이러한 제1 무기 봉지층(PAS1)과 제2 무기 봉지층(PAS2)은 화학 기상 증착 공정 또는 원자층 증착 공정에 의해 형성될 수 있다.
- [0089] 제1 무기 봉지층(PAS1)이 평탄 패턴(OP)이 형성된 기판(SUB) 전체 표면 위에 제일 먼저 적층된다. 평탄 패턴(OP)은 그 단면 형상이 정 테이퍼 형상 혹은 완만한 경사를 가지며, 역 테이퍼 형상을 갖는 크랙 방지 패턴(SPI)을 덮고 있다. 따라서, 제1 무기 봉지층(PAS1)은 평탄 패턴(OP)을 덮으며, 단선부 없이 기판(SUB) 전체 표면 위에 적층된다.
- [0090] 유기 봉지층(PCL)은 제1 무기 봉지층(PAS1)과 제2 무기 봉지층(PAS2)에 의해 둘러싸인다. 유기 봉지층(PCL)은 제조 공정 중 발생할 수 있는 이물들(particles)을 흡착 및/또는 차단할 수 있도록 제1 무기 봉지층(PAS1) 및/또는 제2 무기 봉지층(PAS2) 대비 상대적으로 두꺼운 두께로 형성될 수 있다. 유기 봉지층(PCL)은 실리콘옥시카본(SiOCz) 아크릴 또는 에폭시 계열의 레진(Resin) 등의 유기물로 이루어질 수 있다. 유기 봉지층(PCL)은 코팅 공정, 예를 들어 잉크젯 코팅 공정 또는 슬릿 코팅 공정에 의해 형성될 수 있다.
- [0091] 본 출원의 바람직한 실시 예에 따른 전계 발광 표시장치는 댐 구조체(DM)를 더 포함할 수 있다. 댐 구조체(DM)는 유기 봉지층(PCL)의 훌러 넘침을 방지할 수 있도록 기판(SUB)의 비표시 영역(IA)에 배치된다. 이하, 도 4를 더 참조하여, 본 출원의 바람직한 실시 예에 따른 전계 발광 표시장치의 댐 구조체에 대해 설명한다. 도 4는 본 출원의 바람직한 실시 예에 의한 플렉서블 전계 발광 표시장치의 비 표시 영역과 표시 영역 사이의 구조를 나타내는 것으로 도 1의 절취선 II-II'를 따라 절취한 단면도이다.
- [0092] 도 1 및 4를 참조하면, 댐 구조체(DM)는 표시 영역(AA), 표시 영역(AA) 외측에 배치된 게이트 구동 회로(200) 및 게이트 구동 회로(200) 외측에 배치된 공통 전원 배선(CPL)의 외측에 배치될 수 있다. 경우에 따라서, 댐 구조체(DM)는 공통 전원 배선(CPL)의 외측부와 중첩되도록 배치될 수 있다. 이 경우, 게이트 구동 회로(200) 및 공통 전원 배선(CPL)이 배치되는 비 표시 영역(IA)의 폭을 줄여 베젤(Bezel) 폭을 줄일 수 있다.
- [0093] 본 출원의 바람직한 실시 예에 의한 댐 구조체(DM)는 기판(SUB)에 수직하게 형성된 3중층 구조를 가질 수 있다. 예를 들어, 평탄화 막(PLN)으로 형성한 제1 층, 뱅크(BN)로 형성한 제2 층, 그리고 스페이서(SP)로 형성한 제3 층을 포함할 수 있다.
- [0094] 제1 층은 평탄화 막(PLN)을 패턴 사다리꼴 형상의 단면 구조를 가질 수 있다. 제2 층은 제1 층 위에 적층되는 사다리꼴 형상의 단면 구조를 가질 수 있다. 제3 층은 제2 층 위에 적층되는 사다리꼴 형상의 단면 구조를 가질 수 있다. 유기 봉지층(PCL)의 두께가 얇아서 유기 봉지층(PCL)의 퍼짐성을 제어하기가 용이한 경우에는 댐 구조체(DM)의 높이가 높지 않아도 충분할 수 있다. 이 경우에는 제3 층은 생략될 수 있다.
- [0095] 댐 구조체(DM)는 제1 무기 봉지층(PAS1) 및/또는 제2 무기 봉지층(PAS2)에 의해 모두 덮인다. 유기 봉지층(PCL)은 댐 구조체(DM)의 내측 벽면 일부와 접촉할 수 있다. 예를 들어, 유기 봉지층(PCL)의 가장자리 영역에서 상부 표면까지의 높이는 댐 구조체(DM)의 제1 층 높이 보다 높고 제2 층 높이 보다 낮을 수 있다. 또는 유기 봉지층(PCL)의 가장자리 영역에서 상부 표면까지의 높이는 댐 구조체(DM)의 제2 층 높이보다 높고 제3 층의 높이보다 낮을 수 있다.
- [0096] 유기 봉지층(PCL)의 가장자리 영역에서 상부 표면까지의 높이는 댐 구조체(DM)의 전체 높이보다 낮게 도포되는

것이 바람직하다. 그 결과, 댐 구조체(DM)의 상부 표면과 외측 측벽에서는 제1 무기 봉지층(PAS1)과 제2 무기 봉지층(PAS2)이 서로 면 접촉을 이루는 구조를 갖는다.

[0097] 이하, 도 5를 참조하여, 본 출원의 다른 실시 예에 의한 전계 발광 표시장치에 대해 설명한다. 도 5는 본 출원의 다른 실시 예에 의한 플렉서블 전계 발광 표시장치의 구조를 나타내는 것으로 도 2의 절취선 I-I'를 따라 절취한 단면도이다.

[0098] 도 5에 도시한 본 출원의 다른 실시 예에 의한 전계 발광 표시장치는 도 3에 도시한 실시 예와 비교해서 거의 동일한 구성 요소들을 갖는다. 차이가 있다면, 크랙 방지 패턴(SPI)의 구조에 있다. 그 외의 구성들은 앞에서 설명한 것과 동일하므로 중복 설명은 생략한다.

[0099] 본 출원의 다른 실시 예에 의한 전계 발광 표시장치는, 뱅크(BN) 위에 형성되는 크랙 방지 패턴(SPI)은 두 개의 역 테이퍼 패턴이 이웃하여 배치된 구조를 갖는다. 따라서, 크랙 방지 패턴(SPI)의 높이가 높지 않더라도, 그 위에 적층되는 발광층(EL)은 크랙 방지 패턴(SPI)에 의해 단선이 확실하게 이루어 질 수 있다.

[0100] 이상 본 출원에 의한 플렉서블 전계 발광 표시장치는 폴딩 배선에서 최소 두께를 갖는 특징이 있다. 이를 위해 유기 봉지층의 두께를 폴딩 배선에서 최소 두께를 갖도록 형성하는 특징이 있다. 특히, 유기 봉지층의 상부 표면의 프로파일은 폴딩 배선에서 최소 값을 양측 단부에서 최대 값을 가지며 선형적 혹은 지수함수적으로 점차 변하는 형상을 가질 수 있다.

[0101] 이와 같은 본 출원의 일 예에 따른 전계 표시 장치는 전자 수첩, 전자 책, PMP(Portable Multimedia Player), 네비게이션, UMPC(Ultra Mobile PC), 스마트 폰(smart phone), 이동 통신 단말기, 모바일 폰, 태블릿 PC(personal computer), 스마트 와치(smart watch), 와치 폰(watch phone), 또는 웨어러블 기기(wearable device) 등과 같은 휴대용 전자 기기뿐만 아니라 텔레비전, 노트북, 모니터, 냉장고, 전자 레인지, 세탁기, 카메라 등의 다양한 제품에 적용될 수 있다.

[0102] 상술한 본 출원의 다양한 실시 예들에 설명된 특징, 구조, 효과 등을 본 출원의 적어도 하나의 예에 포함되며, 반드시 하나의 예에만 한정되는 것은 아니다. 나아가, 본 출원의 적어도 하나의 예에서 예시된 특징, 구조, 효과 등을 본 출원이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 출원의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0103] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0104] SUB: 기판 T: 박막 트랜지스터

PLN: 평탄화 층 BN: 뱅크 패턴

SP: 스페이서 DM: 댐 구조체

200: 게이트 구동 회로 300: 구동 접적 회로

120: 화소 어레이층 130: 봉지층

ED: 발광 소자 AE: 화소 구동 전극

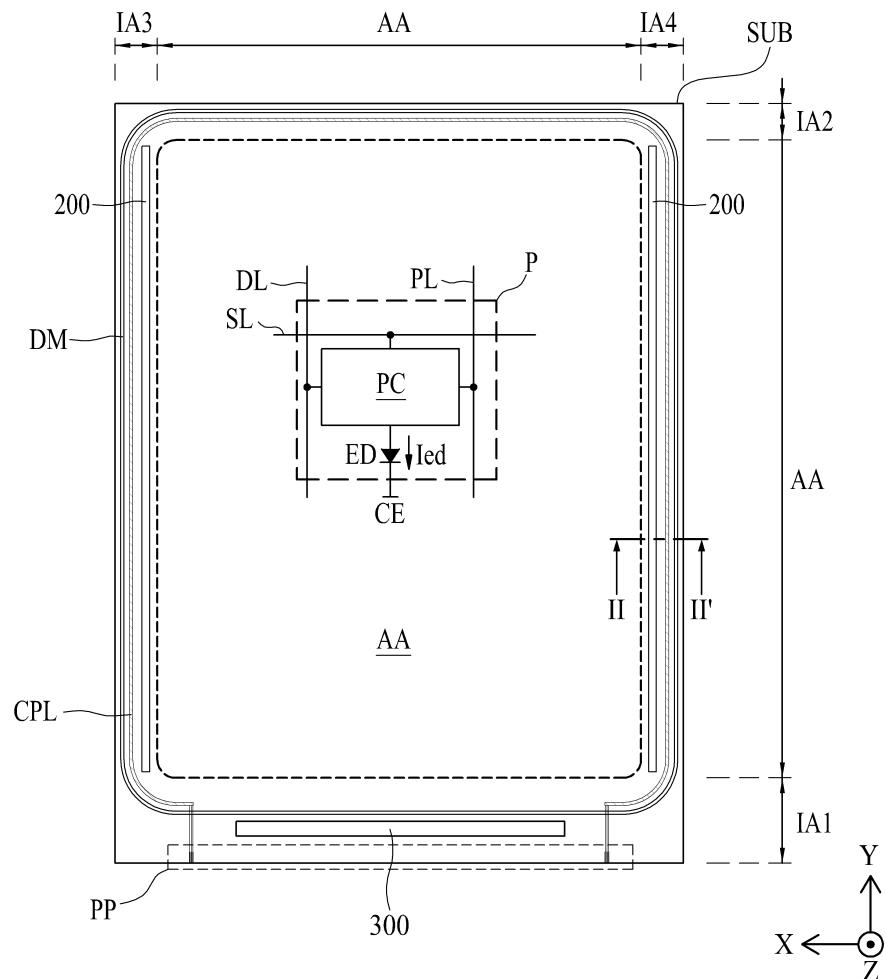
EL: 발광층 CE: 공통 전극

CPL: 공통 전원 배선 SPI: 크랙 방지 패턴

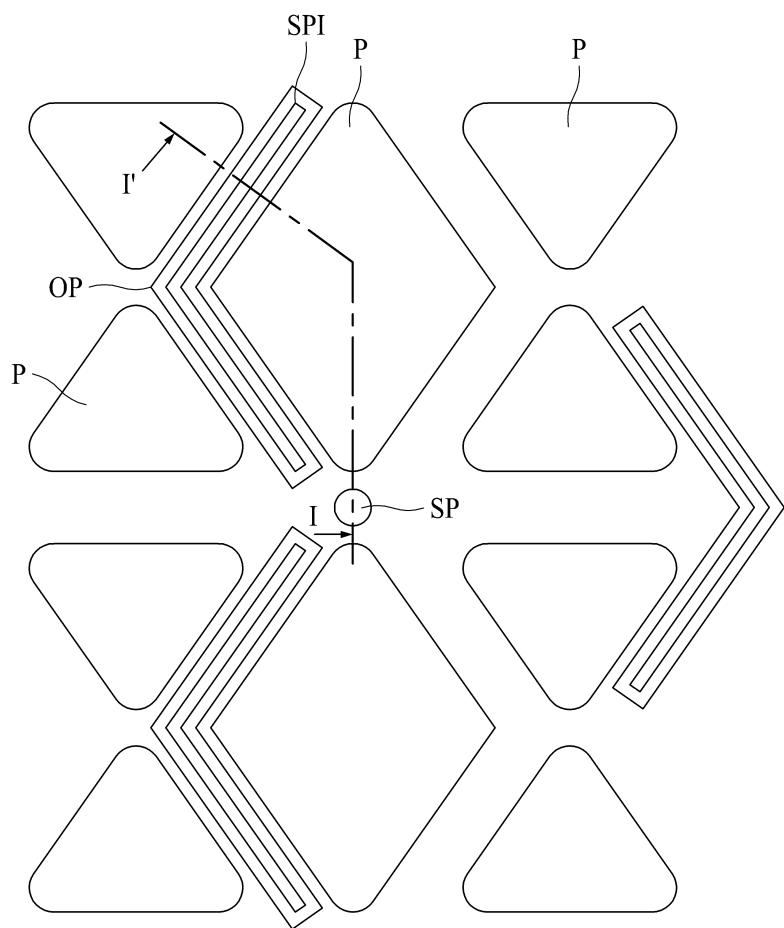
OP: 평탄 패턴

도면

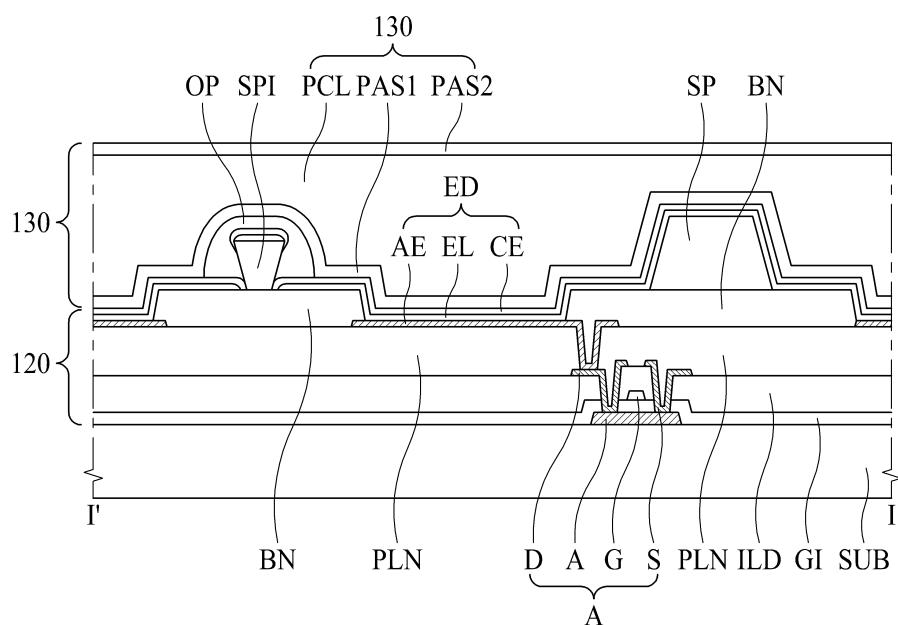
도면1



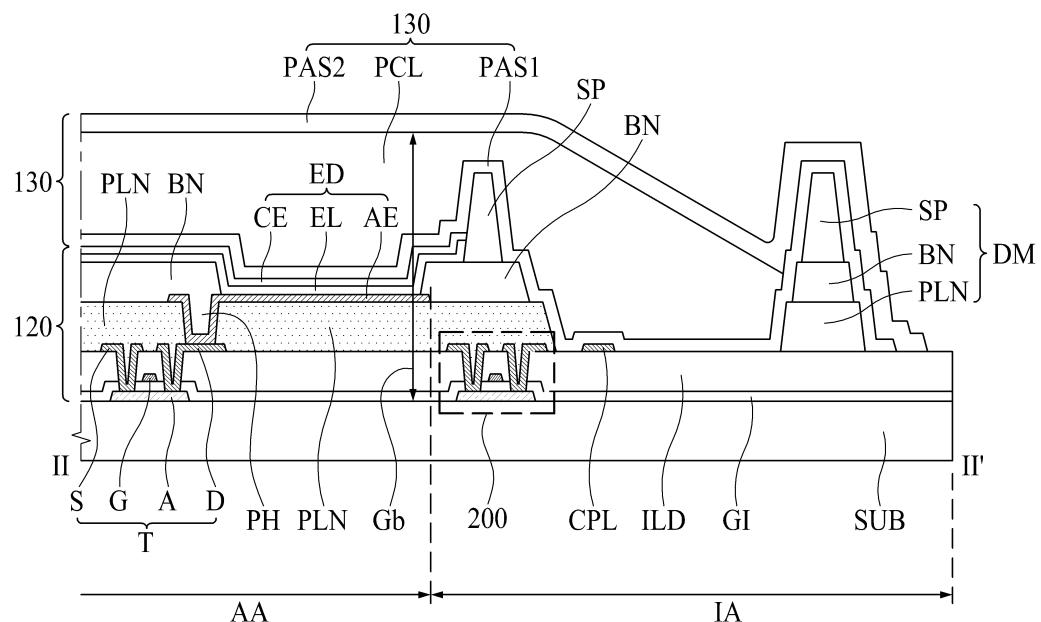
도면2



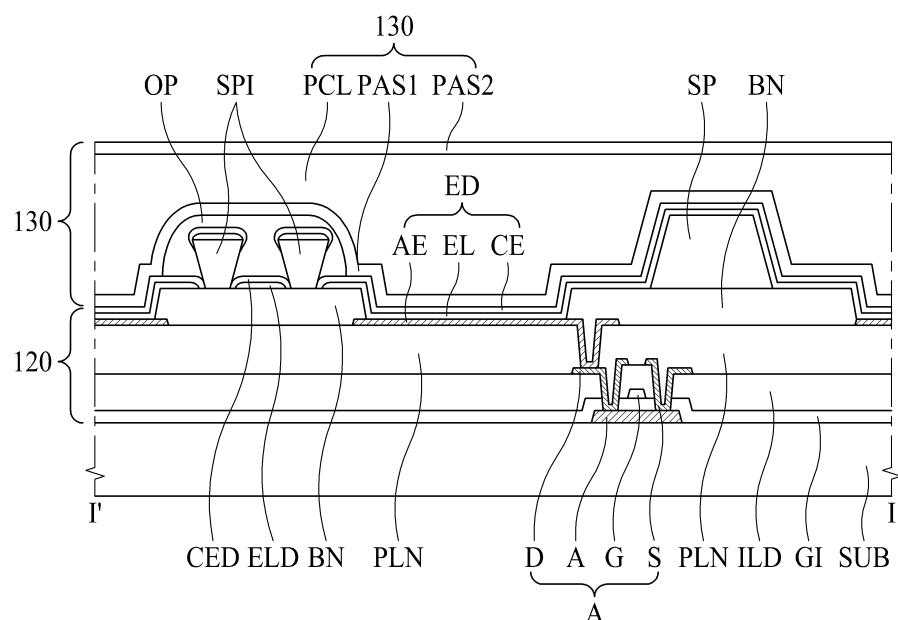
도면3



도면4



도면5



专利名称(译)	柔性电致发光显示器		
公开(公告)号	KR1020200078091A	公开(公告)日	2020-07-01
申请号	KR1020180167670	申请日	2018-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	변현태 송은아 이진숙		
发明人	변현태 송은아 이진숙		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/3244 H01L27/1218 H01L27/3246 H01L27/326		

摘要(译)

本申请涉及一种柔性电致发光显示装置。根据本申请的示例性实施方式的柔性电致发光显示装置包括基板,像素驱动电极,堤,防裂图案,发光层,公共电极和平面图案。基板包括显示区域和围绕该显示区域的非显示区域。像素驱动电极以矩阵方式布置在基板上。堤覆盖每个像素驱动电极的边缘并打开发光区域。防裂图案设置在堤上。发光层堆叠在像素驱动电极,堤和防裂图案上。公共电极堆叠在发光层上。平面图案覆盖了防裂图案。

