



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0112158
(43) 공개일자 2018년10월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/1255 (2013.01)
H01L 27/3244 (2013.01)
(21) 출원번호 10-2017-0040936
(22) 출원일자 2017년03월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김동우
경기도 수원시 권선구 동수원로 286, 608동 503호
김성환
경기도 용인시 기흥구 새천년로 40, 413동 1701호
(뒷면에 계속)
(74) 대리인
박영우

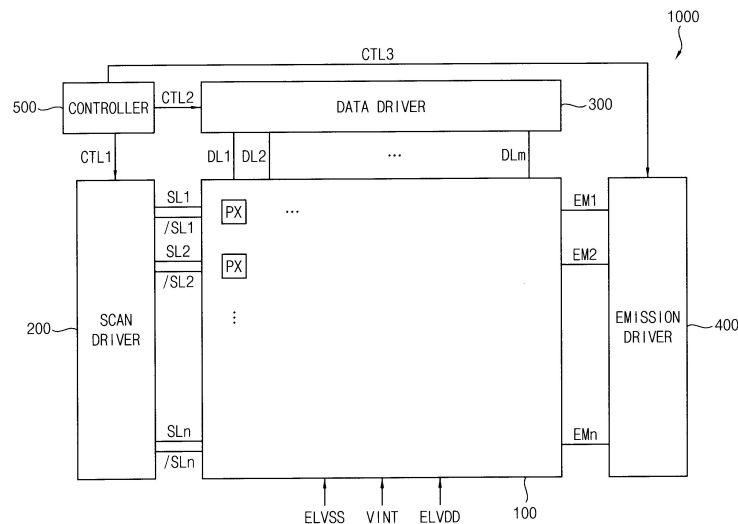
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 복수의 화소들을 포함한다. 화소들 각각은 유기 발광 다이오드, 구동 전류를 생성하여 유기 발광 다이오드를 작동시키는 제1 트랜지스터, 제1 스캔 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 제1 트랜지스터의 제1 전극에 연결된 제2 전극을 포함하는 제2 트랜지스터, 제2 스캔 신호를 수신하는 게이트 전극, 제1 트랜지스터의 제2 전극에 연결된 제1 전극, 및 제1 트랜지스터의 게이트 전극에 연결된 제2 전극을 포함하는 제3 트랜지스터, 제1 전원 전압에 연결된 제1 전극 및 제1 트랜지스터의 게이트 전극에 연결된 제2 전극을 포함하는 스토리지 커패시터, 및 제3 트랜지스터의 게이트 전극에 연결된 제1 전극 및 제1 전원 전압에 연결된 제2 전극을 포함하는 제1 커패시터를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3276 (2013.01)

(72) 발명자

신경주

경기도 화성시 영통로27번길 53, 205-602호

이철곤

경기도 수원시 영통구 봉영로1517번길 27, 909동
1203호

임상옥

경기도 용인시 기흥구 탑실로 15, 104동 1601호

명세서

청구범위

청구항 1

복수의 화소들을 포함하고, 상기 화소들 각각은,

유기 발광 다이오드;

구동 전류를 생성하여 상기 유기 발광 다이오드를 작동시키는 제1 트랜지스터;

제1 스캔 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 상기 제1 트랜지스터의 제1 전극에 연결된 제2 전극을 포함하는 제2 트랜지스터;

제2 스캔 신호를 수신하는 게이트 전극, 상기 제1 트랜지스터의 제2 전극에 연결된 제1 전극, 및 상기 제1 트랜지스터의 게이트 전극에 연결된 제2 전극을 포함하는 제3 트랜지스터;

제1 전원 전압에 연결된 제1 전극 및 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 스토리지 커패시터; 및

상기 제3 트랜지스터의 상기 게이트 전극에 연결된 제1 전극 및 상기 제1 전원 전압에 연결된 제2 전극을 포함하는 제1 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS (metal oxidesemiconductor) 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서, 상기 제2 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS 트랜지스터이고,

상기 제2 스캔 신호는 상기 제1 스캔 신호의 반전된 신호인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서, 상기 화소들 각각은,

제3 스캔 신호를 수신하는 게이트 전극, 초기화 전압에 연결된 제1 전극, 및 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 제4 트랜지스터;

발광 제어 신호를 수신하는 게이트 전극, 상기 제1 전원 전압에 연결된 제1 전극, 및 상기 제1 트랜지스터의 상기 제1 전극에 연결된 제2 전극을 포함하는 제5 트랜지스터;

상기 발광 제어 신호를 수신하는 게이트 전극, 상기 제1 트랜지스터의 상기 제2 전극에 연결된 제1 전극, 및 상기 유기 발광 다이오드의 제1 전극에 연결된 제2 전극을 포함하는 제6 트랜지스터; 및

제4 스캔 신호를 수신하는 게이트 전극, 상기 초기화 전압에 연결된 제1 전극, 및 상기 유기 발광 다이오드의 상기 제1 전극에 연결된 제2 전극을 포함하는 제7 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서, 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제5 트랜지스터, 및 상기 제6 트랜지스터는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터이고,

상기 제3 트랜지스터, 상기 제4 트랜지스터, 및 상기 제7 트랜지스터는 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제4 항에 있어서, 상기 제1 트랜지스터는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터이고, 상기 제2 내지 제7 트랜지스터들은 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제1 항에 있어서, 상기 화소들 각각은,

상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제1 전극 및 상기 제3 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 제2 커패시터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제7 항에 있어서, 상기 제1 커패시터의 제1 커패시턴스는 상기 제2 커패시터의 제2 커패시턴스보다 큰 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

베이스 기판;

상기 베이스 기판 상에 배치되고, 제1 트랜지스터의 액티브 영역 및 제2 트랜지스터의 액티브 영역을 포함하는 제1 액티브 패턴;

상기 제1 액티브 영역을 덮는 제1 게이트 절연층;

상기 제1 게이트 절연층 상에 배치되고, 상기 제1 트랜지스터의 게이트 전극 및 상기 제2 트랜지스터의 게이트 전극을 포함하는 제1 게이트 패턴;

상기 제1 게이트 패턴을 덮는 제2 게이트 절연층;

상기 제2 게이트 절연층 상에 배치되고, 상기 제1 게이트 패턴과 스토리지 커패시터를 형성하는 제2 게이트 패턴;

상기 제2 게이트 패턴을 덮는 제1 층간 절연층;

상기 제1 층간 절연층 상에 배치되고, 제3 트랜지스터의 액티브 영역을 포함하는 제2 액티브 패턴;

상기 제2 액티브 패턴을 덮는 제3 게이트 절연층; 및

상기 제3 게이트 절연층 상에 배치되고, 상기 제3 트랜지스터의 게이트 전극을 포함하며, 상기 제2 게이트 패턴과 제1 커패시터를 형성하는 제3 게이트 패턴을 포함하는 유기 발광 표시 장치.

청구항 10

제9 항에 있어서, 상기 제1 액티브 패턴 및 상기 제2 액티브 패턴 중 하나는 산화물 반도체를 포함하고,

상기 제1 액티브 패턴 및 상기 제2 액티브 패턴 중 다른 하나는 폴리 실리콘(poly silicon) 반도체를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제9 항에 있어서, 상기 제2 트랜지스터의 상기 게이트 전극은 제1 스캔 신호를 수신하고,

상기 제3 트랜지스터의 상기 게이트 전극은 상기 제1 스캔 신호에 반전된 제2 스캔 신호를 수신하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제9 항에 있어서, 상기 제2 액티브 패턴은 상기 제3 트랜지스터의 상기 액티브 영역과 연결된 제4 트랜지스터의 액티브 영역을 더 포함하고,

상기 제3 게이트 패턴은 제3 스캔 신호를 수신하는 상기 제4 트랜지스터의 게이트 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제12 항에 있어서, 상기 제1 액티브 패턴은 상기 제1 트랜지스터의 상기 액티브 영역과 연결된 제5 트랜지스터의 액티브 영역 및 제6 트랜지스터의 액티브 영역을 더 포함하고,

상기 제1 게이트 패턴은 발광 제어 신호를 수신하는 상기 제5 트랜지스터의 게이트 전극 및 상기 제6 트랜지스터의 게이트 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서, 상기 제2 액티브 패턴은 상기 제4 트랜지스터의 상기 액티브 영역과 연결된 제7 트랜지스터의 액티브 영역을 더 포함하고,

상기 제3 게이트 패턴은 제4 스캔 신호를 수신하는 제7 트랜지스터의 게이트 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제9 항에 있어서,

상기 제3 게이트 패턴을 덮는 제2 층간 절연층; 및

상기 제2 층간 절연층 상에 배치되는 소스-드레인 패턴 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제15 항에 있어서, 상기 제2 게이트 패턴은 상기 소스 드레인 패턴을 통해 제1 전원 전압을 수신하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제15 항에 있어서, 상기 제1 커패시터가 형성된 영역에서 상기 제1 게이트 패턴 및 상기 제3 게이트 패턴은 서로 중첩되지 않는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

유기 발광 다이오드;

구동 전류를 생성하여 상기 유기 발광 다이오드를 작동시키는 제1 트랜지스터;

제1 스캔 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 상기 제1 트랜지스터의 제1 전극에 연결된 제2 전극을 포함하는 제2 트랜지스터;

제2 스캔 신호를 수신하는 게이트 전극, 상기 제1 트랜지스터의 제2 전극에 연결된 제1 전극, 및 상기 제1 트랜지스터의 게이트 전극에 연결된 제2 전극을 포함하는 제3 트랜지스터;

제1 전원 전압에 연결된 제1 전극 및 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 스토리지 커패시터; 및

상기 제3 트랜지스터의 상기 게이트 전극에 연결된 제1 전극 및 상기 제1 전원 전압에 연결된 제2 전극을 포함하는 제1 커패시터를 포함하는 화소.

청구항 19

제18 항에 있어서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS 트랜지스터인 것을 특징으로 하는 화소.

청구항 20

제18 항에 있어서, 상기 제2 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS 트랜지스터이고,

상기 제2 스캔 신호는 상기 제1 스캔 신호의 반전된 신호인 것을 특징으로 하는 화소.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 화소 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 화소가 출력하는 광에 기초하여 영상을 표시할 수 있고, 유기 발광 표시 장치는 유기 발광 다이오드를 갖는 화소를 포함할 수 있다. 유기 발광 다이오드는 유기 발광 다이오드가 포함하는 유기 물질에 상응하는 파장을 갖는 광을 출력할 수 있다. 예를 들어, 유기 발광 다이오드는 적색광, 녹색광, 및 청색광에 상응하는 유기 물질을 포함할 수 있고, 유기 발광 표시 장치는 유기 물질에 의해 출력되는 광을 조합하여 영상을 표시할 수 있다.

[0003] 화소는 유기 발광 다이오드를 구동하기 위한 복수의 트랜지스터들 및 커패시터를 포함한다. 트랜지스터의 특성에 따라, 일부 스위칭 트랜지스터에서 누설 전류가 발생하고, 이에 따라 표시 품질이 낮아질 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 표시 품질을 향상시킬 수 있는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 유기 발광 표시 장치를 위한 화소를 제공하는 것이다.

[0006] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소들을 포함할 수 있다. 상기 화소들 각각은 유기 발광 다이오드, 구동 전류를 생성하여 상기 유기 발광 다이오드를 작동시키는 제1 트랜지스터, 제1 스캔 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 상기 제1 트랜지스터의 제1 전극에 연결된 제2 전극을 포함하는 제2 트랜지스터, 제2 스캔 신호를 수신하는 게이트 전극, 상기 제1 트랜지스터의 제2 전극에 연결된 제1 전극, 및 상기 제1 트랜지스터의 게이트 전극에 연결된 제2 전극을 포함하는 제3 트랜지스터, 제1 전원 전압에 연결된 제1 전극 및 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 스토리지 커패시터, 및 상기 제3 트랜지스터의 상기 게이트 전극에 연결된 제1 전극 및 상기 제1 전원 전압에 연결된 제2 전극을 포함하는 제1 커패시터를 포함할 수 있다.

[0008] 일 실시예에 의하면, 제1 항에 있어서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS (metaloxidesemiconductor) 트랜지스터일 수 있다.

[0009] 일 실시예에 의하면, 상기 제2 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS 트랜지스터일 수 있다. 상기 제2 스캔 신호는 상기 제1 스캔 신호의 반전된 신호일 수 있다.

[0010] 일 실시예에 의하면, 상기 화소들 각각은 제3 스캔 신호를 수신하는 게이트 전극, 초기화 전압에 연결된 제1 전극, 및 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 제4 트랜지스터, 발광 제어 신호를 수신하는 게이트 전극, 상기 제1 전원 전압에 연결된 제1 전극, 및 상기 제1 트랜지스터의 상기 제1 전극에 연결된 제2 전극을 포함하는 제5 트랜지스터, 상기 발광 제어 신호를 수신하는 게이트 전극, 상기 제1 트랜지스터의 상기 제2 전극에 연결된 제1 전극, 및 상기 유기 발광 다이오드의 제1 전극에 연결된 제2 전극을 포함하는 제6 트랜지스터, 및 제4 스캔 신호를 수신하는 게이트 전극, 상기 초기화 전압에 연결된 제1 전극, 및 상기 유기 발광 다이오드의 상기 제1 전극에 연결된 제2 전극을 포함하는 제7 트랜지스터를 더 포함할 수 있다.

[0011] 일 실시예에 의하면, 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제5 트랜지스터, 및 상기 제6 트랜지스

터는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터일 수 있다. 상기 제3 트랜지스터, 상기 제4 트랜지스터, 및 상기 제7 트랜지스터는 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터일 수 있다.

- [0012] 일 실시예에 의하면, 상기 제1 트랜지스터는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터일 수 있다. 상기 제2 내지 제7 트랜지스터들은 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터일 수 있다.
- [0013] 일 실시예에 의하면, 상기 화소들 각각은 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제1 전극 및 상기 제3 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 제2 커패시터를 더 포함할 수 있다.
- [0014] 일 실시예에 의하면, 상기 제1 커패시터의 제1 커패시턴스는 상기 제2 커패시터의 제2 커패시턴스보다 클 수 있다.
- [0015] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 베이스 기관, 상기 베이스 기관 상에 배치되고, 제1 트랜지스터의 액티브 영역 및 제2 트랜지스터의 액티브 영역을 포함하는 제1 액티브 패턴, 상기 제1 액티브 영역을 덮는 제1 게이트 절연층, 상기 제1 게이트 절연층 상에 배치되고, 상기 제1 트랜지스터의 게이트 전극 및 상기 제2 트랜지스터의 게이트 전극을 포함하는 제1 게이트 패턴, 상기 제1 게이트 패턴을 덮는 제2 게이트 절연층, 상기 제2 게이트 절연층 상에 배치되고, 상기 제1 게이트 패턴과 스토리지 커패시터를 형성하는 제2 게이트 패턴, 상기 제2 게이트 패턴을 덮는 제1 층간 절연층, 상기 제1 층간 절연층 상에 배치되고, 제3 트랜지스터의 액티브 영역을 포함하는 제2 액티브 패턴, 상기 제2 액티브 패턴을 덮는 제3 게이트 절연층, 및 상기 제3 게이트 절연층 상에 배치되고, 상기 제3 트랜지스터의 게이트 전극을 포함하며, 상기 제2 게이트 패턴과 제1 커패시터를 형성하는 제3 게이트 패턴을 포함할 수 있다.
- [0016] 일 실시예에 의하면, 상기 제1 액티브 패턴 및 상기 제2 액티브 패턴 중 하나는 산화물 반도체를 포함할 수 있다. 상기 제1 액티브 패턴 및 상기 제2 액티브 패턴 중 다른 하나는 폴리 실리콘(poly silicon) 반도체를 포함할 수 있다.
- [0017] 일 실시예에 의하면, 상기 제2 트랜지스터의 상기 게이트 전극은 제1 스캔 신호를 수신할 수 있다. 상기 제3 트랜지스터의 상기 게이트 전극은 상기 제1 스캔 신호에 반전된 제2 스캔 신호를 수신할 수 있다.
- [0018] 일 실시예에 의하면, 상기 제2 액티브 패턴은 상기 제3 트랜지스터의 상기 액티브 영역과 연결된 제4 트랜지스터의 액티브 영역을 더 포함할 수 있다. 상기 제3 게이트 패턴은 제3 스캔 신호를 수신하는 상기 제4 트랜지스터의 게이트 전극을 더 포함할 수 있다.
- [0019] 일 실시예에 의하면, 상기 제1 액티브 패턴은 상기 제1 트랜지스터의 상기 액티브 영역과 연결된 제5 트랜지스터의 액티브 영역 및 제6 트랜지스터의 액티브 영역을 더 포함할 수 있다. 상기 제1 게이트 패턴은 발광 제어 신호를 수신하는 상기 제5 트랜지스터의 게이트 전극 및 상기 제6 트랜지스터의 게이트 전극을 더 포함할 수 있다.
- [0020] 일 실시예에 의하면, 상기 제2 액티브 패턴은 상기 제4 트랜지스터의 상기 액티브 영역과 연결된 제7 트랜지스터의 액티브 영역을 더 포함할 수 있다. 상기 제3 게이트 패턴은 제4 스캔 신호를 수신하는 제7 트랜지스터의 게이트 전극을 더 포함할 수 있다.
- [0021] 일 실시예에 의하면, 상기 제3 게이트 패턴을 덮는 제2 층간 절연층, 및 상기 제2 층간 절연층 상에 배치되는 소스-드레인 패턴 더 포함할 수 있다.
- [0022] 일 실시예에 의하면, 상기 제2 게이트 패턴은 상기 소스 드레인 패턴을 통해 제1 전원 전압을 수신할 수 있다.
- [0023] 일 실시예에 의하면, 상기 제1 커패시터가 형성된 영역에서 상기 제1 게이트 패턴 및 상기 제3 게이트 패턴은 서로 중첩되지 않을 수 있다.
- [0024] 본 발명의 다른 목적을 달성하기 위하여, 발명의 실시예들에 따른 화소는 유기 발광 다이오드, 구동 전류를 생성하여 상기 유기 발광 다이오드를 작동시키는 제1 트랜지스터, 제1 스캔 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 상기 제1 트랜지스터의 제1 전극에 연결된 제2 전극을 포함하는 제2 트랜지스터, 제2 스캔 신호를 수신하는 게이트 전극, 상기 제1 트랜지스터의 제2 전극에 연결된 제1 전극, 및 상기 제1 트랜지스터의 게이트 전극에 연결된 제2 전극을 포함하는 제3 트랜지스터, 제1 전원 전압에 연결된 제1 전극 및 상기 제1 트랜지스터의 상기 게이트 전극에 연결된 제2 전극을 포함하는 스토리지 커패시터, 및 상기 제3 트랜지스터

의 상기 게이트 전극에 연결된 제1 전극 및 상기 제1 전원 전압에 연결된 제2 전극을 포함하는 제1 커패시터를 포함할 수 있다.

[0025] 일 실시예에 의하면, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS 트랜지스터일 수 있다.

[0026] 일 실시예에 의하면, 상기 제2 트랜지스터와 상기 제3 트랜지스터는 서로 다른 타입의 MOS 트랜지스터일 수 있다. 상기 제2 스캔 신호는 상기 제1 스캔 신호의 반전된 신호일 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 구동 트랜지스터를 p채널 MOS 트랜지스터로 구현하고, 누설 전류가 발생하는 일부 스위칭 트랜지스터를 n채널 MOS 트랜지스터로 구현함으로써, 구동 트랜지스터의 신뢰성을 높임과 동시에 누설 전류에 의한 표시 품질 저하를 방지할 수 있다.

[0028] 또한, 상기 유기 발광 표시 장치의 화소는 킥백(kickback) 영향을 줄이기 위해 제2 게이트 패턴과 제3 게이트 패턴을 중첩함으로써 제3 트랜지스터의 게이트 전극과 제1 전원 전압 사이에서 제1 커패시터를 형성할 수 있다. 이에 따라, 상기 유기 발광 표시 장치는 블랙 전압 마진을 확보할 수 있다.

[0029] 본 발명의 실시예들에 따른 화소는 제3 트랜지스터의 게이트 전극과 제1 전원 전압 사이에 위치하는 제1 커패시터를 포함함으로써 표시 품질을 향상시킬 수 있다.

[0030] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 2는 도 1의 유기 발광 표시 장치에 포함된 화소의 일 예를 나타내는 도면이다.

도 3 및 도 4는 도 2의 화소에 포함된 제1 커패시터에 의해 킥백 영향이 감소되는 효과를 설명하기 위한 도면이다.

도 5a 내지 도 5f는 도 2의 화소를 구현하는 일 예를 설명하기 위한 도면들이다.

도 6는 도 5f의 I1-I2 선을 절단한 단면도이다.

도 7은 도 5f의 I3-I4 선을 절단한 단면도이다.

도 8은 도 1의 유기 발광 표시 장치에 포함된 화소의 다른 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성 요소에 대해서는 동일하거나 유사한 참조 부호를 사용한다.

[0033] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

[0034] 도 1을 참조하면, 유기 발광 표시 장치(1000)는 표시 패널(100), 스캔 구동부(200), 데이터 구동부(300), 발광 제어 구동부(400), 및 제어부(500)를 포함할 수 있다.

[0035] 표시 패널(100)은 영상을 표시하기 위한 복수의 화소(PX)들을 포함할 수 있다. 예를 들어, 표시 패널(100)은 스캔 라인들(SL1 내지 SLn) 및 데이터 라인들(DL1 내지 DLm)의 교차부마다 위치되는 n*m 개의 화소(PX)들을 포함할 수 있다 (단, n, m은 1보다 큰 정수). 화소(PX)들 각각은 구동 트랜지스터와 복수의 스위칭 트랜지스터들을 포함할 수 있다. 일 실시예에서, 구동 트랜지스터는 신뢰성이 상대적으로 높은 p채널 MOS 트랜지스터로 구현하고, 누설 전류가 발생하는 일부 스위칭 트랜지스터 n채널 MOS 트랜지스터로 구현할 수 있다. 이를 위해, 화소(PX)들은 제1 및 제2 액티브 패턴들 제1 내지 제3 게이트 패턴들로 형성될 수 있다. 예를 들어, p채널 MOS 트랜지스터는 제1 액티브 패턴 및 제1 게이트 패턴으로 형성되고, n채널 MOS 트랜지스터는 제2 액티브 패턴 및 제3 게이트 패턴으로 형성될 수 있다. 또한, 화소(PX)들 각각은 제2 게이트 패턴과 제3 게이트 패턴을 중첩함으로써 킥백(kickback) 영향을 줄이기 위한 제1 커패시터를 포함할 수 있다. 화소(PX)의 구조에 대해서는 도 2, 도 5a

내지 도 5f를 참조하여 자세히 설명하기로 한다.

- [0036] 스캔 구동부(200)는 제1 제어 신호(CTL1)에 기초하여 스캔 라인들(SL1 내지 SLn)을 통해 제1 스캔 신호를 화소(PX)들에 순차적으로 제공하고, 반전 스캔 라인들(/SL1 내지 /SLn)을 통해 제2 스캔 신호를 화소(PX)들에 순차적으로 제공할 수 있다. 예를 들어, 제2 스캔 신호는 제1 스캔 신호의 반전된 신호일 수 있다.
- [0037] 데이터 구동부(300)는 제2 제어 신호(CTL2)에 기초하여 데이터 라인들(DL1 내지 DLm)을 통해 데이터 신호를 화소(PX)들에 제공할 수 있다.
- [0038] 발광 제어 구동부(400)는 제3 제어 신호(CTL3)에 기초하여 발광 제어 라인들(EM1 내지 EMn)을 통해 발광 제어 신호를 화소(PX)들에 순차적으로 제공할 수 있다.
- [0039] 제어부(500)는 스캔 구동부(200), 데이터 구동부(300), 및 발광 제어 구동부(400)를 제어할 수 있다. 제어부(500)는 스캔 구동부(200), 데이터 구동부(300), 및 발광 제어 구동부(400)를 제어하기 위해 제어 신호들(CTL1 내지 CTL3)을 생성할 수 있다. 스캔 구동부(200)를 제어하기 위한 제1 제어 신호(CTL1)는 스캔 개시 신호, 스캔 클럭 신호, 등을 포함할 수 있다. 데이터 구동부(300)를 제어하기 위한 제2 제어 신호(CTL2)는 영상 데이터, 수평 개시 신호, 등을 포함할 수 있다. 발광 제어 구동부(400)를 제어하기 위한 제3 제어 신호(CTL3)는 발광 제어 개시 신호, 발광 제어 클럭 신호, 등을 포함할 수 있다.
- [0040] 이 밖에도, 유기 발광 표시 장치(1000)는 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 및 초기화 전압(VIN)을 표시 패널(100)에 공급하는 전원 공급부(도시되지 않음) 등을 더 포함할 수 있다.
- [0041] 도 2는 도 1의 유기 발광 표시 장치에 포함된 화소의 일 예를 나타내는 도면이다.
- [0042] 도 2를 참조하면, 화소(PX-1)는 제1 내지 제7 트랜지스터들(T1 내지 T7), 스토리지 커패시터(CST), 제1 커패시터(C1), 및 유기 발광 다이오드(OLED)를 포함할 수 있다. 화소(PX-1)은 제i(단, i는 1과 n 사이의 정수) 화소행 및 제j(단, j는 1과 m 사이의 정수) 화소열에 위치할 수 있다.
- [0043] 제1 트랜지스터(T1)는 데이터 신호에 반응하는 구동 전류를 유기 발광 다이오드(OLED)에 제공하는 구동 트랜지스터일 수 있다. 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 게이트 전극, 제2 노드(N2)에 연결된 제1 전극, 및 제3 노드(N3)에 연결된 제2 전극을 포함할 수 있다.
- [0044] 제2 트랜지스터(T2)는 제1 스캔 신호(GS1)에 응답하여 데이터 신호를 제1 트랜지스터(T1)에 제공할 수 있다. 일 실시예에서, 제2 트랜지스터(T2)는 제i 스캔 라인(SLi)으로부터 제1 스캔 신호(GS1)를 수신하는 게이트 전극, 제j 데이터 라인(DLj)으로부터 데이터 신호를 수신하는 제1 전극, 및 제1 트랜지스터(T1)의 제1 전극(즉, 제2 노드(N2))에 연결된 제2 전극을 포함할 수 있다.
- [0045] 제3 트랜지스터(T3)는 제2 스캔 신호(GS2)에 응답하여 제1 트랜지스터(T1)의 제2 전극과 제1 트랜지스터(T1)의 게이트 전극을 연결할 수 있다. 일 실시예에서, 제3 트랜지스터(T3)는 제i 반전 스캔 라인(/SLi)로부터 제2 스캔 신호(GS2)를 수신하는 게이트 전극, 제1 트랜지스터(T1)의 제2 전극(즉, 제3 노드(N3))에 연결된 제1 전극, 및 제1 트랜지스터(T1)의 게이트 전극(즉, 제1 노드(N1))에 연결된 제2 전극을 포함할 수 있다.
- [0046] 제4 트랜지스터(T4)는 제3 스캔 신호(GS3)에 응답하여 초기화 전압(VINT)을 제1 트랜지스터(T1)의 게이트 전극에 인가할 수 있다. 일 실시예에서, 제4 트랜지스터(T4)는 제(i-1) 반전 스캔 라인(/SL(i-1))으로부터 제3 스캔 신호(GS3)를 수신하는 게이트 전극, 초기화 전압(VINT)에 연결된 제1 전극, 및 제1 트랜지스터(T1)의 게이트 전극(즉, 제1 노드(N1))에 연결된 제2 전극을 포함할 수 있다.
- [0047] 제5 트랜지스터(T5)는 발광 제어 신호에 응답하여 제1 전원 전압(ELVDD)을 제1 트랜지스터(T1)의 제1 전극에 인가할 수 있다. 일 실시예에서, 제5 트랜지스터(T5)는 제i 발광 제어 라인(EMi)으로부터 발광 제어 신호를 수신하는 게이트 전극, 제1 전원 전압(ELVDD)에 연결된 제1 전극, 및 제1 트랜지스터(T1)의 제1 전극(즉, 제2 노드(N2))에 연결된 제2 전극을 포함할 수 있다.
- [0048] 제6 트랜지스터(T6)는 발광 제어 신호에 응답하여 제1 트랜지스터(T1)의 제2 전극을 유기 발광 다이오드(OLED)의 제1 전극에 연결할 수 있다. 일 실시예에서, 제6 트랜지스터(T6)는 제i 발광 제어 라인(EMi)으로부터 발광 제어 신호를 수신하는 게이트 전극, 제1 트랜지스터(T1)의 제2 전극(즉, 제2 노드(N2))에 연결된 제1 전극, 및 유기 발광 다이오드(OLED)의 제1 전극(즉, 제4 노드(N4))에 연결된 제2 전극을 포함할 수 있다.
- [0049] 제7 트랜지스터(T7)는 제4 스캔 신호(GS4)에 응답하여 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 전극에 인가할 수 있다. 일 실시예에서, 제7 트랜지스터(T7)는 제(i-1) 반전 스캔 라인(/SL(i-1))으로부터 제4 스

캔 신호(GS4)를 수신하는 게이트 전극, 초기화 전압(VINT)에 연결된 제1 전극, 및 유기 발광 다이오드(OLED)의 제1 전극(즉, 제4 노드(N4))에 연결된 제2 전극을 포함할 수 있다.

- [0050] 스토리지 커패시터(CST)는 제1 전원 전압(ELVDD)에 연결된 제1 전극 및 제1 트랜지스터(T1)의 게이트 전극(즉, 제1 노드(N1))에 연결된 제2 전극을 포함할 수 있다. 일 실시예에서, 스토리지 커패시터(CST)는 제1 트랜지스터(T1)의 게이트 전극을 구성하는 제1 게이트 패턴과 제1 전원 전압(ELVDD)을 수신하는 제2 게이트 패턴으로 형성될 수 있다.
- [0051] 제1 커패시터(C1)는 제3 트랜지스터(T3)의 게이트 전극에 연결된 제1 전극 및 제1 전원 전압(ELVDD)에 연결된 제2 전극을 포함할 수 있다. 일 실시예에서, 제1 커패시터(C1)는 제1 전원 전압(ELVDD)을 수신하는 제2 게이트 패턴과 제3 트랜지스터(T3)의 게이트 전극을 포함하는 제3 게이트 패턴으로 형성될 수 있다.
- [0052] 일 실시예에서, 화소(PX-1)는 제2 커패시터(C2)를 더 포함할 수 있다. 제2 커패시터(C2)는 제1 트랜지스터(T1)의 게이트 전극에 연결된 제1 전극 및 제3 트랜지스터(T3)의 게이트 전극에 연결된 제2 전극을 포함할 수 있다. 예를 들어, 제2 커패시터(C2)는 기생 커패시터일 수 있다.
- [0053] 일 실시예에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 및 제6 트랜지스터(T6)는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터일 수 있다. 반면에, 제3 트랜지스터(T3), 제4 트랜지스터(T4), 및 제7 트랜지스터(T7)는 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터일 수 있다. 즉, 구동 트랜지스터 및 누설 전류가 발생하지 않는 스위칭 트랜지스터는 신뢰성을 높이기 위해 p채널 MOS 트랜지스터로 구현될 수 있다. 또한, 저주파로 표시 패널을 구동하는 경우 누설 전류에 의한 표시 품질 저하가 시인되므로, 누설 전류가 발생하는 스위칭 트랜지스터는 n채널 MOS 트랜지스터로 구현될 수 있다. 이에 따라, 제2 스캔 신호(GS2)는 제1 스캔 신호(GS1)의 반전된 신호일 수 있다.
- [0054] 비록, 도 2에서는 제4 트랜지스터(T4)의 게이트 전극 및 제7 트랜지스터(T7)의 게이트 전극은 제(i-1) 반전 스캔 라인(/SL(i-1))으로부터 반전 스캔 신호를 수신하는 것으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 제4 트랜지스터 및 제7 트랜지스터는 각각 별도의 스캔 라인에 연결될 수 있다. 이 경우, 스캔 구동부는 스캔 신호로서 스캔 신호, 제1 스캔 신호, 제2 스캔 신호, 제3 스캔 신호, 및 제4 스캔 신호를 각각 출력하는 스테이지 세트들을 포함할 수 있다.
- [0055] 또한, 비록, 도 2에서는 화소(PX-1)가 제1 내지 제7 트랜지스터들을 포함하는 것으로 설명하였으나, 화소는 다양한 구조를 가질 수 있다.
- [0056] 도 3 및 도 4는 도 2의 화소에 포함된 제1 커패시터에 의해 킥백 영향이 감소되는 효과를 설명하기 위한 도면이다.
- [0057] 도 2, 도 3, 및 도 4를 참조하면, 화소(PX-1)는 제3 트랜지스터(T3)의 게이트 전극에 연결되는 배선과 제1 트랜지스터(T1)의 게이트 전극에 연결된 배선 사이의 제2 커패시터(C2) (예를 들어, 기생 커패시터)로 인하여 킥백 현상이 발생할 수 있다. 특히, 제1 트랜지스터(T1)와 제3 트랜지스터(T3)가 서로 다른 타입의 MOS 트랜지스터로 구현된 경우, 킥백 현상에 의해 제1 트랜지스터(T1)의 게이트 전극(즉, 제1 노드(N1))의 전압이 감소할 수 있다. 이에 따라, 화소(PX-1)는 킥백 영향을 줄이기 위해 제3 트랜지스터(T3)의 게이트 전극 및 제1 전원 전압(ELVDD) 사이에 위치하는 제1 커패시터(C1)를 포함할 수 있다.
- [0058] 구체적으로, 도 3에 도시된 바와 같이, 제i 화소행에 위치하는 화소(PX-1)는 초기화 구간(P1) 동안, 제(i-1) 반전 스캔 라인(/SL(i-1))의 반전 스캔 신호에 의해 제4 트랜지스터(T4) 및 제7 트랜지스터(T7)가 턴-온될 수 있다. 이에 따라, 제1 트랜지스터(T1)의 게이트 전극(즉, 제1 노드(N1)) 및 유기 발광 다이오드(OLED)에 초기화 전압(VINT)이 인가될 수 있다. 데이터 기입 및 문턱 전압 보상 구간(P2) 동안, 제i 스캔 라인(SLi)의 스캔 신호에 의해 제2 트랜지스터(T2)가 턴-온되고, 제i 반전 스캔 라인(/SLi)의 신호에 의해 제3 트랜지스터(T3)가 턴-온될 수 있다. 이에 따라, 제1 노드(N1)의 전압은 데이터 신호에 제1 트랜지스터(T1)의 문턱 전압이 보상된 전압으로 설정될 수 있다. 발광 구간(P3) 동안, 제i 발광 제어 라인(EMi)의 발광 제어 신호에 의해 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온되고, 데이터 신호에 상응하는 구동 전류가 유기 발광 다이오드(OLED)로 흐를 수 있다.
- [0059] 만일, 제1 커패시터를 구비하지 않는 비교 실시예의 화소의 경우(CMP), 데이터 기입 및 문턱 전압 보상 구간(P2) 직후 제3 트랜지스터의 전압이 하강하면서 제3 트랜지스터의 게이트 전극과 제1 노드 사이의 제2 커패시터로 인하여 제1 노드의 전압이 상대적으로 크게 하강하였다. 예를 들어, 제1 노드의 전압은 2.75V에서 2.32V로 하강하였다. 이에 따라, 블랙 영상 데이터를 표시하기 위한 마진이 감소하고, 블랙 전압을 증가시켜야 하는 문

제가 발생하였다.

[0060] 반면, 제1 커패시터(C1)를 구비하는 본 발명의 화소의 경우(EXP), 제1 커패시터(C1)에 의해 킥백 영향이 감소하고, 제1 노드(N1)의 전압이 상대적으로 작게 하강하였다. 예를 들어, 제1 노드(N1)의 전압은 2.75V에서 2.69V로 하강하였다. 도 4에 도시된 바와 같이, 제1 커패시터(C1)는 제1 전원 전압(ELVDD) 및 제3 트랜지스터(T3)의 게이트 전극 사이에 배치되고, 제2 커패시터(C2)는 제3 트랜지스터(T3)의 게이트 전극 및 제1 트랜지스터(T1)의 게이트 전극 사이에 배치될 수 있다. 이에 따라, 킥백 현상에 의해 변동되는 제1 트랜지스터(T1)의 게이트 전극의 전압은 [수학식 1]에 따라 산출될 수 있다.

[0061] [수학식 1]

$$\Delta V_{T1g} = \frac{C2}{C1 + C2 + Ct} \times \Delta V_{T3g}$$

[0062]

[0063] ΔV_{T1g} 는 제1 트랜지스터의 게이트 전극의 전압의 변동 크기, C1은 제1 커패시터의 커패시턴스, C2는 제2 커패시터의 커패시턴스, Ct는 제1 트랜지스터의 게이트 전극에 영향을 주는 다른 기생 커패시터의 커패시턴스, ΔV_{T3g} 는 제3 트랜지스터의 게이트 전극의 전압의 변동 크기를 나타낸다.

[0064] 따라서, 제1 커패시터(C1)의 커패시턴스가 증가함에 따라 킥백에 의한 전압 변동을 줄일 수 있으므로, 제1 커패시터(C1)는 가능한 크게 형성될 필요가 있다. 일 실시예에서, 제1 커패시터(C1)의 제1 커패시턴스는 제2 커패시터(C2)의 제2 커패시턴스보다 클 수 있다.

[0065] 도 5a 내지 도 5f는 도 2의 화소를 구현하는 일 예를 설명하기 위한 도면들이다. 도 6는 도 5f의 I1-I2 선을 절단한 단면도이다. 도 7은 도 5f의 I3-I4 선을 절단한 단면도이다.

[0066] 도 5a 내지 도 5f, 도 6, 및 도 7을 참조하면, 제1 액티브 패턴(120) 및 제1 게이트 패턴(130A, 130B, 130C)으로 제1, 제2, 제5, 및 제6 트랜지스터들(T1, T2, T5, T6)이 형성될 수 있다. 제1 게이트 패턴(130B)과 제2 게이트 패턴(140A)으로 스토리지 커패시터(CST)가 형성될 수 있다. 제2 액티브 패턴(150) 및 제3 게이트 패턴(160A, 160B)으로 제3, 제4, 및 제7 트랜지스터들(T3, T4, T7)이 형성될 수 있다. 또한, 제2 게이트 패턴(140A) 및 제3 게이트 패턴(160A)으로 제1 커패시터(C1)가 형성될 수 있다.

[0067] 도 6에 도시된 바와 같이, 버퍼층(115)이 베이스 기판(110) 상에 배치될 수 있다. 베이스 기판(110)은 투명 절연 기판을 포함할 수 있다. 예를 들어, 베이스 기판(110)은 유리 기판, 석영 기판, 투명 수지 기판 등으로 구성될 수 있다. 버퍼층(115)은 베이스 기판(110)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있으며, 제1 액티브 패턴(120)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 제1 액티브 패턴(120)을 수득하게 할 수 있다. 버퍼층(115)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0068] 도 5a에 도시된 바와 같이, 제1 액티브 패턴(120)이 버퍼층(115) 상에 형성될 수 있다. 제1 액티브 패턴(120)은 버퍼층(115) 상에 반도체층(도시되지 않음)을 형성한 후, 반도체층을 패터닝하여 버퍼층(115) 상에 예비 액티브 패턴(도시되지 않음)을 형성할 수 있다. 예비 액티브 패턴에 대해 결정화 공정을 수행함으로써, 제1 액티브 패턴(120)이 형성될 수 있다.

[0069] 도 5b에 도시된 바와 같이, 제1 액티브 패턴(120)은 제1, 제2, 제5, 및 제6 트랜지스터들(T1, T2, T5, T6)의 액티브 영역들을 포함할 수 있다. 또한, 제1 액티브 패턴(120)은 제1 내지 제8 영역들(a, b, c, d, e, f, g, h)을 포함할 수 있다. 제1 내지 제8 영역들(a, b, c, d, e, f, g, h)에는 불순물이 도핑될 수 있으며, 이에 따라 제1 액티브 패턴(120)의 나머지 영역들보다 높은 전기 전도도를 가질 수 있다. 제1 내지 제8 영역들(a, b, c, d, e, f, g, h)은 제1, 제2, 제5, 및 제6 트랜지스터들(T1, T2, T5, T6)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것으로, 영역 간 경계가 명확하게 구분되지 않을 수 있고, 서로 전기적으로 연결되어 있을 수 있다. 예를 들어, 제1 영역(a)은 제4 영역(d) 및 제6 영역(f)과 명확한 경계를 갖지 않고 서로 전기적으로 연결될 수 있다.

[0070] 제1 액티브 패턴(120)이 형성된 버퍼층(115) 상에 제1 게이트 절연층(125)이 형성될 수 있다. 일 예에서, 제1 게이트 절연층(125)은 제1 액티브 패턴(120)을 충분히 덮을 수 있으며, 제1 액티브 패턴(120)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 다른 예에서, 제1 게이트 절연층(125)은 버퍼층(115) 상에서 제1 액티브 패턴(120)을 덮으며, 균일한 두께로 제1 액티브 패턴(120)의 프로파일을 따라 배치될 수 있

다.

- [0071] 제1 게이트 절연층(125) 상에 제1 게이트 패턴(130A, 130B, 130C)이 형성될 수 있다. 예를 들어, 제1 게이트 패턴은 제1 스캔 신호가 인가되는 스캔 라인(130A), 제1 트랜지스터의 게이트 전극(130B), 및 발광 제어 신호가 인가되는 발광 제어 라인(130C)을 포함할 수 있다. 제1 액티브 패턴(120)과 제1 게이트 패턴(130A, 130B, 130C)은 제1, 제2, 제5, 및 제6 트랜지스터들(T1, T2, T5, T6)을 형성하도록 배치될 수 있다. 즉, 제1 게이트 패턴(130A, 130B, 130C)은 제1 게이트 절연층(125) 중에서 하부에 제1 액티브 패턴(120)이 위치하는 부분 상에 배치될 수 있다. 제1 게이트 패턴(130A, 130B, 130C)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질, 등을 포함할 수 있다.
- [0072] 제1 게이트 패턴(130A, 130B, 130C)이 형성된 제1 게이트 절연층(125) 상에 제2 게이트 절연층(135)이 형성될 수 있다. 일 예에서, 제2 게이트 절연층(135)은 제1 게이트 패턴(130A, 130B, 130C)을 충분히 덮을 수 있으며, 제1 게이트 패턴(130A, 130B, 130C)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 다른 예에서, 제2 게이트 절연층(135)은 제1 게이트 절연층(125) 상에서 제1 게이트 패턴(130A, 130B, 130C)을 덮으며, 균일한 두께로 제1 게이트 패턴(130A, 130B, 130C)의 프로파일을 따라 배치될 수 있다.
- [0073] 도 5c에 도시된 바와 같이, 제2 게이트 절연층(135) 상에 제2 게이트 패턴(140A, 140B)이 형성될 수 있다. 예를 들어, 제2 게이트 패턴은 제1 전원 전압이 인가되는 제1 커패시터의 제2 전극(140A) 및 초기화 전압이 인가되는 초기화 전원 라인(140B)을 포함할 수 있다. 제1 게이트 패턴에 포함된 제1 트랜지스터의 게이트 전극(130B)과 제2 게이트 패턴에 포함된 제1 커패시터의 제2 전극(140A)은 스토리지 커패시터(CST)를 형성할 수 있다. 제2 게이트 패턴(140A, 140B)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질, 등을 포함할 수 있다.
- [0074] 제2 게이트 패턴(140A, 140B)이 형성된 제2 게이트 절연층(135) 상에 제1 층간 절연층(145)이 형성될 수 있다. 일 예에서, 제1 층간 절연층(145)은 제2 게이트 절연층(135) 상에서 제2 게이트 패턴(140A, 140B)을 충분히 덮을 수 있으며, 제2 게이트 패턴(140A, 140B)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 다른 예에서, 제1 층간 절연층(145)은 제2 게이트 절연층(135) 상에서 제2 게이트 패턴(140A, 140B)을 덮으며, 균일한 두께로 제2 게이트 패턴(140A, 140B)의 프로파일을 따라 배치될 수 있다.
- [0075] 도 5d에 도시된 바와 같이, 제1 층간 절연층(145) 상에 제2 액티브 패턴(150)이 형성될 수 있다. 예를 들어, 제1 층간 절연층(145) 상에 반도체층(도시되지 않음)을 형성한 후, 반도체층을 패터닝하여 제1 층간 절연층(145) 상에 예비 액티브 패턴(도시되지 않음)을 형성할 수 있다. 후속하여, 예비 액티브 패턴에 대해 결정화 공정을 수행함으로써, 제2 액티브 패턴(150)이 형성될 수 있다.
- [0076] 도 5e에 도시된 바와 같이, 제2 액티브 패턴(150)은 제3, 제4, 및 제7 트랜지스터들(T3, T4, T7)의 액티브 영역들을 포함할 수 있다. 또한, 제2 액티브 패턴(150)은 제9 내지 제14 영역들(i, j, k, l, m, n)을 포함할 수 있다. 제9 내지 제14 영역들(i, j, k, l, m, n)에는 불순물이 도핑될 수 있으며, 이에 따라 제2 액티브 패턴(150)의 나머지 영역들보다 높은 전기 전도도를 가질 수 있다. 제9 내지 제14 영역들(i, j, k, l, m, n)은 제3, 제4, 및 제7 트랜지스터들(T3, T4, T7)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것으로, 영역 간 경계가 명확하게 구분되지 않을 수 있고, 서로 전기적으로 연결되어 있을 수 있다.
- [0077] 제2 액티브 패턴(150)이 형성된 제1 층간 절연층(145) 상에 제3 게이트 절연층(155)이 형성될 수 있다. 일 예에서, 제3 게이트 절연층(155)은 제2 액티브 패턴(150)을 충분히 덮을 수 있으며, 제2 액티브 패턴(150)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 다른 예에서, 제3 게이트 절연층(155)은 제1 층간 절연층(145) 상에 제2 액티브 패턴(150)을 덮으며, 균일한 두께로 제2 액티브 패턴(150)의 프로파일을 따라 배치될 수 있다.
- [0078] 제3 게이트 절연층(155) 상에 제3 게이트 패턴(160A, 160B)이 형성될 수 있다. 예를 들어, 제3 게이트 패턴은 제2 스캔 신호(예를 들어, 반전 스캔 신호)가 인가되는 스캔 라인(160A) 및 제3 스캔 신호(예를 들어, 이전 화소행의 반전 스캔 신호)가 인가되는 스캔 라인(160B)을 포함할 수 있다. 제2 액티브 패턴(150)과 제3 게이트 패턴(160A, 160B)은 제3, 제4, 및 제7 트랜지스터들(T3, T4, T7)을 형성하도록 배치될 수 있다. 즉, 제3 게이트 패턴(160A, 160B)은 제3 게이트 절연층(155) 중에서 하부에 제2 액티브 패턴(150)이 위치하는 부분 상에 배치될 수 있다.
- [0079] 제3 게이트 패턴(160A, 160B)이 형성된 제3 게이트 절연층(155) 상에 제2 층간 절연층(165)이 형성될 수 있다. 일 예에서, 제2 층간 절연층(165)은 제3 게이트 절연층(155) 상에서 제3 게이트 패턴(160A, 160B)을 충분히 덮

을 수 있으며, 제3 게이트 패턴(160A, 160B)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 다른 예에서, 제2 층간 절연층(165)은 제3 게이트 절연층(155) 상에서 제3 게이트 패턴(160A, 160B)을 덮으며, 균일한 두께로 제3 게이트 패턴(160A, 160B)의 프로파일을 따라 배치될 수 있다.

[0080] 도 5f에 도시된 바와 같이, 절연층들을 부분적으로 식각하여 제1 액티브 패턴(120), 제1 게이트 패턴(130B), 제2 게이트 패턴(140A, 140B), 및 제2 액티브 패턴(150) 중 적어도 하나를 노출시키는 제1 내지 제11 콘택홀들(C1 내지 C11)을 형성한 후, 콘택홀들을 채우면서 제2 층간 절연층(165) 상에 소스-드레인 패턴(170A, 170B, 170C, 170D, 170E, 170F)이 형성될 수 있다.

[0081] 소스-드레인 패턴은 제1 연결부(170A), 제2 연결부(170B), 제3 연결부(170C), 제4 연결부(170D), 데이터 라인(170E), 및 전원 전압 라인(170F)을 포함할 수 있다. 제1 연결부(170A)는 제1 콘택홀(C1)을 통해 제1 게이트 패턴에 포함된 제1 트랜지스터의 게이트 전극(130B)에 연결되고, 제2 콘택홀(C2)을 통해 제2 액티브 패턴(150)(즉, 제3 및 제4 트랜지스터들 사이)에 연결될 수 있다. 제2 연결부(170B)는 제3 콘택홀(C3)을 통해 제2 액티브 패턴(150)(즉, 제3 트랜지스터의 액티브 영역)에 연결되고, 제4 콘택홀(C4)을 통해 제1 액티브 패턴(120)(즉, 제1 트랜지스터의 액티브 영역)에 연결될 수 있다. 제3 연결부(170C)는 제5 콘택홀(C5)을 통해 제1 액티브 패턴(120)(즉, 제6 트랜지스터의 액티브 영역)에 연결되고, 제6 콘택홀(C6)을 통해 제2 액티브 패턴(150)(즉, 제7 트랜지스터의 액티브 영역)에 연결될 수 있다. 제4 연결부(170D)는 제7 콘택홀(C7)을 통해 제2 게이트 패턴의 초기화 전원 라인(140B)에 연결되고, 제8 콘택홀(C8)을 통해 제2 액티브 패턴(150)(즉, 제7 트랜지스터의 액티브 영역)에 연결될 수 있다. 데이터 라인(170D)은 데이터 신호가 인가되고, 제9 콘택홀(C9)을 통해 제1 액티브 패턴(120)(즉, 제3 트랜지스터의 액티브 영역)에 연결될 수 있다. 전원 전압 라인(170E)는 제1 전원 전압이 인가되고, 제10 콘택홀(C10)을 통해 제2 게이트 패턴(즉, 제1 커패시터의 제2 전극(140A))에 연결되며, 제11 콘택홀(C11)을 통해 제1 액티브 패턴(120)(즉, 제5 트랜지스터의 액티브 영역)에 연결될 수 있다.

[0082] 도 6에 도시된 바와 같이, 제1 액티브 패턴(120) 및 제1 게이트 패턴(130A, 130B, 130C)으로 제1, 제2, 제5, 및 제6 트랜지스터들(T1, T2, T5, T6)이 형성될 수 있다. 예를 들어, 제1 액티브 패턴(120)으로 제6 트랜지스터(T6)의 액티브 영역(122) 및 제6 트랜지스터(T6)의 소스 전극 또는 드레인 전극을 구성하기 위한 영역(121, 123)을 형성할 수 있다. 또한, 제1 게이트 패턴(130C)으로 제6 트랜지스터(T6)의 게이트 전극을 형성할 수 있다. 소스-드레인 패턴(170B, 170C)은 콘택홀을 통해 제6 트랜지스터(T6)의 소스 전극 또는 드레인 전극을 구성하기 위한 영역(121, 123)과 연결될 수 있다.

[0083] 제2 액티브 패턴(150) 및 제3 게이트 패턴(130A, 130B, 130C)으로 제3, 제4, 및 제7 트랜지스터들(T3, T4, T7)이 형성될 수 있다. 예를 들어, 제2 액티브 패턴(150)으로 제3 트랜지스터(T3)의 액티브 영역(152) 및 제3 트랜지스터(T3)의 소스 전극 또는 드레인 전극을 구성하기 위한 영역(151, 153)을 형성할 수 있다. 또한, 제3 게이트 패턴(160A)으로 제3 트랜지스터(T3)의 게이트 전극을 형성할 수 있다. 소스-드레인 패턴(170A, 170B)은 콘택홀을 통해 제3 트랜지스터(T3)의 소스 전극 또는 드레인 전극을 구성하기 위한 영역(151, 153)과 연결될 수 있다.

[0084] 일 실시예에서, 제1 액티브 패턴(120) 및 제2 액티브 패턴(150) 중 하나는 산화물 반도체를 포함하고, 제1 액티브 패턴(120) 및 제2 액티브 패턴(150) 중 다른 하나는 폴리 실리콘(poly silicon) 반도체를 포함할 수 있다. 예를 들어, 제1 액티브 패턴(120)은 산화물 반도체를 포함하고, 제2 액티브 패턴(150)은 폴리 실리콘 반도체를 포함할 수 있다. 이에 따라, 제1, 제2, 제5, 및 제6 트랜지스터들(T1, T2, T5, T6)은 신뢰성이 상대적으로 높은 산화물 박막 트랜지스터(Oxide Thin Film Transistor)로 구현될 수 있다. 반면에, 제3, 제4, 및 제7 트랜지스터들(T3, T4, T7)은 누설 전류가 상대적으로 작은 폴리 실리콘 박막 트랜지스터(p-Si Thin Film Transistor)로 구현될 수 있다. 이 경우, 제2 트랜지스터(T2)의 게이트 전극은 제1 스캔 신호를 수신하고, 제3 트랜지스터(T3)의 게이트 전극은 제1 스캔 신호에 반전된 제2 스캔 신호(즉, 반전 스캔 신호)를 수신할 수 있다. 또한, 제4 및 제7 트랜지스터(T4, T7) 이전 화소행에 대한 반전 스캔 신호를 수신할 수 있다.

[0085] 도 7에 도시된 바와 같이, 제1 게이트 패턴(130B) 및 제2 게이트 패턴(140A)로 스토리지 커패시터(CST)가 형성될 수 있다. 또한, 제2 게이트 패턴(140A) 및 제3 게이트 패턴(160A)로 제1 커패시터(C1)가 형성될 수 있다. 즉, 화소는 제1 게이트 패턴(제1 트랜지스터의 게이트 전극)과 제3 게이트 패턴(제3 트랜지스터의 게이트 전극) 사이의 제2 커패시터(C2)(예를 들어, 기생 커패시터)로 인하여 발생하는 킥백 영향을 줄이기 위해 제2 게이트 패턴(140A)과 제3 게이트 패턴(160A)을 중첩함으로써 제3 트랜지스터의 게이트 전극과 제1 전원 전압 사이에서 제1 커패시터(C1)를 형성할 수 있다. 일 실시예에서, 제1 커패시터(C1)가 형성된 영역에서, 제1 게이트 패턴(130B) 및 제2 게이트 패턴(140A)는 서로 중첩되지 않을 수 있다. 이에 따라, 제2 게이트 패턴(140A)과 제3

게이트 패턴(160A)을 중첩함으로써, 제1 커패시터(C1)가 추가될 뿐만 아니라 기생 커패시터의 영향이 감소되므로, 상기 [수학식 1]에 따라 킥백 영향이 효율적으로 감소될 수 있다.

[0086] 비록, 도 5a 내지 도 5f, 도 6, 및 도 7에서는 도 2의 화소를 구현하는 일 예를 설명하였으나, 화소를 구현하는 방법은 이에 한정되지 않는다. 예를 들어, 제4 트랜지스터와 제7 트랜지스터는 서로 다른 스캔 신호를 수신하도록 구현될 수 있다. 또한, 스토리지 커패시터(CST)의 크기를 증가시키기 위해 제1 커패시터(C1)가 형성된 영역에서, 제1 게이트 패턴(130B) 및 제2 게이트 패턴(140A)가 서로 중첩하도록 형성될 수 있다.

[0087] 도 8은 도 1의 유기 발광 표시 장치에 포함된 화소의 다른 예를 나타내는 도면이다.

[0088] 도 8을 참조하면, 도 2를 참조하면, 화소(PX-2)는 제1 내지 제7 트랜지스터들(T1 내지 T7), 스토리지 커패시터(CST), 제1 커패시터(C1), 제2 커패시터(C2), 및 유기 발광 다이오드(OLED)를 포함할 수 있다. 다만, 본 실시예에 따른 화소(PX-2)는 제2, 제5, 및 제6 트랜지스터들(T2, T5, T6)이 n채널 MOS 트랜지스터로 구현된 것을 제외하면, 도 2의 화소(PX-1)와 실질적으로 동일하므로, 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 중복되는 설명은 생략하기로 한다.

[0089] 일 실시예에서, 구동 트랜지스터인 제1 트랜지스터(T1)는 p채널 MOS 트랜지스터일 수 있다. 반면에, 스위칭 트랜지스터인 제2 내지 제7 트랜지스터들(T2 내지 T7)은 n채널 MOS 트랜지스터일 수 있다. 즉, 구동 트랜지스터는 신뢰성을 높이기 위해 p채널 MOS 트랜지스터로 구현되고, 스위칭 트랜지스터들은 누설 전류에 의한 표시 품질 저하를 방지하기 위해 n채널 MOS 트랜지스터로 구현될 수 있다. 이 경우, 도 2의 화소(PX-1)와는 달리 도 8의 화소(PX-2)에 포함된 제2, 제3, 제4, 및 제7 트랜지스터들(T2, T3, T4, T7)은 동일한 온-레벨 및 오프-레벨을 갖는 스캔 신호로 제어될 수 있으므로, 스캔 라인의 개수를 줄일 수 있다.

[0090] 이상, 본 발명의 실시예들에 따른 화소 및 이를 포함하는 유기 발광 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

산업상 이용가능성

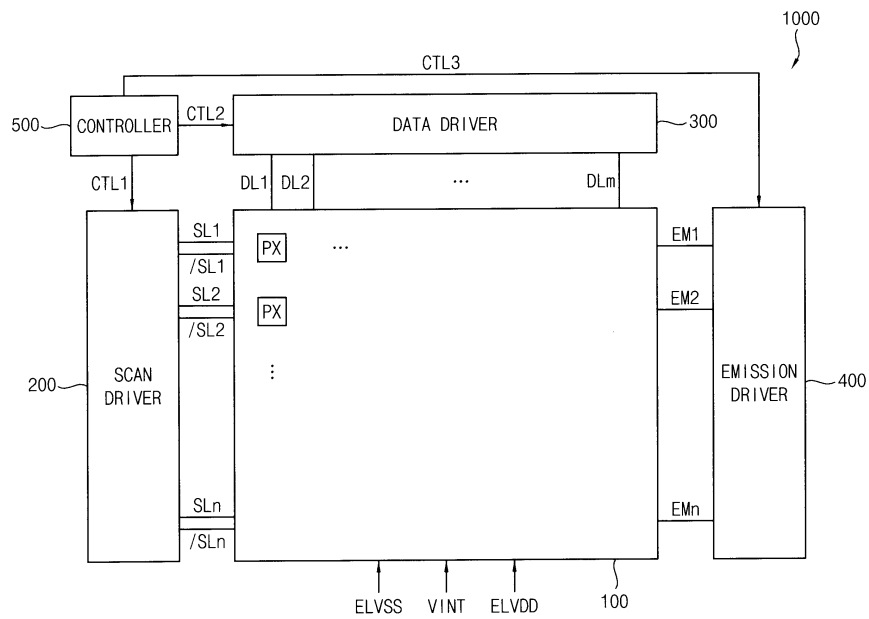
[0091] 본 발명은 유기 발광 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 디지털 카메라, 비디오 캠코더 등에 적용될 수 있다.

부호의 설명

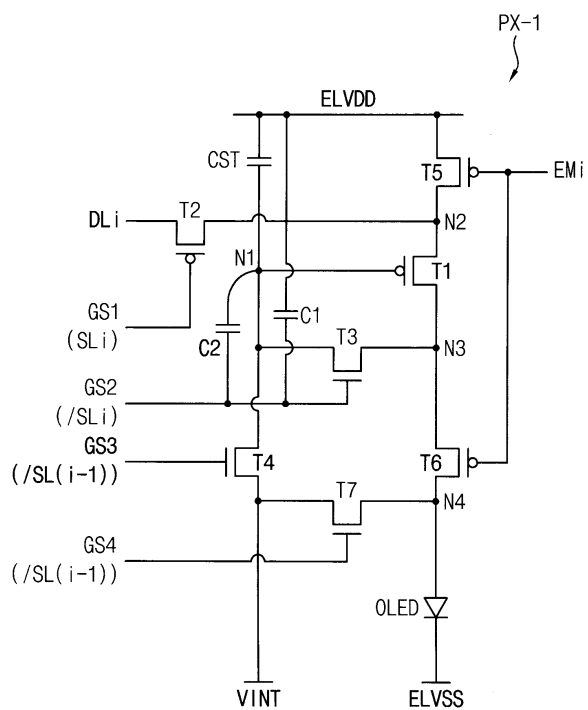
[0092] 110: 베이스 기판 115: 버퍼층
120: 제1 액티브 패턴 125: 제1 게이트 절연층
130: 제1 게이트 패턴 135: 제2 게이트 절연층
140: 제2 게이트 패턴 145: 제1 층간 절연층
150: 제2 액티브 패턴 155: 제3 게이트 절연층
160: 제3 게이트 패턴 165: 제2 층간 절연층
170: 소스-드레인 패턴 100: 표시 패널
200: 스캔 구동부 300: 데이터 구동부
400: 발광 제어 구동부 500: 제어부
1000: 유기 발광 표시 장치

도면

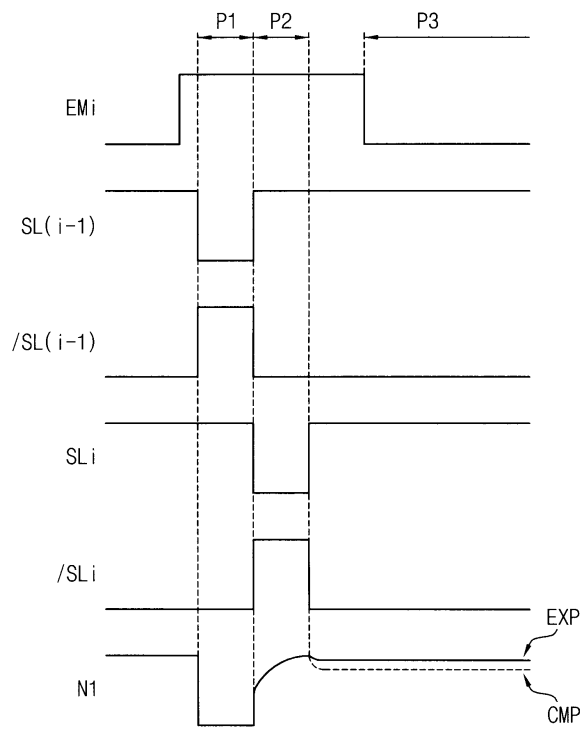
도면1



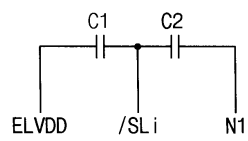
도면2



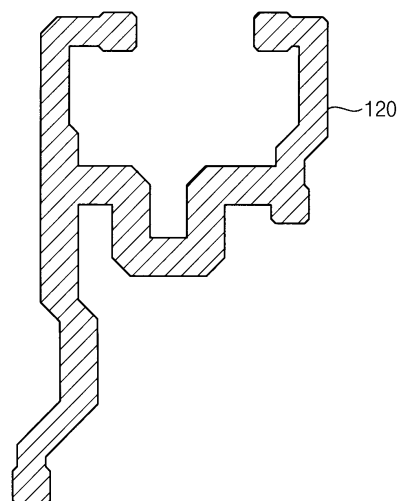
도면3



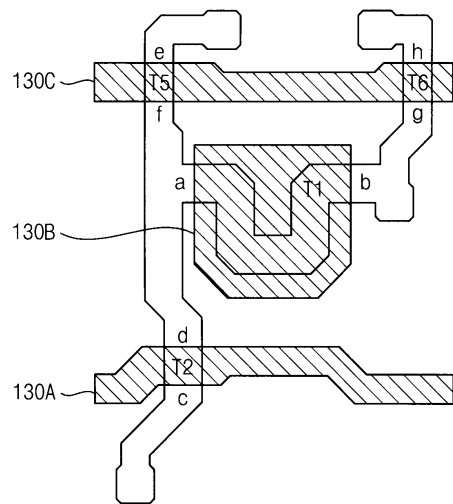
도면4



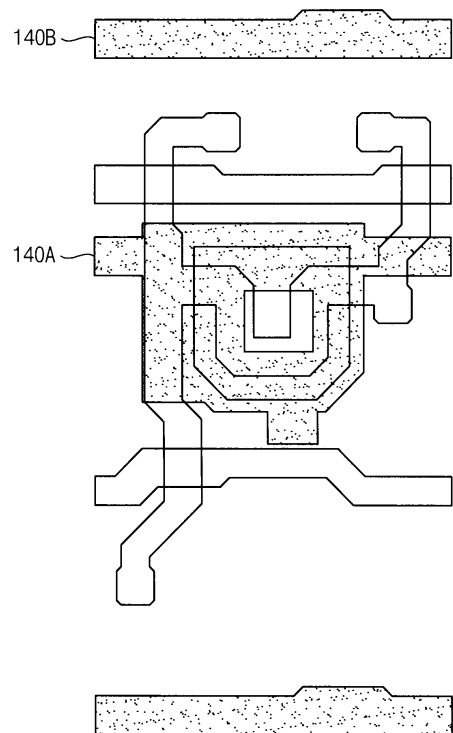
도면5a



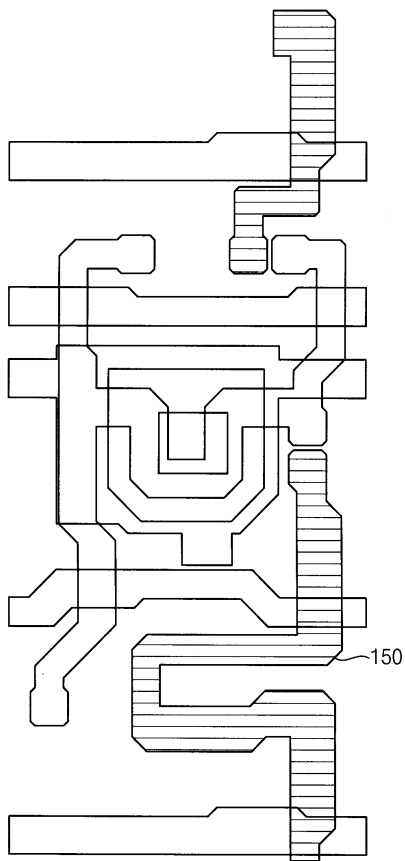
도면5b



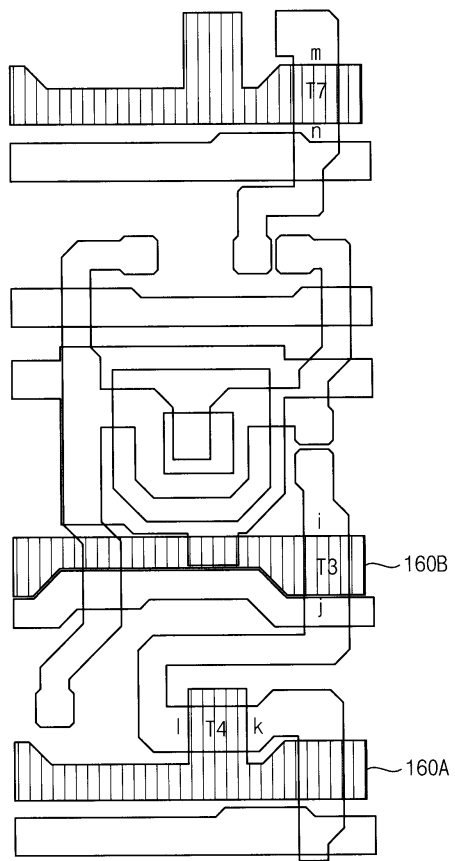
도면5c



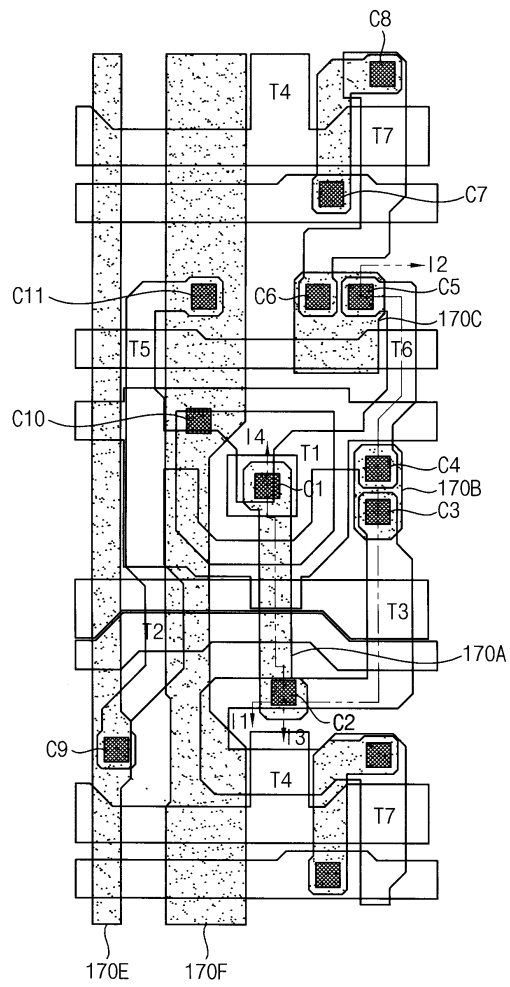
도면5d



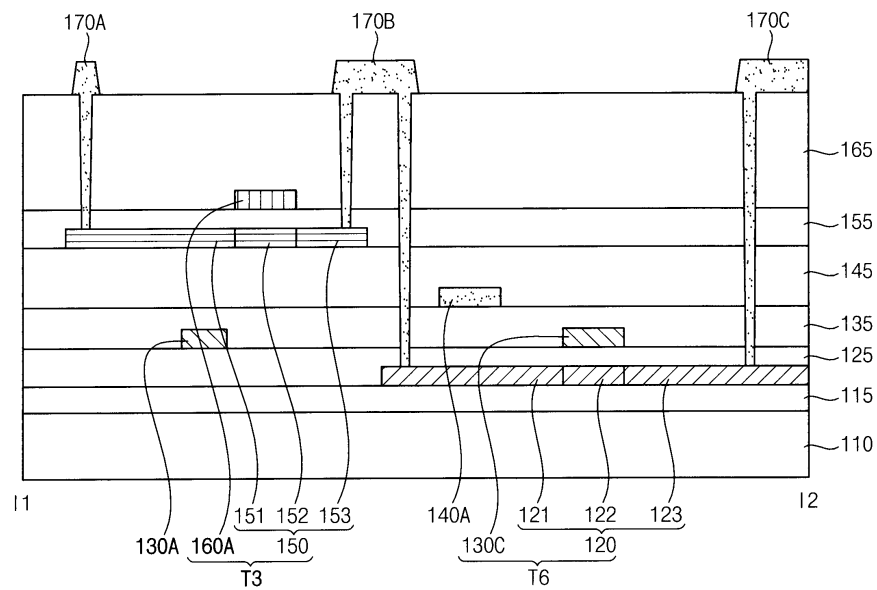
도면5e



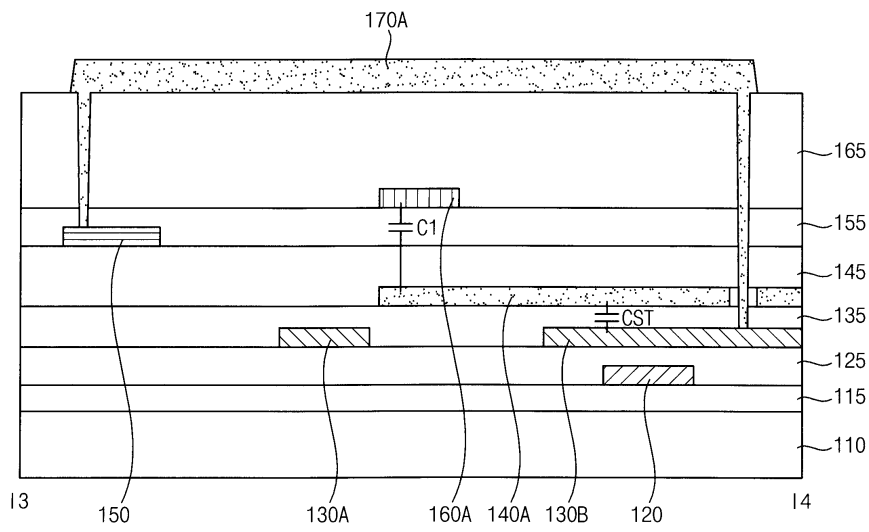
도면5f



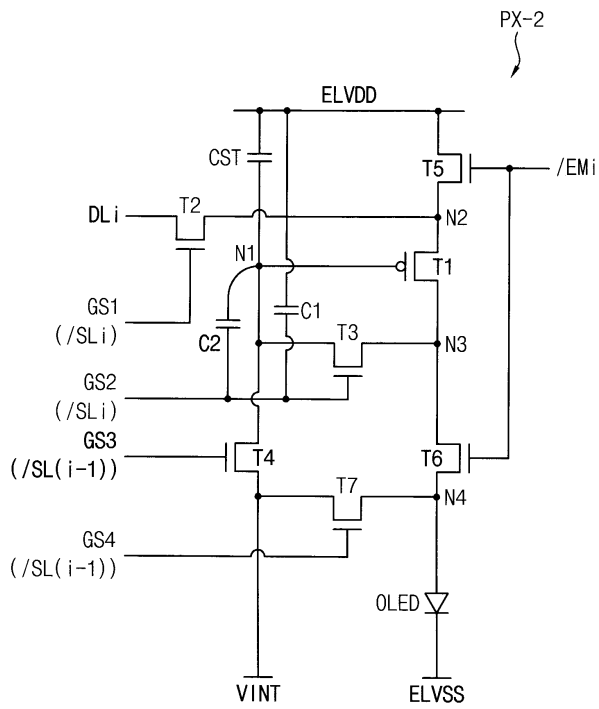
도면6



도면7



도면8



专利名称(译)	包括其的像素和有机发光显示器		
公开(公告)号	KR1020180112158A	公开(公告)日	2018-10-12
申请号	KR1020170040936	申请日	2017-03-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG WOO 김동우 KIM SUNG HWAN 김성환 SHIN KYOUNG JU 신경주 LEE CHEOL GON 이철곤 LIM SANG UK 임상욱		
发明人	김동우 김성환 신경주 이철곤 임상욱		
IPC分类号	H01L27/12 H01L27/32		
CPC分类号	H01L27/1255 H01L27/3244 H01L27/3276 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 H01L27/1222 H01L27/1225 H01L27/124 H01L27/3262 G09G3/3266 G09G3/3283 G09G2300/0426 G09G2300/0823 G09G2320/0214 G09G2320/0219 G09G2320/0238 H01L27/3265 H01L29/78675 H01L29/7869		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括多个像素。像素包括第一电容器，第一电容器包括连接到第三晶体管的栅极的第一电极和包括第三晶体管的存储电容器，第二电极连接到第一晶体管的栅极和连接到第一晶体管的第二电极电压和连接到第一电源电压的第二电极包括有机发光二极管，连接到栅电极的第一电极接收产生驱动电流的第二晶体管，并包括操作有机发光二极管的第一晶体管，栅电极接收第一扫描信号，第一电极接收数据信号，第二电极连接第一晶体管的第二电极，第二扫描信号，第一晶体管的第二电极，第二电极连接栅极第一晶体管的电极。

