



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0077413
(43) 공개일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0181608

(22) 출원일자 2016년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김태궁

경기도 파주시 교하로 70 (목동동, 산내마을3단지) 308동 2202호

김경록

경기도 파주시 월릉면 엘씨디로 201 101동 903호 (덕은리, 정다운마을)

이병재

경기도 파주시 월릉면 엘씨디로 201 D동 422호 (덕은리, 정다운마을)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 23 항

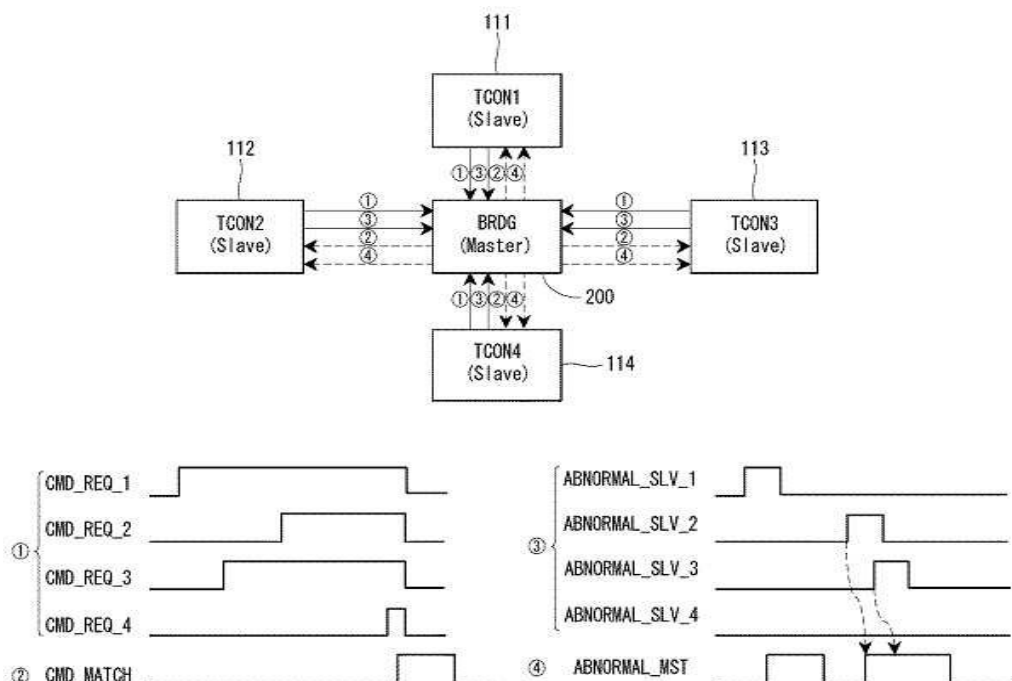
(54) 발명의 명칭 전계 발광 표시장치와 그 구동 장치

(57) 요약

본 발명은 전계 발광 표시장치와 그 구동 장치에 관한 것으로, 이 전계 발광 표시장치는 데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 배치된 화면 상에서 분할된 제1 및 제2 액티브 영역; 상기 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로; 상기 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브

(뒷면에 계속)

대표도 - 도11



영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 콘트롤러; 상기 제2 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제2 구동 회로; 상기 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 콘트롤러; 및 입력 영상을 상기 제1 및 제2 타이밍 콘트롤러에 분배하고, 상기 제1 및 제2 타이밍 콘트롤러와 연결된 통신 경로를 통해 상기 제1 및 제2 타이밍 콘트롤러로부터 동기 요청 신호가 수신될 때 상기 제1 및 제2 타이밍 콘트롤러들을 동기시키는 브릿지 회로를 구비한다.

(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 배치된 화면 상에서 분할된 제1 및 제2 액티브 영역;

상기 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로;

상기 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 콘트롤러;

상기 제2 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제2 구동 회로;

상기 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 콘트롤러; 및

입력 영상을 상기 제1 및 제2 타이밍 콘트롤러에 분배하고, 상기 제1 및 제2 타이밍 콘트롤러와 연결된 통신 경로를 통해 상기 제1 및 제2 타이밍 콘트롤러로부터 동기 요청 신호가 수신될 때 상기 제1 및 제2 타이밍 콘트롤러들을 동기시키는 브릿지 회로를 구비하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 브릿지 회로는

상기 통신 경로에서 마스터 소자로 동작하여 상기 제1 및 제2 타이밍 콘트롤러들로부터 동기 요청 신호가 모두 수신된 후에 동기 매칭 완료 신호를 상기 제1 및 제2 타이밍 콘트롤러로 전송하는 전계 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 게이트 라인들은 상기 제1 및 제2 액티브 영역을 가로 지르고,

상기 제1 구동 회로는,

상기 제1 액티브 영역의 데이터 라인들에 연결되어 상기 데이터 라인들에 데이터 신호를 공급하는 제1 데이터 구동부; 및

상기 게이트 라인들의 일측 끝단에 연결된 제1 게이트 구동부를 포함하고,

상기 제2 구동 회로는,

상기 제2 액티브 영역의 데이터 라인들에 연결되어 상기 데이터 라인들에 데이터 신호를 공급하는 제2 데이터 구동부;

상기 게이트 라인들의 타측 끝단에 연결된 제2 게이트 구동부를 포함하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 타이밍 콘트롤러 중 적어도 하나는 상기 브릿지 회로로부터 동기 매칭 완료 신호가 수신된 후에 상기 제1 및 제2 게이트 구동부들을 구동하여 상기 게이트 라인들에 스캔 펄스를 공급하는 전계 발광 표시장치.

청구항 5

제 3 항에 있어서,

상기 픽셀들의 구동 특성을 센싱하기 위한 센싱 회로를 더 구비하는 전계 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2 타이밍 콘트롤러는 상기 브릿지 회로로부터 동기 매칭 완료 신호가 수신된 후에 상기 제1 및 제2 구동 회로를 구동하고 상기 센싱 회로를 구동하여 상기 픽셀들의 구동 특성을 실시간 센싱하는 전계 발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 및 제2 타이밍 콘트롤러들 각각은 비정상 상태에서 플래그를 브릿지 회로로 전송하고,

상기 브릿지 회로는 상기 플래그가 수신되면 상기 플래그를 발생하는 타이밍 콘트롤러를 리셋하는 전계 발광 표시장치.

청구항 8

제 1 항에 있어서,

영상 신호를 상기 브릿지 회로로 전송하는 호스트 시스템을 더 구비하고,

상기 브릿지 회로는 상기 호스트 시스템과 상기 타이밍 콘트롤러들의 통신 경로를 스위칭하는 스위치 회로를 구비하는 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 타이밍 콘트롤러에 연결된 제1 메모리;

상기 제2 타이밍 콘트롤러에 연결된 제2 메모리; 및

제품 출하 전에 상기 브릿지 회로를 통해 상기 메모리에 일시적으로 연결되어 상기 메모리에 계조-휘도-전압-전류 테이블과 상기 픽셀들의 구동 특성 편차를 보상하기 위한 보상값을 전송하기 위한 컴퓨터를 더 구비하고,

상기 브릿지 회로의 스위치 회로가 상기 전계 발광 표시장치의 제품 출하 전 공정에서 상기 컴퓨터와 상기 제1 및 제2 메모리들 사이의 통신 경로를 스위칭하는 전계 발광 표시장치.

청구항 10

제 1 항에 있어서,

제1 확산 스펙트럼 클럭 생성기를 이용하여 클럭을 변조하면서 출력하는 제1 위상 고정 루프; 및

상기 제1 위상 고정 루프로부터 수신된 클럭을 상기 제1 및 제2 타이밍 콘트롤러들에 전달하는 제1 클럭 버퍼를 더 구비하는 전계 발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 클럭 버퍼와 상기 브릿지 회로 사이에 배치되어 상기 제1 클럭 버퍼로부터 수신된 클럭을 체배하고 제2 확산 스펙트럼 클럭 생성기를 이용하여 체배된 클럭을 변조하면서 출력하는 제2 위상 고정 루프; 및

상기 제2 위상 고정 루프로부터 수신된 클럭을 상기 브릿지 회로에 전달하는 제2 클럭 버퍼를 더 구비하는 전계 발광 표시장치.

청구항 12

화면 상에서 좌측 상부에 배치된 제1 액티브 영역;

상기 화면 상에서 우측 상부에 배치된 제2 액티브 영역;
 상기 화면 상에서 좌측 하부에 배치된 제3 액티브 영역;
 상기 화면 상에서 우측 하부에 배치된 제4 액티브 영역;
 상기 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로;
 상기 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 컨트롤러;
 상기 제2 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제2 구동 회로;
 상기 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 컨트롤러;
 상기 제3 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제3 구동 회로;
 상기 제3 구동 회로에 상기 제3 액티브 영역에 표시될 제3 액티브 영역의 픽셀 데이터를 전송하고 상기 제3 구동 회로를 제어하는 제3 타이밍 컨트롤러;
 상기 제4 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제4 구동 회로;
 상기 제4 구동 회로에 상기 제4 액티브 영역에 표시될 제4 액티브 영역의 픽셀 데이터를 전송하고 상기 제4 구동 회로를 제어하는 제4 타이밍 컨트롤러; 및
 입력 영상을 타이밍 컨트롤러들에 분배하고, 상기 타이밍 컨트롤러들과 연결된 통신 경로를 통해 상기 타이밍 컨트롤러들로부터 동기 요청 신호가 수신될 때 상기 타이밍 컨트롤러들을 동기시키는 브릿지 회로를 구비하는 전계 발광 표시장치.

청구항 13

제 12 항에 있어서,
 상기 브릿지 회로는
 상기 통신 경로에서 마스터 소자로 동작하여 상기 타이밍 컨트롤러들로부터 동기 요청 신호가 모두 수신된 후에 동기 매칭 완료 신호를 상기 타이밍 컨트롤러들로 전송하는 전계 발광 표시장치.

청구항 14

제 13 항에 있어서,
 상기 액티브 영역들 각각은 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 및 픽셀들을 포함하고,
 상기 제1 및 제2 액티브 영역들의 게이트 라인들은 상기 제1 및 제2 액티브 영역을 가로 지르고,
 상기 제3 및 제4 액티브 영역들의 게이트 라인들은 상기 제3 및 제4 액티브 영역을 가로 지르며,
 상기 제1 및 제2 액티브 영역들과, 상기 제1 및 제2 액티브 영역들 사이의 경계를 사이에 두고 상기 데이터 라인들이 분리되는 전계 발광 표시장치.

청구항 15

제 14 항에 있어서,
 상기 제1 구동 회로는,
 상기 제1 액티브 영역의 데이터 라인들에 연결되어 상기 데이터 라인들에 데이터 신호를 공급하는 제1 데이터 구동부; 및
 상기 제1 및 제2 액티브 영역들에 가로 지르는 게이트 라인들의 일측 끝단에 연결된 제1 게이트 구동부를 포함하고,

상기 제2 구동 회로는,

상기 제2 액티브 영역의 데이터 라인들에 연결되어 상기 데이터 라인들에 데이터 신호를 공급하는 제2 데이터 구동부;

상기 제1 및 제2 액티브 영역들을 가로 지르는 게이트 라인들의 타측 끝단에 연결된 제2 게이트 구동부를 포함하고,

상기 제3 구동 회로는,

상기 제3 액티브 영역의 데이터 라인들에 연결되어 상기 데이터 라인들에 데이터 신호를 공급하는 제3 데이터 구동부; 및

상기 제3 및 제4 액티브 영역들을 가로 지르는 게이트 라인들의 일측 끝단에 연결된 제3 게이트 구동부를 포함하고,

상기 제4 구동 회로는,

상기 제4 액티브 영역의 데이터 라인들에 연결되어 상기 데이터 라인들에 데이터 신호를 공급하는 제4 데이터 구동부;

상기 제3 및 제4 액티브 영역들을 가로 지르는 게이트 라인들의 타측 끝단에 연결된 제4 게이트 구동부를 포함하는 전계 발광 표시장치.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2 타이밍 컨트롤러 중 적어도 하나는 상기 브릿지 회로로부터 동기 매칭 완료 신호가 수신된 후에 상기 제1 및 제2 게이트 구동부들을 구동하여 상기 제1 및 제2 액티브 영역들을 가로 지르는 게이트 라인들에 스캔 펄스를 공급하고,

상기 제3 및 제4 타이밍 컨트롤러 중 적어도 하나는 상기 브릿지 회로로부터 동기 매칭 완료 신호가 수신된 후에 상기 제3 및 제4 게이트 구동부들을 구동하여 상기 제3 및 제4 액티브 영역들을 가로 지르는 게이트 라인들에 스캔 펄스를 공급하고,

상기 제1 및 제2 액티브 영역들에 배치된 게이트 라인들에 인가되는 스캔 펄스의 스캔 방향이 상기 제3 및 제4 액티브 영역들에 배치된 게이트 라인들에 인가되는 스캔 펄스의 스캔 방향에 대하여 반대인 전계 발광 표시장치.

청구항 17

제 15 항에 있어서,

상기 픽셀들의 구동 특성을 센싱하기 위한 센싱 회로를 더 구비하는 전계 발광 표시장치.

청구항 18

제 17 항에 있어서,

상기 타이밍 컨트롤러들은 상기 브릿지 회로로부터 동기 매칭 완료 신호가 수신된 후에 상기 구동 회로들과 상기 센싱 회로를 구동하여 상기 픽셀들의 구동 특성을 실시간 센싱하는 전계 발광 표시장치.

청구항 19

제 12 항에 있어서,

제1 확산 스펙트럼 클럭 생성기를 이용하여 클럭을 변조하면서 출력하는 제1 위상 고정 루프; 및

상기 제1 위상 고정 루프로부터 수신된 클럭을 상기 타이밍 컨트롤러들에 전달하는 제1 클럭 버퍼를 더 구비하는 전계 발광 표시장치.

청구항 20

제 19 항에 있어서,

상기 클럭 버퍼와 상기 브릿지 회로 사이에 배치되어 상기 제1 클럭 버퍼로부터 수신된 클럭을 체배하고 제2 확산 스펙트럼 클럭 생성기를 이용하여 체배된 클럭을 변조하면서 출력하는 제2 위상 고정 루프; 및

상기 제2 위상 고정 루프로부터 수신된 클럭을 상기 브릿지 회로에 전달하는 제2 클럭 버퍼를 더 구비하는 전계 발광 표시장치.

청구항 21

제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 컨트롤러;

제2 액티브 영역의 픽셀들에 입력 영상의 픽셀 데이터를 기입하는 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 컨트롤러; 및

입력 영상을 상기 제1 및 제2 타이밍 컨트롤러에 분배하고, 상기 제1 및 제2 타이밍 컨트롤러와 연결된 통신 경로를 통해 상기 제1 및 제2 타이밍 컨트롤러로부터 동기 요청 신호가 수신될 때 상기 제1 및 제2 타이밍 컨트롤러들을 동기시키는 브릿지 회로를 구비하는 전계 발광 표시장치의 구동 장치.

청구항 22

제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 컨트롤러;

제2 액티브 영역의 픽셀들에 입력 영상의 픽셀 데이터를 기입하는 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 컨트롤러;

제3 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제3 구동 회로에 상기 제3 액티브 영역에 표시될 제3 액티브 영역의 픽셀 데이터를 전송하고 상기 제3 구동 회로를 제어하는 제3 타이밍 컨트롤러;

제4 액티브 영역의 픽셀들에 입력 영상의 픽셀 데이터를 기입하는 제4 구동 회로에 상기 제4 액티브 영역에 표시될 제4 액티브 영역의 픽셀 데이터를 전송하고 상기 제4 구동 회로를 제어하는 제4 타이밍 컨트롤러; 및

입력 영상을 상기 타이밍 컨트롤러들에 분배하고, 상기 타이밍 컨트롤러들과 연결된 통신 경로를 통해 상기 타이밍 컨트롤러들로부터 동기 요청 신호가 수신될 때 상기 타이밍 컨트롤러들을 동기시키는 브릿지 회로를 구비하는 전계 발광 표시장치의 구동 장치.

청구항 23

제 21 항 또는 제 22 항에 있어서,

영상 신호를 상기 브릿지 회로에 전송하는 호스트 시스템; 및

상기 타이밍 컨트롤러들 각각에 연결되고 액티브 영역별로 구분된 픽셀의 보상값과 게조-휘도-전압-전류 테이블이 저장되는 다수의 메모리들을 더 구비하고,

상기 브릿지 회로는

상기 호스트 시스템과 상기 타이밍 컨트롤러들 사이의 통신 경로를 스위칭하는 스위치 회로를 더 구비하는 전계 발광 표시장치의 구동 장치.

발명의 설명

기술 분야

[0001] 본 발명은 고해상도, 대화면 전계 발광 표시장치와 그 구동 장치에 관한 것이다.

배경 기술

[0002] 표시장치의 공정 기술과 구동 회로 기술의 발달에 힘입어 고해상도 표시장치의 시장이 확대되고 있다. 고품위의 화질을 구현하기 위하여, 고해상도, 컬러 뎀스(Color Depth) 확장, 고 배속 구동 등으로 표시장치가 개발되

고 있다.

- [0003] UHD(Ultra High Definition)는 $3840 \times 2160 = 830$ 만개의 픽셀수를 가진다. UHD의 픽셀 수는 FHD(1920×1080)의 픽셀 수 207만개 보다 대략 4 배 많다. 따라서, UHD는 FHD에 비해 더 정밀하게 입력 영상을 재현하여 보다 선명하고 부드러운 화질을 구현할 수 있다. 픽셀(Pixel)은 컴퓨터 디스플레이 또는 컴퓨터 이미지를 구성하는 최소 단위의 점(dot)을 의미한다. 픽셀 수는 PPI(Pixels Per Inch)를 의미한다.
- [0004] HD의 해상도를 2K, 4K 등 “K” 로 표현하기도 한다. K는 디지털 시네마 표준 규격으로 ‘Kilo’ 즉 1,000을 의미한다. 4K는 FHD의 네 배 해상도이며, QFHD(Quad Full High Definition) 또는 UD(Ultra Definition)나 UHD(Ultra High Definition)로 불리기도 한다. 최근, 디스플레이 선도 업체들을 중심으로 해상도가 8K(7680×4320)인 고해상도, 대화면 표시장치에 대한 연구를 활발히 진행하고 있다.
- [0005] 표시장치는 입력 영상의 픽셀 데이터를 픽셀들에 기입하기 위한 표시패널 구동회로를 포함한다. 표시패널 구동회로는 픽셀 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동 회로와, 데이터 신호에 동기되는 게이트 펄스(또는 스캔 펄스)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동 회로(또는 스캔 구동 회로)를 포함한다. 또한, 표시장치의 구동 회로는 데이터 구동 회로에 입력 영상의 픽셀 데이터를 전송하고, 데이터 구동 회로와 게이트 구동 회로의 동작 타이밍을 제어하는 타이밍 콘트롤러(Timing controller)를 더 포함한다.
- [0006] 전계 발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도, 시야각이 우수한 장점이 있다. 이러한 전계 발광 표시장치의 해상도가 높아지면, 픽셀의 구동 특성 편차, 경시 변화 등에서 화면 위치에 따라 그 차이가 매우 커진다. 따라서, 전계 발광 표시장치의 경우에, 화면 전체에서 픽셀들의 화질을 균일하게 할 수 있는 고해상도, 대화면 구현이 어렵다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 화면 전체에서 균일한 화질을 구현할 수 있는 고해상도, 대화면 전계 발광 표시장치와 그 구동 장치를 제공한다.

과제의 해결 수단

- [0008] 본 발명의 전계 발광 표시장치는 데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 배치된 화면 상에서 분할된 제1 및 제2 액티브 영역; 상기 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로; 상기 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 콘트롤러; 상기 제2 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제2 구동 회로; 상기 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 콘트롤러; 및 입력 영상을 상기 제1 및 제2 타이밍 콘트롤러에 분배하고, 상기 제1 및 제2 타이밍 콘트롤러와 연결된 통신 경로를 통해 상기 제1 및 제2 타이밍 콘트롤러로부터 동기 요청 신호가 수신될 때 상기 제1 및 제2 타이밍 콘트롤러들을 동기시키는 브릿지 회로를 구비한다.
- [0009] 본 발명의 전계 발광 표시장치는 화면 상에서 좌측 상부에 배치된 제1 액티브 영역; 상기 화면 상에서 우측 상부에 배치된 제2 액티브 영역; 상기 화면 상에서 좌측 하부에 배치된 제3 액티브 영역; 상기 화면 상에서 우측 하부에 배치된 제4 액티브 영역; 상기 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로; 상기 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 콘트롤러; 상기 제2 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제2 구동 회로; 상기 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 콘트롤러; 상기 제3 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제3 구동 회로; 상기 제3 구동 회로에 상기 제3 액티브 영역에 표시될 제3 액티브 영역의 픽셀 데이터를 전송하고 상기 제3 구동 회로를 제어하는 제3 타이밍 콘트롤러; 상기 제4 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제4 구동 회로; 상기 제4 구동 회로에 상기 제4 액티브 영역에 표시될 제4 액티브 영역의 픽셀 데이터를 전송하고 상기 제4 구동 회로를 제어하는 제4 타이밍 콘트롤러; 및 입력 영상을 타이밍 콘트롤러들에 분배하고, 상기 타이밍 콘트롤러들과 연결된 통신 경로를 통해 상기 타이밍 콘트롤러들로부터 동기 요청 신호가 수신될 때 상기

타이밍 콘트롤러들을 동기시키는 브릿지 회로를 구비한다.

[0010] 상기 전계 발광 표시장치의 구동 장치는 상기 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 콘트롤러; 제2 액티브 영역의 픽셀들에 입력 영상의 픽셀 데이터를 기입하는 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 콘트롤러; 및 입력 영상을 상기 제1 및 제2 타이밍 콘트롤러에 분배하고, 상기 제1 및 제2 타이밍 콘트롤러와 연결된 통신 경로를 통해 상기 제1 및 제2 타이밍 콘트롤러로부터 동기 요청 신호가 수신될 때 상기 제1 및 제2 타이밍 콘트롤러들을 동기시키는 브릿지 회로를 구비한다.

[0011] 상기 전계 발광 표시장치의 구동 장치는 제1 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제1 구동 회로에 상기 제1 액티브 영역에 표시될 제1 액티브 영역의 픽셀 데이터를 전송하고 상기 제1 구동 회로를 제어하는 제1 타이밍 콘트롤러; 제2 액티브 영역의 픽셀들에 입력 영상의 픽셀 데이터를 기입하는 제2 구동 회로에 상기 제2 액티브 영역에 표시될 제2 액티브 영역의 픽셀 데이터를 전송하고 상기 제2 구동 회로를 제어하는 제2 타이밍 콘트롤러; 제3 액티브 영역의 픽셀들에 픽셀 데이터를 기입하는 제3 구동 회로에 상기 제3 액티브 영역에 표시될 제3 액티브 영역의 픽셀 데이터를 전송하고 상기 제3 구동 회로를 제어하는 제3 타이밍 콘트롤러; 제4 액티브 영역의 픽셀들에 입력 영상의 픽셀 데이터를 기입하는 제4 구동 회로에 상기 제4 액티브 영역에 표시될 제4 액티브 영역의 픽셀 데이터를 전송하고 상기 제4 구동 회로를 제어하는 제4 타이밍 콘트롤러; 및 입력 영상을 상기 타이밍 콘트롤러들에 분배하고, 상기 타이밍 콘트롤러들과 연결된 통신 경로를 통해 상기 타이밍 콘트롤러들로부터 동기 요청 신호가 수신될 때 상기 타이밍 콘트롤러들을 동기시키는 브릿지 회로를 구비한다.

발명의 효과

[0012] 본 발명은 액티브 영역의 픽셀들을 분할 제어하는 용량이 작은 두 개 이상의 타이밍 콘트롤러들을 하나의 브릿지 회로에 연결하고, 브릿지 회로를 이용하여 타이밍 콘트롤러들을 동기화하여 픽셀들의 구동 특성을 센싱 및 보상하고, 각 타이밍 콘트롤러의 화질 연산결과를 통합 보정하여 경계면 부분을 처리함으로써, 경계면의 시인 없이 화면 전체에서 균일한 화질을 구현할 수 있다.

[0013] 본 발명은 브릿지 회로를 이용하여 타이밍 콘트롤러들이 완전히 동기된 후에 게이트 라인들에 스캔 펄스를 인가하여 화면 전체에서 픽셀들의 센싱과 정상적인 구동을 가능하게 한다.

도면의 간단한 설명

[0014] 도 1은 도 본 발명의 실시예에 따른 전계 발광 표시장치를 개략적으로 보여 주는 블록도이다.

도 2는 도 타이밍 콘트롤러, 데이터 구동회로 및 픽셀 간 접속 구조를 상세히 보여주는 도면이다.

도 3 및 도 4는 픽셀의 구동 특성 센싱 방법의 원리를 보여 주는 도면들이다.

도 5는 본 발명의 실시예에 따른 전계 발광 표시장치를 전방에서 바라 본 정면도이다.

도 6은 도 5에 도시된 표시 장치를 후방에서 바라 본 배면도이다.

도 7은 브릿지 IC와 타이밍 콘트롤러들을 보여 주는 도면이다.

도 8은 도 5에 도시된 표시패널에서 경계선들이 교차하는 부분에서 픽셀들에 연결된 배선들을 간략하게 보여 주는 도면이다.

도 9는 타이밍 콘트롤러와 소스 드라이브 IC 사이의 배선들을 상세히 보여 주는 도면이다.

도 10은 4 분할된 액티브 영역들 각각에서 동기된 제1 게이트 펄스를 보여 주는 도면이다.

도 11은 타이밍 콘트롤러들의 동기 제어 방법을 보여 주는 도면이다.

도 12는 상반부 액티브 영역들의 게이트 구동부들과 하반부 액티브 영역들의 게이트 구동부들 각각이 하나의 타이밍 콘트롤러에 의해 제어되는 예를 보여 주는 도면이다.

도 13은 본 발명의 실시간 센싱 방법을 보여 주는 흐름도이다.

도 14는 외부 확산 스펙트럼 클럭 생성기를 보여 주는 도면이다.

도 15는 제품 출하 전 콘트롤 보드가 컴퓨터에 연결된 예를 보여 주는 도면이다.

도 16은 4 분할 액티브 영역의 휘도 측정을 통한 계조-휘도-전압-전류 테이블 작성 시스템을 보여 주는 도면이다.

도 17은 브릿지 IC의 스위치 회로를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 전계 발광 표시장치를 유기 발광 표시장치를 중심으로 설명하지만, 본 발명은 이에 해당되지 않는다. 본 발명의 유기 발광 표시장치의 픽셀들 각각은 픽셀들 각각에서 OLED에 흐르는 전류를 제어하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 픽셀의 구동 특성은 모든 픽셀들에서 동일하게 설계됨이 바람직하나, 제조 공정의 불균일, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않다. OLED와 구동 소자는 구동 시간이 길어질수록 스트레스(stress)를 많이 받게 되고 데이터 전압에 따라 스트레스 차이가 있다. 구동 소자의 전기적 특성은 스트레스에 영향을 받는다. 픽셀들은 구동 시간이 길어질수록 열화되고 픽셀들 간에 열화 수준이 달라져 화면 상에서 화질 열화가 보여질 수 있다. 따라서, 유기 발광 표시장치는 픽셀들의 구동 특성 열화를 보상하고 그 구동 특성을 균일하게 하기 위하여 내부 보상 방법과 외부 보상 방법으로 픽셀들의 구동 특성 열화를 보상하고 있다.
- [0016] 내부 보상 방법은 구동 소자들 간의 문턱 전압 편차를 픽셀 회로 내부에서 자동으로 보상한다. 내부 보상을 위해서는 OLED에 흐르는 전류가 OLED와 구동 소자의 문턱 전압에 영향을 받지 않도록 OLED와 구동 소자의 문턱 전압만큼 데이터 전압을 픽셀 내에서 보상하는 내부 보상 회로가 픽셀에 추가된다.
- [0017] 외부 보상 방법은 픽셀의 구동 특성(문턱 전압, 이동도 등)을 센싱(sensing)하고, 그 센싱 결과를 바탕으로 표시패널 외부의 보상 회로에서 입력 영상의 픽셀 데이터를 변조함으로써 픽셀들 각각의 구동 특성 변화를 보상한다.
- [0018] 외부 보상 방법은 표시패널에서 픽셀들에 연결된 센싱 회로를 통해 픽셀의 전압 또는 전류를 센싱하고, 아날로그-디지털 변환기(Analog-to-Digital Converter, 이하 "ADC"라 함)를 이용하여 센싱 결과를 디지털 데이터로 변환하여 타이밍 콘트롤러(timing controller)로 전송한다. 타이밍 콘트롤러는 픽셀의 센싱 결과를 기초로 입력 영상의 디지털 비디오 데이터를 변조하여 픽셀의 구동 특성 변화를 보상한다.
- [0019] 이하의 실시예에서, 픽셀 회로는 외부 보상을 위한 센싱 회로에 연결된 예를 보여 주고 있지 않지만, 이에 한정되지 않는다. 예를 들어, 본 발명의 픽셀 회로는 내부 보상 회로를 더 포함할 수 있다.
- [0020] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0021] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0022] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0023] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0024] 이하의 실시예 설명에서, 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되지만, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0025] 이하에서, 알고리즘은 화질 개선, 소비 전력 개선, 수명 개선 등을 위하여 미리 설정된 연산 방법으로 픽셀 데이터를 변조하는 데이터 연산 처리 방법을 의미한다. 알고리즘에서 이용되거나 계산되어 도출된 보상값은 픽셀 데이터에 곱해지거나 가산되고 영상 및 외부 조건에 따라 타이밍 컨트롤러 별로 그 결과값이 달라져 경계면에 휘도 편차를 유발시킬 수 있다. 보상값은 이하의 실시예에서 게인(gain), 오프셋(offset) 등을 포함한다.
- [0026] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0027] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0029] 도 1 및 도 2를 참조하면, 본 발명의 전계 발광 표시장치는 매트릭스 타입으로 픽셀들이 배치된 액티브 영역(Active area)(10), 및 액티브 영역(10)의 픽셀들에 입력 영상의 픽셀 데이터를 기입하기 위한 표시패널 구동 회로를 구비한다.
- [0030] 액티브 영역(10)에서 다수의 데이터 라인들(14)과, 다수의 게이트 라인들(16)이 교차되고, 픽셀들이 매트릭스 형태로 배치된다. 액티브 영역(10)은 센싱 라인들(16), 고전위 픽셀 구동 전원 전압(EVDD)을 공급하는 전원 배선(17), 저전위 전원 전압(EVSS)을 공급하기 위한 전극 등을 더 포함한다. 기준 전압(Vpre)이 센싱 라인들(16)을 통해 픽셀들(P)에 공급된다.
- [0031] 픽셀들(P)은 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B) 서브 픽셀들을 포함할 수 있다. 픽셀들 각각은 RGB 서브 픽셀들 이외에 백색(White, W) 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들 각각은 도 2와 같은 픽셀 회로(20)를 포함할 수 있다. 도 2는 픽셀 회로의 일 예를 도시하였으나, 본 발명의 픽셀 회로(20)는 이에 한정되지 않는다.
- [0032] 서브 픽셀 각각은 전원 회로로부터 픽셀 구동 전원 전압(EVDD)과 저전위 전원 전압(EVSS)을 공급받는다. 서브 픽셀은 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커패시터(storage capacitor, Cst) 등을 포함할 수 있다. 서브 픽셀을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입 MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)로 구현될 수 있다. TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0033] 서브 픽셀들 각각은 데이터 라인들(14) 중 어느 하나에, 센싱 라인들(15) 중 어느 하나에 그리고, 제1 스캔 라인들(16A) 및 제2 스캔 라인(16B)에 접속된다.
- [0034] 표시패널 구동 회로는 데이터 라인들(14)에 데이터 신호를 공급하는 데이터 구동부(12)와, 데이터 신호에 동기되는 게이트 펄스(또는 스캔 펄스)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동부(13), 및 데이터 구동부(12)와 게이트 구동부(13)를 제어하는 타이밍 컨트롤러(11)를 포함한다.
- [0035] 게이트 구동부(13)는 타이밍 컨트롤러(11)의 제어 하에 화상 표시 구간 동안 화상 표시용 스캔 펄스를 순차적으로 공급하고, 수직 블랭크 기간 동안 센싱 대상 라인의 픽셀들(P)에 연결된 게이트 라인(16)에 센싱용 스캔 펄스를 공급한다.
- [0036] 화상 표시용 스캔 펄스는 제1 게이트 라인(16A)에 순차적으로 공급되는 제1 화상 표시용 스캔 펄스(SCAN), 제2 게이트 라인(16B)에 순차적으로 공급되는 제2 화상 표시용 스캔 펄스(SEN)를 포함한다. 센싱용 스캔 펄스는 센싱 대상 라인의 픽셀들에 연결된 제1 게이트 라인(16A)에 공급되는 제1 센싱용 스캔 펄스(SCAN), 센싱 대상 라인의 픽셀들에 연결된 제2 게이트 라인(16B)에 공급되는 제2 센싱용 스캔 펄스(SEN)를 포함한다. 게이트 구동부(13)는 액티브 영역(AA)의 TFT 어레이와 함께 표시패널의 기관 상에 형성될 수 있다.
- [0037] 데이터 구동부(12)는 타이밍 컨트롤러(11)의 제어 하에 데이터 라인들(14)에 데이터 전압(Vdata)을 공급하고, 센싱 라인들(15)에 기준 전압을 공급한다. 데이터 구동부(12)는 센싱 라인들(15)을 통해 픽셀들(P)로부터 수신된 센싱 전압을 ADC를 통해 디지털 데이터로 변환하여 센싱 데이터(SD)를 출력하고, 그 센싱 데이터(SD)를 타이밍 컨트롤러(11)로 전송한다. 데이터 전압은 화상 표시용 데이터 전압, 센싱용 데이터 전압 등으로 나뉘어질 수 있으나 이에 한정되지 않는다.
- [0038] 데이터 구동부(12)는 화상 표시용 스캔 펄스에 동기하여 입력 영상의 화상 표시용 데이터 전압을 데이터 라인들(14)에 공급하고, 센싱용 스캔 펄스에 동기하여 센싱용 데이터 전압을 데이터 라인들(14)에 공급한다. 화상 표

사용 데이터 전압은 픽셀의 구동 특성 센싱 결과를 바탕으로 구동 특성 변화를 보상하기 위한 보상값이 반영된다. 보상값은 옅어짐과 개인값을 포함할 수 있으나 이에 한정되지 않는다. 데이터 구동부(12)는 소스 드라이버 IC(Integrated Circuit)(SIC)에 집적되어 데이터 라인들(14)에 연결될 수 있다.

- [0039] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 메인클럭신호(MCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12), 게이트 구동부(13), 및 센싱 회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호(SDC, GDC)를 발생한다. 센싱 회로는 도 2에서 센싱 라인(15), 센싱 커패시터(Cx), 스위치 소자들(SW1, SW2), ADC 등을 포함한다. 타이밍 컨트롤러(11)는 데이터 구동부(12)로부터 공급되는 센싱 데이터(SD)를 바탕으로 픽셀의 구동 특성 변화를 보상하기 위해 화상 표시 구간 동안 보상값으로 픽셀들에 공급될 화상 표시용 디지털 데이터를 변조한다. 도 2에서 "MDATA"는 타이밍 컨트롤러(11)에 의해 변조되어 데이터 구동부(12)로 전송된 화상 표시용 데이터를 나타낸다.
- [0040] 타이밍 컨트롤러(11)는 외부 보상 알고리즘 뿐만 아니라 다양한 화상 개선 알고리즘을 이용하여 도출된 보상값으로 입력 영상의 픽셀 데이터를 변조할 수 있다. 타이밍 컨트롤러(11)로부터 화질 개선 관련 정보는 후술하는 브릿지 IC로 전송되어 통합 관리되고 다른 타이밍 컨트롤러로 전송될 수 있다.
- [0041] 도 2의 예에서, 픽셀 회로(20)는 OLED, 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 포함한다.
- [0042] OLED는 애노드와 캐소드 사이에 배치된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED는 애노드와 캐소드 사이에 자신의 문턱 전압 이상의 전압이 인가될 때 발광층(EML)으로 이동하는 정공과 전자에 의해 생성된 여기자로 인하여 발광된다.
- [0043] 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 전원(EVDD)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 구동 TFT(DT)는 게이트-소스 간 전위차(Vgs)에 따라 OLED에 흐르는 구동전류(Ioled)를 제어한다. 구동 TFT(DT)는 게이트-소스 간 전위차(Vgs)가 문턱전압(Vth)보다 클 때 턴 온 되며, 게이트-소스 간 전위차(Vgs)가 클수록 구동 TFT(DT)의 소스-드레인 사이에 흐르는 전류(IDs)는 증가한다. 구동 TFT(DT)의 소스전위가 OLED의 문턱전압보다 커지면, 구동 TFT(DT)의 소스-드레인 간 전류(IDs)가 구동 전류(Ioled)로서 OLED를 통해 흐르게 된다. 구동 전류(Ioled)가 커질수록 OLED의 발광량이 커지며, 이를 통해 원하는 계조가 구현되게 된다.
- [0044] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.
- [0045] 제1 스위치 TFT(ST1)는 제1 게이트 라인(16A)에 접속된 게이트전극, 데이터 라인(14)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 제1 스위치 TFT(ST1)는 제1 스캔 펄스(SCAN)에 응답하여 스위칭됨으로써, 데이터 라인(14)에 충전된 데이터 전압(Vdata)을 제1 노드(N1)에 인가한다.
- [0046] 제2 스위치 TFT(ST2)의 게이트전극은 제2 게이트 라인(16B)에 연결된다. 제2 스위치 TFT(ST2)의 드레인전극은 제2 노드(N2)에 연결되고, 제2 스위치 TFT(ST2)의 소스전극은 센싱 라인(15)에 연결된다. 제2 스위치 TFT(ST2)는 제2 스캔 펄스(SEN)에 응답하여 스위칭됨으로써, 제2 노드(N2)와 센싱 라인(15)을 전기적으로 연결시킨다.
- [0047] 데이터 구동부(12)는 데이터 라인(14) 및 센싱 라인(15)을 통해 픽셀들에 연결된다. 데이터 구동부(12)는 디지털-아날로그 컨버터(Digital-to-analog Converter, 이하 "DAC"라 함), ADC, 초기화 스위치(SW1), 및 샘플링 스위치(SW2) 등을 포함한다. 센싱 라인(15)에는 제2 노드(N2)의 소스전압을 샘플링하여 저장하는 센싱 커패시터(Cx)가 연결된다.
- [0048] DAC는 디지털 데이터를 입력 받아 구동에 필요한 데이터 전압(Vdata) 즉, 화상 표시용 데이터 전압과 센싱용 데이터 전압을 생성하여 데이터 라인(14)으로 출력한다.
- [0049] 센싱 커패시터(Cx)는 별도의 커패시터로 생성되거나, 센싱 라인(15)에 연결된 기생 용량(parasitic capacitor)로 구현될 수 있다. 센싱 커패시터(Cx)에 픽셀(P)로부터의 전하들이 저장된다.
- [0050] 초기화 스위치(SW1)는 초기화 제어신호(SPRE)에 응답하여 스위칭됨으로써 기준 전압(Vpre)을 센싱 라인(15)으로 출력한다. 샘플링 스위치(SW2)는 샘플링 제어신호(SSAM)에 응답하여 스위칭됨으로써, 일정 시간 동안 센싱 라인(15)의 센싱 커패시터(Cx)에 저장된 센싱 전압을 ADC에 공급한다. ADC는 센싱 커패시터(Cx)에 샘플링된 센싱

전압을 디지털 데이터로 변환하여 타이밍 컨트롤러(11)로 전송한다.

- [0051] 도 3 및 도 4는 픽셀의 구동 특성 예를 들어, 구동 TFT의 구동 특성 센싱 방법의 원리를 간단히 보여 주는 도면들이다. 도 3은 구동 TFT의 문턱 전압 센싱 방법(이하, “제1 센싱 방법”이라 함)을 보여주는 도면이다. 도 4는 구동 TFT의 이동도 센싱 방법(이하, “제2 센싱 방법”)을 보여주는 도면이다.
- [0052] 도 3을 참조하면, 제1 센싱 방법은 구동 TFT(DT)의 게이트에 센싱 데이터 전압(Vdata)을 공급하고, 그 구동 TFT(DT)를 소스 팔로워(Source Follower) 방법으로 동작시킨 후 구동 TFT(DT)의 소스전압(Vs)을 센싱 전압(Vsen A)으로 입력받고, 이 센싱 전압(Vsen A)을 기초로 구동 TFT(DT)의 문턱 전압(Vth)을 센싱한다. 구동 TFT의 게이트와 소스 사이에는 구동 TFT의 게이트-소스간 전압을 저장하는 커패시터(Cst)가 연결된다. 소스 전압(Vs)은 $V_s = V_{data} - V_{th} = V_{sen A}$ 이다. 구동 TFT의 문턱 전압은 센싱 전압(Vsen A) 레벨에 따라 알 수 있으며, 그 구동 TFT의 문턱 전압 변화량을 보상하기 위한 오프셋 값(offset value)이 결정될 수 있다. 입력 영상의 데이터에 오프셋 값이 가산되어 구동 TFT의 문턱 전압 변화량이 보상될 수 있다. 제1 센싱 방법은 소스 팔로워로 동작하는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 포화상태(saturation state)에 도달한 이후에 그 구동 TFT(DT)의 문턱 전압이 센싱되어야 하기 때문에 센싱에 필요한 시간이 비교적 길다. 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 포화상태 일 때, 구동 TFT(DT)의 드레인-소스 간 전류가 제로(zero)이다.
- [0053] 도 4를 참조하면, 제2 센싱 방법은 구동 TFT(DT)의 이동도(μ)를 센싱한다. 제2 센싱 방법은 구동 TFT(DT)의 게이트에 구동 TFT(DT)의 문턱전압보다 높은 전압 ($V_{data}+X$, X는 오프셋값 보상에 따른 전압)을 인가하여 구동 TFT(DT)를 턴-온(turn-on)시키고, 일정 시간 동안 충전된 구동 TFT(DT)의 소스 전압(Vs)을 센싱 전압(Vsen B)으로 입력받는다. 구동 TFT의 이동도는 센싱 전압(Vsen B)의 크기에 따라 결정되며, 이를 통해 데이터 보상을 위한 게인 값(gain value)이 구해진다. 제2 센싱 방법은 구동 TFT(DT)이 액티브 구간으로 동작할 때 그 구동 TFT의 이동도를 센싱한다. 구동 TFT(DT)이 액티브 구간 동안, 게이트 전압(Vg)을 따라 소스 전압(Vgs)이 상승한다. 입력 영상의 데이터에 게인 값이 곱해져 구동 TFT의 이동도 변화량이 보상될 수 있다. 제2 센싱 방법은 구동 TFT의 액티브 구간에서 이동도가 센싱되기 때문에 센싱에 필요한 시간이 짧다.
- [0054] 본 발명의 외부 보상 방법은 전계 발광 표시장치의 전원이 입력되기 시작하는 파워 온 시퀀스(power on sequence)에서 소정 시간 예를 들어, 수초 이내에 픽셀들 각각의 이동도 센싱과 보상을 실시할 수 있다. 파워 온 시퀀스에서 주위 온도 환경에 따른 픽셀들의 구동 특성 편차를 배제하기 위하여 빠른 속도로 픽셀들의 이동도 센싱과 보상을 실시한다. 본 발명의 외부 보상 방법은 전계 발광 표시장치의 전원이 차단되어 전계 발광 표시장치가 턴-오프되는 파워 오프 시퀀스(power off sequence)에서 소정 시간 예를 들어, 수분 이내에 상대적으로 열화가 많이 진행된 픽셀들에 대하여 구동 TFT의 문턱 전압 센싱 및 보상을 실시할 수 있다.
- [0055] 파워 온 시퀀스 이후 입력 영상의 픽셀 데이터가 픽셀들에 기입되어 액티브 영역(AA)에 입력 영상이 표시된다. 파워 오프 시퀀스에서 표시패널 구동 회로의 전원이 차단되어 픽셀들에 새로운 데이터가 기입되지 않고 픽셀들이 턴-오프된다.
- [0056] 액티브 영역(10)은 다수의 픽셀들이 행 방향(x)으로 배열된 다수의 표시 라인들이 형성된다. 액티브 영역(10)의 표시 라인들은 1 프레임 기간의 화상 표시 구간 내에서 입력 영상의 데이터를 표시한다. 1 프레임 기간에서 화상 표시 구간을 제외한 수직 블랭크 기간(Vertical blank period, VB) 동안, 센싱 대상 라인에 배열된 픽셀들의 구동 특성이 실시간 센싱 및 보상될 수 있다. 다음 프레임 기간의 수직 블랭크 기간에 다른 센싱 대상 라인의 픽셀들에 대하여 구동 특성이 실시간 센싱 및 보상될 수 있다. 따라서, 센싱 회로는 매 프레임 기간의 수직 블랭크 기간마다 1 라인씩 시프트하면서 액티브 영역(10)의 표시 라인들에 배치된 픽셀들의 구동 특성을 실시간 센싱할 수 있다. 이 외부 보상의 경우, 센싱 파형의 정밀도 및 데이터 출력의 동기가 매우 중요하며, 브릿지 IC(200)를 통해 동기를 맞추으로써 정상적인 센싱 및 보상이 가능하다.
- [0057] 본 발명은 도 5에 도시된 바와 같이 한 장의 표시패널 기관 상에 액티브 영역(AA)과 표시패널 구동 회로를 적어 두 개 이상 조합하여 고해상도, 대화면 표시장치를 구현한다.
- [0058] 도 5는 본 발명의 실시예에 따른 전계 발광 표시장치를 전방에서 바라 본 정면도이다. 도 6은 도 5에 도시된 표시 장치를 후방에서 바라 본 배면도이다. 도 7은 브릿지 IC와 타이밍 컨트롤러들을 보여 주는 도면이다. 도 8은 도 5에 도시된 표시패널에서 경계선들이 교차하는 부분에서 픽셀들에 연결된 배선들을 간략하게 보여 주는 도면이다.
- [0059] 도 5 내지 도 8을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(PNL)과, 표시패널(PNL)에 입력 영상의 데이터를 기입하기 위한 표시 패널 구동회로를 구비한다.

- [0060] 표시패널(PNL)의 화면은 네 개의 액티브 영역으로 나뉘어진다. 제1 액티브 영역(LU)은 화면의 좌측 상반부에 배치되어 제1 타이밍 컨트롤러(TCON1)(111)에 의해 제어된다. 제2 액티브 영역(RU)은 화면의 우측 상반부에 배치되어 제2 타이밍 컨트롤러(TCON2)(112)에 의해 제어된다. 제3 액티브 영역(LD)은 화면의 좌측 하반부에 배치되어 제3 타이밍 컨트롤러(TCON3)(113)에 의해 제어된다. 제4 액티브 영역(RD)은 화면의 우측 하반부에 배치되어 제4 타이밍 컨트롤러(TCON4)(114)에 의해 제어된다.
- [0061] 데이터 구동부(12)는 소스 드라이브 IC(SIC)에 집적되어 데이터 라인들(14)과 센싱 라인들(15)에 연결될 수 있다. 게이트 구동부(13)는 표시패널(PNL)의 기관 상에 직접 형성될 수 있다. 도 5에서, “GIP(Gate In Panel)”는 표시패널(PNL)의 기관 상에 직접 형성된 게이트 구동부(13)를 나타낸다.
- [0062] 도 5에서 “LRB”는 좌측 액티브 영역들(LU, LD)과 우측 액티브 영역들(RU, RD) 간의 제1 경계선이다. “UDB”는 상반부 액티브 영역들(LU, RU)과 하반부 액티브 영역들(LD, RD) 간의 제2 경계선이다. 경계선들(LRB, UDB)은 표시패널(PNL)의 기관이 물리적으로 분할된 것을 의미하는 것이 아니라 서로 다른 타이밍 컨트롤러들(111~114)의 제어권이 미치는 경계선을 의미한다.
- [0063] 소스 드라이브 IC들(SIC)이 실장된 COF(chip on film)는 표시패널(PNL)과 소스 PCB(Printed Circuit Board) 사이에 연결된다. 게이트 구동부(GIP)를 제어하기 위한 게이트 타이밍 제어 신호들과 게이트 구동 전압은 COF를 통해 표시패널 상의 게이트 구동부(GIP)로 전송될 수 있다.
- [0064] 타이밍 컨트롤러들(111~114)은 브릿지(Bridge) IC(200)와 함께 콘트롤 보드(CPCB) 상에 실장될 수 있다. 도 6에서, “BRDG”는 브릿지 IC(200)를 나타낸다. 타이밍 컨트롤러들(111~114)은 ASIC(application-specific integrated circuit)으로 구현되고, 브릿지 IC(200)는 FPGA(field programmable gate array)로 구현될 수 있으나 이에 한정되지 않는다.
- [0065] 전계 발광 표시장치의 전원이 입력되면, 타이밍 컨트롤러들(111~114) 각각은 플래시 메모리(flash memory)(115~118)로부터 파라미터들(parameter), 외부 보상을 위한 보상값(게인, 옴센), 계조-휘도-전압-전류 테이블을 내부 메모리(SRAM)으로 로딩한다. 브릿지 IC(200)는 타이밍 컨트롤러들(111~114) 각각으로부터 파라미터(parameter)를 읽어 타이밍 컨트롤러들(111~114) 각각의 기능 설정을 판단한다. 브릿지 IC(20)는 파라미터를 읽어 8K 영상 모드 처리 방법, 송수신 데이터 량, 동기 매칭후 동기 완료 신호를 발생하기까지의 지연 시간 등을 판단한다. 브릿지 IC(200)는 타이밍 컨트롤러들(111~114)로부터 수신된 외부 보상을 위한 보상값과 계조-휘도-전압-전류 테이블을 통합 관리하고 이 테이블을 이용하여 각 컨트롤러에서 영상 처리된 결과를 통합 보정하여 동일한 연산값으로 각 컨트롤러에 전송함으로써 입력 영상 및 테이블에 따른 영상 처리 결과값 편차를 보정한다.
- [0066] 계조-휘도-전압-전류 테이블은 제품 출하전에 각 계조에 따른 휘도 측정 결과를 바탕으로 작성되어 플래시 메모리(115~118)에 저장된다. 브릿지 IC(20)는 이 테이블을 바탕으로 입력 영상의 화질을 개선하기 위하여 입력 영상의 픽셀 데이터의 계조를 미리 설정된 알고리즘으로 변조하여 소스 드라이브 IC(SIC)로 전송한다. 브릿지 IC(200)는 계조-휘도-전압-전류 테이블을 이용하여 픽셀들 각각의 구동 이력을 저장하고, 이를 이용하여 픽셀에 과전류가 흐를 때 픽셀의 휘도를 낮추기 위하여 픽셀 데이터를 변조할 수 있다. 브릿지 IC(200)는 호스트 시스템(Host system)(300)의 메인 보드로부터 수신된 고해상도 입력 영상을 수신하여 입력 영상을 액티브 영역(LU, RU, LD, RD) 별로 분리하고 화질 개선을 위한 알고리즘을 수행하여 입력 영상의 픽셀 데이터를 변조하여 타이밍 컨트롤러들(111~114)로 분배한다.
- [0067] 호스트 시스템(Host system)(300)의 메인 보드는 사용자 명령을 입력 받는 사용자 입력 장치, 주변 기기와의 통신을 위한 통신 모듈, 인터넷과 같은 통신망과 연결되는 통신 모듈, 전계 발광 표시장치와 연결되는 그래픽 처리 모듈 등을 포함한다. 메인 보드는 전원을 발생하는 파워 서플라이에 연결된다. 파워 서플라이는 상용 교류 전원 또는 배터리로부터의 전원을 메인 보드와 표시패널 구동회로에 공급한다. 호스트 시스템(300)은 텔레비전 시스템, 컴퓨터 시스템 등 표시장치가 필요한 다양한 시스템일 수 있다. 호스트 시스템(200)은 고속 전송 인터페이스 예를 들어, 상표명 V-by-One 인터페이스를 통해 입력 영상의 비디오 신호를 브릿지 IC(200)로 전송할 수 있다.
- [0068] 브릿지 IC(200)는 타이밍 컨트롤러들(111~114)에 미리 설정된 시퀀스(sequence)를 따라 명령(command)을 타이밍 컨트롤러들(111~114)에 전송한다. 예를 들어, 브릿지 IC(200)는 타이밍 컨트롤러들(111~114)에 데이터를 요청하는 명령을 전송하고, 외부 보상을 위한 픽셀의 구동 특성을 센싱할 때 센싱 스타트 명령을 타이밍 컨트롤러들(111~114)로 전송한다. 브릿지 IC(200)는 타이밍 컨트롤러들(111~114) 간의 동기가 필요할 때 예를 들어, 도

13에 도시된 바와 같이 픽셀의 구동 특성을 센싱할 때 타이밍 콘트롤러들(111~114) 간에 동기 매칭(Sync matching)을 수행한다. 브릿지 IC(200)와 타이밍 콘트롤러들(111~114)은 TTL Transistor-Transistor Logic) 신호로 데이터 통신을 수행한다.

- [0069] 콘트롤 보드(CPCB) 상에 레벨 시프터(Level shifter), PMIC(Power management integrated circuit) 등이 실장될 수 있다. PMIC는 직류-직류 변환기(DC-DC)를 이용하여 직류 입력 전압을 받아 표시패널의 구동에 필요한 다양한 직류 전압들 예를 들어, Vpre, EVDD, EVSS, VGH, VGL, 감마기준 전압 등을 출력한다.
- [0070] 레벨 시프터는 타이밍 콘트롤러(111~114)로부터 수신된 게이트 타이밍 제어 신호의 전압 레벨을 시프트하여 VGH와 VGL 사이에서 스윙하는 전압으로 변환하여 게이트 구동부(GIP)에 공급한다. 게이트 구동부(GIP)는 레벨 시프터를 통해 타이밍 콘트롤러(111~114)로부터 수신된 게이트 타이밍 제어 신호에 응답하여 스캔 펄스를 출력한다. 게이트 구동부(GIP)로부터 출력된 스캔 펄스는 VGH와 VGL 사이에서 스윙한다. VGH(Gate High Voltage)는 픽셀 회로의 스위치 TFT가 턴-온되는 게이트 온 전압이다. VGL(Gate Low Voltage)는 픽셀 회로의 스위치 TFT가 턴-오프되는 게이트 오프 전압이다.
- [0071] 타이밍 콘트롤러들(111~114) 각각은 브릿지 IC(200)로부터 수신된 입력 영상의 픽셀 데이터를 자신이 담당하는 소스 드라이브 IC(SIC)로 전송한다. 또한, 타이밍 콘트롤러들(111~114)은 입력 영상의 픽셀 데이터와 함께 콘트롤 데이터, 클럭 등을 소스 드라이브 IC(SIC)로 전송한다.
- [0072] 타이밍 콘트롤러들(111~114) 각각은 브릿지 IC(200)를 통해 수신된 입력 영상 신호에서 수직/수평 동기신호, 데이터 인에이블, 메인 클럭 신호 등의 타이밍 신호를 추출하고, 이 타이밍 신호들을 이용하여 소스 드라이브 IC(SIC)와 게이트 구동부(GIP)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 콘트롤러들(111~114) 각각은 입력 영상 신호의 프레임 주파수를 입력 프레임 주파수의 N(N은 2 이상의 양의 정수) 배로 체배하고 체배된 프레임 주파수를 기준으로 소스 드라이브 IC(SIC)와 게이트 구동부(GIP)를 제어할 수 있다. 입력 프레임 주파수는 PAL(Phase Alternate Line) 방식에서 50Hz이고, NTSC(National Television Standards Committee) 방식에서 60Hz이다.
- [0073] 콘트롤 보드(CPCB)는 FFC(Flexible Flat Cable)를 통해 소스 PCB(SPCB)에 연결되고 또한, FFC를 통해 호스트 시스템(300)의 메인 보드에 연결될 수 있다.
- [0074] 콘트롤 보드(CPCB)는 FFC들과 연결되는 커넥터들을 포함한다. 커넥터들은 콘트롤 보드(CPCB)와 소스 PCB(SPCB)를 연결하기 위한 다수의 커넥터들, 콘트롤 보드(CPCB)와 호스트 시스템(300)을 연결하기 위한 커넥터(CNT1), 제품 출하전 콘트롤 보드(CPCB)와 컴퓨터를 연결하기 위한 커넥터(CNT2)를 포함한다.
- [0075] 제품 출하전 콘트롤 보드(CPCB)에 연결되는 컴퓨터는 제조별 휘도 측정 실험을 바탕으로 제조-휘도-전압-전류 테이블을 작성하고, 픽셀의 구동 특성 편차를 보상하기 위한 보상값을 플래시 메모리(115~118)에 저장한다. 그리고 컴퓨터는 타이밍 콘트롤러들(111~114)의 기능 설정을 위한 레지스터 설정값, 파라미터 등을 플래시 메모리(115~118)에 저장한다. 제품 출하 후에, 컴퓨터는 콘트롤 보드(CPCB)로부터 분리되어 커넥터(CNT2)는 사용되지 않는다.
- [0076] 제품 출하전 에이징 공정에서 픽셀의 구동 특성 센싱 결과를 바탕으로 도출된 픽셀의 보상값은 LVDS(Low voltage differential signalling) 인터페이스를 통해 컴퓨터(500)로부터 콘트롤 보드(CPCB)의 브릿지 IC(200)로 전송된다. 그리고 제품 출하 전 픽셀 데이터의 제조별 휘도 측정 실험을 바탕으로 작성된 제조-휘도-전압-전류 테이블은 I^2C 통신 인터페이스를 통해 콘트롤 보드(CPCB)의 브릿지 IC(200)로 전송된다. 브릿지 IC(200)는 컴퓨터로부터 수신된 픽셀의 보상값, 제조-휘도-전압-전류 테이블, 레지스터 설정값, 파라미터 등을 타이밍 콘트롤러들(111~114)에 연결된 플래시 메모리(115~118)에 저장한다. 타이밍 콘트롤러들(111~114) 각각에는 플래시 메모리와 EEPROM(Electrically Erasable Programmable Read-Only Memory)가 연결될 수 있다. 이 경우, 브릿지 IC(200)는 I^2C 통신을 통해 제조-휘도-전압-전류 테이블과 타이밍 제어 신호 정보 등을 EEPROM에 저장할 수도 있다.
- [0077] 게이트 라인들(16)은 좌측 액티브 영역들(LU, LD)과 우측 액티브 영역들(RU, RD) 간의 제1 경계선(LRB)을 가로질러 끊김 없이 좌우로 이웃한 액티브 영역들에 배치된다. 도 8에 도시된 바와 같이, 게이트 라인들(16)의 양측에 게이트 구동부들(GIP1~GIP4)이 연결된다. 게이트 구동부들(GIP1~GIP4)은 타이밍 콘트롤러(111~114)의 제어하에 게이트 라인(16)의 양측 끝단에 스캔 펄스를 동시에 인가하고 시프트 클럭에 맞추어 스캔 펄스를 시프트한다.

- [0078] 데이터 라인들(14)은 도 8에 도시된 바와 같이 상반부 액티브 영역들(LU, RU)과 하반부 액티브 영역들(LD, RD) 간의 제2 경계선(UDB)에서 분리된다. 이는 데이터 라인들(14)과 센싱 라인들(15)의 길이를 줄여 이 배선들의 RC 부하를 줄임으로써 이 배선들을 통해 인가되는 신호의 RC 딜레이(delay)를 줄이기 위함이다. 표시패널(PNL)의 화면 상에서 상반부에 배치된 데이터 라인들(14)과 센싱 라인들(15)은 상반부 액티브 영역들(LU, RU)을 담당하는 소스 드라이브 IC(SIC1, SIC2)에 연결된다. 표시패널(PNL)의 화면 상에서 하반부에 배치된 데이터 라인들(14)과 센싱 라인들(15)은 하반부 액티브 영역들(LD, RD)을 담당하는 소스 드라이브 IC(SIC3, SIC4)에 연결된다.
- [0079] 제1 타이밍 컨트롤러(111)는 브릿지 IC(200)로부터 수신된 제1 액티브 영역(LU)의 픽셀 데이터를 제1 구동 회로(SIC1, GIP1)의 소스 드라이브 IC(SIC1)로 전송한다. 제1 타이밍 컨트롤러(111)는 제1 액티브 영역(LU)의 픽셀들을 구동하기 위한 제1 구동 회로(SIC1, GIP1)의 동작 타이밍을 제어한다.
- [0080] 제2 타이밍 컨트롤러(112)는 브릿지 IC(200)로부터 수신된 제2 액티브 영역(RU)의 픽셀 데이터를 제2 구동 회로(SIC2, GIP2)의 소스 드라이브 IC(SIC2)로 전송한다. 제2 타이밍 컨트롤러(112)는 제2 액티브 영역(RU)의 픽셀들을 구동하기 위한 제2 구동 회로(SIC2, GIP2)의 동작 타이밍을 제어한다.
- [0081] 제3 타이밍 컨트롤러(113)는 브릿지 IC(200)로부터 수신된 제3 액티브 영역(LD)의 픽셀 데이터를 제3 구동 회로(SIC3, GIP3)의 소스 드라이브 IC(SIC3)로 전송한다. 제3 타이밍 컨트롤러(113)는 제3 액티브 영역(LD)의 픽셀들을 구동하기 위한 제3 구동 회로(SIC3, GIP3)의 동작 타이밍을 제어한다.
- [0082] 제4 타이밍 컨트롤러(114)는 브릿지 IC(200)로부터 수신된 제4 액티브 영역(RD)의 픽셀 데이터를 제4 구동 회로(SIC4, GIP4)의 소스 드라이브 IC(SIC4)로 전송한다. 제4 타이밍 컨트롤러(114)는 제4 액티브 영역(RD)의 픽셀들을 구동하기 위한 제4 구동 회로(SIC4, GIP4)의 동작 타이밍을 제어한다.
- [0083] 타이밍 컨트롤러들(111~114) 각각은 픽셀의 구동 특성 편차와 열화를 보상하기 위하여 플래시 메모리(115~118)로부터 로딩한 보상값으로 브릿지 IC(200)로부터 수신된 픽셀 데이터를 변조하여 소스 드라이브 IC(SIC1~SIC4)로 전송할 수 있다.
- [0084] 도 9는 제1 타이밍 컨트롤러(111)와 소스 드라이브 IC들(SIC) 간의 배선 연결을 상세히 보여 주는 도면이다. 제2 내지 제4 타이밍 컨트롤러들(112~114)도 도 9와 같은 방법으로 소스 드라이브 IC들(SIC)에 연결된다.
- [0085] 도 9를 참조하면, 소스 드라이브 IC들(SIC1~SIC12) 각각은 제1 데이터 배선쌍(21)을 통해 타이밍 컨트롤러(TCON)로부터 입력 영상의 디지털 데이터를 수신하고, 제2 데이터 배선쌍(22)을 통해 센싱 데이터(SD)를 타이밍 컨트롤러(TCON)로 전송한다. 타이밍 컨트롤러(TCON)로 전송되는 센싱 데이터(SD)는 센싱 회로를 통해 얻어진 픽셀의 구동 특성 센싱 정보를 포함한다.
- [0086] 도 10은 4 분할된 액티브 영역들 각각에서 동기된 제1 스캔 펄스를 보여 주는 도면이다. 도 11은 타이밍 컨트롤러들의 동기 제어 방법을 보여 주는 도면이다.
- [0087] 도 10을 참조하면, 제1 및 제2 게이트 구동부들(GIP1, GIP2)은 정순차 스캐닝 방법으로 상반부 액티브 영역들(LU, RU)의 게이트 라인들(G1~G2160)에 스캔 펄스를 순차적으로 공급한다. 제1 및 제2 게이트 구동부들(GIP1, GIP2)은 제1 및 제2 타이밍 컨트롤러들(111, 112)에 의해 분할 제어되거나 도 12에 도시된 바와 같이 동기에 유리하도록 제1 및 제2 컨트롤러들(111, 112) 중 하나의 제어될 수 있다. 상반부 액티브 영역들(LU, RU)에서 제1 게이트 라인(G1)부터 스캔 펄스가 공급되기 시작하여 제1 게이트 라인 아래의 제2 게이트 라인, ... 제2159 게이트 라인, 제2160 게이트 라인 순으로 스캔 펄스가 순차적으로 공급된다. 상반부 액티브 영역들(LU, RU)과 하반부 액티브 영역들(LD, RD) 사이의 경계선(LRB)을 사이에 두고 제2160 게이트 라인(G2160)과 제2161 게이트 라인(G2161)이 이웃한다.
- [0088] 제3 및 제4 게이트 구동부들(GIP3, GIP4)은 역순차 스캐닝 방법으로 하반부 액티브 영역들(LD, RD)의 게이트 라인들(G2161~G4320)에 스캔 펄스를 순차적으로 공급한다. 제3 및 제4 게이트 구동부들(GIP3, GIP4)은 제3 및 제4 타이밍 컨트롤러들(113, 114)에 의해 분할 제어되거나 도 12에 도시된 바와 같이 동기에 유리하도록 제1 및 제2 컨트롤러들(111, 112) 중 하나의 제어될 수 있다. 하반부 액티브 영역들(LD, RD)에서 최하단의 제4320 게이트 라인(G4320)부터 스캔 펄스가 공급되기 시작하여 제4320 게이트 라인 위의 제4319 게이트 라인, ... 제2162 게이트 라인, 제2161 게이트 라인 순으로 스캔 펄스가 순차적으로 공급된다.
- [0089] 픽셀들의 구동 특성을 센싱하기 위해서는 1 라인에 인가되는 픽셀들에 스캔 펄스가 동시에 인가되어야 한다. 그런데 타이밍 컨트롤러(111~114)의 물리적 IC 편차에 의해 완전한 동기를 맞출 수 없다. 전자기 간섭 현상

(Electro Magnetic Interference; EMI)을 줄이기 위하여, 타이밍 콘트롤러(111~114)에 확산 스펙트럼 클럭 생성기(Spread Spectrum Clock Generator; SSCG)가 내장된다. 타이밍 콘트롤러(111~114)는 클럭 타이밍에 맞추어 데이터를 샘플링하고 타이밍 콘트롤 신호들을 생성한다. 확산 스펙트럼 생성기(SSCG)는 타이밍 콘트롤러(111~114)에서 생성되는 클럭의 듀티비, 주기 등을 허용 범위 내에서 변조하여 EMI를 줄인다. 확산 스펙트럼 생성기(SSCG)의 클럭 변조 타이밍과 클럭 변조 폭이 타이밍 콘트롤러들(111~114) 간에 다르기 때문에 타이밍 콘트롤러들(111~114)로부터 출력되는 게이트 타이밍 신호간에 타이밍 편차가 발생할 수 있다. 타이밍 콘트롤러(111~114)로부터 출력되는 게이트 타이밍 제어 신호가 완전히 동기되지 않으면, 게이트 라인(16)의 양측에 연결된 게이트 구동부들(GIP1~GIP4)의 출력이 동기되지 않는다. 이 경우에, 픽셀의 구동 특성 센싱이 부정확하게 되고 그 센싱 시간이 라인마다 다를 수 있기 때문에 정확한 센싱이 불가능하다. 또한, 픽셀들에 입력 영상의 픽셀 데이터를 기입할 때에도 게이트 라인의 양측에 연결된 게이트 구동부들(GIP1~GIP4)의 출력이 동기되지 않으면 픽셀들에 구동 타이밍이 라인마다 다르기 때문에 좌우 액티브 영역들 간에 경계면이 보이는 등 화질이 떨어진다.

[0090] 본 발명은 픽셀의 센싱과 정상적인 구동을 가능하게 하기 위하여 브릿지 IC와 타이밍 콘트롤러들(111~114) 간의 통신 인터페이스 예를 들어, 직렬 인터페이스(serial interface)를 통해 타이밍 콘트롤러들(111~114)을 동기시킨다. 도 12에서 G1(LU), G1(RU), G4320(LD), 및 G4320(RD)는 상반부 액티브 영역들(LU, RU)과 하반부 액티브 영역들(LD, RD)에서 동기된 제1 스캔 펄스를 나타낸다. 상반부 액티브 영역들(LU, RU)의 최상단에 배치된 제1 게이트 라인에 제1 스캔 펄스(G1(LU), G1(RU))가 공급됨과 동시에, 하반부 액티브 영역들(LD, RD)의 최하단에 배치된 제4320 게이트 라인에 제1 스캔 펄스(G4320(LD), G4320(RD))가 인가된다.

[0091] 동기를 맞추기 위한 통신 방법에서, 브릿지 IC(200)는 마스터(master) 소자로 동작하고 타이밍 콘트롤러들(111~114)은 슬레이브(slave) 소자로 동작한다. 타이밍 콘트롤러들(111~114)은 동기가 필요한 상황 예를 들어, 픽셀의 구동 특성을 센싱할 때 동기 요청 신호(CMD_REQ1~CMD_REQ4)를 타이밍 콘트롤러들(111~114)은 브릿지 IC(200)에 전송한다(①). 브릿지 IC(200)는 모든 타이밍 콘트롤러들(111~114)로부터 동기 요청 신호(CMD_REQ1~CMD_REQ4)가 수신될 때 동기 매칭 완료 신호(CMD_MATCH)를 타이밍 콘트롤러들(111~114)로 전송한다(②). 타이밍 콘트롤러들(111~114)은 동기 매칭 완료 신호(CMD_MATCH)가 수신된 후 동시에 픽셀의 구동 특성 센싱을 수행한다.

[0092] 타이밍 콘트롤러들(111~114)은 비정상적 상황이 발생되면 브릿지 IC(200)로 비정상 상태 플래그(ABNORMAL_SLV_1~ ABNORMAL_SLV_4)를 발생한다. 타이밍 콘트롤러들(111~114)은 데이터 인에이블 신호(DE)를 카운트 하여 그 신호의 개수가 수직 해상도와 다르거나 픽셀 구동 전원 전압(EVDD)과 같은 구동 전압이 허용 범위 이상으로 변하면 비정상 상태로 판단하여 비정상 상태 플래그(ABNORMAL_SLV_1~ ABNORMAL_SLV_4)를 발생한다(③). 브릿지 IC(200)는 비정상 상태 플래그(ABNORMAL_SLV_1~ ABNORMAL_SLV_4)가 수신되면, 비정상 확인 신호(ABNORMAL_MST)를 비정상 상태의 타이밍 콘트롤러(111~114)로 전송한다. 타이밍 콘트롤러(111~114)는 브릿지 IC(200)로부터 비정상 확인 신호(ABNORMAL_MST)가 수신될 때 리셋(reset)된다(④).

[0093] 도 12는 상반부 액티브 영역들의 게이트 구동부들과 하반부 액티브 영역들의 게이트 구동부들 각각이 하나의 타이밍 콘트롤러에 의해 제어되는 예를 보여 주는 도면이다.

[0094] 도 12를 참조하면, 제1 타이밍 콘트롤러(111)는 제1 및 제2 게이트 구동부(GIP1, GIP2)를 동시에 제어하여 상반부 액티브 영역들(LU, RU)의 게이트 라인들 각각에서 양측 끝단에 동시에 스캔 펄스가 인가되도록 한다. 제1 타이밍 콘트롤러(111)는 게이트 타이밍 제어 신호 배선(121)을 통해 제1 및 제2 게이트 구동부(GIP1, GIP2)에 연결된다. 제1 및 제2 타이밍 콘트롤러들(111, 112)은 브릿지 IC(200)에 의해 동기된 후에 센싱 회로를 동시에 구동하여 상반부 액티브 영역(LU, RU)에서 픽셀의 구동 특성을 동시에 센싱하여 픽셀 데이터를 보상한다.

[0095] 제3 타이밍 콘트롤러(113)는 제3 및 제4 게이트 구동부(GIP3, GIP4)를 동시에 제어하여 하반부 액티브 영역들(LD, RD)의 게이트 라인들 각각에서 양측 끝단에 동시에 스캔 펄스가 인가되도록 한다. 제3 타이밍 콘트롤러(113)는 게이트 타이밍 제어 신호 배선(122)을 통해 제3 및 제4 게이트 구동부(GIP3, GIP4)에 연결된다. 제3 및 제4 타이밍 콘트롤러들(113, 114)은 브릿지 IC(200)에 의해 동기된 후에 센싱 회로를 동시에 구동하여 하반부 액티브 영역(LD, RD)에서 픽셀의 구동 특성을 동시에 센싱하여 픽셀 데이터를 보상한다. 제1 및 제3 타이밍 콘트롤러들(111, 113)도 브릿지 IC(200)에 의해 동기된 후에 동시에 게이트 구동부들(GIP1~GIP4)에 게이트 타이밍 제어 신호를 전송한다.

[0096] 게이트 타이밍 제어 신호 배선(121)은 제1 및 제2 게이트 구동부(GIP1, GIP2)의 시프트 레지스터(shift register)의 동작 타이밍을 제어하기 위한 스타트 펄스, 시프트 클럭 등을 포함한다.

- [0097] 소스 드라이브 IC들(SIC1~SIC4) 간에도 데이터 출력 타이밍에서 편차가 있을 수 있다. 이러한 소스 드라이브 IC들(SIC1~SIC4)는 소스 출력 인에이블 신호(SOE) 옵션과 지연(DLY) 옵션 설정에 의해 데이터 출력 타이밍 편차가 최소화될 수 있다.
- [0098] 도 13은 본 발명의 실시간 센싱 방법을 보여 주는 흐름도이다.
- [0099] 도 13을 참조하면, 타이밍 컨트롤러들(111~114)은 브릿지 IC(200)로부터 센싱 스타트 명령이 수신되면 플래시 메모리로부터 외부 보상을 위한 보상값, 파라미터 등을 내부 메모리(SRAM)로 로딩하여 파라미터를 설정한다(S1 및 S2). 이어서, 타이밍 컨트롤러들(111~114)은 도 11에 도시된 바와 같이 브릿지 IC(200)에 의해 동기된 후에(S3), 센싱 회로를 구동하여 센싱 대상 라인에 대하여 구동 TFT나 OLED의 문턱 전압 또는 이동도와 같은 픽셀의 구동 특성을 실시간 센싱한다(S4).
- [0100] 타이밍 컨트롤러들(111~114)의 외부에서 클럭을 생성하고 그 클럭을 확산 스펙트럼 클럭 생성기로 변조하여 타이밍 컨트롤러들(111~114)에 전송하면 타이밍 컨트롤러 내의 확산 스펙트럼 클럭 생성기(SSCG)로 인하여 동기가 어긋나는 문제를 방지할 수 있다.
- [0101] 도 14는 외부 클럭 생성기를 보여 주는 도면이다.
- [0102] 도 14를 참조하면, 외부 클럭 생성기는 소정 주파수 예를 들어, 27Mhz의 클럭을 발생하는 발진기(OSC)(141), 제1 위상 고정 루프(Phase Locked Loop, PLL)(142), 및 제1 클럭 버퍼(143)를 포함한다. 제1 위상 고정 루프(142)는 발진기(141)로부터의 클럭 주파수와 위상을 기준 주파수로 고정한다. 제1 위상 고정 루프(142)는 확산 스펙트럼 클럭 생성기(SSCG)를 포함한다. 확산 스펙트럼 클럭 생성기(SSCG)에 의해 클럭이 변조되어 클럭 버퍼(143)를 통해 타이밍 컨트롤러들(111~114)로 전송된다.
- [0103] 브릿지(IC(200))의 클럭 주파수가 타이밍 컨트롤러들(111~114)의 클럭 주파수 보다 더 높을 필요가 있다. 이 경우, 클럭 버퍼(143)와 브릿지 IC(200) 사이에 제2 위상 고정 루프(144)와 제2 클럭 버퍼(145)가 추가될 수 있다. 제2 위상 고정 루프(144)는 제1 클럭 버퍼(143)로부터 수신된 클럭의 주파수를 체배하여 브릿지 IC(200)에 공급한다. 제2 위상 고정 루프(144)는 80Mhz의 클럭을 출력할 수 있으나 이에 한정되지 않는다. 제2 위상 고정 루프(144)는 클럭을 변조하기 위한 확산 스펙트럼 클럭 생성기(SSCG)를 포함할 수 있다. 제2 클럭 버퍼(145)는 제2 위상 고정 루프(144)로부터 수신된 클럭을 브릿지 IC(200)에 전달한다. 제2 위상 고정 루프(144)와 제2 클럭 버퍼(145)는 생략 가능하다.
- [0104] 도 15는 제품 출하 전 컨트롤 보드가 컴퓨터에 연결된 예를 보여 주는 도면이다. 도 16은 4 분할 액티브 영역의 회도 측정을 통한 계조-회도-전압-전류 테이블 작성 시스템을 보여 주는 도면이다.
- [0105] 도 15 및 도 16을 참조하면, 화면의 회도를 균일하게 하기 위하여 제품 출하전에 4 분할된 액티브 영역들(LU, RU, LD, RD) 각각에 대하여 각 계조별로 회도를 측정하고, 액티브 영역별로 계조-회도-전압-전류 테이블을 작성한다. 컴퓨터(500)는 직렬 통신 예를 들어, I2C 배선을 통해 브릿지 IC(200)에 연결된다.
- [0106] 액티브 영역들(LU, RU, LD, RD) 각각의 앞에 광전소자가 설치된 프로브(511~514)가 배치된다. 프로브들(511~514)은 회도 측정기(510)에 연결되고 회도 측정기(510)는 컴퓨터(500)에 연결된다. 전원 회로(520)는 컨트롤 보드(CPCB)와 컴퓨터(500)의 구동에 필요한 전원을 공급한다. 컴퓨터(500)와 브릿지 IC(200) 사이의 통신 경로에 USB 신호를 I2C로 변환하는 인터페이스 변환부(530)가 배치된다.
- [0107] 컴퓨터(500)는 브릿지 IC(200)를 통해 테스트 명령과 테스트 데이터를 전송하고, 액티브 영역별로 테스트 데이터의 계조별로 측정된 회도를 회도 측정기(510)로부터 수신 받는다. 컴퓨터(500)는 화면 전체에서 같은 계조에 동일 회도를 얻을 수 있도록 픽셀 데이터의 계조 각각에서 액티브 영역별로 계조-회도-전압-전류 테이블을 작성한다. 컴퓨터(500)는 액티브 영역 각각의 계조-회도-전압-전류 테이블을 브릿지 IC(200)를 통해 플래시 메모리(115~118)에 전송하여 플래시 메모리(115~118)에 계조-회도-전압-전류 테이블을 저장한다. 컴퓨터(500)는 I²C 배선(92)를 통해 계조-회도-전압-전류 테이블을 브릿지 IC(200)로 전송하고 브릿지 IC(200)는 플래시 메모리(115~118)에 그 테이블 데이터를 전송할 수 있다.
- [0108] 컴퓨터(500)는 센싱 회로를 통해 픽셀들 각각의 구동 특성 편차를 센싱하고 그 구동 특성 편차를 평균화하기 위한 보상값들을 브릿지 IC(200)를 통해 플래시 메모리(115~118)로 전송한다. 그리고 컴퓨터(500)는 타이밍 컨트롤러들(111~114)의 기능 설정을 위한 파라미터를 브릿지 IC(200)를 통해 플래시 메모리(115~118)로 전송한다. 컴퓨터(500)는 LVDS 배선(93)을 통해 픽셀의 보상값을 브릿지 IC(200)로 전송할 수 있다.

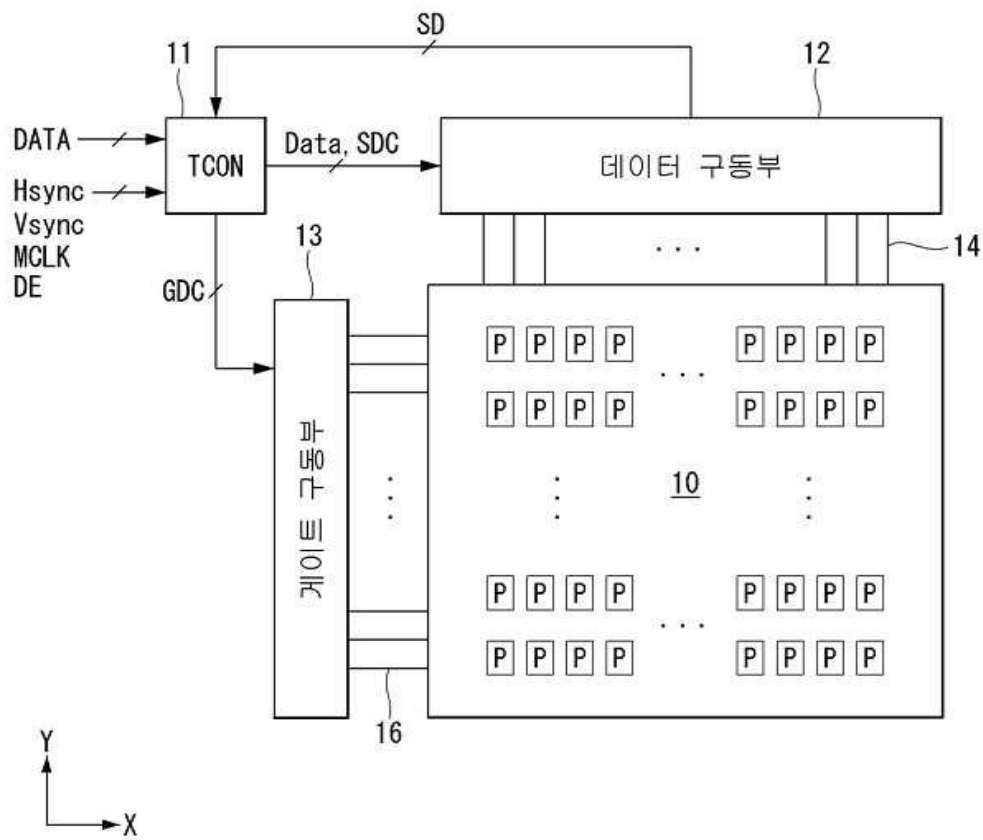
- [0109] 타이밍 컨트롤러들(111~114) 각각은 전원이 입력되면 플래시 메모리(115~118)로부터 계조-휘도-전압-전류 테이블을 내부 메모리에 로딩하고 그 테이블을 이용하여 픽셀 데이터의 계조를 변조한다. 또한, 타이밍 컨트롤러들(111~114)은 픽셀의 구동 특성 편차를 보상하기 위한 보상값으로 픽셀 데이터를 변조하여 소스 드라이브 IC(SIC)로 전송한다. 타이밍 컨트롤러들(111~114) 각각에서 계조 대 휘도 연산, 온도 보상, 픽셀의 센싱 결과를 바탕으로 한 외부 보상, 온도 보상 등의 알고리즘을 액티브 영역별로 독립적으로 처리하면 액티브 영역들 간의 휘도와 색감 차이로 인하여 경계면이 보일 수 있다. 브릿지 IC(200)는 타이밍 컨트롤러들로부터 수신된 알고리즘 연산결과를 통합 관리하고 액티브 영역들 간의 경계면에서 휘도 및 색감차를 보정하는 알고리즘을 실행한다. 브릿지 IC(200)는 타이밍 컨트롤러들(111~114) 각각으로부터 수신된 알고리즘 연산 결과를 이용하여 액티브 영역들 간의 경계면 상에 기입될 픽셀 데이터들에 대하여 휘도-계조 보상 알고리즘, 오차 확산 알고리즘 등을 실시하고, 그 결과를 타이밍 컨트롤러들(111~114)로 전송하여 타이밍 컨트롤러들(111~114)로 하여금 경계면 상의 알고리즘 연산 결과와 오차 데이터를 반영하여 알고리즘 연산을 수행하도록 한다. 따라서, 본 발명은 브릿지 IC(200)를 이용하여 액티브 영역들이 분할된 화면 상에서 경계면이 보이지 않고 균일한 고품위 영상을 구현할 수 있다.
- [0110] 도 17은 브릿지 IC(200)의 스위치 회로를 보여 주는 도면이다.
- [0111] 도 17을 참조하면, 브릿지 IC(200)는 스위치 회로(232)를 포함한다. 스위치 회로(232)는 제품 출하전 컴퓨터(500)와 타이밍 컨트롤러들(111~114)의 통신 경로를 스위칭하고, 제품 출하 후 호스트 시스템(300)과 타이밍 컨트롤러들(111~114)의 통신 경로를 스위칭한다. 스위치 회로(232) 각각의 온/오프 시퀀스는 레지스터 설정값에 따라 설정될 수 있다. 브릿지 IC(200)는 스위치 회로(232)를 이용하여 제품 출하 전에 컴퓨터(500)를 타이밍 컨트롤러들(111~114)과 플래시 메모리(115~118)에 일시적으로 연결한다. 브릿지 IC(200)는 스위치 회로(232)를 이용하여 호스트 시스템(300)으로부터 수신된 휘도 조절 명령이나 파워 온/오프 시퀀스 명령을 타이밍 컨트롤러들(111~114)로 전송한다.
- [0112] 본 발명은 하나의 브릿지 IC(200)에 네 개의 타이밍 컨트롤러들(111~114)이 연결된 실시예에 한정되지 않는다는 것에 주의하여야 한다. 예를 들어, 화면이 두 개의 타이밍 컨트롤러에 의해 분할 제어되는 두 개의 액티브 영역으로 분할된 표시패널에서도 본 발명의 기술적 사상이 적용될 수 있다.
- [0113] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

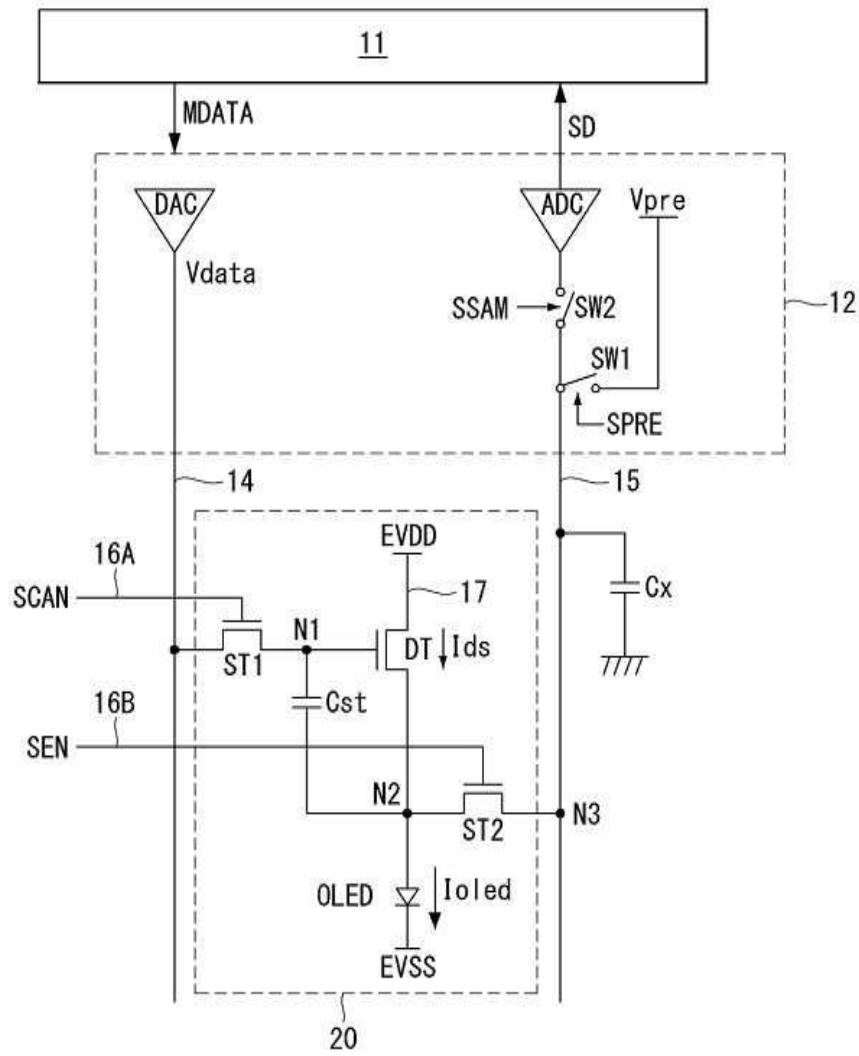
- [0114] 10, LU, RU, LD, RD : 액티브 영역 111~114, : 타이밍 컨트롤러
115~118 : 플래시 메모리 232 : 스위치 회로
200 : 브릿지 IC 300 : 호스트 시스템

도면

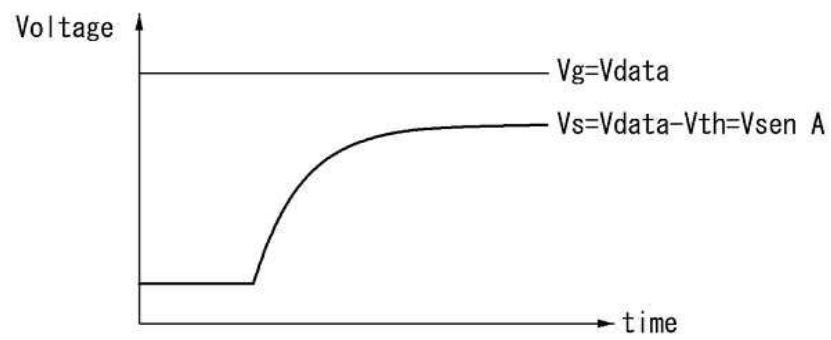
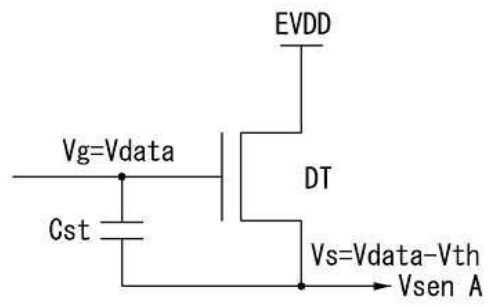
도면1



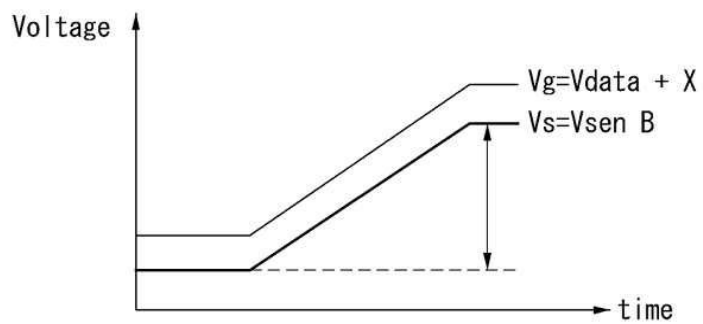
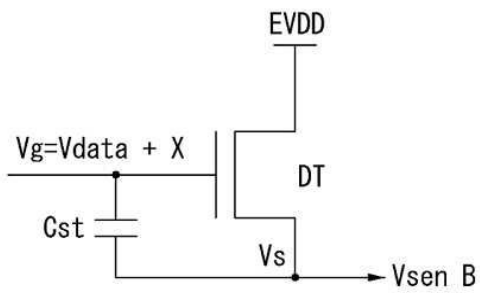
도면2



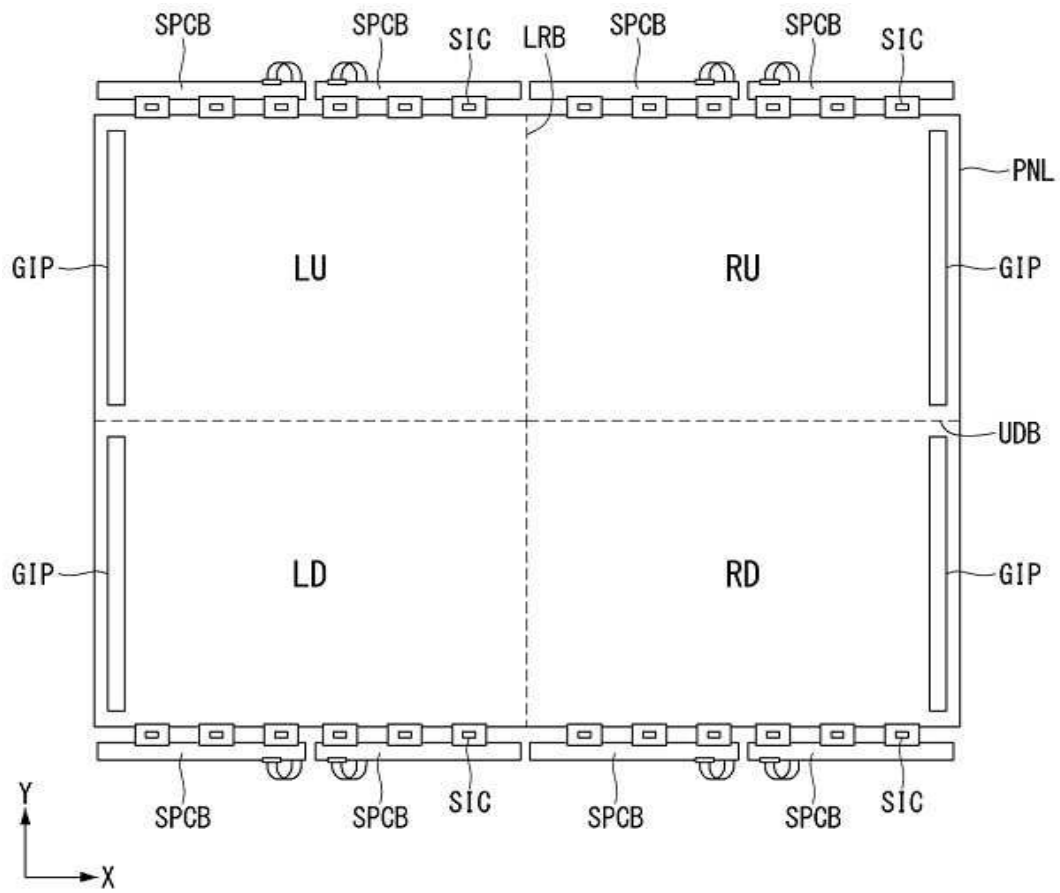
도면3



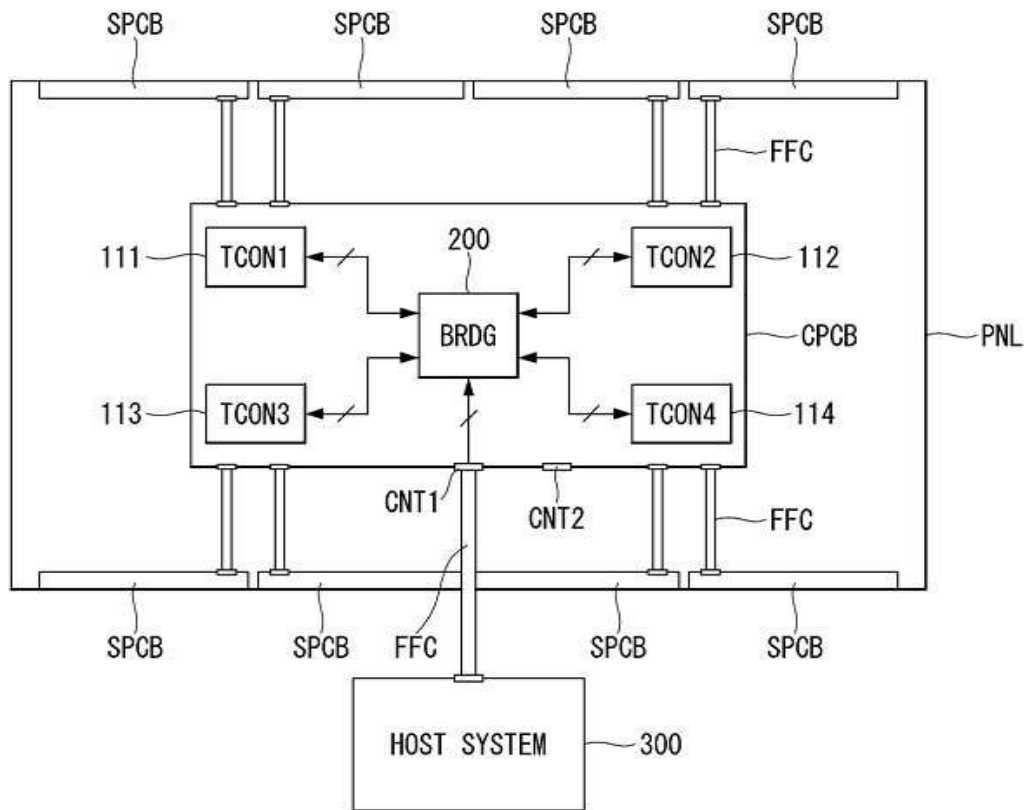
도면4



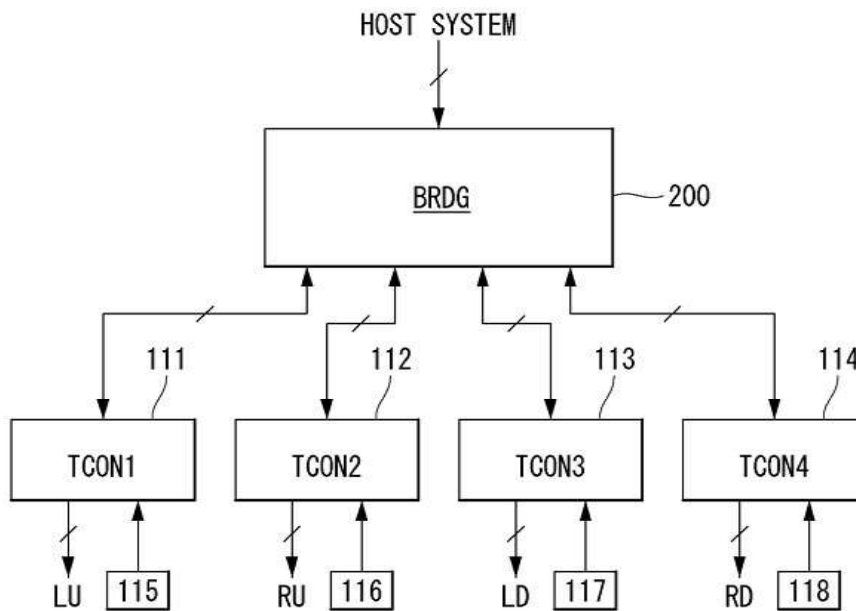
도면5



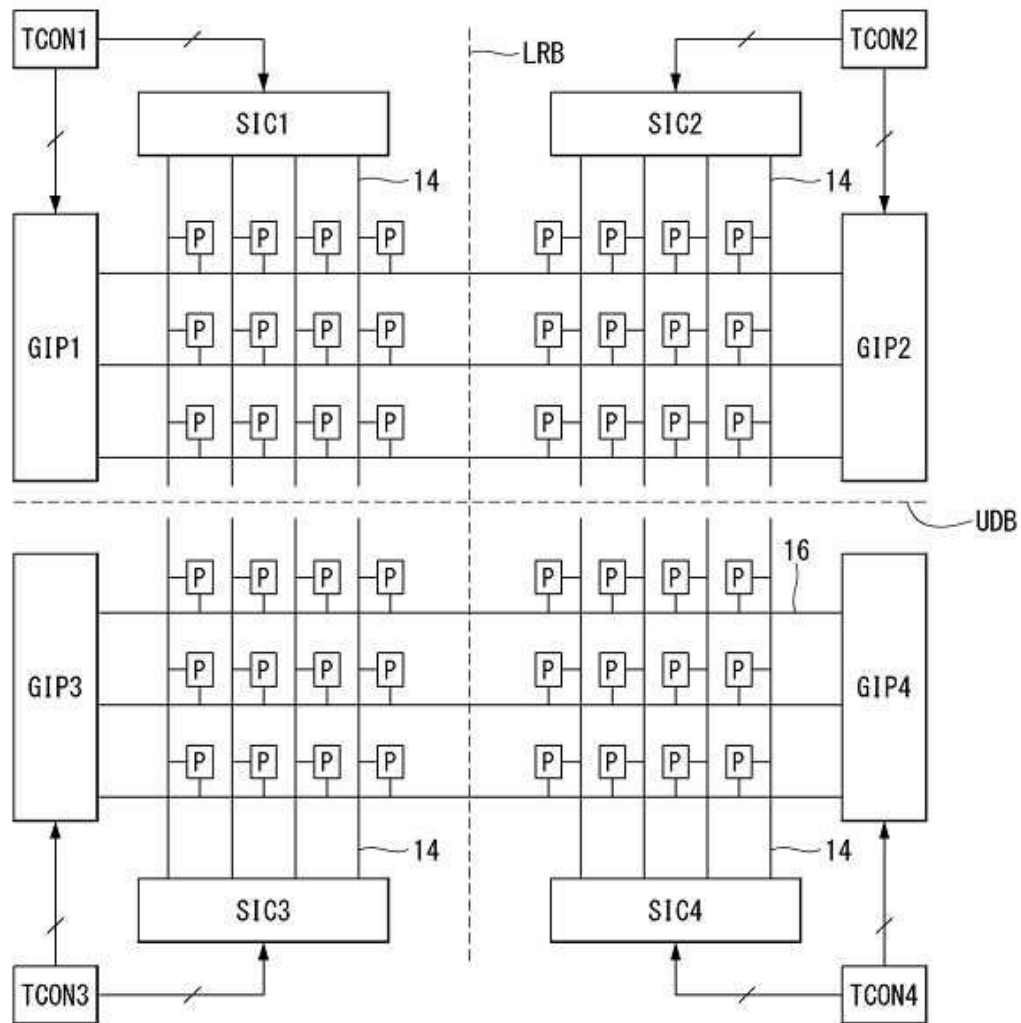
도면6



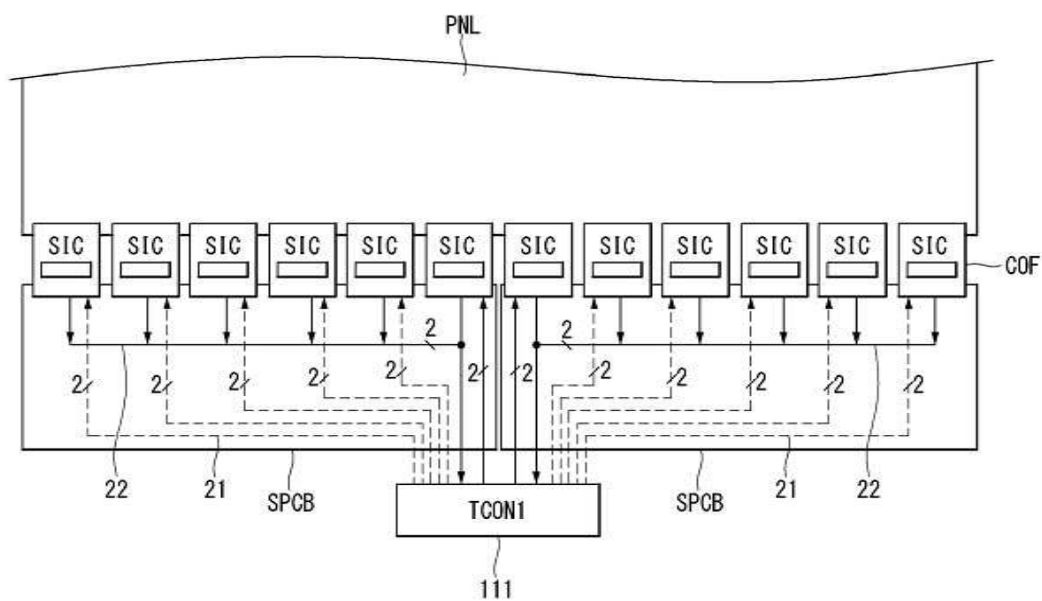
도면7



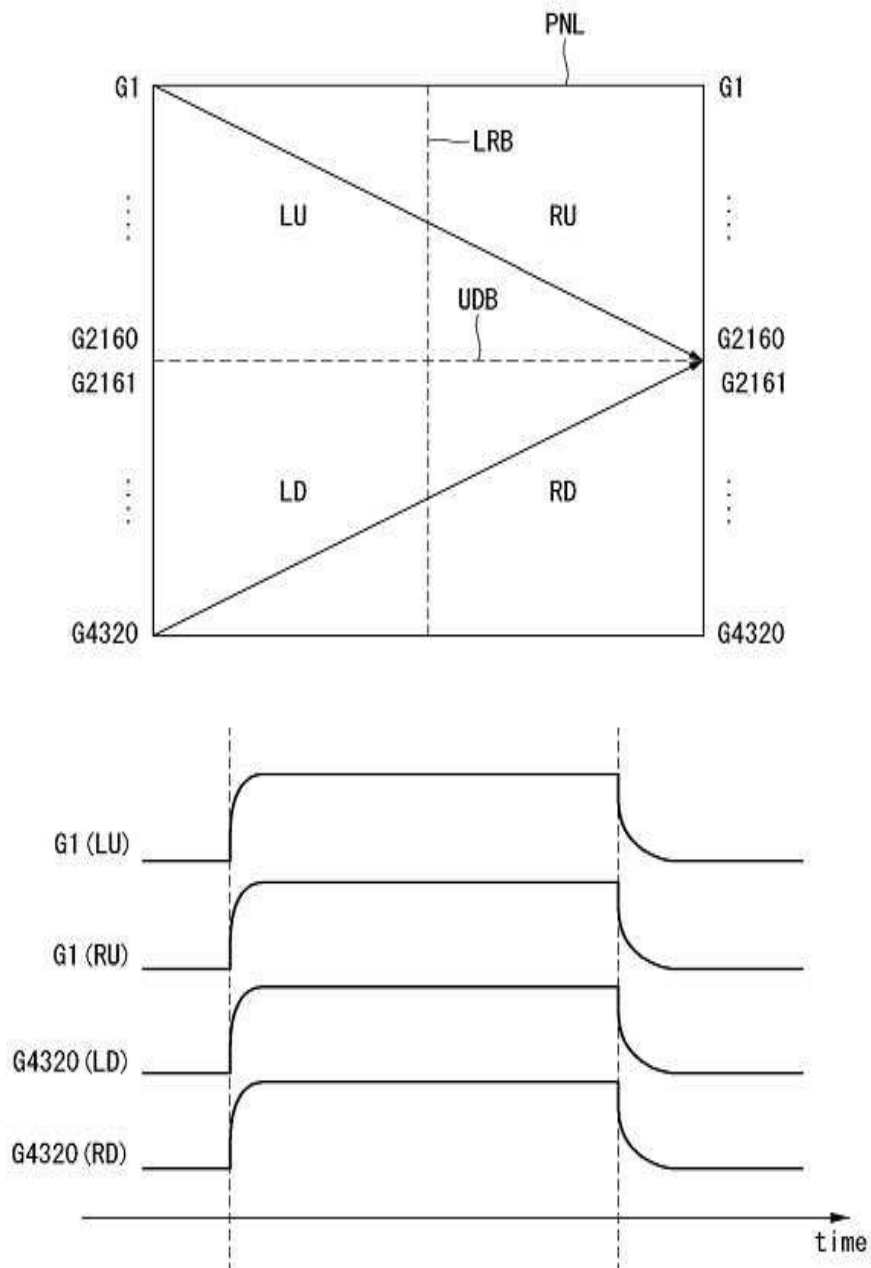
도면8



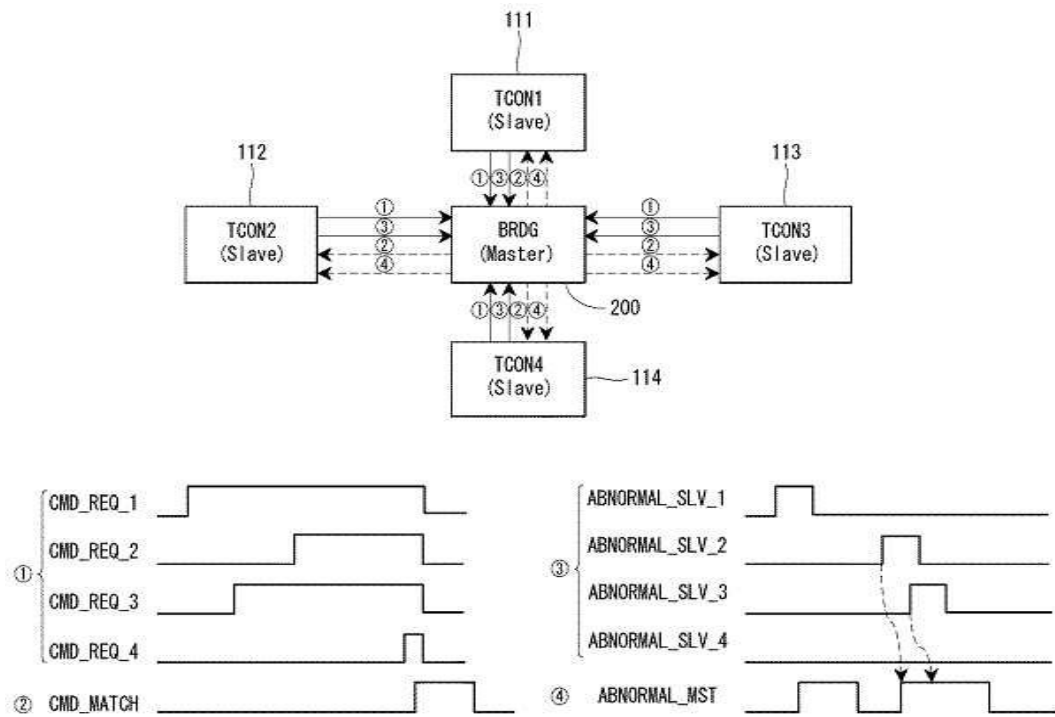
도면9



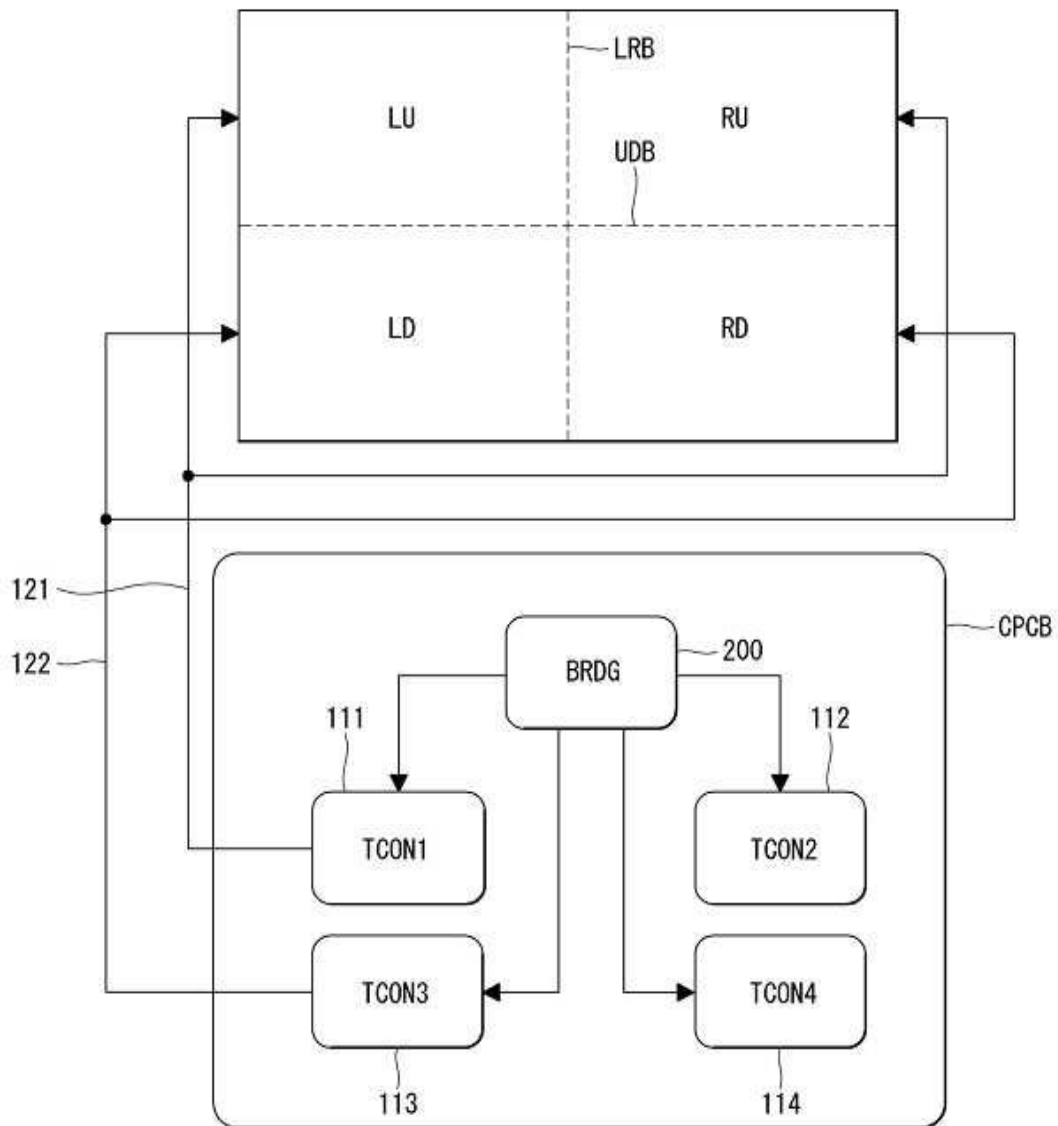
도면10



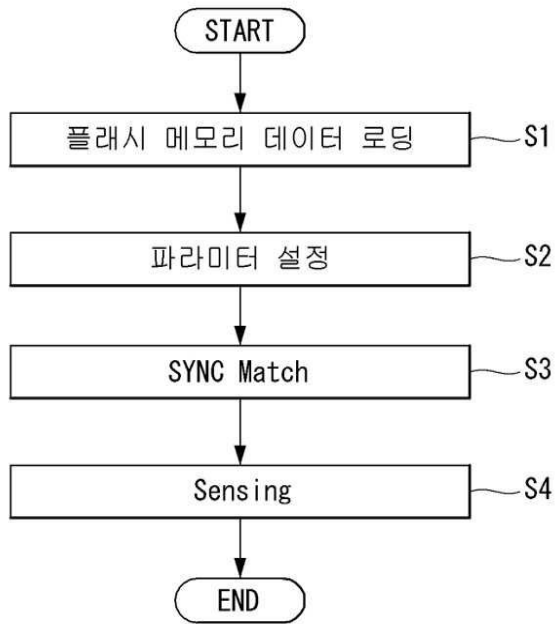
도면11



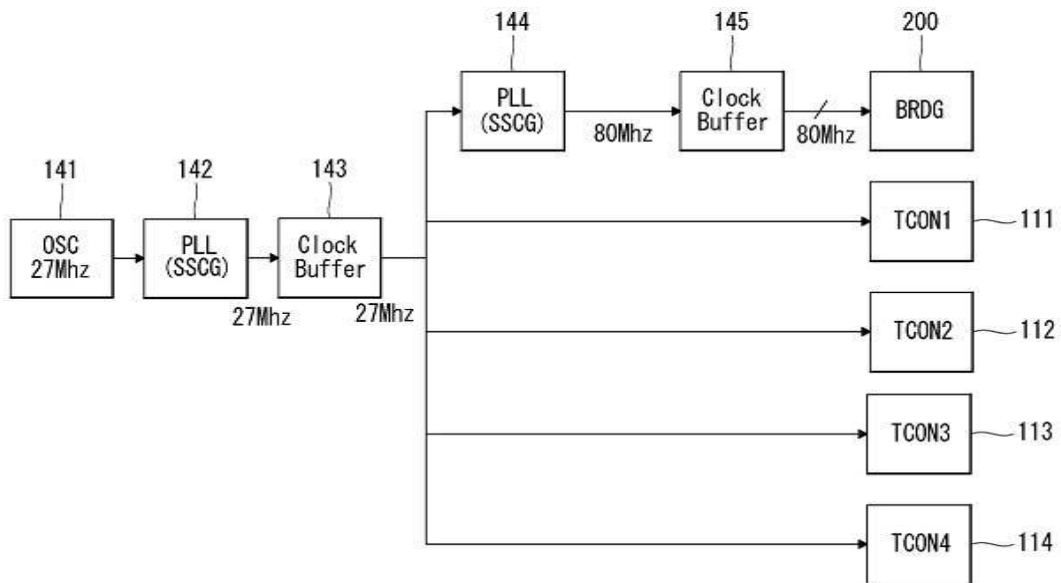
도면12



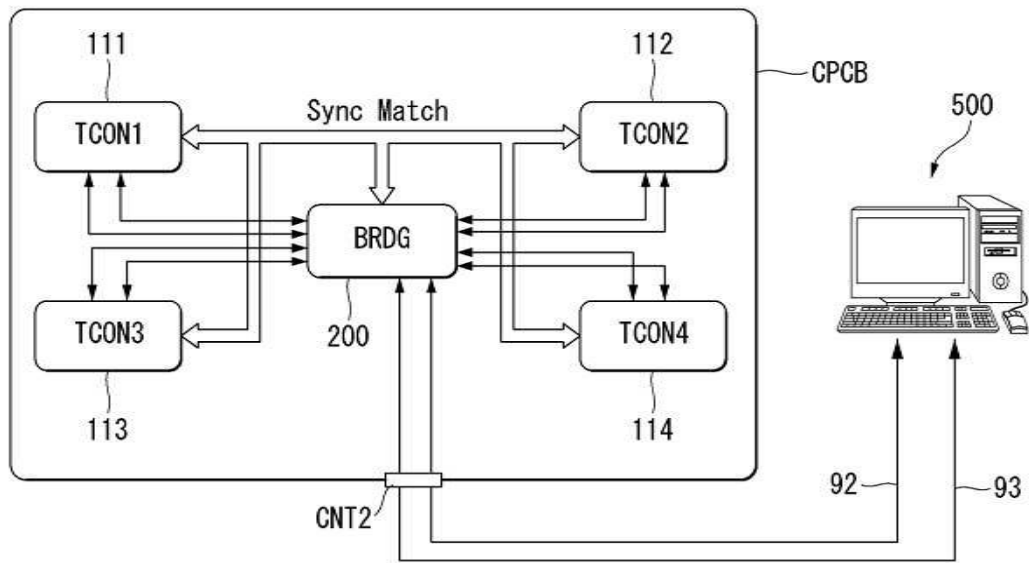
도면13



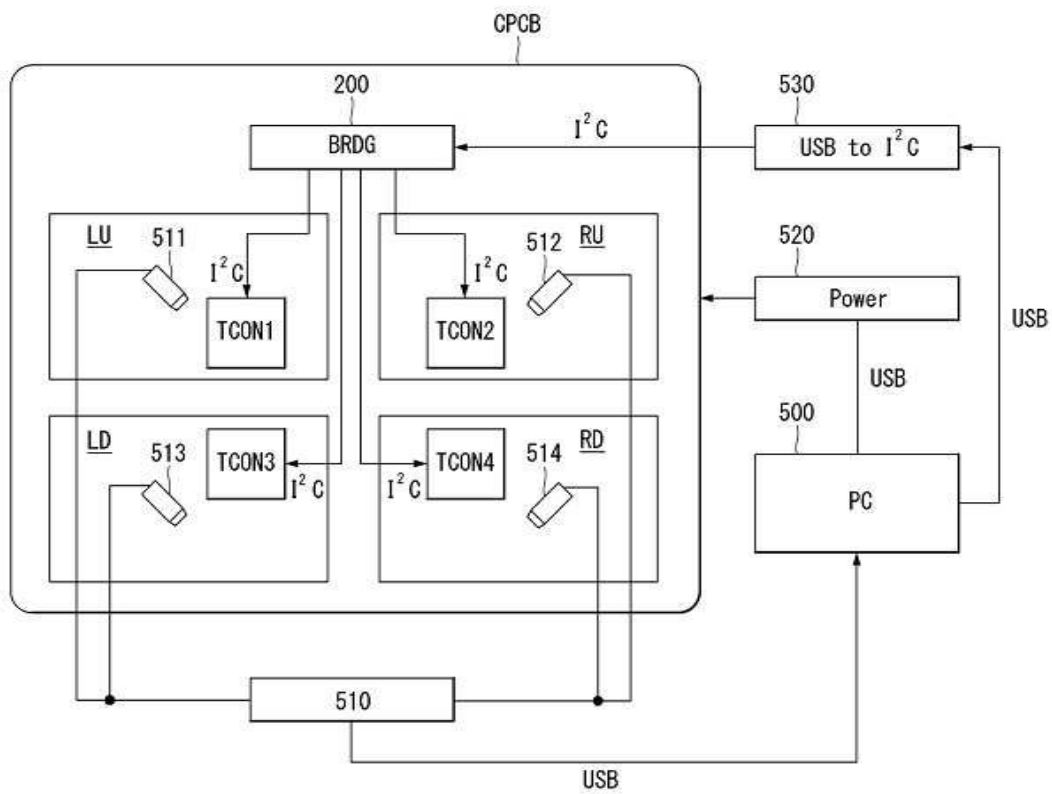
도면14



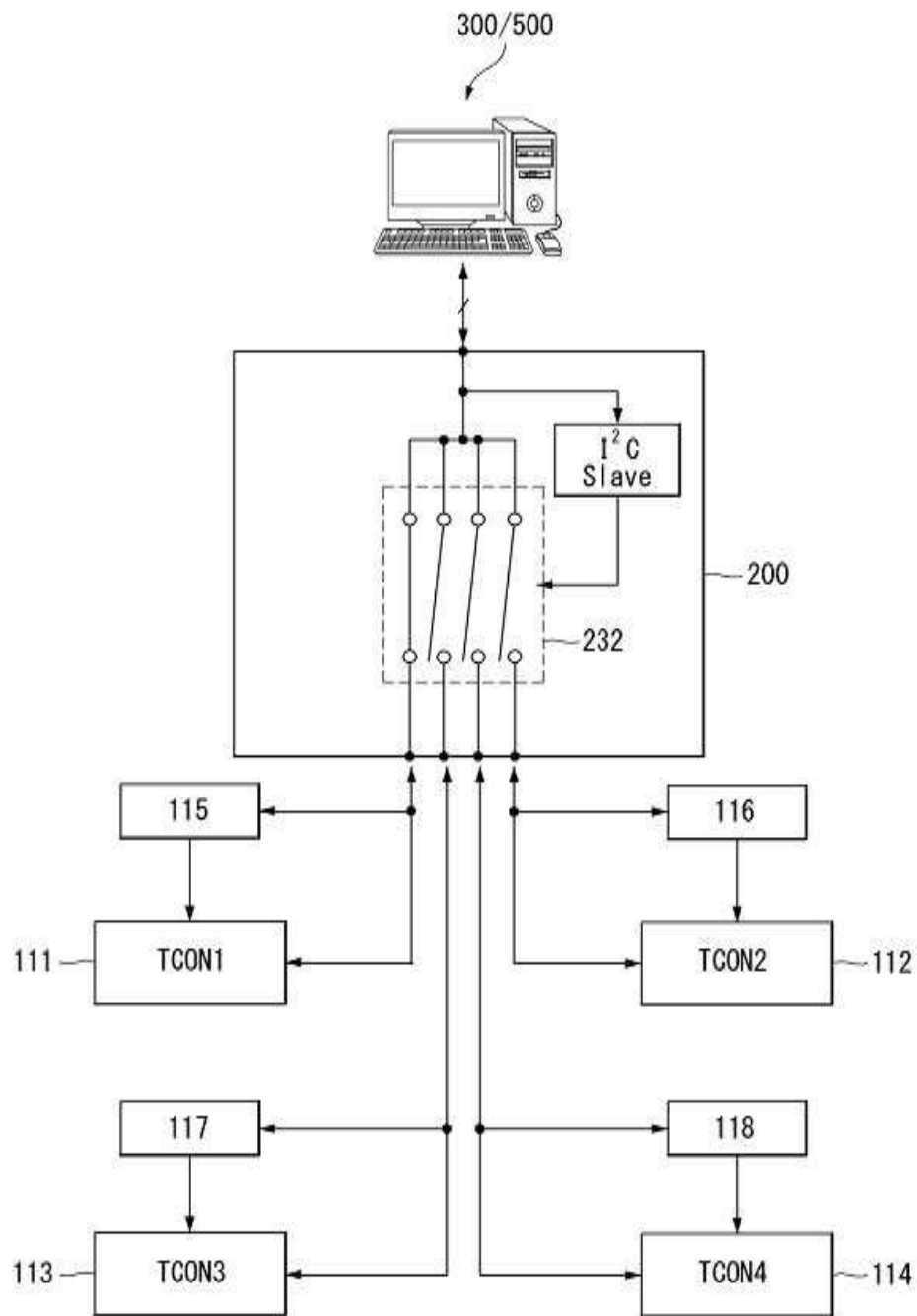
도면15



도면16



도면17



专利名称(译)	一种电致发光显示装置及其驱动装置		
公开(公告)号	KR1020180077413A	公开(公告)日	2018-07-09
申请号	KR1020160181608	申请日	2016-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM TAE GUNG 김태궁 KIM KYUNG ROK 김경록 LEE BYUNG JAE 이병재		
发明人	김태궁 김경록 이병재		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/08 G09G2230/00 G09G2310/0262 G09G2300/0828 G09G2300/0842 G09G3/3225 G09G2310/0221 G09G2320/0285 G09G2320/045 G09G2360/04 G09G2370/08 G09G3/2018 G09G3/3266 G09G3/3275 G09G2310/0291 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

本发明涉及一种电致发光显示器和驱动装置，包括第一和第二有源区，其中该电致发光显示器在屏幕上被划分，其中栅极线与数据线交叉并且像素被布置；第一驱动电路在第一有源域的像素中写入像素数据；第二驱动电路：第二时序控制器：控制第二驱动电路，发送第二驱动电路中第二有源区指示的第二有源区的像素数据，以及在第一和第二时序分配输入图像的桥电路控制器；当通过与第一和第二定时控制器连接的通信路径从第一和第二定时控制器接收到同步请求信号时，同步第一和第二定时控制器。在第一时序控制器的像素中写入像素数据：第二有源区控制第一驱动电路，它在第一驱动电路中发送在第一有源域上指示的第一有源域的像素数据。

