

(52) CPC특허분류

H01L 27/1288 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

(72) 발명자

김태환

서울특별시 양천구 중앙로49길 5-4, 401호(신월동)

김남용

인천광역시 중구 축항대로86번길 47, 13동 1003호
(항동7가, 라이프비취맨션아파트)

임고은

전라남도 목포시 터진목로34번길 5 (산정동)

손석우

전라남도 화순군 능주면 정암길 100-4

명세서

청구범위

청구항 1

기관 상에 스위칭 박막트랜지스터와;

상기 스위칭 박막트랜지스터와 접속되는 상기 구동 박막트랜지스터와;

상기 구동 박막트랜지스터와 접속되는 발광 소자를 구비하며,

상기 스위칭 박막트랜지스터 및 구동 박막트랜지스터 중 적어도 어느 하나는

상기 기관 상에 배치되는 하부 도전막과;

상기 하부 도전막을 노출시키는 컨택홀을 가지는 적어도 한층의 절연막과;

상기 컨택홀을 통해 상기 하부 도전막과 접속되는 상부 도전막과;

상기 절연막의 상부면과 상기 상부 도전막 사이에서 상기 상부 도전막과 중첩되도록 배치되는 마스크 도전층을 구비하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 상부 도전막은 상기 스위칭 박막트랜지스터의 제1 드레인 전극이며,

상기 하부 도전막은 상기 구동 박막트랜지스터의 게이트 전극인 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 스위칭 박막트랜지스터 및 구동 박막트랜지스터 각각과 접속된 스토리지 커패시터를 더 구비하며,

상기 상부 도전막은 상기 구동 박막트랜지스터의 제2 드레인 전극이며,

상기 하부 도전막은 상기 스토리지 커패시터의 스토리지 전극인 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 컨택홀의 선포는 $2\mu\text{m}$ 이하인 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 적어도 한 층의 절연막은 무기 절연 재질로 이루어지며,

상기 마스크 도전층은 IT0, MoTi 및 Al 중 적어도 어느 하나를 포함하는 단층 또는 다층 구조로 이루어진 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 마스크 도전층은 상기 컨택홀과 중첩되는 마스크홀을 가지는 유기 발광 표시 장치.

청구항 7

기판 상에 배치되는 하부 도전막과;

상기 하부 도전막을 노출시키는 컨택홀을 가지는 적어도 한층의 절연막과;

상기 컨택홀을 통해 상기 하부 도전막과 접속되는 상부 도전막과;

상기 절연막의 상부면과 상기 상부 도전막 사이에서 상기 상부 도전막과 중첩되도록 배치되는 마스크 도전층을 구비하는 표시 장치용 기판.

청구항 8

제 7 항에 있어서,

상기 적어도 한 층의 절연막은 무기 절연 재질로 이루어지며,

상기 마스크 도전층은 ITO, MoTi 및 Al 중 적어도 어느 하나를 포함하는 단층 또는 다층 구조로 이루어진 표시 장치용 기판.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 마스크 도전층은 상기 컨택홀과 중첩되는 마스크홀을 가지는 표시 장치용 기판.

청구항 10

기판 상에 하부 도전막을 형성하는 단계와;

상기 하부 도전막을 노출시키는 컨택홀을 가지는 적어도 한층의 절연막 및 마스크 도전층을 형성하는 단계와;

상기 컨택홀을 통해 상기 하부 도전막과 접속되는 상부 도전막을 형성하는 단계를 포함하며,

상기 마스크 도전층은 상기 절연막의 상부면과 상기 상부 도전막 사이에서 상기 상부 도전막과 중첩되도록 배치되는 표시 장치용 기판의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 적어도 한층의 절연막과 마스크 도전층을 형성하는 단계는

상기 하부 도전막을 덮도록 상기 적어도 한 층의 절연막과 마스크 도전층을 순차적으로 적층하는 단계와;

상기 마스크 도전층을 습식 식각하는 단계와;

상기 적어도 한 층의 절연막을 건식식각하는 단계를 포함하며,

상기 상부 도전막을 형성하는 단계는

상기 상부 도전막과 비중첩되는 상기 마스크 도전층을 제거하는 단계를 포함하는 표시 장치용 기판의 제조 방법.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 적어도 한 층의 절연막은 무기 절연 재질로 이루어지며,

상기 마스크 도전층은 ITO, MoTi 및 Al 중 적어도 어느 하나를 포함하는 단층 또는 다층 구조로 이루어진 표시 장치용 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치용 기판과, 그를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 고해

상도 구현이 가능한 표시 장치용 기판과, 그를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이러한 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 표시 장치(Organic Light Emitting Display; OLED) 등이 대표적이다.

[0003] 이러한, 표시장치의 해상도가 증가함에 따라 각 서브 화소 영역의 면적이 감소됨에 따른 설계 마진 감소로 상하로 수직하게 적층되는 박막 수가 증가하게 된다. 이 경우, 상하로 적층된 상부 도전막과 하부 도전막을 접속시키기 위해서는 상부 도전막과 하부 도전막 사이에 배치된 고두께의 절연막을 관통하는 미세 컨택홀이 필요하다. 이 고두께의 절연막을 식각하여 미세 컨택홀 형성시, 포토레지스트 패턴의 유실(Loss)이 발생되므로, 절연막의 두께에 비례하여 포토레지스트 패턴의 두께도 증가하게 된다. 그러나, 포토레지스트 패턴의 두께 증가할수록 노광 공정의 해상력이 감소된다. 이에 따라, 노광 마스크에 설계된 컨택홀 사이즈보다 큰 컨택홀이 기판 상에 형성되므로, 미세 컨택홀을 형성하기 어려워 고해상도 구현이 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 고해상도 구현이 가능한 표시 장치용 기판과, 그를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 표시 장치용 기판과, 그를 포함하는 유기 발광 표시 장치 및 그 제조 방법은 포토레지스트 패턴과, 포토레지스트 패턴 하부에 배치되는 마스크 도전층을 마스크로 이용하여 하부 도전막과 상부 도전막 사이에 배치되는 적어도 한 층의 절연막을 식각함으로써 하부 도전막을 노출시키는 컨택홀을 미세하게 형성할 수 있어 고해상도 구현이 가능해진다.

발명의 효과

[0006] 본 발명은 상부막과 하부막 사이에 배치되는 적어도 한 층의 절연막이 10,000Å 이상의 두께를 가지는 경우에도 포토레지스트 패턴과 마스크 도전층을 마스크로 이용하여 적어도 한 층의 절연막을 식각함으로써 컨택홀을 2μm 이하의 선폭으로 미세하게 형성할 수 있다. 또한, 적어도 한 층의 절연막 식각시 종래 대비 두께가 낮은 포토레지스트 패턴이 손상되더라도 마스크 도전층을 마스크로 이용하여 절연막을 식각할 수 있으므로, 안정적으로 컨택홀을 형성할 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.
 도 2는 도 1에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.
 도 3은 도 2에 도시된 제1 및 제2 드레인 컨택홀을 구체적으로 나타내는 평면도 및 단면도이다.
 도 4는 도 2에 도시된 유기 발광 표시 장치의 다른 실시예를 나타내는 단면도이다.
 도 5a 내지 도 5n은 도 2에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명하기로 한다.
 [0009] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 2는 도 1에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.
 [0010] 도 1 및 도 2에 도시된 유기 발광 표시 장치는 액티브 영역(AA)과 패드 영역(PA)을 구비한다.
 [0011] 패드 영역(PA)에는 액티브 영역(AA)에 배치되는 스캔 라인(SL), 데이터 라인(DL), 고전압(VDD) 공급 라인 및 저

전압(VSS) 공급 라인(160) 각각에 구동 신호를 공급하는 다수의 패드들이 형성된다.

- [0012] 액티브 영역(AA)은 단위 화소를 통해 영상을 표시한다. 단위 화소는 적색(R), 녹색(G) 및 청색(B) 서브 화소로 구성되거나, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소로 구성된다. 각 서브 화소는 발광 소자(130)와, 발광 소자를 독립적으로 구동하는 화소 구동 회로를 구비한다.
- [0013] 화소 구동 회로는 스위칭 박막 트랜지스터(TS), 구동 박막 트랜지스터(TD) 및 스토리지 커패시터(Cst)를 구비한다.
- [0014] 스위칭 박막 트랜지스터(TS)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 커패시터(Cst) 및 구동 박막 트랜지스터(TD)의 제2 게이트 전극(156)으로 공급한다.
- [0015] 이를 위해, 스위칭 박막 트랜지스터(TS)는 도 2에 도시된 바와 같이 제1 게이트 전극(106), 제1 소스 전극(108), 제1 드레인 전극(110) 및 제1 액티브층(104)을 구비한다,
- [0016] 제1 게이트 전극(106)은 게이트 절연막(176) 상에 배치되어 스캔 라인(SL)과 접속된다. 이 제1 게이트 전극(106)은 게이트 절연막(176)을 사이에 두고 제1 액티브층(104)과 중첩된다. 이러한 제1 게이트 전극(106)은 제1 액티브층(104)보다 상부에 배치되므로, 스위칭 박막트랜지스터(TS)는 탑-게이트 구조를 갖는다.
- [0017] 제1 소스 전극(108)은 제2 층간 절연막(180) 상에 배치되어 데이터 라인(DL)과 접속된다. 이 제1 소스 전극(108)은 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180)을 관통하는 제1 소스 콘택홀(124S)을 통해 제1 액티브층(104)과 접속된다. 즉, 제1 소스 전극(108)은 제1 소스 콘택홀(124S)에 의해 노출된 제1 액티브층(104)의 측면과 접속된다.
- [0018] 제1 드레인 전극(110)은 제1 마스크 도전층(142) 상에 제1 소스 전극(108)과 마주보도록 배치되어 구동 박막트랜지스터(TD)의 제2 게이트 전극(156)과 접속된다. 이 제1 드레인 전극(110)은 제2 버퍼층(174), 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 보호막(182)을 관통하는 제1 드레인 콘택홀(124D)을 통해 제1 액티브층(104) 및 구동 박막트랜지스터(TD)의 제2 게이트 전극(156)과 접속된다. 즉, 제1 드레인 전극(110)은 제1 드레인 콘택홀(124D)에 의해 노출된 제1 액티브층(104)의 측면과 접속되며, 제1 드레인 콘택홀(124D)에 의해 노출된 제2 게이트 전극(156)의 상부면과 접속된다.
- [0019] 제1 액티브층(104)은 제1 소스 전극(108) 및 제1 드레인 전극(110) 사이에 채널부를 형성한다. 이 제1 액티브층(104)은 제1 게이트 전극(106)보다 아래에 배치되도록 제2 버퍼층(174) 상에 형성된다. 이러한 제1 액티브층(104)은 비정질 반도체 물질, 다결정 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성된다.
- [0020] 구동 트랜지스터(TD)는 그 구동 트랜지스터(TD)의 제2게이트 전극(156)에 공급되는 데이터 신호에 응답하여 고전압(VDD) 공급 라인으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 박막 트랜지스터(TS)가 턴-오프되더라도 스토리지 커패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0021] 이를 위해, 구동 트랜지스터(TD)는 도 2에 도시된 바와 같이 제2 게이트 전극(156), 제2 소스 전극(158), 제2 드레인 전극(160) 및 제2 액티브층(154)을 구비한다.
- [0022] 제2 게이트 전극(156)은 제1 버퍼층(172) 상에 배치되어 스위칭 박막트랜지스터(TS)의 제1 드레인 전극(110)과 접속된다. 이 제2 게이트 전극(156)은 제2 버퍼층(174)을 사이에 두고 제2 액티브층(154)과 중첩된다. 이러한 제2 게이트 전극(156)은 제2 액티브층(154)보다 하부에 배치되므로, 구동 박막트랜지스터(TD)는 버텀-게이트 구조를 갖는다.
- [0023] 제2 소스 전극(158)은 제1 층간 절연막(178) 상에 배치되어 고전압(VDD) 공급 라인과 접속된다. 이 제2 소스 전극(158)은 제2 액티브층(154), 게이트 절연막(176), 제1 층간 절연막(178)을 관통하는 제2 소스 콘택홀(174S)을 통해 제2 액티브층(154)과 접속된다. 즉, 제2 소스 전극(158)은 제2 소스 콘택홀(154S)에 의해 노출된 제2 액티브층(154)의 측면과 접속된다. 한편, 제2 소스 전극(158)은 도 2에 도시된 바와 같이 제1 소스 전극(108)과 다른 평면인 제1 층간 절연막(178) 상에 배치되는 구조를 예로 들어 설명하였지만, 공정의 단순화를 위해 제1 소스 전극(108)과 동일 평면인 제2 층간 절연막(178) 상에 동일 재질로 형성될 수도 있다. 또는 제1 소스 전극(108)이 제2 소스 전극(158)과 동일 평면인 제1 층간 절연막(178) 상에 동일 재질로 형성될 수도 있다.
- [0024] 제2 드레인 전극(160)은 제2 마스크 도전층(144) 상에 제2 소스 전극(158)과 마주보도록 배치되어 발광 소자의

애노드 전극(132) 및 스토리지 전극(170)과 접속된다.

- [0025] 제2 드레인 전극(160)은 제1 및 제2 버퍼층(172,174), 제2 액티브층(154), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 및 제2 보호막(182,184)을 관통하는 제2 드레인 컨택홀(174D)을 통해 제2 액티브층(154) 및 스토리지 전극(170)과 접속된다. 즉, 제2 드레인 전극(160)은 제2 드레인 컨택홀(174D)에 의해 노출된 제2 액티브층(154)의 측면과 접속되며, 제2 드레인 컨택홀(174D)에 의해 노출된 스토리지 전극(170)의 상부면과 접속된다.
- [0026] 또한, 제2 드레인 전극(160)은 평탄화층(128)을 관통하는 화소 컨택홀(120)을 통해 노출되어 애노드 전극(132)과 접속된다.
- [0027] 제2 액티브층(154)은 제2 소스 전극(158) 및 제2 드레인 전극(160) 사이에 채널부를 형성한다. 이 제2 액티브층(154)은 제2 게이트 전극(156)보다 상부에 배치되도록 제2 버퍼층(174) 상에 형성된다. 이러한 제2 액티브층(154)은 비정질 반도체 물질, 다결정 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성되며, 제1 액티브층(104)과 동일 재질 또는 다른 재질로 형성된다.
- [0028] 스토리지 커패시터(Cst)는 병렬로 접속된 제1 및 제2 스토리지 커패시터(Cst1,Cst2)를 구비한다. 제1 스토리지 커패시터(Cst1)는 제1 버퍼층(172)을 사이에 두고 스토리지 전극(170) 및 구동 박막트랜지스터의 제2 게이트 전극(156)이 중첩됨으로써 형성된다. 제2 스토리지 커패시터(Cst2)는 제2 보호막(184)을 사이에 두고 스위칭 박막트랜지스터(TS)의 드레인 전극(110)과 구동 박막트랜지스터(TD)의 제2 드레인 전극(160)이 중첩됨으로써 형성된다.
- [0029] 여기서, 제1 버퍼층(172) 및 제2 보호막(184)은 제2 버퍼층(174), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180) 및 제1 보호막(182) 중 어느 하나보다 유전율이 높은 재질로 형성된다. 예를 들어, 제1 버퍼층(172) 및 제2 보호막(184)은 SiNx 로 형성되고, 제2 버퍼층(174), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180) 및 제1 보호막(182) 중 적어도 어느 하나는 SiOx 로 형성된다. 이에 따라, 유전율에 비례하는 제1 및 제2 스토리지 커패시터(Cst1,Cst2)의 용량값은 증가하게 된다.
- [0030] 이러한 제1 및 제2 스토리지 커패시터(Cst1,Cst2)에 충전된 전압에 의해 스위칭 박막트랜지스터(TS)가 턴-오프되더라도 구동 박막트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광소자(130)의 발광을 유지하게 한다.
- [0031] 발광 소자(130)는 구동 트랜지스터(TD)의 제2 드레인 전극(160)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 적어도 하나의 발광 스택(134)과, 발광 스택(134) 위에 형성된 캐소드 전극(136)을 구비한다.
- [0032] 애노드 전극(132)은 평탄화층(128) 상에 배치되며, बैं크(138)에 의해 노출된다. 이 애노드 전극(132)은 화소 컨택홀(120)을 통해 노출된 구동 박막 트랜지스터(TD)의 제2 드레인 전극(160)과 전기적으로 접속된다. 이러한 애노드 전극(132)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 형성되거나, 반사효율이 높은 불투명 도전막의 단층 구조로 형성된다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수 값이 비교적 큰 재질로 이루어지고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 애노드 전극(132)은 투명 도전막, 불투명 도전막 및 투명 도전막이 순차적으로 적층된 구조로 형성되거나, 투명 도전막 및 불투명 도전막이 순차적으로 적층된 구조로 형성된다. 이러한 불투명 도전막을 포함하는 애노드 전극(132)은 화소 구동 회로와 중첩됨으로써 화소 구동 회로가 배치되는 영역까지도 발광영역으로 이용할 수 있어 개구율을 향상시킬 수 있다.
- [0033] 발광 스택(134)은 애노드 전극(132) 상에 정공 수송층(HTL), 유기 발광층(EML), 전자 수송층(ETL) 순으로 또는 역순으로 적층되어 형성된다. 이외에도 발광 스택(134)은 전하 생성층(CGL)을 사이에 두고 대향하는 제1 및 제2 발광 스택들(134a,134b)을 구비할 수도 있다. 이 경우, 제1 및 제2 발광 스택(134a,134b) 중 어느 하나의 유기 발광층(EML)은 청색광을 생성하고, 제1 및 제2 발광 스택(134a,134b) 중 나머지 하나의 유기 발광층(EML)은 노란색-녹색광을 생성함으로써 제1 및 제2 발광 스택(134a,134b)을 통해 백색광이 생성된다. 이 발광스택(134)에서 생성된 백색광은 발광 스택(134) 상부에 위치하는 컬러 필터(도시하지 않음)에 입사되므로 컬러 영상을 구현할 수 있다. 이외에도 별도의 컬러 필터 없이 각 발광 스택(134)에서 각 서브 화소에 해당하는 컬러광을 생성하여 컬러 영상을 구현할 수도 있다. 즉, 적색(R) 서브 화소의 발광 스택(134)은 적색광을, 녹색(G) 서브 화소의 발광 스택(134)은 녹색광을, 청색(B) 서브 화소의 발광 스택(134)은 청색광을 생성할 수도 있다.

- [0034] 뱅크(138)는 각 서브 화소 영역의 발광 영역을 마련하도록 애노드 전극(132)을 노출시키도록 형성된다. 이러한 뱅크(138)는 인접한 서브 화소 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, 뱅크(138)는 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광재질을 포함한다.
- [0035] 캐소드 전극(136)은 발광 스택(134)을 사이에 두고 애노드 전극(132)과 대향하도록 발광 스택(134) 및 뱅크(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명 도전막으로 이루어진다.
- [0036] 한편, 본 발명의 제1 드레인 전극(110) 및 제1 보호막(182) 사이에는 제1 드레인 전극(110)과 중첩되는 제1 마스크 도전층(142)이 배치되고, 제2 드레인 전극(160) 및 제2 보호막(184) 사이에는 제2 드레인 전극(160)과 중첩되는 제2 마스크 도전층(144)이 배치된다.
- [0037] 제1 마스크 도전층(142)은 제1 드레인 컨택홀(124D)과 중첩되는 제1 마스크홀(142a)을 가진다. 이 제1 마스크홀(142a)은 드레인 컨택홀(124D)과 동일 또는 유사한 선폴을 가진다. 이러한 제1 마스크 도전층(142)의 양끝단은 제1 드레인 전극(110)의 양끝단과 대응된다. 즉, 제1 마스크 도전층(142) 및 제1 드레인 전극(110) 각각의 양끝단이 서로 일치하거나, 제1 마스크 도전층(142)의 양끝단이 제1 드레인 전극(110)의 양끝단보다 내측 또는 외측에 위치할 수도 있다.
- [0038] 제2 마스크 도전층(144)은 제2 드레인 컨택홀(174D)과 중첩되는 제2 마스크홀(144a)을 가진다. 이 제2 마스크홀(144a)은 제2 드레인 컨택홀(174D)과 동일 또는 유사한 선폴을 가진다. 이러한 제2 마스크 도전층(144)의 양끝단은 제2 드레인 전극(160)의 양끝단과 대응된다. 즉, 제2 마스크 도전층(144) 및 제2 드레인 전극(160) 각각의 양끝단이 서로 일치하거나, 제2 마스크 도전층(144)의 양끝단이 제2 드레인 전극(160)의 양끝단보다 내측 또는 외측에 위치할 수도 있다.
- [0039] 제1 및 제2 마스크 도전층(142,144)은 제1 및 제2 드레인 컨택홀(124D,174D) 형성시 이용되는 식각 가스에 식각되지 않고 견디는 재질로 형성된다. 예를 들어, 제1 및 제2 마스크 도전층(142,144)은 습식 식각 공정의 식각액에 반응하는 ITO, MoTi 및 Al 중 어느 하나를 이용하여 단층 또는 다층 구조로 형성된다. 이 제1 및 제2 마스크 도전층(142,144)은 동일 재질 또는 다른 재질로 형성된다. 제1 및 제2 버퍼막(172,174), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 및 제2 보호막(182,184) 중 적어도 어느 하나는 제1 및 제2 마스크 도전층(142,144)과 식각 특성이 다른 재질로 형성된다. 즉, 제1 및 제2 버퍼막(172,174), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 및 제2 보호막(182,184) 중 적어도 어느 하나는 건식 식각 공정의 식각 가스에 반응하는 Si계열의 무기막(예를 들어, SiNx 또는 SiOx)으로 형성된다.
- [0040] 이러한 제1 마스크 도전층(142)은 제1 드레인 컨택홀(124D)의 형성을 위해 제2 버퍼층(174), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180) 및 제1 보호막(182)의 건식 식각시 포토레지스트 패턴과 함께 마스크 역할을 한다. 그리고, 제2 마스크 도전층(144)은 제2 드레인 컨택홀(174D)의 형성을 위해 제1 버퍼층(172), 제2 버퍼층(174), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 및 제2 보호막(182,184)의 건식 식각시 포토레지스트 패턴과 함께 마스크 역할을 한다.
- [0041] 이에 따라, 제1 및 제2 드레인 컨택홀(124D,174D) 형성시 마스크 역할을 하는 제1 및 제2 마스크 도전층(142,144)에 의해 포토레지스트 패턴의 두께를 줄일 수 있다. 포토레지스트 패턴의 두께 감소에 따른 노광 해상력 증가로 제1 및 제2 드레인 컨택홀(124D,174D) 각각을 2 μ m이하의 미세 선폴과 1 μ m이상의 깊이를 가지도록 형성할 수 있다. 구체적으로, 도 3에 도시된 바와 같이 제1 및 제2 드레인 컨택홀(124D,174D)에 의해 노출된 버퍼층, 게이트 절연막, 층간 절연막 및 보호막을 포함하는 적어도 한 층의 절연막의 측면 경사각은 80도 이상의 예각을 가진다. 이 경우, 제1 및 제2 드레인 컨택홀(124D,174D) 각각은 상부(예를 들어 보호막(182,184))에서 하부(예를 들어 버퍼막(172,174))으로 갈수록 선폴이 작아지나, 그 차이가 작다. 따라서, 보호막(182,184)의 측면을 노출시키는 제1 및 제2 드레인 컨택홀(124D,174D)은 최대 선폴을 가진다. 이 때, 제1 및 제2 드레인 컨택홀(124D,174D)의 최대 선폴(W)은 2 μ m이하, 예를 들어 1.5 μ m이며, 최대 깊이(D)는 1.2~1.4 μ m이다.
- [0042] 한편, 본 발명에서는 제1 및 제2 드레인 컨택홀(124D,174D)을 미세홀로 형성하는 것을 예로 들어 설명하였지만, 이외에도 도 4에 도시된 바와 같이 제1 및 제2 소스 컨택홀(124S,174S) 및 화소 컨택홀(120) 중 적어도 어느 하나를 포함하는 컨택홀을 미세홀로 형성할 수 있다. 이 경우, 제1 및 제2 소스 전극(108,158)과 애노드 전극(132) 중 적어도 어느 하나와, 절연막 사이에는 제3 마스크 도전층(146)이 배치된다. 제2 소스 컨택홀(174S)을 가지는 제3 마스크 도전층(146)은 제1 층간 절연막(178)과 제2 소스 전극(158) 사이에서 제2 소스 전극(158)과 중첩되게 형성되며 제1 층간 절연막(178)과 식각 특성이 다른 재질로 형성된다. 그리고, 제1 소스 컨택홀

(124S)을 가지는 제3 마스크 도전층(146)은 제2 층간 절연막(180)과 제1 소스 전극(108) 사이에서 제1 소스 전극(108)고 중첩되게 형성되며, 제2 층간 절연막(180)과 식각 특성이 다른 재질로 형성된다. 예를 들어, 제1 및 제2 층간 절연막(178,180)은 건식 식각 공정의 식각 가스에 반응하는 SiN_x 또는 SiO_x 로 형성되고, 제3 마스크 도전층(146)은 습식 식각 공정의 식각액에 반응하는 ITO, MoTi 및 Al 중 어느 하나를 이용하여 단층 또는 다층 구조로 형성된다.

[0043] 도 5a 내지 도 5n은 도 2에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0044] 도 5a를 참조하면, 기판(101) 상에 스토리지 전극(170)이 형성된다.

[0045] 구체적으로, 플라스틱, 유리 또는 다수의 절연층으로 형성된 기판(101) 상에 제1 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제1 금속층이 패터닝됨으로써 스토리지 전극(170)이 형성된다.

[0046] 도 5b를 참조하면, 스토리지 전극(170)이 형성된 기판(101) 상에 제1 버퍼층(172) 및 제2 게이트 전극(156)이 순차적으로 형성된다.

[0047] 구체적으로, 스토리지 전극(170)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질을 전면 적층함으로써 제1 버퍼층(172)이 형성된다. 그런 다음, 제1 버퍼층(172) 상에 제2 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제2 금속층이 패터닝됨으로써 제2 게이트 전극(156)이 형성된다.

[0048] 도 5c를 참조하면, 제2 게이트 전극(156)이 형성된 기판(101) 상에 제2 버퍼층(174) 및 제1 및 제2 액티브층(104,154)이 순차적으로 형성된다.

[0049] 구체적으로, 제2 게이트 전극(156)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질을 전면 적층함으로써 제2 버퍼층(174)이 형성된다. 그런 다음, 제2 버퍼층(174) 상에 반도체층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 반도체층이 패터닝됨으로써 제1 및 제2 액티브층(104,154)이 형성된다.

[0050] 도 5d를 참조하면, 제1 및 제2 액티브층(104,154)이 형성된 기판(101) 상에 게이트 절연막(176) 및 제1 게이트 전극(106)이 순차적으로 형성된다.

[0051] 구체적으로, 제1 및 제2 액티브층(104,154)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질을 전면 적층함으로써 게이트 절연막(176)이 형성된다. 그런 다음, 게이트 절연막(176) 상에 제3 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제3 금속층이 패터닝됨으로써 제1 게이트 전극(106)이 형성된다.

[0052] 도 5e를 참조하면, 제1 게이트 전극(106)이 형성된 기판(101) 상에 제2 소스 컨택홀(174S)을 가지는 제1 층간 절연막(178)이 형성된다.

[0053] 구체적으로, 제1 게이트 전극(106)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질을 전면 적층함으로써 제1 층간 절연막(178)이 형성된다. 그런 다음, 제2 버퍼층(174)의 일부, 제2 액티브층(154), 게이트 절연막(176), 제1 층간 절연막(178)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 제2 소스 컨택홀(174S)이 형성된다. 이 때, 제2 소스 컨택홀(174S)은 제2 버퍼층(174)의 일부, 제2 액티브층(154), 게이트 절연막(176), 제1 층간 절연막(178)을 관통하도록 형성되어 노출된 제2 액티브층(154)의 측면과 접촉된다.

[0054] 도 5f를 참조하면, 제2 소스 컨택홀(174S)이 형성된 기판(101) 상에 제2 소스 전극(158)이 형성된다.

[0055] 구체적으로, 제2 소스 컨택홀(174S)이 형성된 기판(101) 상에 제4 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제4 금속층이 패터닝됨으로써 제2 소스 전극(158)이 형성된다.

[0056] 도 5g를 참조하면, 제2 소스 전극(158)이 형성된 기판(101) 상에 제1 소스 컨택홀(124S)을 가지는 제2 층간 절연막(180)이 형성된다.

[0057] 구체적으로, 제2 소스 전극(158)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질을 전면 적층함으로써 제2 층간 절연막(180)이 형성된다. 그런 다음, 제2 버퍼층(174)의 일부, 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 제1 소스 컨택홀(124S)이 형성된다. 이 때, 제1 소스 컨택홀(124S)은 제2 버퍼층(174)의 일부, 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180)을 관통하도록 형성되어 노출된 제1 액티브층(104)의 측면과 접촉된다.

[0058] 도 5h를 참조하면, 제1 소스 컨택홀(124S)이 형성된 기판(101) 상에 제1 소스 전극(108)이 형성된다.

- [0059] 구체적으로, 제1 소스 컨택홀(124S)이 형성된 기판(101) 상에 제5 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제5 금속층이 패터닝됨으로써 제1 소스 전극(108)이 형성된다.
- [0060] 도 5i를 참조하면, 제1 소스 전극(108)이 형성된 기판(101) 상에 제1 드레인 컨택홀(124D)을 가지는 제1 보호막(182)과 제1 마스크 도전층(142)이 형성된다.
- [0061] 구체적으로, 제1 소스 컨택홀(124S)이 형성된 기판(101) 상에 제1 보호막(182)이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 제6 금속층이 형성된다. 제1 보호막(182)으로는 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 이용되며, 제6 금속층으로는 IT0, MoTi 및 Al 중 적어도 어느 하나가 이용된다. 그런 다음, 제6 금속층 상에 노광 및 현상 공정을 통해 포토레지스트 패턴(192)이 형성된다. 이 포토레지스트 패턴(192)을 마스크로 이용한 습식 또는 건식 식각 공정을 통해 제 6 금속층이 패터닝됨으로써 제1 마스크홀(142a)을 가지는 제1 마스크 도전층(142)이 형성된다. 그런 다음, 포토레지스트 패턴(192) 및 제1 마스크 도전층(142)을 마스크로 이용한 건식 식각 공정을 통해 제2 버퍼층(174), 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 보호막(182)이 패터닝됨으로써 제1 드레인 컨택홀(124D)이 형성된다. 이 때, 제1 드레인 컨택홀(124D)은 제2 버퍼층(174), 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180)과 제1 보호막(182)을 관통하도록 형성되어 노출된 제1 액티브층(104)의 측면 및 제2 게이트 전극(156)의 상부면과 접촉된다. 그리고, 제1 마스크 도전층(142)은 제1 보호막(182)과 동일 패턴으로 형성된다.
- [0062] 도 5j를 참조하면, 제1 드레인 컨택홀(124D)을 가지는 제1 보호막(182)과 제1 마스크 도전층(142)이 형성된 기판(101) 상에 제1 드레인 전극(110)이 형성된다.
- [0063] 구체적으로, 제1 드레인 컨택홀(124D)을 가지는 제1 보호막(182)과 제1 마스크 도전층(142)이 형성된 기판(101) 상에 제7 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제7 금속층이 패터닝됨으로써 제1 드레인 전극(110)이 형성된다. 한편, 제1 드레인 전극(108)의 형성을 위해, 제7 금속층의 식각 공정시 제1 마스크 도전층(142)도 식각되므로, 제1 드레인 전극(108)과 비중첩되는 영역의 제1 마스크 도전층(142)은 제거된다. 이에 따라, 제1 마스크 도전층(142)은 제1 드레인 전극(108) 및 제1 보호막(182)의 상부면 사이에서 제1 드레인 전극(108)과 중첩되게 배치된다.
- [0064] 도 5k를 참조하면, 제1 드레인 전극(110)이 형성된 기판(101) 상에 제2 드레인 컨택홀(174D)을 가지는 제2 보호막(184)과 제2 마스크 도전층(144)이 형성된다.
- [0065] 구체적으로, 제1 드레인 전극(110)이 형성된 기판(101) 상에 제2 보호막(184)이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 제8 금속층이 형성된다. 제2 보호막(184)으로는 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 이용되며, 제8 금속층으로는 IT0, MoTi 및 Al 중 적어도 어느 하나가 이용된다. 그런 다음, 제8 금속층 상에 노광 및 현상 공정을 통해 포토레지스트 패턴이 형성된다. 이 포토레지스트 패턴(194)을 마스크로 이용한 습식 또는 건식 식각 공정을 통해 제 8 금속층이 패터닝됨으로써 제2 마스크홀(144a)을 가지는 제2 마스크 도전층(144)이 형성된다. 그런 다음, 포토레지스트 패턴(194) 및 제2 마스크 도전층(144)을 마스크로 이용한 건식 식각 공정을 통해 제1 버퍼층(172), 제2 버퍼층(174), 제2 액티브층(154), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180), 제1 보호막(182), 제2 보호막(184)이 패터닝됨으로써 제2 드레인 컨택홀(174D)이 형성된다. 이 때, 제2 드레인 컨택홀(174D)은 제1 버퍼층(172), 제2 버퍼층(174), 제1 액티브층(104), 게이트 절연막(176), 제1 및 제2 층간 절연막(178,180)과 제1 보호막(182), 제2 마스크 도전층(144) 및 제2 보호막(184)을 관통하도록 형성되어 노출된 제2 액티브층(154)의 측면 및 스토리지 전극(170)의 상부면과 접촉된다. 그리고, 제2 마스크 도전층(144)은 제2 보호막(184)과 동일 패턴으로 형성된다.
- [0066] 도 5l를 참조하면, 제2 드레인 컨택홀(174D)을 가지는 제2 보호막(184)과 제2 마스크 도전층(144)이 형성된 기판(101) 상에 제2 드레인 전극(160)이 형성된다.
- [0067] 구체적으로, 제2 드레인 컨택홀(174D)을 가지는 제2 보호막(184)과 제2 마스크 도전층(144)이 형성된 기판(101) 상에 제9 금속층이 전면 적층된 후, 포토리소그래피 공정 및 식각 공정으로 제9 금속층이 패터닝됨으로써 제2 드레인 전극(160)이 형성된다. 한편, 제2 드레인 전극(160)의 형성을 위해, 제9 금속층의 식각 공정시 제2 마스크 도전층(144)도 식각되므로, 제2 드레인 전극(110)과 비중첩되는 영역의 제2 마스크 도전층(144)은 제거된다. 이에 따라, 제2 마스크 도전층(144)은 제2 드레인 전극(110) 및 제2 보호막(184)의 상부면 사이에서 제2 드레인 전극(110)과 중첩되게 배치된다.
- [0068] 도 5m를 참조하면, 제2 드레인 전극(160)이 형성된 기판(101) 상에 화소 컨택홀(120)을 가지는 평탄화층(128)이 형성된다.

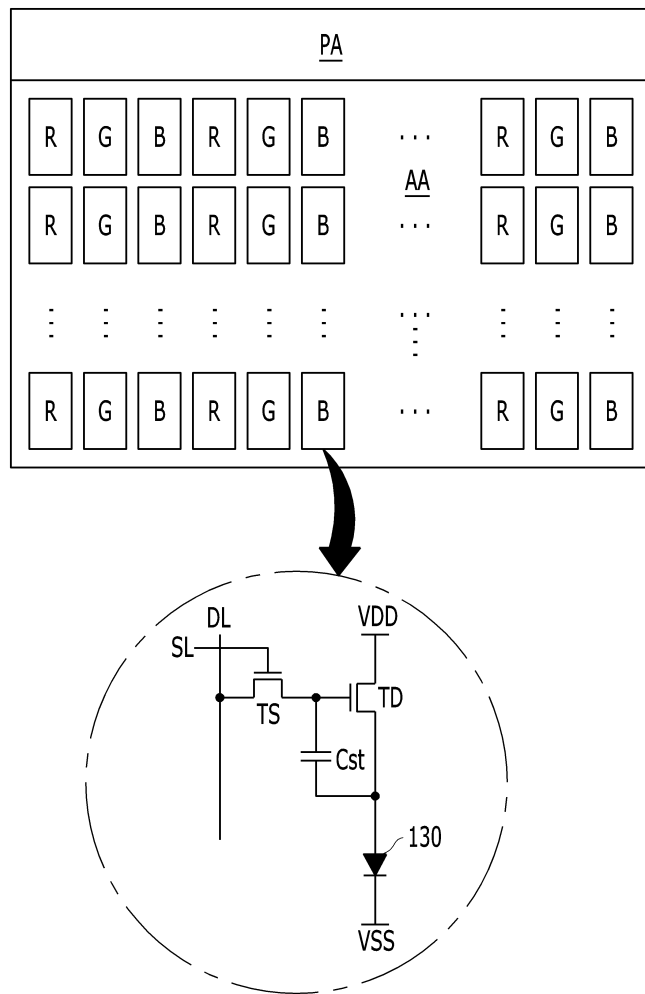
- [0069] 구체적으로, 제2 드레인 전극(160)이 형성된 기판(101) 상에 유기막이 전면 도포됨으로써 평탄화층(128)이 형성된다. 그런 다음, 유기막이 포토리소그래피공정을 통해 패터닝됨으로써 제2 드레인 전극(160)을 노출시키는 화소 콘택홀(120)이 형성된다.
- [0070] 도 5n을 참조하면, 평탄화층(128)이 형성된 기판(101) 상에 애노드 전극(132), बैं크(138), 발광스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0071] 구체적으로, 평탄화층(128)이 형성된 기판(101) 상에 제10 금속층이 전면 증착된 후, 포토리소그래피 공정을 통해 제10 금속층이 패터닝됨으로써 애노드 전극(132)이 형성된다. 그런 다음, 애노드 전극(132)이 형성된 기판(101) 상에 유기막을 전면 도포한 다음, 그 유기막을 포토리소그래피 공정을 통해 패터닝함으로써 बैं크(134)이 형성된다. 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 패드 영역을 제외한 액티브 영역에 유기 발광층(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0072] 이와 같이, 본 발명은 상부 도전막(예를 들어, 제1 드레인 전극(110) 또는 제2 드레인 전극(160)과, 하부 도전막(예를 들어, 제1 게이트 전극(106) 또는 스토리지 전극(170)을 접속시키기 위한 콘택홀(124D, 174D)을 미세하게 형성할 수 있다. 특히, 본원 발명은 상부 도전막과 하부 도전막 사이에 배치되는 적어도 한 층의 절연막이 10,000Å 이상의 두께를 가지는 경우에도 포토레지스트 패터닝과 마스크 도전층(142, 144)을 마스크로 이용하여 절연막을 식각함으로써 콘택홀을 2 μ m 이하의 선폭으로 미세하게 형성할 수 있다. 즉, 콘택홀은 상부 도전막에서 하부 도전막으로 갈수록 선폭이 작아지며, 콘택홀의 최대 선폭은 2 μ m 이하, 예를 들어 1.5 μ m이며, 최대 깊이(D)는 1 μ m 이상, 예를 들어 1.2~1.4 μ m이다. 이러한 콘택홀은 고해상도모델에 적용가능하므로 본원 발명은 고해상도 구현이 가능해진다. 또한, 적어도 한 층의 절연막 식각시 종래 대비 두께가 낮은 포토레지스트 패터닝이 손상되더라도 마스크 도전층(142, 144)을 마스크로 이용하여 절연막을 식각할 수 있으므로, 안정적으로 콘택홀(124D, 174D)을 형성할 수 있다.
- [0073] 한편, 본 발명에서는 화소 구동 회로가 스위칭 및 구동 트랜지스터와 1개의 스토리지 커패시터를 구비하는 것을 예로 들어 설명하였지만, 화소 구동 회로의 구조는 구체적인 예시일 뿐 이를 한정하는 것은 아니다. 예를 들어, 화소 구동 회로가 센싱 트랜지스터를 더 구비하는 구조에도 적용될 수 있다. 여기서, 센싱트랜지스터는 구동 트랜지스터(TD)의 문턱전압을 센싱하며, 센싱된 문턱 전압만큼에 비례하여 데이터 전압이 보상된다.
- [0074] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

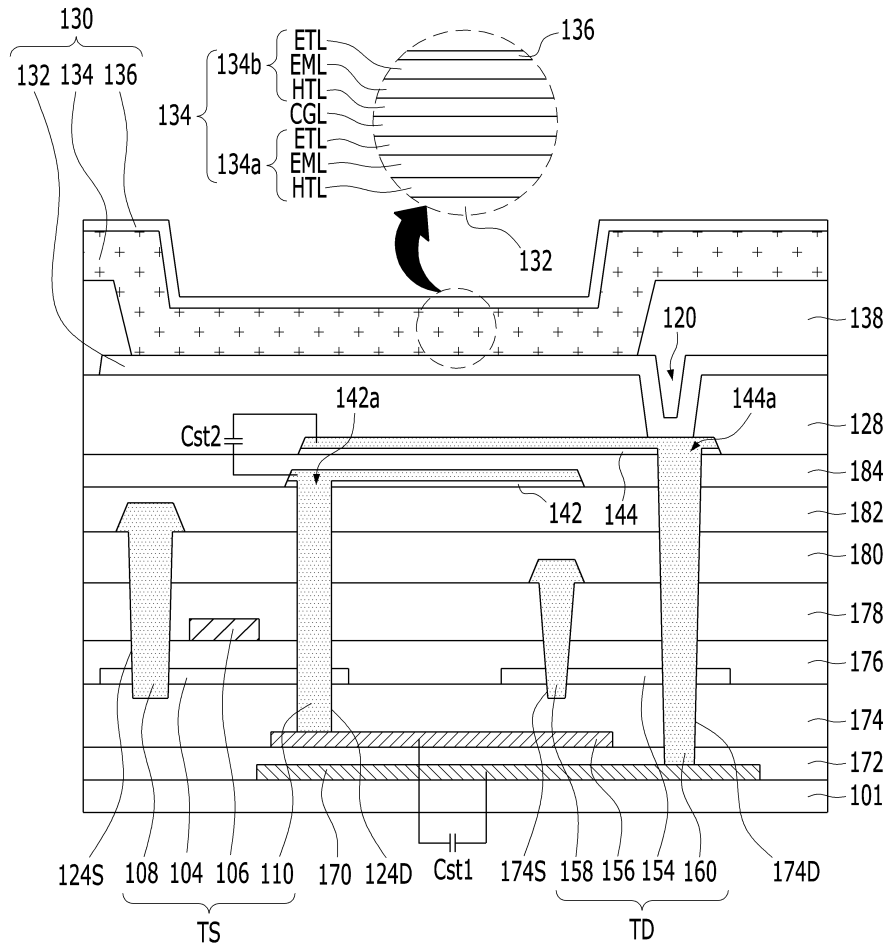
- [0075] 101 : 기판 104, 154 : 반도체층
- 106, 156 : 게이트 전극 108, 158 : 소스 전극
- 110, 160 : 드레인 전극 132 : 애노드 전극
- 134 : 발광 스택 136 : 캐소드 전극
- 142, 144, 146 : 마스크 도전층 170 : 스토리지 전극

도면

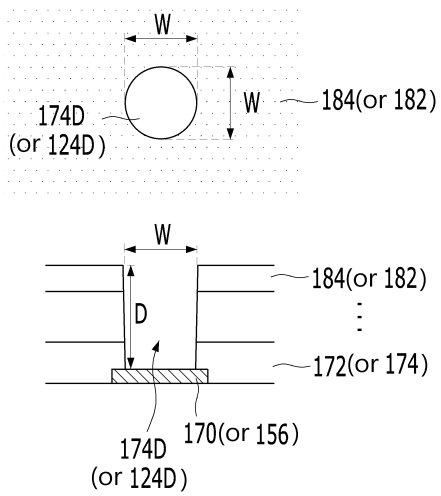
도면1



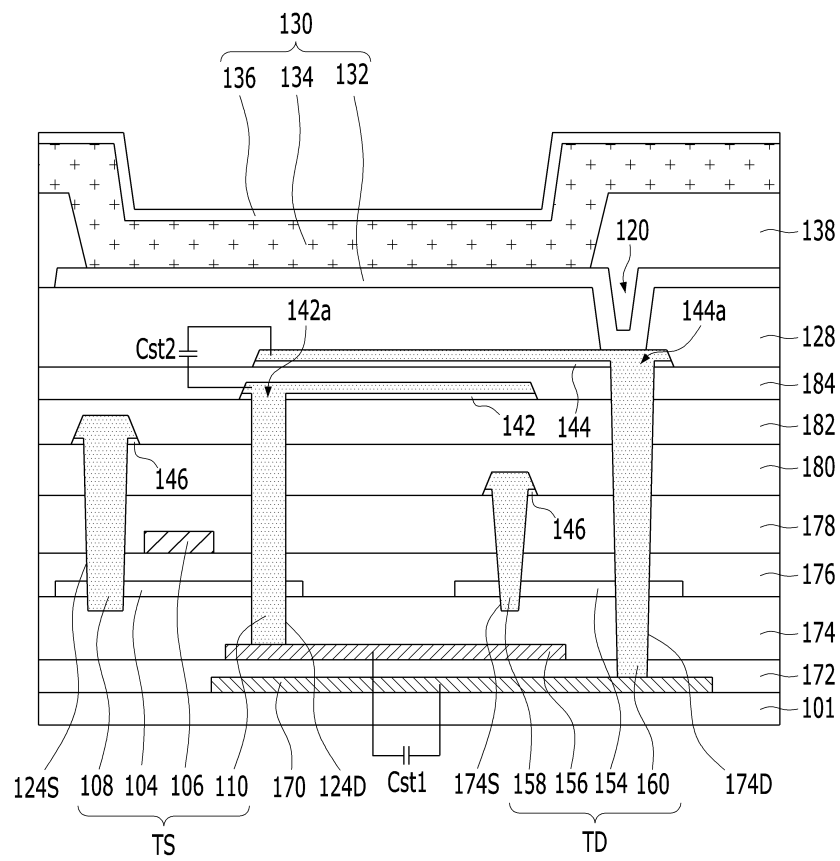
도면2



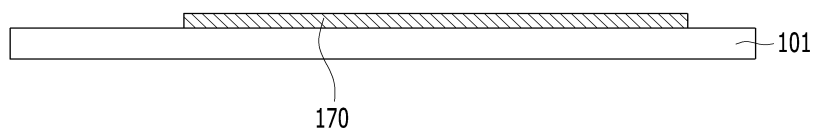
도면3



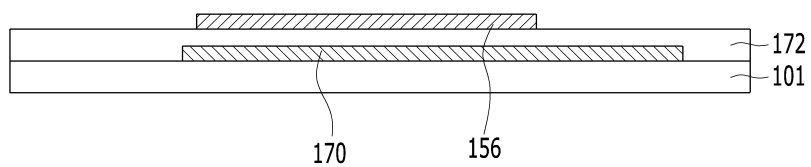
도면4



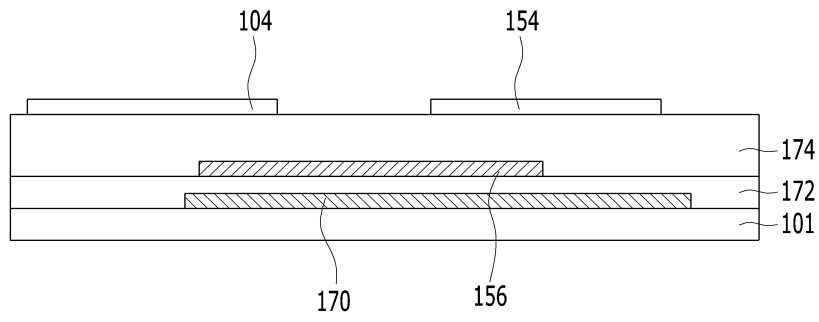
도면5a



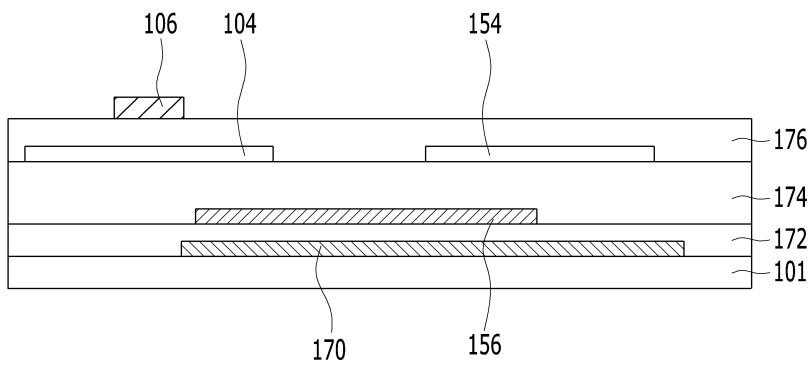
도면5b



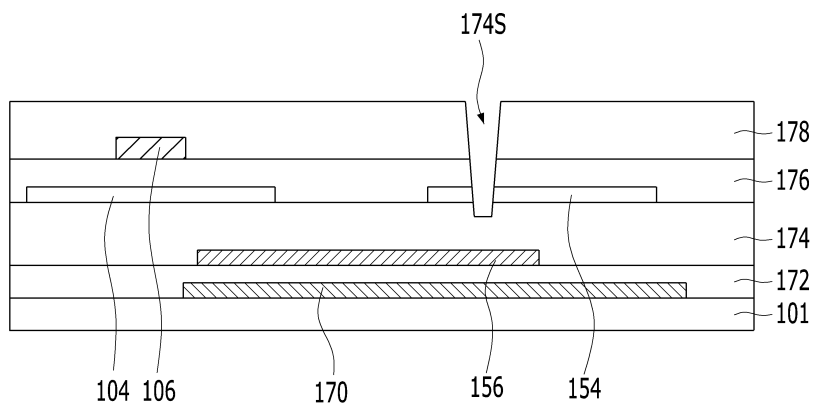
도면5c



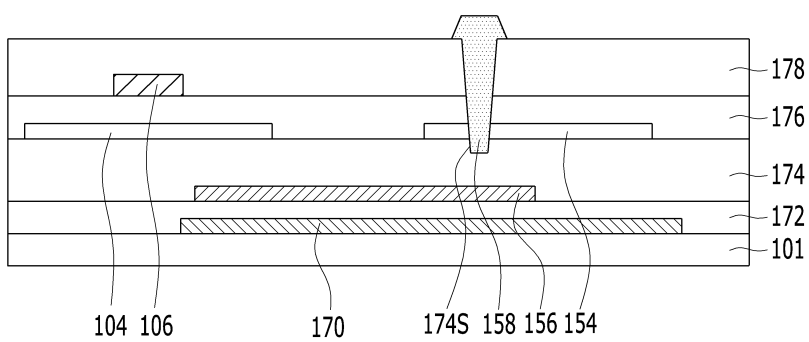
도면5d



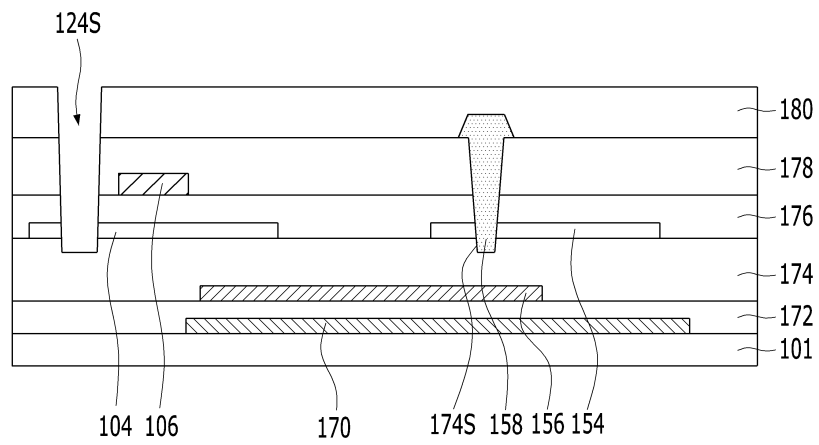
도면5e



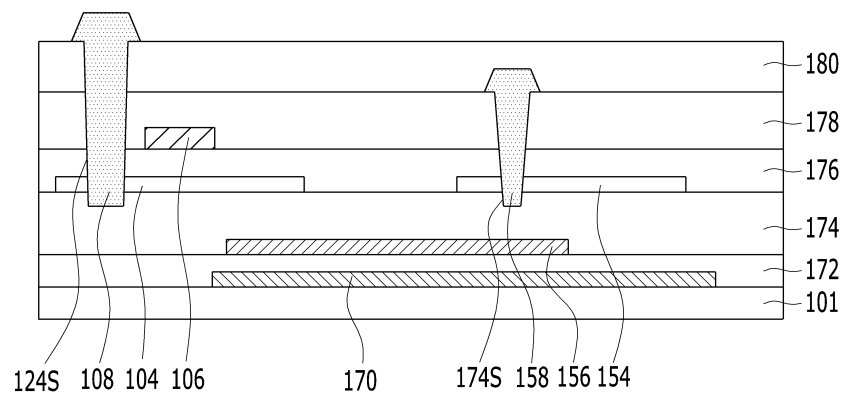
도면5f



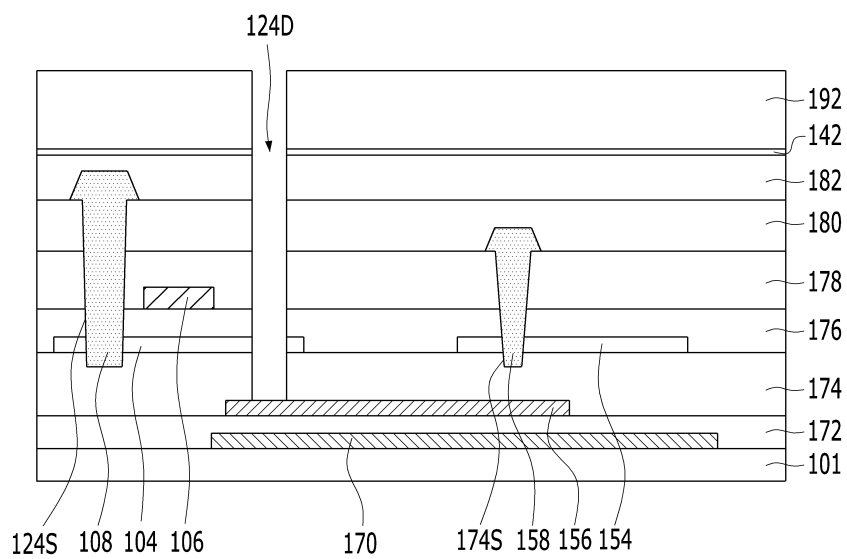
도면5g



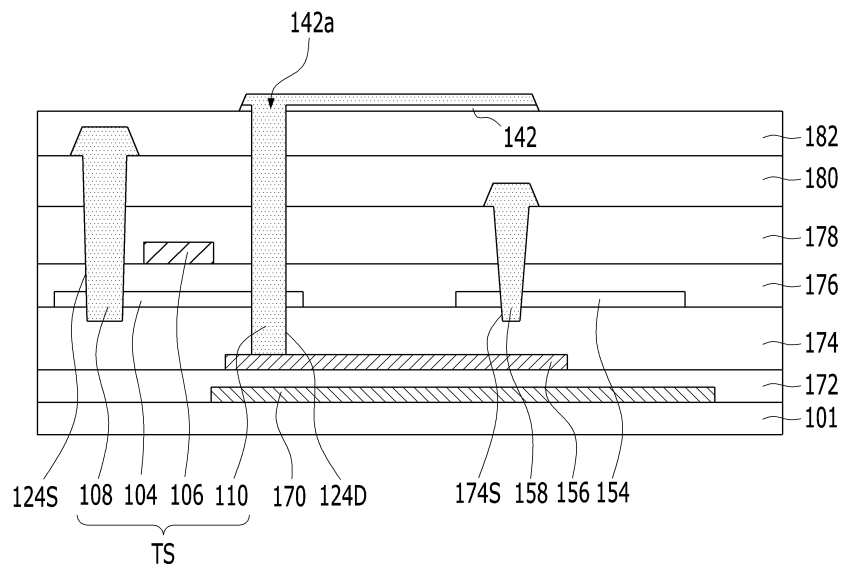
도면5h



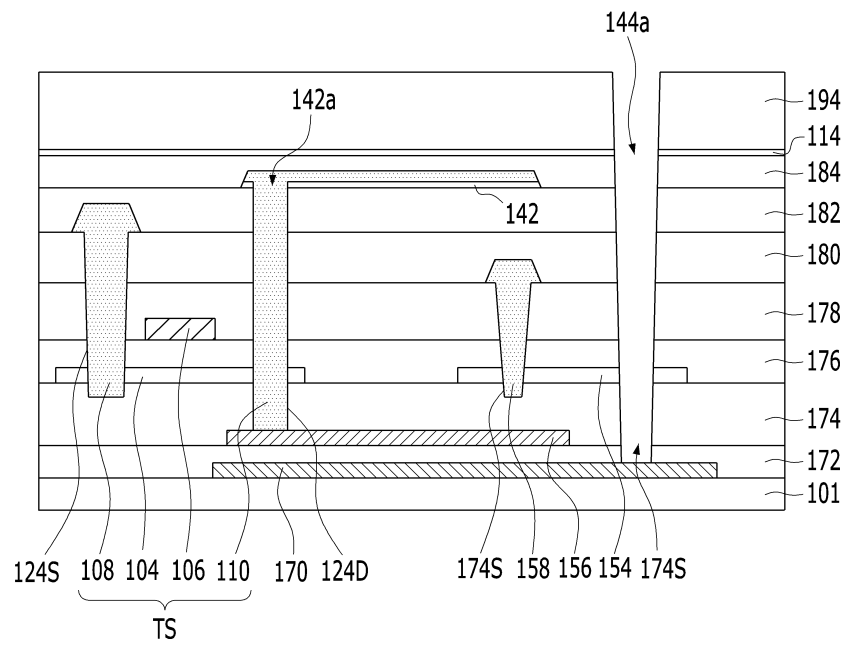
도면5i



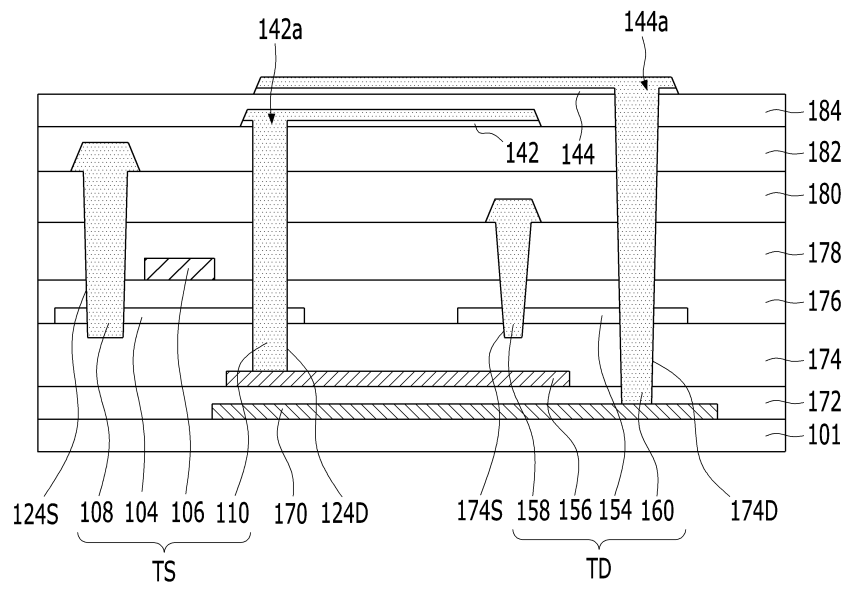
도면5j



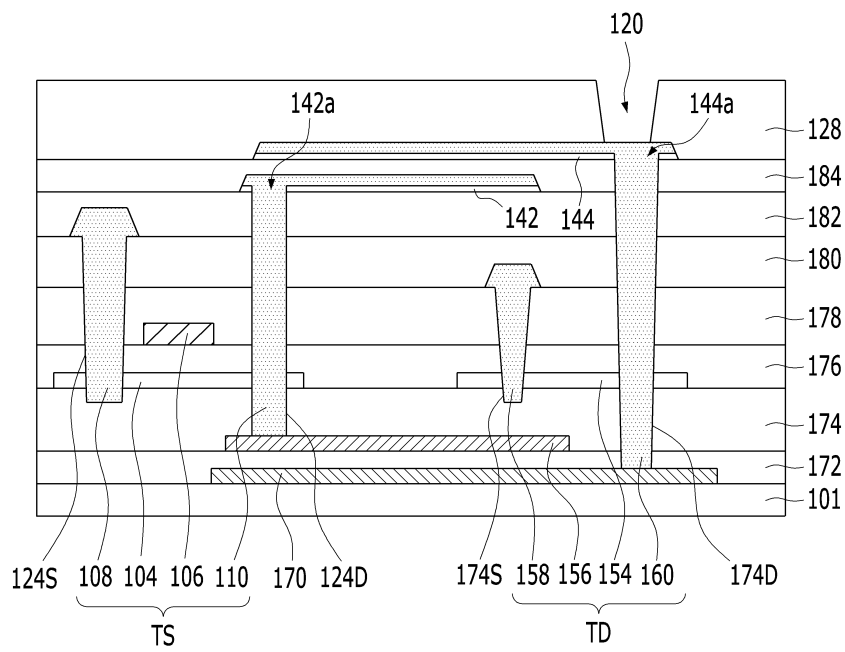
도면5k



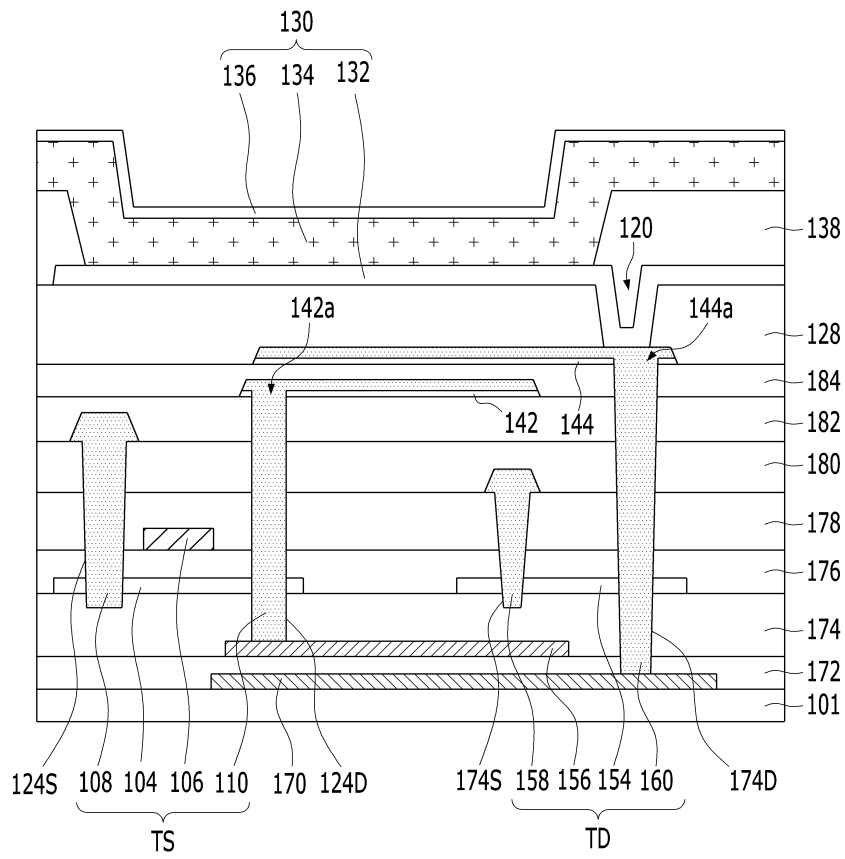
도면5l



도면5m



도면5n



专利名称(译)	用于显示装置的基板，包括该基板的有机发光显示器及其制造方法		
公开(公告)号	KR1020180062229A	公开(公告)日	2018-06-08
申请号	KR1020160162271	申请日	2016-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	WON SANG HYUK 원상혁 KIM MIN JOO 김민주 KIM TAE HWAN 김태환 KIM NAM YONG 김남용 LIM GO EUN 임고은 SON SEOK WOO 손석우		
发明人	원상혁 김민주 김태환 김남용 임고은 손석우		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/3262 H01L27/3248 H01L27/1288 H01L27/3258 H01L27/3276 H01L27/3265 H01L27/1259 H01L27/124 H01L27/1248 H01L27/1255 G09G2310/0264 H01L27/3213 H01L51/5203		
代理人(译)	Bakyoungbok		
其他公开文献	KR101992917B1		
外部链接	Espacenet		

摘要(译)

本发明涉及能够实现高分辨率的显示装置用基板，包括该基板的有机发光显示器及其制造方法，其中根据本发明的有机发光显示器包括光致抗蚀剂图案，通过使用导电层作为掩模蚀刻设置在下导电膜和上导电膜之间的绝缘膜，可以精细地形成用于暴露下导电膜的接触孔，从而实现高分辨率。 专利文献1：JP-A-10-2018-0062229

