



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0055004
(43) 공개일자 2018년05월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 51/52 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 51/5218 (2013.01)
(21) 출원번호 10-2016-0151960
(22) 출원일자 2016년11월15일
심사청구일자 2017년10월31일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한인호
서울특별시 은평구 연서로50길 7-1 (진관동) 한옥
단독주택
손기민
경기도 용인시 기흥구 강남서로115번길 6, 302호
(구갈동, 세르빌)
오길환
서울특별시 도봉구 시루봉로 107 (방학동,
신동아1단지아파트) 28동 1010호
(74) 대리인
박영복

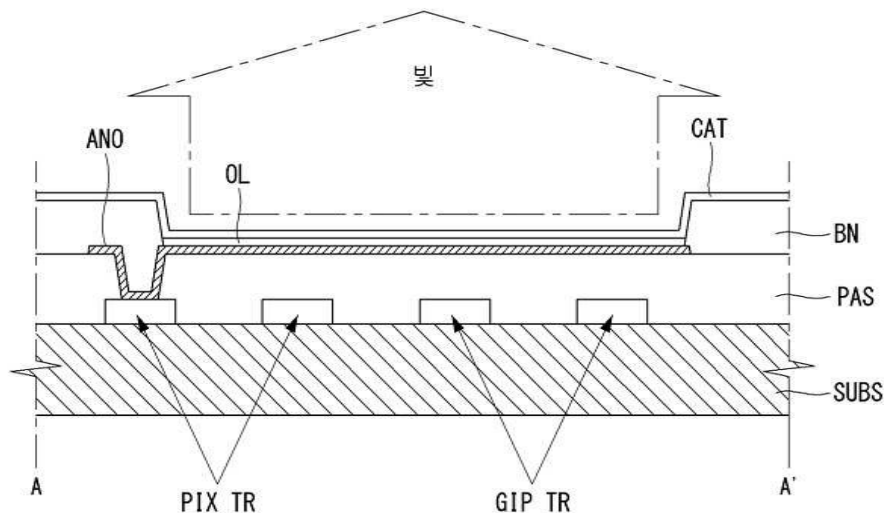
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시패널과 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역, 및 상기 액티브 영역 내에 분산 배치되어 상기 게이트 라인들에 게이트 펄스를 공급하는 시프트 레지스터를 포함한다. 상기 픽셀들 각각은 컬러가 다른 다수의 서브 픽셀들을 포함한다. 상기 서브 픽셀들 중 적어도 하나는 발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할된다. 상기 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮는다.

대표도 - 도5



(52) CPC특허분류

G09G 2230/00 (2013.01)
G09G 2300/0842 (2013.01)
G09G 2310/0286 (2013.01)
G09G 2330/06 (2013.01)
H01L 2251/5315 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역; 및
 상기 액티브 영역 내에 분산 배치되어 상기 게이트 라인들에 게이트 펄스를 공급하는 시프트 레지스터를 포함하고,
 상기 픽셀들 각각은 컬러가 다른 다수의 서브 픽셀들을 포함하고,
 상기 서브 픽셀들 중 적어도 하나는,
 발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할되고,
 상기 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮는 표시패널.

청구항 2

제 1 항에 있어서,
 상기 제1 회로부를 구성하는 트랜지스터들과 데이터 라인들은 상기 제2 회로부를 구성하는 트랜지스터들과 클럭 배선들로부터 공간적으로 분리되는 표시패널.

청구항 3

제 1 항에 있어서,
 상기 발광소자는,
 상기 제1 회로부의 트랜지스터들과 상기 제2 회로부의 트랜지스터들 위에 배치된 애노드, 상기 애노드 위에 적층된 유기 화합물층, 상기 유기 화합물층 위에 배치된 캐소드를 포함하고,
 상기 유기 화합물층의 발광층으로부터 발산된 빛이 상기 애노드에서 반사되어 상기 캐소드를 통해 외부로 방출되는 표시패널.

청구항 4

제 1 항에 있어서,
 상기 애노드의 패턴 크기가 상기 제1 픽셀 회로부 보다 큰 표시패널.

청구항 5

제 4 항에 있어서,
 상기 애노드 패턴이 상기 제1 회로부와 상기 제2 회로부 위에서 연속적으로 연결되는 표시패널.

청구항 6

제 1 항에 있어서,
 상기 애노드의 패턴과 상기 유기 화합물층의 패턴 각각의 크기가 상기 제1 픽셀 회로부 보다 큰 표시패널.

청구항 7

제 6 항에 있어서,
 상기 발광소자는,

상기 애노드 패턴과 상기 유기 화합물층의 패턴 각각이 상기 제1 회로부와 상기 제2 회로부 위에서 연속적으로 연결되는 표시패널.

청구항 8

제 1 항에 있어서,
상기 제2 회로부는,
상기 게이트 펄스의 전압을 올리는 풀업 트랜지스터;
상기 풀업 트랜지스터의 게이트에 연결된 Q 노드;
상기 게이트 펄스가 출력되는 출력 단자; 및
상기 Q 노드와 상기 출력 단자 사이에 연결된 커패시터를 포함하고,
상기 커패시터가 상기 게이트 라인 상에 배치되는 표시패널.

청구항 9

제 8 항에 있어서,
상기 Q 노드가 상기 게이트 라인 위에 배치되는 표시패널.

청구항 10

제 1 항에 있어서,
상기 제2 회로부는,
상기 게이트 펄스의 전압을 올리는 풀업 트랜지스터;
상기 풀업 트랜지스터의 게이트에 연결된 Q 노드;
상기 게이트 펄스의 전압을 낮추는 풀다운 트랜지스터;
상기 풀다운 트랜지스터의 게이트에 연결된 Qb 노드;
상기 풀업 트랜지스터와 상기 풀다운 트랜지스터 사이에 형성되어 상기 게이트 펄스가 출력되는 출력 단자; 및
상기 Q 노드와 상기 출력 단자 사이에 연결된 커패시터를 포함하고,
상기 Q 노드와 상기 Qb 노드가 상기 게이트 라인 상에 배치되는 표시패널.

청구항 11

제 10 항에 있어서,
상기 커패시터가 상기 게이트 라인 위에 배치되는 표시패널.

청구항 12

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역;
상기 액티브 영역 내에 분산 배치되어 상기 게이트 라인들에 게이트 펄스를 공급하는 시프트 레지스터; 및
상기 데이터 라인들과 상기 게이트 라인들에 연결된 정전기 보호 소자를 포함하고,
상기 픽셀들 각각은 컬러가 다른 다수의 서브 픽셀들을 포함하고,
상기 서브 픽셀들은
제1 발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할된 제1 서브 픽셀; 및
제2 발광소자를 구동하는 제3 회로부와 상기 정전기 보호 소자를 포함한 제4 회로부로 분할된 제2 서브 픽셀을

포함하고,

상기 제1 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮고,

상기 제2 발광 소자의 애노드가 상기 제3 회로부와 상기 제4 회로부 위에서 상기 제3 회로부와 상기 제4 회로부를 덮는 표시패널.

청구항 13

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역,

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동회로; 및

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 게이트 구동회로를 구비하고,

상기 게이트 구동회로는 상기 액티브 영역 내에 분산 배치되어 상기 게이트 라인들에 게이트 펄스를 공급하는 시프트 레지스터를 포함하고,

상기 픽셀들 각각은 컬러가 다른 다수의 서브 픽셀들을 포함하고,

상기 서브 픽셀들 중 적어도 하나는,

발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할되고,

상기 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮는 전계 발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 발광소자는,

상기 제1 회로부의 트랜지스터들과 상기 제2 회로부의 트랜지스터들 위에 배치된 애노드, 상기 애노드 위에 적층된 유기 화합물층, 상기 유기 화합물층 위에 배치된 캐소드를 포함하고,

상기 유기 화합물층의 발광층으로부터 발산된 빛이 상기 애노드에서 반사되어 상기 캐소드를 통해 외부로 방출되는 전계 발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 애노드의 패턴 크기가 상기 제1 픽셀 회로부 보다 큰 전계 발광 표시장치.

청구항 16

제 13 항에 있어서,

상기 제2 회로부는,

상기 게이트 펄스의 전압을 올리는 풀업 트랜지스터;

상기 풀업 트랜지스터의 게이트에 연결된 Q 노드;

상기 게이트 펄스가 출력되는 출력 단자; 및

상기 Q 노드와 상기 출력 단자 사이에 연결된 커패시터를 포함하고,

상기 커패시터가 상기 게이트 라인 상에 배치되는 전계 발광 표시장치.

청구항 17

제 16 항에 있어서,

상기 Q 노드가 상기 게이트 라인 위에 배치되는 전계 발광 표시장치.

청구항 18

제 13 항에 있어서,

상기 제2 회로부는,

상기 게이트 펄스의 전압을 올리는 풀업 트랜지스터;

상기 풀업 트랜지스터의 게이트에 연결된 Q 노드;

상기 게이트 펄스의 전압을 낮추는 풀다운 트랜지스터;

상기 풀다운 트랜지스터의 게이트에 연결된 Qb 노드;

상기 풀업 트랜지스터와 상기 풀다운 트랜지스터 사이에 형성되어 상기 게이트 펄스가 출력되는 출력 단자; 및

상기 Q 노드와 상기 출력 단자 사이에 연결된 커패시터를 포함하고,

상기 Q 노드와 상기 Qb 노드가 상기 게이트 라인 상에 배치되는 전계 발광 표시장치.

청구항 19

제 18 항에 있어서,

상기 커패시터가 상기 게이트 라인 위에 배치되는 전계 발광 표시장치.

청구항 20

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역,

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동회로;

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 게이트 구동회로; 및

상기 데이터 라인들과 상기 게이트 라인들에 연결된 정전기 보호 소자를 구비하고,

상기 게이트 구동회로는,

상기 액티브 영역 내에 분산 배치되어 상기 게이트 라인들에 게이트 펄스를 공급하는 시프트 레지스터를 포함하고,

상기 픽셀들 각각은 컬러가 다른 다수의 서브 픽셀들을 포함하고,

상기 서브 픽셀들은

제1 발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할된 제1 서브 픽셀; 및

제2 발광소자를 구동하는 제3 회로부와 상기 정전기 보호 소자를 포함한 제4 회로부로 분할된 제2 서브 픽셀을 포함하고,

상기 제1 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮고,

상기 제2 발광 소자의 애노드가 상기 제3 회로부와 상기 제4 회로부 위에서 상기 제3 회로부와 상기 제4 회로부를 덮는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 픽셀 어레이 내에 게이트 구동 회로의 시프트 레지스터가 배치될 수 있는 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배경 기술

- [0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 전계 발광 표시장치(Electroluminescence Display) 등이 있다. 전계 발광 표시장치(Electroluminescence Device)의 일 예로, 액티브 매트릭스 타입의 유기 발광 표시장치(이하, “OLED 표시장치”라 함)가 있다.
- [0003] 이러한 평판 표시장치의 구동 회로는 데이터 전압을 데이터 라인들에 공급하는 데이터 구동회로, 게이트 펄스(또는 스캔 펄스)를 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동회로 등을 포함한다. 게이트 구동회로의 시프트 레지스터는 화면을 구성하는 액티브 영역의 TFT(Thin film transistor) 어레이와 함께 동일 기판 상에 직접 형성될 수 있다. 이하에서, 표시패널의 기판 상에 직접 형성되는 게이트 구동회로를 “GIP 회로”로 칭하기로 한다. GIP 회로는 출력 전압을 순차적으로 발생하는 스테이지들(stage)이 종속적으로 연결된 시프트 레지스터를 포함한다.
- [0004] GIP 회로는 스타트 펄스(start pulse) 또는 이전 스테이지로부터 수신된 캐리 신호를 스타트 펄스로서 입력 받아 클럭이 입력될 때 출력을 발생한다.
- [0005] 스테이지들 각각은 도 1 및 도 2에 도시된 바와 같이 Q 노드 전압에 응답하여 출력 단자를 충전하여 출력 전압($V_{out}(n)$)을 높이는 풀업 트랜지스터(pull-up transistor, T_u), Q_b 노드 전압에 응답하여 출력 단자를 방전하여 출력 전압을 낮추는 풀다운 트랜지스터(Pull-down transistor, T_d), 및 Q 노드와 Q_b 노드를 충전하는 스위치 회로(10)를 포함한다. 스테이지들 각각의 출력 단자는 표시패널의 게이트 라인에 연결된다.
- [0006] 풀업 트랜지스터(T_u)는 Q 노드가 V_{GH} 만큼 프리 차징(pre-charging)된 상태에서 시프트 클럭(CLK)이 드레인에 입력될 때 시프트 클럭(CLK)의 게이트 온 전압(V_{GH})까지 출력 단자를 충전한다. 풀업 트랜지스터(T_u)의 드레인에 시프트 클럭(CLK)이 입력될 때 풀업 트랜지스터(T_u)의 드레인과 게이트 사이의 용량을 통해 플로팅된 Q 노드의 전압이 부트스트래핑(bootstrapping)에 의해 $2V_{GH}$ 만큼 상승된다. 이 때 풀업 트랜지스터(T_u)가 Q 노드의 $2V_{GH}$ 전압에 의해 턴-온되어 출력 단자의 전압이 V_{GH} 까지 상승한다. 풀다운 트랜지스터(T_d)는 Q_b 전압이 V_{GH} 만큼 충전될 때 출력 단자에 게이트 오프 전압(V_{GL})을 공급하여 출력 전압($V_{out}(n)$)을 V_{GL} 까지 방전시킨다.
- [0007] 스위치 회로(10)는 VST 단자를 통해 입력되는 스타트 펄스 또는 이전 스테이지로부터 수신되는 캐리 신호에 응답하여 Q 노드를 충전하고, RST 단자 또는 V_{NEXT} 단자를 통해 수신되는 신호에 응답하여 Q 노드를 방전한다. RST 단자에는 모든 스테이지들($S(N-1)$, $S(N)$, $S(N+1)$)의 Q 노드를 동시에 방전시키기 위한 리셋 신호가 인가된다. V_{NEXT} 단자에는 다음 스테이지로부터 발생된 캐리 신호이다. 스위치 회로(10)는 인버터(Inverter)를 이용하여 Q 노드와 반대로 Q_b 노드를 충전할 수 있다.
- [0008] GIP 회로를 액티브 영역 밖의 베젤(bezel) 영역에 배치된다. 따라서, GIP 회로로 인하여, 네로우 베젤 설계가 어렵다. 이형(異形) 디스플레이에서, 표시패널의 베젤이 원형이거나 불연속(discrete)할 수 있기 때문에 이러한 이형 디스플레이는 베젤에 GIP 회로를 실장하기가 어렵다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 베젤을 최소화하고 베젤 형상과 관계 없이 표시패널에 GIP 회로를 배치할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

- [0010] 본 발명의 표시패널은 데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역, 및 상기 액티브 영역 내에 분산 배치되어 상기 게이트 라인들에 게이트 펄스를 공급하는 시프트 레지스터를 포함한다. 상기 픽셀들 각각은 컬러가 다른 다수의 서브 픽셀들을 포함한다. 상기 서브 픽셀들 중 적어도 하나는 발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할된다. 상기 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮는다.
- [0011] 상기 제1 회로부를 구성하는 트랜지스터들과 데이터 라인들은 상기 제2 회로부를 구성하는 트랜지스터들과 클럭

배선들로부터 공간적으로 분리된다.

- [0012] 상기 발광소자는 상기 제1 회로부의 트랜지스터들과 상기 제2 회로부의 트랜지스터들 위에 배치된 애노드, 상기 애노드 위에 적층된 유기 화합물층, 상기 유기 화합물층 위에 배치된 캐소드를 포함한다. 상기 유기 화합물층의 발광층으로부터 발산된 빛이 상기 애노드에서 반사되어 상기 캐소드를 통해 외부로 방출된다.
- [0013] 상기 애노드의 패턴 크기는 상기 제1 픽셀 회로부 보다 크다.
- [0014] 상기 애노드 패턴이 상기 제1 회로부와 상기 제2 회로부 위에서 연속적으로 연결된다.
- [0015] 상기 애노드의 패턴과 상기 유기 화합물층의 패턴 각각의 크기는 상기 제1 픽셀 회로부 보다 크다.
- [0016] 상기 발광소자는 상기 애노드 패턴과 상기 유기 화합물층의 패턴 각각이 상기 제1 회로부와 상기 제2 회로부 위에서 연속적으로 연결된다.
- [0017] 상기 제2 회로부는 상기 게이트 펄스의 전압을 올리는 풀업 트랜지스터, 상기 풀업 트랜지스터의 게이트에 연결된 Q 노드, 상기 게이트 펄스가 출력되는 출력 단자, 및 상기 Q 노드와 상기 출력 단자 사이에 연결된 커패시터를 포함한다. 상기 커패시터가 상기 게이트 라인 상에 배치된다.
- [0018] 상기 Q 노드가 상기 게이트 라인 위에 배치된다.
- [0019] 상기 제2 회로부는 상기 게이트 펄스의 전압을 올리는 풀업 트랜지스터, 상기 풀업 트랜지스터의 게이트에 연결된 Q 노드, 상기 게이트 펄스의 전압을 낮추는 풀다운 트랜지스터, 상기 풀다운 트랜지스터의 게이트에 연결된 Qb 노드, 상기 풀업 트랜지스터와 상기 풀다운 트랜지스터 사이에 형성되어 상기 게이트 펄스가 출력되는 출력 단자, 및 상기 Q 노드와 상기 출력 단자 사이에 연결된 커패시터를 포함한다. 상기 Q 노드와 상기 Qb 노드가 상기 게이트 라인 상에 배치된다.
- [0020] 상기 커패시터가 상기 게이트 라인 위에 배치된다.
- [0021] 본 발명의 다른 실시예에 따른 표시패널에서, 상기 서브 픽셀들은 제1 발광소자를 구동하는 제1 회로부와, 상기 시프트 레지스터의 일부를 포함한 제2 회로부로 분할된 제1 서브 픽셀; 및 제2 발광소자를 구동하는 제3 회로부와 상기 정전기 보호 소자를 포함한 제4 회로부로 분할된 제2 서브 픽셀을 포함한다. 상기 제1 발광 소자의 애노드가 상기 제1 회로부와 상기 제2 회로부 위에서 상기 제1 회로부와 상기 제2 회로부를 덮는다. 상기 제2 발광 소자의 애노드가 상기 제3 회로부와 상기 제4 회로부 위에서 상기 제3 회로부와 상기 제4 회로부를 덮는다.
- [0022] 본 발명의 표시장치는 상기 표시패널을 구비한다.

발명의 효과

- [0023] 본 발명은 표시패널의 액티브 영역 내에 GIP 회로를 분산 배치하여 베젤을 최소화하고 베젤 형상과 관계 없이 표시패널에 GIP 회로를 배치할 수 있다. 나아가, 본 발명은 전면 발광 구조의 서브 픽셀을 이용하여 서브 픽셀 각각에서 GIP 회로 위에도 발광 영역을 배치하여 개구율과 발광 영역 감소 없이 베젤을 최소화할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 게이트 구동 회로의 시프트 레지스터에서 게이트 펄스를 출력하는 하나의 스테이지를 개략적으로 보여주는 도면이다.
- 도 2는 도 1에 도시된 스테이지의 동작을 보여주는 파형도이다.
- 도 3은 본 발명의 실시예에 따른 전계 발광 표시장치를 개략적으로 보여주는 블록도이다.
- 도 4는 하나의 서브 픽셀을 보여주는 평면도이다.
- 도 5는 도 4에서 선 “A-A'”을 따라 절취하여 서브 픽셀의 픽셀 회로부와 GIP 회로부를 개략적으로 보여주는 도면이다.
- 도 6은 액티브 영역에서 서브 픽셀들 각각에 형성된 GIP 회로부를 보여주는 도면이다.
- 도 7 내지 도 9는 서브 픽셀들의 평면 구조를 상세히 보여주는 도면들이다.
- 도 10은 도 9에서 선 “B-B'”을 따라 절취하여 게이트 라인(GL) 상에서 배치된 GIP 회로의 Q 노드와 Qb 노드를 보여주는 단면도이다.

도 11은 GIP 회로에서 종속적으로 연결된 스테이지들을 개략적으로 보여 주는 도면이다.

도 12는 GIP 회로의 일 예를 보여 주는 회로도이다.

도 13는 Q 노드와 출력 단자 사이에 형성된 커패시터의 리플 저감 효과를 보여 주는 도면이다.

도 14 내지 도 25는 도 12에 도시된 GIP 회로의 동작을 보여 주는 도면들이다.

도 26은 본 발명의 다른 실시예에 따른 픽셀 구조를 보여 주는 도면이다.

도 27은 도 26에 도시된 정전기 보호소자의 일 예를 보여 주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0026] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0027] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0030] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0031] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0032] 본 발명의 GIP 회로와 픽셀 회로는 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. 이하의 실시예에서 n 타입 TFT를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 GIP 회로와 픽셀 회로를 구성하는 트랜지스터들을 n 타입 TFT로 예시되었지만, 이에 한정되지 않는다. 따라서, 이하의 설명에서 TFT의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.
- [0033] GIP 회로로부터 출력되는 게이트 펄스는 게이트 온 전압(Gate High Voltage, VGH)과 게이트 오프 전압(Gate Low Voltage, VGL) 사이에서 스위칭한다. 게이트 온 전압(VGH)은 TFT의 문턱 전압 보다 높은 전압으로 설정되며,

게이트 오프 전압(VGH)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

- [0034] 도 3을 참조하면, 본 발명의 전계 발광 표시장치는 표시패널(PNL)과, 표시패널(PNL)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다.
- [0035] 본 발명의 표시패널(PNL)은 데이터 라인들(DL)과 게이트 라인들(GL)이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역(AA)을 포함한다. 표시패널(PNL)의 액티브 영역(AA)에 터치 센서들(touch sensor)이 배치될 수 있다.
- [0036] 픽셀들은 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B) 서브 픽셀들을 포함할 수 있다. 픽셀들 각각은 RGB 서브 픽셀들 이외에 백색(White, W) 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들 중에서 적어도 일부는 GIP 회로의 일부를 포함한다.
- [0037] GIP 회로는 액티브 영역(AA) 내에 분산 배치된다. 서브 픽셀들 중 적어도 하나는 제1 발광소자를 구동하는 제1 회로부와, GIP 회로의 일부를 포함한 제2 회로부로 분할된다. 발광 소자의 전극 패턴 예를 들어 애노드가 제1 회로부와 제2 회로부 위에서 제1 회로부와 제2 회로부를 덮는다. 제1 회로부와 제2 회로부를 포함한 서브 픽셀의 발광은 제1 회로부보다 커질 수 있다. 이하에서, 제1 회로부를 “픽셀 회로부”로, 제2 회로부를 “GIP 회로부”로 설명하기로 한다. 서브 픽셀들 중에서 GIP 회로가 모두 배치되고 남은 서브 픽셀의 경우에, 제2 발광소자를 구동하는 제3 회로부와, 정전기 보호 소자(ESD)를 포함한 제4 회로부로 분할될 수 있다. 제3 회로부와 제4 회로부를 포함한 제2 서브 픽셀의 발광 영역은 제3 회로부 보다 커질 수 있다.
- [0038] 표시패널 구동 회로는 표시패널(PNL)의 데이터 라인들(DL)에 입력 영상의 데이터 전압을 공급하는 데이터 구동회로와, 데이터 전압에 동기되는 스캔 펄스를 표시패널(PNL)의 게이트 라인들(GL)에 공급하는 게이트 구동회로, 및 데이터 구동 회로와 GIP 회로의 동작 타이밍을 제어하기 위한 타이밍 컨트롤러(Timing controller, T-CON)(20) 등을 포함한다.
- [0039] 데이터 구동회로는 하나 이상의 소스 드라이브 IC(SIC)를 포함할 수 있다. 소스 드라이브 IC(SIC)는 타이밍 컨트롤러(20)의 제어 하에 입력 영상의 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생하고 그 데이터전압을 데이터라인들(DL)로 출력한다. 소스 드라이브 IC(SIC)는 구부러질 수 있는 연성 회로 기판 예를 들어, COF(Chip on Film)에 실장되거나 COG 공정으로 표시패널(PNL)의 기판 상에 직접 접촉될 수 있다. COF들은 ACF(anisotropic conductive film)를 통해 표시패널(PNL)의 하부 기판(SUBS1)과 소스 PCB(SPCB)에 접촉된다. COF들의 입력 핀들은 소스 PCB(SPCB)의 출력단자들에 전기적으로 연결된다. 소스 COF들(COF)의 출력 핀들은 ACF를 통해 표시패널(PNL)의 기판에 형성된 데이터 패드들에 전기적으로 연결된다.
- [0040] 게이트 구동회로는 타이밍 컨트롤러(20)로부터의 게이트 타이밍 신호의 전압을 게이트 온 전압(VGH)과 게이트 오프 전압(VGL)으로 변환하는 레벨 시프터(Level shifter)(22)와, 레벨 시프터(22)를 통해 수신된 게이트 타이밍 제어 신호에 응답하여 스캔 펄스를 출력하는 GIP 회로를 포함한다. 게이트 구동회로는 타이밍 컨트롤러(20)의 제어 하에 데이터 전압에 동기되는 게이트 펄스를 게이트 라인들(GL)에 순차적으로 공급하여 입력 영상의 픽셀 데이터가 기입되는 1 라인의 픽셀들을 선택한다.
- [0041] 도 3에서 아래의 회로는 화면을 구성하는 액티브 영역(AA)의 픽셀 내에 분산 배치되는 GIP 회로의 일 예이다.
- [0042] GIP 회로는 시프트 레지스터(shift register)를 포함한다. GIP 회로는 스타트 펄스(Start pulse)와 시프트 클럭(shift clock) 등 게이트 타이밍 제어 신호를 수신 받아 시프트 클럭이 입력될 때 게이트 펄스를 게이트 라인들(GL)로 출력한다. GIP 회로는 종속적으로 연결된 스테이지들을 이용하여 스캔 펄스를 시프트 클럭 타이밍에 맞추어 순차적으로 시프트한다.
- [0043] 서브 픽셀들 각각은 도 4 및 도 5와 같이 픽셀 회로부(Pix TR)와, GIP 회로부(GIP TR)를 포함한다. 서브 픽셀들 각각은 발광소자 예를 들어, 유기 발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하여 전면 발광(top emission)한다.
- [0044] 도 3에서 액티브 영역(AA) 내에서 점선 원으로 표시된 회로는 픽셀 회로부의 일 예를 나타낸다. 픽셀 회로부는 도 3에 한정되지 않는다. 예컨대, 픽셀 회로부는 공지된 전면 발광 구조의 픽셀 회로로 구현될 수 있다.
- [0045] 도 3에서 픽셀 회로부는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함), 구동

TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 포함한다.

- [0046] OLED는 애노드와 캐소드 사이에 배치된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층(OL)은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED는 애노드와 캐소드 사이에 자신의 문턱 전압 이상의 전압이 인가될 때 발광층(EML)으로 이동하는 정공과 전자에 의해 생성된 여기자로 인하여 발광된다.
- [0047] 구동 TFT(DT)는 제1 스위치 TFT(ST1)의 소스에 연결된 게이트, 고전위 픽셀 구동 전압(EVDD)이 인가되는 드레인, 및 OLED의 애노드와 제2 스위치 TFT(ST2)의 드레인에 연결된 소스를 구비한다. 구동 TFT(DT)는 게이트-소스 간 전위차(Vgs)에 따라 OLED에 흐르는 전류를 조절한다. 구동 TFT(DT)는 게이트-소스 간 전위차(Vgs)가 문턱전압(Vth)보다 클 때 턴 온 되며, 게이트-소스 간 전위차(Vgs)가 클수록 구동 TFT(DT)의 소스-드레인 사이에 흐르는 전류(IDs)는 증가한다. 구동 TFT(DT)의 소스전위가 OLED의 문턱전압보다 커지면, 구동 TFT(DT)의 소스-드레인 간 전류(IDs)가 OLED를 통해 흐르게 된다. OLED에 흐르는 전류가 커질수록 OLED의 발광량이 커지며, 이를 통해 원하는 계조가 구현되게 된다.
- [0048] 스토리지 커패시터(Cst)는 구동 TFT(DT)의 게이트-소스간 전압을 유지한다. 제1 스위치 TFT(ST1)는 게이트 라인(GL)에 접속된 게이트, 데이터 라인(DL)에 접속된 드레인, 및 구동 TFT(DT)의 게이트에 연결된 소스를 구비한다. 제1 스위치 TFT(ST1)는 스캔 펄스(SCAN)에 응답하여 턴-온(turn-on)되어 데이터 라인(DL) 상의 데이터 전압(Vdata)을 구동 TFT(DT)의 게이트에 인가한다.
- [0049] 제2 스위치 TFT(ST2)의 게이트는 게이트 라인(GL)에 접속되고, 제2 스위치 TFT(ST2)의 드레인은 구동 TFT(DT)의 소스와 OLED의 애노드 사이의 노드에 연결된다. 제2 스위치 TFT(ST2)의 소스는 센싱 라인을 통해 기준 전압(Vref)을 공급 받는다.
- [0050] OLED의 애노드는 구동 TFT의 소스, 스토리지 커패시터(Cst), 제2 스위치 TFT(ST2)의 드레인에 연결된다. OLED의 캐소드는 저전위 픽셀 기준 전압(EVSS)이 인가된다.
- [0051] 타이밍 컨트롤러(20)는 외부의 호스트 시스템(Host system)으로부터 입력 영상의 데이터를 수신 받아 이를 소스 드라이브 IC(SIC)로 전송한다. 타이밍 컨트롤러(20)는 수직/수평 동기신호, 데이터 인에이블, 메인 클럭 신호 등의 타이밍 신호를 입력 받아 소스 드라이브 IC(SIC)와 GIP 회로, 터치 센서의 동작 타이밍을 제어하기 위한 타이밍 제어 신호들을 발생한다. 호스트 시스템은 TV(Television) 시스템, 셋톱 박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0052] 타이밍 컨트롤러(20)와 레벨 시프터(22)는 콘트롤 보드(CPCB)에 배치될 수 있다. 콘트롤 보드(CPCB)는 FFC(Flexible Flat Cable)를 통해 소스 PCB(SPCB)에 연결될 수 있다. 시프트 레지스터의 구동에 필요한 게이트 타이밍 제어 신호 즉, 스타트 펄스(start pulse), 시프트 클럭(shift clock) 등은 COF 필름 상에 형성된 더미 채널 배선과, 표시패널(PNL)의 하부 기판 상에 형성된 LOG(Line On Glass) 배선들을 통해 GIP 회로에 공급될 수 있다.
- [0053] 도 4는 하나의 서브 픽셀을 보여 주는 평면도이다. 도 5는 도 4에서 선 “A-A'”을 따라 절취하여 서브 픽셀의 픽셀 회로부와 GIP 회로부를 개략적으로 보여 주는 도면이다. 도 5에서 “PIX TR”은 픽셀 회로부의 TFT들이고, “GIP TR”은 GIP 회로부의 TFT들을 나타낸다. 도 5에 도시된 TFT들(PIX TR, GIP TR)에서 전극들과 절연막 등 상세한 구조는 생략되어 있다.
- [0054] 도 4 및 도 5를 참조하면, 서브 픽셀들 각각은 픽셀 회로부(PIX TR)와, GIP 회로부(GIP TR)를 포함한다. 서브 픽셀들 각각에서, OLED는 애노드(ANO)와 캐소드(CAT) 사이에 배치된 유기 화합물층(OL)을 포함한다. 애노드는 은(Ag) 또는 Ag alloy 또는 이 중 적어도 하나를 포함한 다층 금속 전극으로 형성될 수 있다. 캐소드는 Al, MgAg, IZO(indium zinc oxide) 등의 금속으로 형성될 수 있다. 애노드는 빛을 반사하는 구조의 금속 전극이다. 캐소드는 빛이 투과되는 구조의 금속 전극이다.
- [0055] 픽셀 회로부(PIX TR)와 GIP 회로부(GIP TR) 각각은 하나 이상의 TFT를 포함한다. 픽셀 회로부(PIX TR)와, GIP 회로부(GIP TR)의 TFT들은 비정질 실리콘(a-Si)을 포함한 TFT, 산화물 반도체를 포함한 TFT(Oxide TFT), 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 TFT(LTPS TFT) 중 하나 이상을 포함할 수 있다.
- [0056] 서브 픽셀들 각각에서 발광소자 즉, OLED는 픽셀 회로부의 TFT와 GIP 회로부의 TFT 위에 배치된 애노드(ANO),

애노드(ANO) 위에 적층된 유기 화합물층(OL), 및 유기 화합물층(OL) 위에 배치된 캐소(CAT)를 포함한다.

- [0057] 서브 픽셀들 각각에서 OLED는 픽셀 회로부(PIX TR)와 GIP 회로부(GIP TR)를 덮는다. 유기 화합물층(OL)에서 발산되는 빛은 캐소드(CAT)를 통해 외부로 방출되고, 또한, 애노드(ANO) 상에서 반사되어 캐시도(CAT)를 통해 외부로 방출된다. 픽셀 회로부와 GIP 회로부 위에 배치된 발광소자로부터 빛이 발생되고, 그 빛이 픽셀 회로부와 GIP 회로부 반대쪽으로 발산된다. 따라서, 서브 픽셀들 각각에서 발광 영역은 픽셀 회로부와 GIP 회로부를 포함하므로 발광 영역의 감소가 없다.
- [0058] 픽셀 회로부(PIX TR)와 GIP 회로부(GIP TR)는 표시패널(PNL)의 기판(SUBS) 상에 배치되고, 보호막(PAS)이 픽셀 회로부(PIX TR)와 GIP 회로부(GIP TR)를 덮는다. OLED는 보호막(PAS) 위에서 픽셀 회로부(PIX TR)와 GIP 회로부(GIP TR)를 덮도록 배치된다.
- [0059] 도 6은 액티브 영역에서 서브 픽셀들 각각에 형성된 GIP 회로부를 보여 주는 도면이다. 도 6에서, “PIX(1,1)~PIX(3,2160)”은 픽셀 회로부이다. “GIPA”, “GIP B”, 및 “GIP C”는 GIP 회로부이다.
- [0060] 도 6 내지 도 9를 참조하면, 서브 픽셀들 각각은 픽셀 회로부와 GIP 회로부로 나뉘어진다. 픽셀 회로부의 TFT들과 배선들이 GIP 회로부에서 TFT들과 배선들이 공간적으로 분리되어 서로 간의 간섭이 최소화되고 수율 관점에서 유리하다. 픽셀 회로부의 배선(VDL, VSL, DL1~DL4)과 GIP 회로의 배선들(VGL, VGH, CLKA, CLKB)는 중첩되지 않고 서로 분리된다. 예컨대, 픽셀 회로부를 구성하는 TFT들과 데이터 라인들(DL1~DL4)은 GIP 회로부를 구성하는 TFT들과 클럭 배선들로부터 공간적으로 분리된다.
- [0061] 도 6에서 VDL은 EVDD가 인가되는 전원 배선이고, VSL은 EVSS가 인가되는 전원 배선이다. DL1~DL4는 데이터 전압이다. 제1 데이터 라인(DL1)은 적색 서브 픽셀(R)에 연결되어 적색 데이터 전압을 적색 서브 픽셀(R)에 공급한다. 제2 데이터 라인(DL2)은 백색 서브 픽셀(W)에 연결되어 백색 데이터 전압을 백색 서브 픽셀(W)에 공급한다. 제3 데이터 라인(DL3)은 청색 서브 픽셀(B)에 연결되어 청색 데이터 전압을 청색 서브 픽셀(B)에 공급한다. 제4 데이터 라인(DL4)은 녹색 서브 픽셀(G)에 연결되어 녹색 데이터 전압을 녹색 서브 픽셀(G)에 공급한다.
- [0062] 도 6에서, VGL은 도 3의 GIP 회로에서 VSS 노드(GVSS0, GVSS1, GVSS2)에 연결되어 게이트 로우 전압(VGL)을 공급하는 VGL 배선이다. VGH는 도 3의 GIP 회로에서 VDD 노드(GVDD)에 연결되어 게이트 하이 전압(VGH)을 공급하는 VGH 배선이다. CLKA와 CLKB는 시프트 클럭이 인가되는 클럭 배선이다.
- [0063] GIP 회로부의 구성 요소들은 픽셀 회로부에 비하여 많고 그 회로 점유 면적이 크다. 따라서, GIP 회로에서 한 개의 출력을 발생하는 하나의 스테이지 회로는 다수의 서브 픽셀들에 분산 배치될 수 있다. 도 6의 예에서, 서브 픽셀(1,1)은 픽셀 회로부(PIX(1,1))와 GIP 회로부의 일부(GIP A)를 포함하고, 서브 픽셀(2,1)은 픽셀 회로부(PIX(2,1))와 GIP 회로부의 다른 부분(GIP B)를 포함할 수 있다. 도 7의 예에서, GIP A는 도 3에 도시된 GIP 회로에서 TFT(T1, T3n, T6)과 커패시터(Cq) 등을 포함한다. GIP B는 도 3에 도시된 GIP 회로에서 TFT(T3, T5, T6)과 커패시터(Cq) 등을 포함한다. 커패시터(Cq)는 Q 노드와 출력 신호의 리플(ripple)을 줄이기 위하여 큰 용량으로 구현될 수 있다. 이 경우, 커패시터(Cq)가 커지므로 이웃한 서브 픽셀들에 공유될 수 있다.
- [0064] 도 8 및 도 9의 예는 GIP 회로부 서브 픽셀 내에 배치할 때, GIP 회로의 Q 노드를 게이트 라인(GL)과 중첩(Overlap)하여 그 사이에 커패시터(Cq)를 형성할 수 있다. 게이트 라인(GL)은 GIP 회로에서 게이트 펄스가 출력되는 출력 단자에 연결된다. 도 8 및 도 9에 도시된 커패시터 설계 방법은 게이트 라인(GL)을 커패시터(Cp)의 설계 면적으로 활용할 수 있고, 픽셀 회로부와 GIP 회로의 Q 노드 간 간섭을 방지화할 수 있다.
- [0065] 도 9에서 알 수 있는 바와 같이, 서브 픽셀 각각에서 OLED의 애노드(ANO)와 유기 화합물층(OL)은 픽셀 회로부(PIX)와 GIP 회로부(GIP) 위에 배치된다. 서브 픽셀 각각에서 OLED의 애노드(ANO)와 유기 화합물층(OL)의 패턴 크기는 픽셀 회로부(PIX) 보다 크고 픽셀 회로부(PIX)와 GIP 회로부(GIP)를 합한 크기와 실질적으로 동일하다. 픽셀 회로부(PIX)와 GIP 회로부(GIP) 위에서 OLED의 애노드(ANO)와 유기 화합물층(OL) 각각의 패턴은 연속적으로(또는 끊김 없이) 연결되어 있다. 따라서, 서브 픽셀들 각각에서 개구율과 발광 영역이 픽셀 회로부(PIX) 보다 크고 GIP 회로부가 없는 기존 서브 픽셀에 비하여 개구율과 발광 영역의 감소가 없다.
- [0066] 도 10은 도 9에서 선 “B-B'”을 따라 절취하여 게이트 라인(GL) 상에서 배치된 GIP 회로의 Q 노드와 QB 노드를 보여 주는 단면도이다.
- [0067] 도 10을 참조하면, GIP 회로의 Q 노드와 Qb 노드 각각은 게이트 라인(GL)과 그 위에 중첩된 제2 금속 패턴들(SD)로 형성될 수 있다. 게이트 라인(GL)과 제2 금속 패턴들(SD)은 중간 절연막(ILD)을 사이에 두고 중첩된다.

도 10에서 도시하지 않은 기관 상에 광차단층(LS)이 형성되고, 그 위에 버퍼막(BUF)이 형성된다. 게이트 절연막(GI)은 버퍼막(BUF)과 게이트 라인(GL) 사이에 배치된다.

[0068] 도 11은 GIP 회로에서 종속적으로 연결된 스테이지들을 개략적으로 보여 주는 도면이다.

[0069] 도 11을 참조하면, GIP 회로는 캐리 신호(Carry signal, Cout(n)~Cout(n+3))이 전달되는 캐리 신호 배선을 통해 종속적으로 접속(cascade connection)되어 시프트 클럭(CLK) 타이밍에 맞추어 게이트 펄스를 시프트하는 스테이지들(S(n)~S(n+3))을 포함한다. 스테이지들(S(n)~S(n+3)) 각각은 게이트 라인들(GL)에 게이트 펄스(Scout(n)~Scout(n+3))를 순차적으로 공급하고, 캐리 신호(Cout(n)~Cout(n+3))를 다른 스테이지로 전달한다. 게이트 펄스(Scout(n)~Scout(n+3))와 캐리 신호(Cout(n)~Cout(n+3))는 스테이지들(S(n)~S(n+3)) 각각에서 하나의 출력 단자를 통해 동시에 출력되거나 도 11 및 도 12의 예와 같이, 스테이지 각각에서 두 개의 출력 단자를 통해 분리될 수 있다. 캐리 신호(Cout(n)~Cout(n+3))가 전송되는 스테이지는 특정 스테이지로 한정되지 않는다. 예를 들어, 도 12에 도시된 바와 같이 제n(은 양의 정수) 스테이지는 제n-3 및 제n+3 스테이지들로부터 출력된 캐리 신호(Cout(n-3), Cout(n+3))를 입력 받을 수 있으나 이에 한정되지 않는다.

[0070] 도 12는 GIP 회로의 일 예를 보여 주는 회로도이다. 도 12에 도시된 GIP 회로는 제n 스테이지를 나타낸다.

[0071] 도 12를 참조하면, GIP 회로는 Q 노드와 Qb 노드 전압에 따라 제1 출력 단자를 통해 게이트 펄스(Scout(n))를 출력하는 제1 출력 회로부, Q 노드와 Qb 노드 전압에 따라 제2 출력 단자를 통해 캐리 신호(Cout(n))를 출력하는 제1 출력 회로부, Q 노드와 Qb 노드를 충방전하는 스위치 회로 등을 구비한다.

[0072] 제1 출력 회로부는 Q 노드가 프리 차징된(pre-charging)된 상태에서 시프트 클럭(SCCLK)이 입력될 때 턴-온되어 제1 출력 단자의 전압을 충전하는 제1 풀업 트랜지스터(T6)와, Qb 노드 전압이 충전될 때 제1 출력 단자의 전압을 방전하는 제1 풀다운 트랜지스터(T7)를 포함한다. Q 노드와 제1 출력 단자 사이에 커패시터(Cq)가 연결된다. 제1 풀업 트랜지스터(T6)는 Q 노드에 연결된 게이트, 시프트 클럭(SCCLK)이 인가되는 드레인, 및 제1 출력 단자에 연결된 소스를 포함한다. Q 노드와 제1 출력 단자 사이에 커패시터(Cq)가 연결된다. 제1 풀다운 트랜지스터(T7)는 Qb 노드에 연결된 게이트, 제1 출력 단자에 연결된 드레인, 및 GVSS0 노드에 연결된 소스를 포함한다. GVSS0 노드에는 게이트 로우 전압(VGL0)이 인가된다.

[0073] 제2 출력 회로부는 Q 노드가 프리 차징된 상태에서 시프트 클럭(CRCLK)이 입력될 때 턴-온되어 제2 출력 단자의 전압을 충전하는 제2 풀업 트랜지스터(T6cr)와, Qb 노드 전압이 충전될 때 제2 출력 단자의 전압을 방전하는 제2 풀다운 트랜지스터(T7cr)를 포함한다. 제2 풀업 트랜지스터(T6cr)는 Q 노드에 접속된 게이트, 시프트 클럭(CRCLK)이 인가되는 드레인, 및 제2 출력 단자에 연결된 소스를 포함한다. 제2 풀다운 트랜지스터(T7cr)는 Qb 노드에 연결된 게이트, 제2 출력 단자에 연결된 드레인, 및 GVSS2 노드에 연결된 소스를 포함한다. GVSS2 노드에는 게이트 로우 전압(VGL2)이 인가된다. VGL2는 VGL0 보다 더 낮은 전압으로 설정될 수 있다.

[0074] 스위치 회로는 다수의 TFT들(T1, T1A, T3, T3q, T3A, T3n, T3Na, T4, T41, T4q, T5, T5q)을 이용하여 Q 노드, Qb, Qh 노드를 충방전한다. 도 12에 도시된 GIP 회로의 동작에 대하여는 도 14 내지 도 25를 결부하여 설명하기로 한다.

[0075] TFT(T1 및 T1A)는 제n-3 스테이지로부터의 캐리 신호(Cout(n-3))에 응답하여 Q 노드와 Qh 노드의 전압을 캐리 신호(Cout(n-3))의 VGH로 충전한다. TFT(T1)는 캐리 신호(Cout(n-3))가 인가되는 게이트 및 드레인과, Qh 노드에 연결된 소스를 포함한다. TFT(T1A)는 캐리 신호(Cout(n-3))가 인가되는 게이트, Qh 노드에 연결된 드레인, 및 Q 노드에 연결된 소스를 포함한다.

[0076] TFT(T3q)는 프리 차징된 Q 노드의 전압에 응답하여 턴-온되어 Qh 노드를 GVDD에 Qh 노드를 연결하여 GVDD 노드를 통해 인가되는 VGH로 Qh 노드를 충전한다. TFT(3q)는 Q 노드에 연결된 게이트, GVDD 노드에 연결된 드레인, 및 Qh 노드에 연결된 소스를 포함한다.

[0077] TFT(T3n 및 TnA)는 다음 스테이지로부터의 캐리 신호(Cout(n+3))에 응답하여 Q 노드와 Qh 노드를 GVSS2 노드에 연결하여 Q 노드와 Qh 노드를 방전한다. TFT(T3n)는 캐리 신호(Cout(n+3))가 인가되는 게이트, Q 노드에 연결된 드레인, 및 Qh 노드에 연결된 소스를 포함한다. TFT(T3Na)는 캐리 신호(Cout(n+3))가 인가되는 게이트, Qh 노드에 연결된 드레인, 및 GVSS2 노드에 연결된 소스를 포함한다.

[0078] TFT(T3 및 T3A)는 Qb 노드에 응답하여 턴-온되어 Q 노드와 Qh 노드를 GVSS2 노드에 연결하여 Q 노드를 방전한다. TFT(T3)은 Qb 노드에 연결된 게이트, Q 노드에 연결된 드레인, 및 Qh 노드에 연결된 소스를 포함한다. TFT(T3A)는 Qb 노드에 연결된 게이트, Qh 노드에 연결된 드레인, 및 GVSS2 노드에 연결된 소스를

포함한다.

- [0079] TFT(T4, T41, T4q)는 Q 노드 전압이 미충전 상태일 때 Qb 노드를 VGH로 충전한다. TFT(T41)는 VGH가 인가되는 GVDD 노드에 연결된 게이트 및 드레인과, TFT(T4)의 게이트와 TFT(T4q)의 드레인에 연결된 소스를 포함한다. TFT(T4)는 TFT(T41)의 소스와 TFT(T4q)의 드레인에 연결된 게이트, GVDD 노드에 연결된 드레인, 및 Qb 노드에 연결된 소스를 포함한다. TFT(T4q)는 Q 노드에 연결된 게이트, TFT(T41)의 소스와 TFT(T4)의 게이트에 연결된 드레인, 및 GVSS1 노드에 연결된 소스를 포함한다. GVSS1에 VGL1이 인가된다. VGL1은 VGL0 보다 낮고, VGL2 보다 높은 전압으로 설정될 수 있다.
- [0080] TFT(T5q)는 프리 차징된 Q 노드의 전압에 따라 턴-온되어 Qb 노드를 GVSS1 노드에 연결하여 Qb 노드를 방전한다. TFT(T5q)는 Q 노드에 연결된 게이트, Qb 노드에 연결된 드레인, 및 GVSS1 노드에 연결된 소스를 포함한다.
- [0081] TFT(T5)는 제n-3 스테이지로부터의 캐리 신호(Cout(n-3))에 응답하여 턴-온되어 Qb 노드를 방전한다. TFT(T5)는 캐리 신호(Cout(n-3))가 인가되는 게이트, Qb 노드에 연결된 드레인, 및 GVSS1 노드에 연결된 소스를 포함한다.
- [0082] 도 13는 Q 노드와 출력 단자 사이에 형성된 커패시터의 리플 저감 효과를 보여 주는 도면이다.
- [0083] 도 13을 참조하면, GIP 회로의 Q 노드에 풀업 트랜지스터(T6)의 게이트가 연결된다. 커패시터(Cq)는 Q 노드와 출력 단자 사이에 즉, 풀업 트랜지스터(T6)의 게이트와 소스 사이에 연결된다. 풀업 트랜지스터(T6)의 드레인과 게이트 사이에 커패시터(Cclk)가 존재한다. 커패시터(Cclk)는 풀업 트랜지스터(T6)의 게이트-드레인간 기생 용량일 수 있다. Q 노드의 리플(Ripple)은 아래의 식과 같다. 아래의 수식에서, “Cextra”는 Cclk을 제외한 다른 기생 용량이다. 시프트 클럭(CLK)이 발생될 때마다 Q 노드의 전압에 리플이 발생될 수 있다. 이러한 리플은 커패시터(Cq)에 의해 감소될 수 있다.
- $$Q_{\text{ripple}} = \frac{C_{\text{clk}}}{C_{\text{clk}} + C_q + C_{\text{extra}}}$$
- [0084]
- [0085] 도 14 내지 도 25는 도 12에 도시된 GIP 회로의 동작을 보여 주는 도면들이다. 도 14 내지 도 17은 Q 노드 및 Qh 노드의 제1 프리 차징(pre-charging) 구간을 보여 주는 도면들이다. 도 18 및 도 19는 Q 노드의 부트스트랩(Bootstrap) 구간을 보여 주는 도면들이다. 도 20 및 도 21은 Q 노드의 제2 프리 차징 구간을 보여 주는 도면들이다. 도 22 내지 도 25는 Q 노드, Qh 노드 및 Qb 노드의 전압 유지(holding) 구간을 보여 주는 도면들이다.
- [0086] 도 14 및 도 15를 참조하면, GIP 회로의 제n 스테이지에 캐리 신호(Cout(n-3))의 VGH 전압이 입력되면 TFT(T1, T1A, T5)가 턴-온되어 Q 노드와 Qh 노드의 전압이 캐리 신호(Cout(n-3))의 VGH 만큼 프리 차징됨과 동시에 Qb 노드가 방전된다. 그 결과, TFT(T3q, T4q, T5, T5q, T6cr, T6)가 턴-온된다. TFT(T41)은 다이오드로 동작하여 GVDD에 VGH가 인가되는 동안 온 상태를 유지한다.
- [0087] 도 16 및 도 17을 참조하면, 캐리 신호(Cout(n-3))의 전압이 VGL로 낮아진다. 그 결과, TFT(T1, T1A, T5)가 턴-오프되고, Q 노드, Qh 노드 및 Qb 노드가 플로팅(floating) 상태로 되기 때문에 그 노드들의 전압이 이전 상태를 유지한다.
- [0088] 도 18 및 도 19를 참조하면, GIP 회로의 제n 스테이지에 시프트 클럭(SCCLK, CRCLK)의 VGH 전압이 입력된다. 그 결과, 부트스트래핑에 의해 시프트 클럭(SCCLK, CRCLK)의 VGH 전압으로 Q 노드의 전압이 VGH 보다 더 높은 전압으로 상승하여 풀업 트랜지스터들(T6, T6cr)의 드레인-소스 간 전류(Ids)가 상승하여 출력 단자의 전압을 높인다. 이 때, 제n 스테이지로부터 게이트 펄스(Scout(n))와 캐리 신호(Cout(n))가 출력된다.
- [0089] 도 20 및 도 21을 참조하면, 시프트 클럭(SCCLK, CRCLK)의 전압이 VGL로 낮아진다. 그 결과, Q 노드의 전압은 VGH로 낮아지고, Qb 노드의 전압은 VGL을 유지한다. Qh 노드의 전압은 VGH로 유지된다.
- [0090] 도 22 및 도 23을 참조하면, GIP 회로의 제n 스테이지에 캐리 신호(Cout(n+3))의 VGH 전압이 입력된다. 이 때, TFT(T3n, T3Na)가 턴-온되어 Q 노드와 Qh 노드가 방전되어 TFT(T3q, T4q, T6, T6cr)가 턴-오프되고, Qb 노드가 충전되어 TFT(T3, T3A, T7, T7cr)이 턴-온된다. 그 결과, 게이트 펄스(Scout(n))의 전압이 VGL0로 낮아지고, 캐리 신호(Cout(n))의 전압이 VGL2까지 낮아진다.
- [0091] 도 24 및 도 25를 참조하면, 캐리 신호(Cout(n+3))의 전압이 VGL로 낮아진다. 이 때, TFT(T3n, T3Na)가 턴-오프된다. Q 노드, Qh 노드, 및 Qb 노드는 플로팅 상태로 된다. 그 결과, 게이트 펄스(Scout(n))의 전압이 VGL0

로, 캐리 신호(Cout(n))의 전압이 VGL2로 유진된다.

[0092] 도 26은 본 발명의 다른 실시예에 따른 픽셀 구조를 보여 주는 도면이다. 도 27은 도 26에 도시된 정전기 보호 소자(ESD)의 일 예를 보여 주는 회로도이다.

[0093] 도 26 및 도 27을 참조하면, 서브 픽셀들 각각에 GIP 회로부를 분산 배치할 때, 일부 서브 픽셀들에서 GIP 회로를 추가할 필요가 없어 그 서브 픽셀에서 여유 공간이 존재할 수 있다. 이 경우, 일부 서브 픽셀에 도 27과 같은 정전기 보호 소자(ESD)가 배치될 수 있다. 일반적으로, 정전기 보호 소자(ESD)는 표시패널의 베젤 영역에 배치되기 때문에 네로우 베젤 설계에서 제약 요인으로 작용한다. 이러한 정전기 보호 소자(ESD)가 액티브 영역 내의 서브 픽셀들에 배치되면 네로우 베젤 설계에 더욱 유리하다.

[0094] 정전기 보호 소자는 표시패널(PNL)의 신호 배선(DL/GL)과 그라운드 배선(GND) 사이에 연결된다. 정전기 보호 소자(ESD)가 배치되는 서브 픽셀에서 OLED의 애노드(ANO)와 유기 화합물층(OL)은 픽셀 회로부(PIX(i+1, j))와 ESD 보호 소자 영역 위에서 픽셀 회로부(PIX(i+1, j))와 ESD 보호 소자를 덮는 구조로 패터닝될 수 있다. 따라서, 이 서브 픽셀에서 개구율과 발광 영역의 감소가 없다. 이 서브 픽셀에서 개구율과 발광 영역은 픽셀 회로부(PIX(i+1, j)) 보다 커질 수 있다.

[0095] 정전기 보호 소자(ESD)는 도 27과 같은 회로로 구현될 수 있으나 이에 한정되지 않는다. 도 27의 예에서, 정전기 보호 소자(ESD)는 2 개의 스위칭 TFT(71, 72)와 1개의 이퀄라이저 TFT(73)를 포함한다. 제1 및 제2 스위칭 TFT(71, 72)는 다이오드로 동작하여 동시에 양방향으로 전류가 흐르는 현상을 차단한다. 이퀄라이저 TFT(73)는 제1 및 제2 스위칭 TFT들(71, 72) 사이에 배치된다.

[0096] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

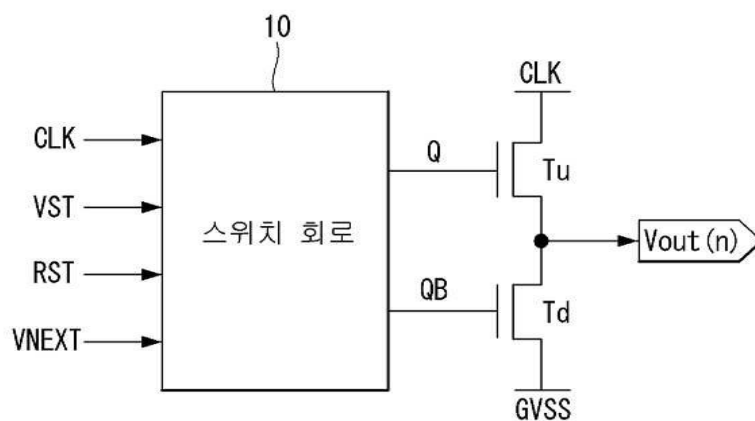
부호의 설명

[0097] PNL : 표시패널 SIC : 소스 드라이브 IC

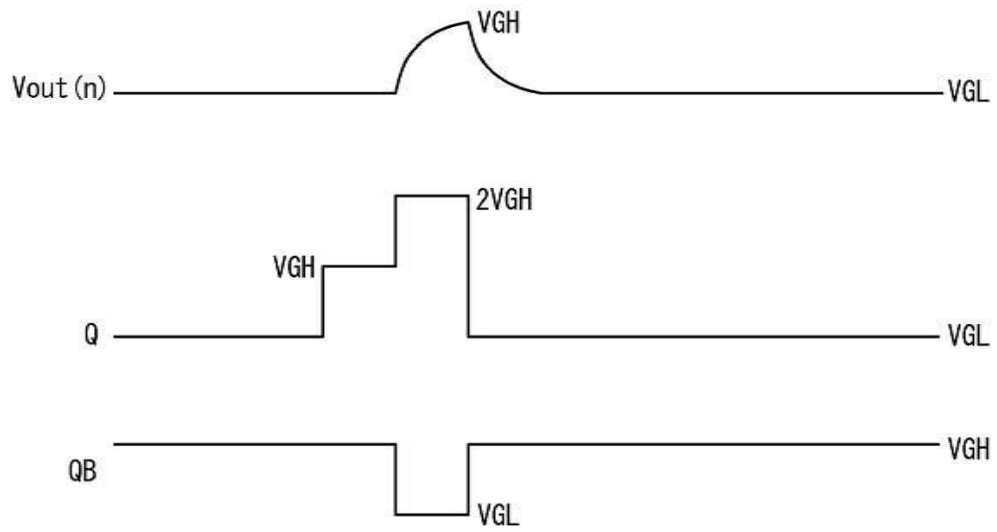
GIP, GIP A, GIP B : GIP 회로부 PIX : 픽셀 회로부

도면

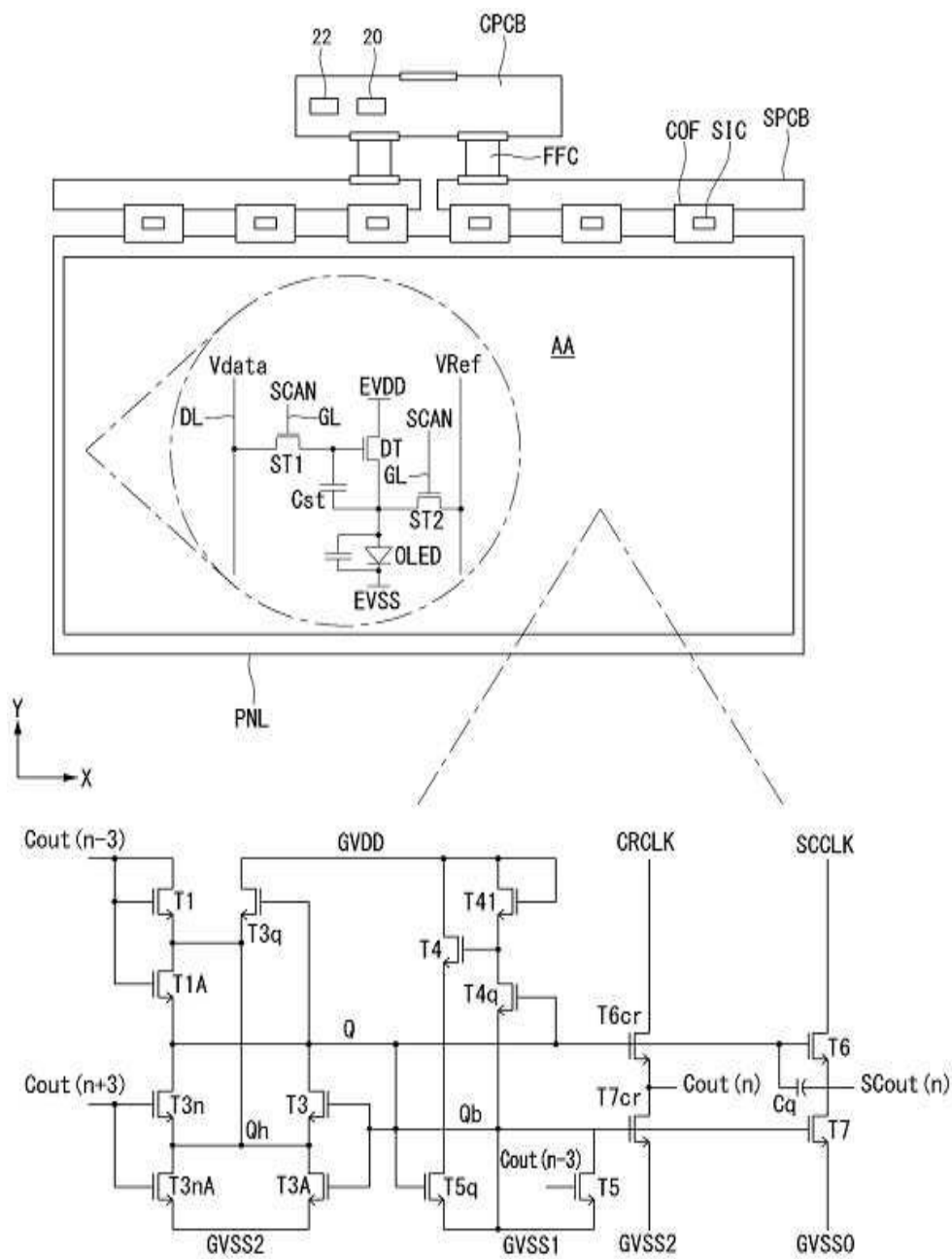
도면1



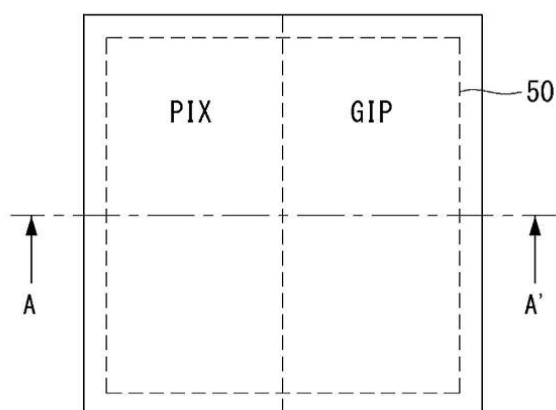
도면2



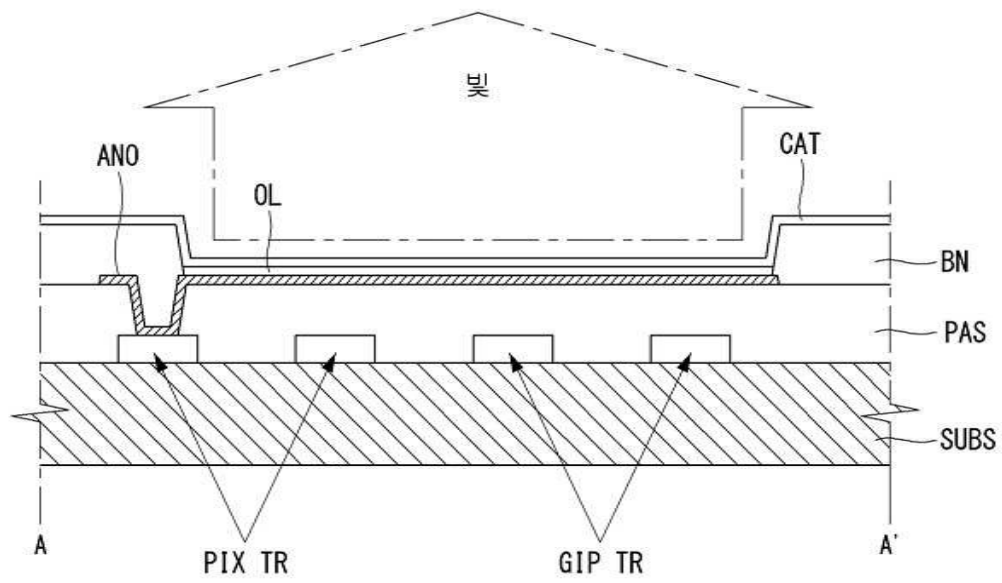
도면3



도면4



도면5



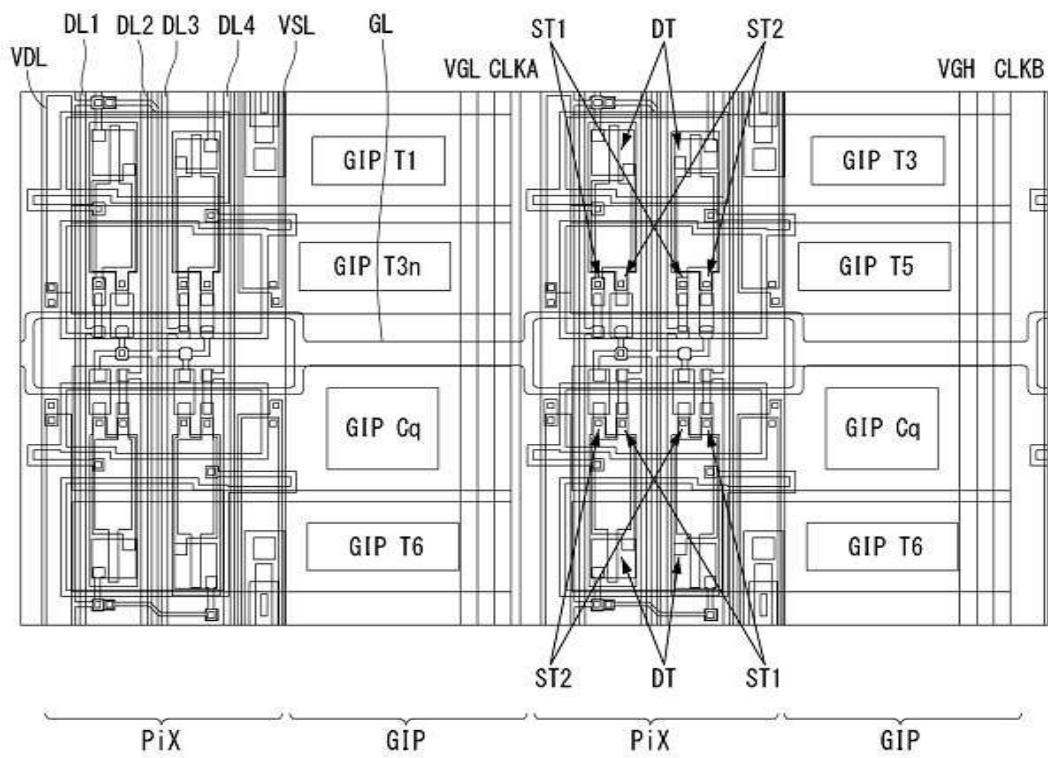
도면6

PIX (1, 1)	GIP A	PIX (2, 1)	GIP B	PIX (3, 1)	GIP C	...
---------------	----------	---------------	----------	---------------	----------	-----

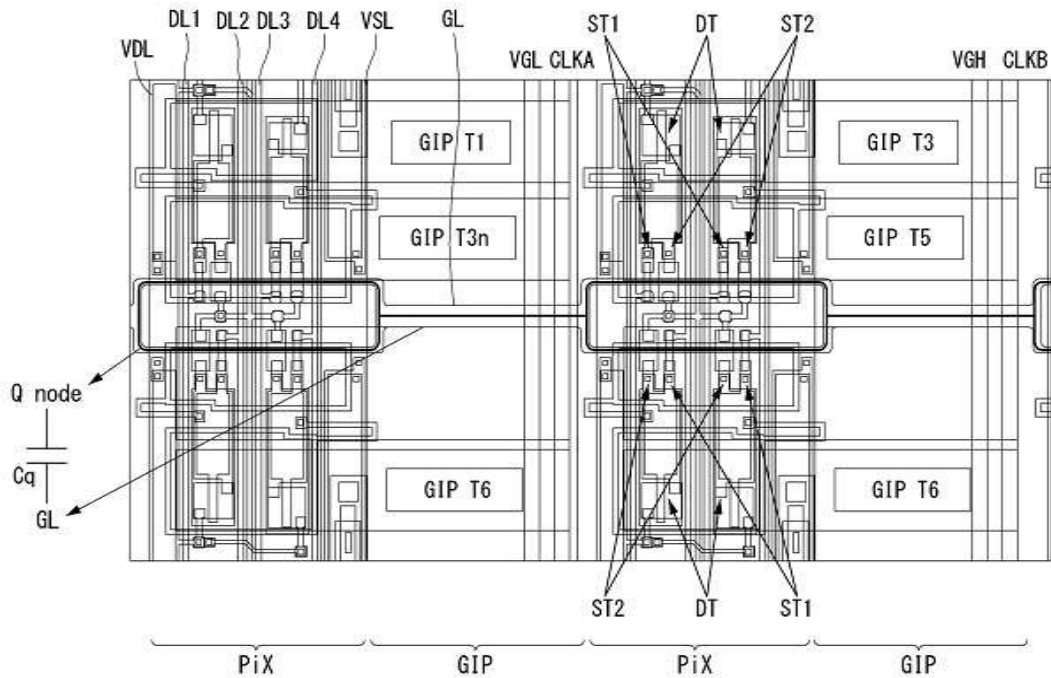
⋮

PIX (1, 2160)	GIP A	PIX (2, 2160)	GIP B	PIX (3, 2160)	GIP C	...
------------------	----------	------------------	----------	------------------	----------	-----

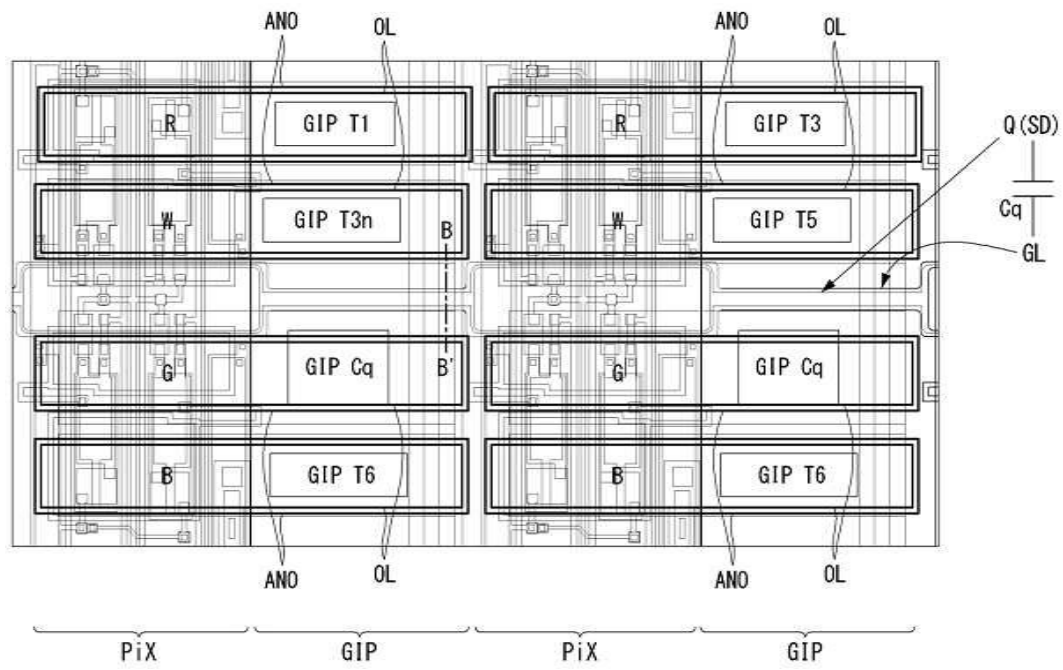
도면7



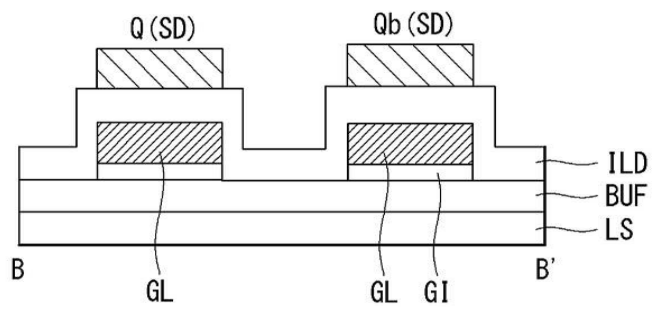
도면8



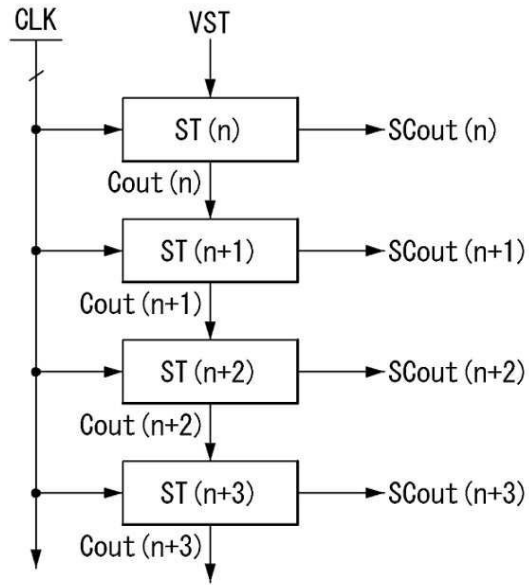
도면9



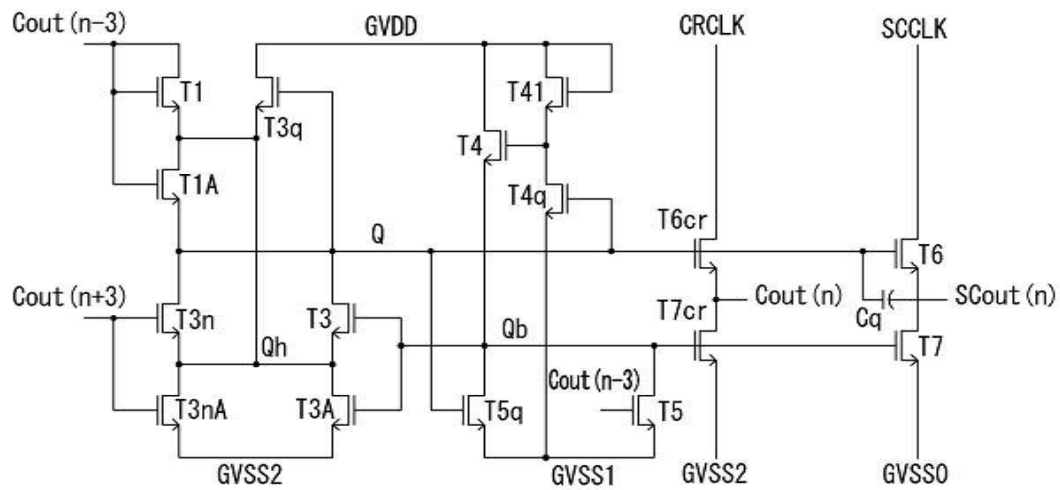
도면10



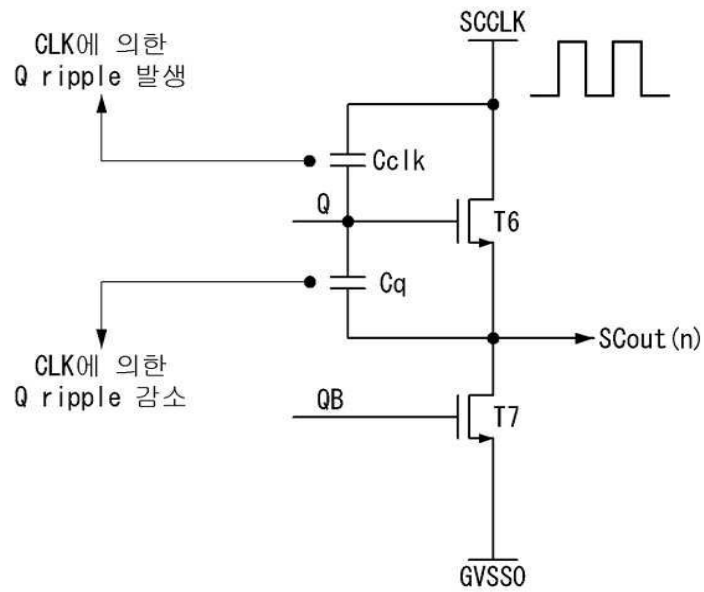
도면11



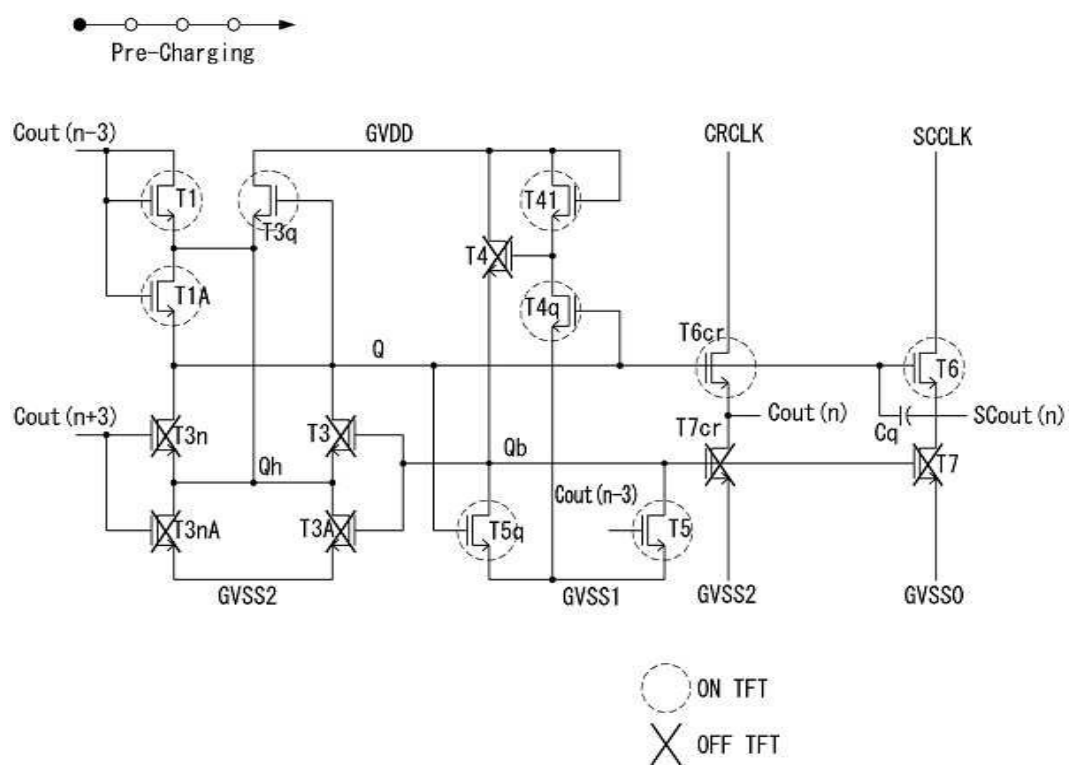
도면12



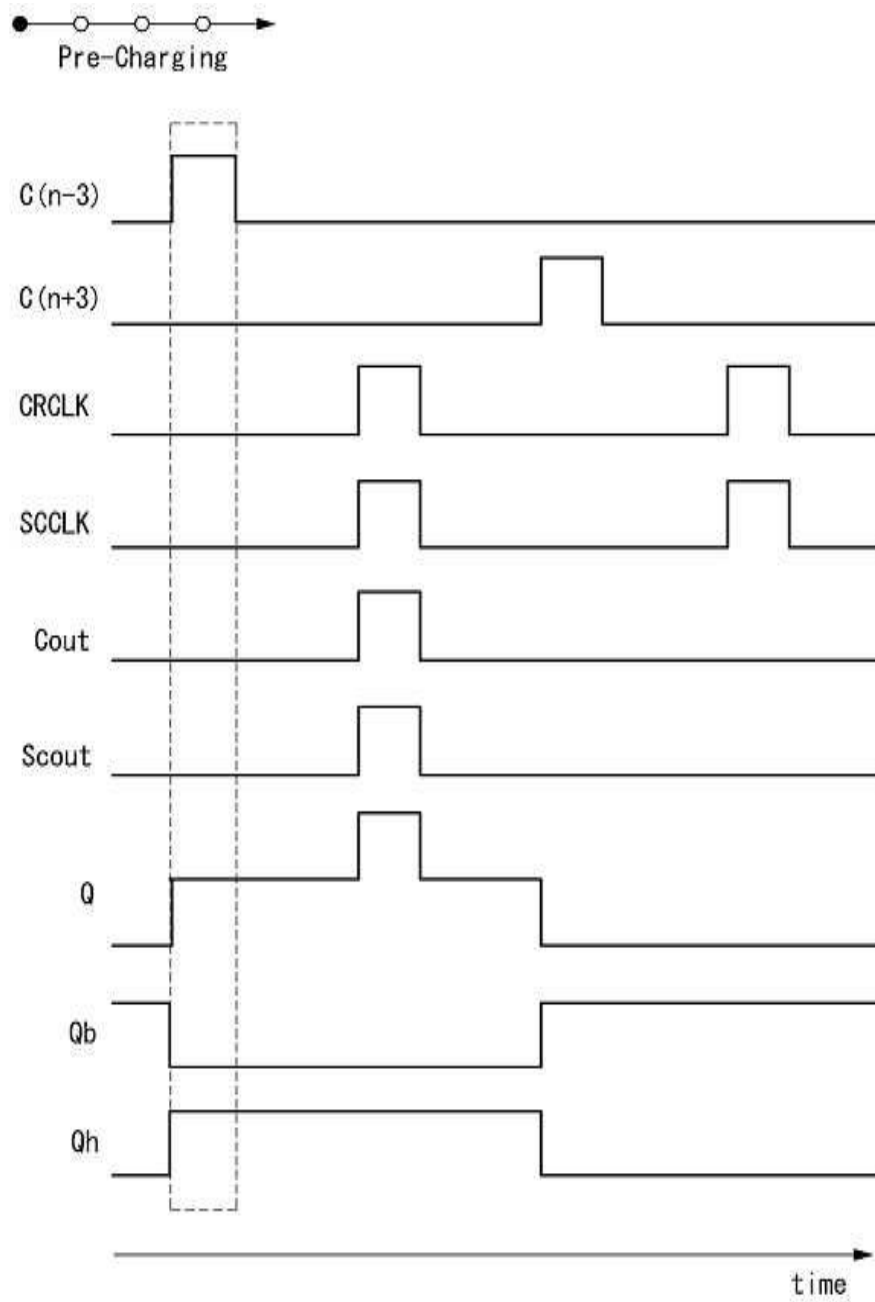
도면13



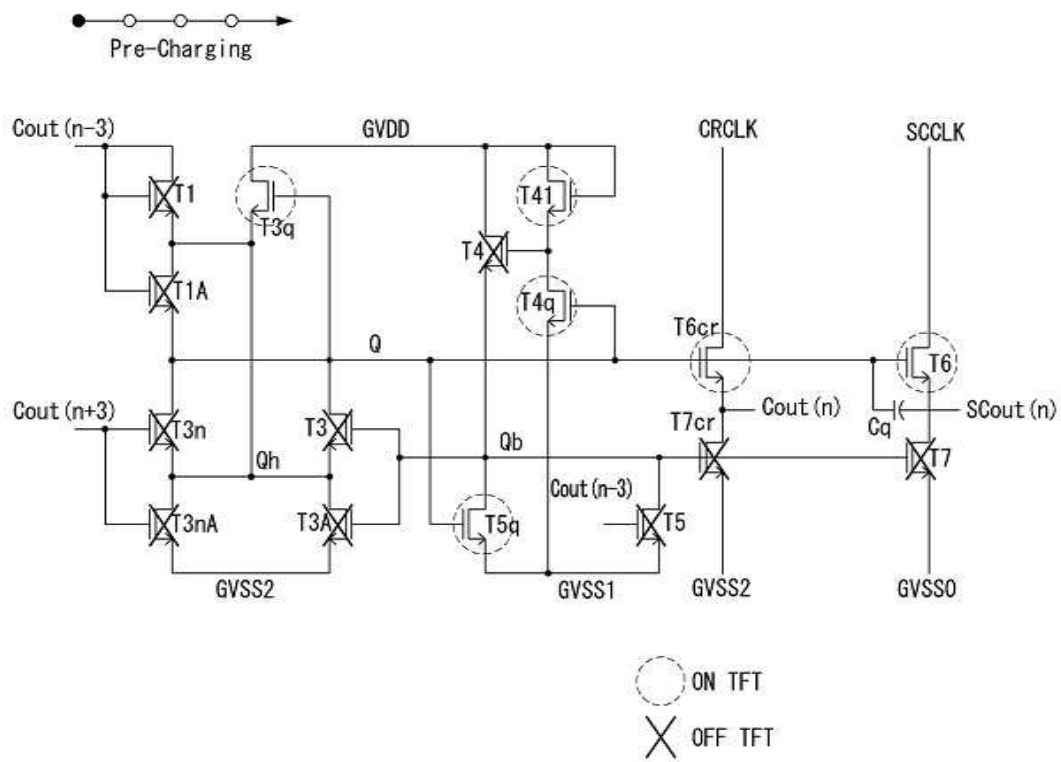
도면14



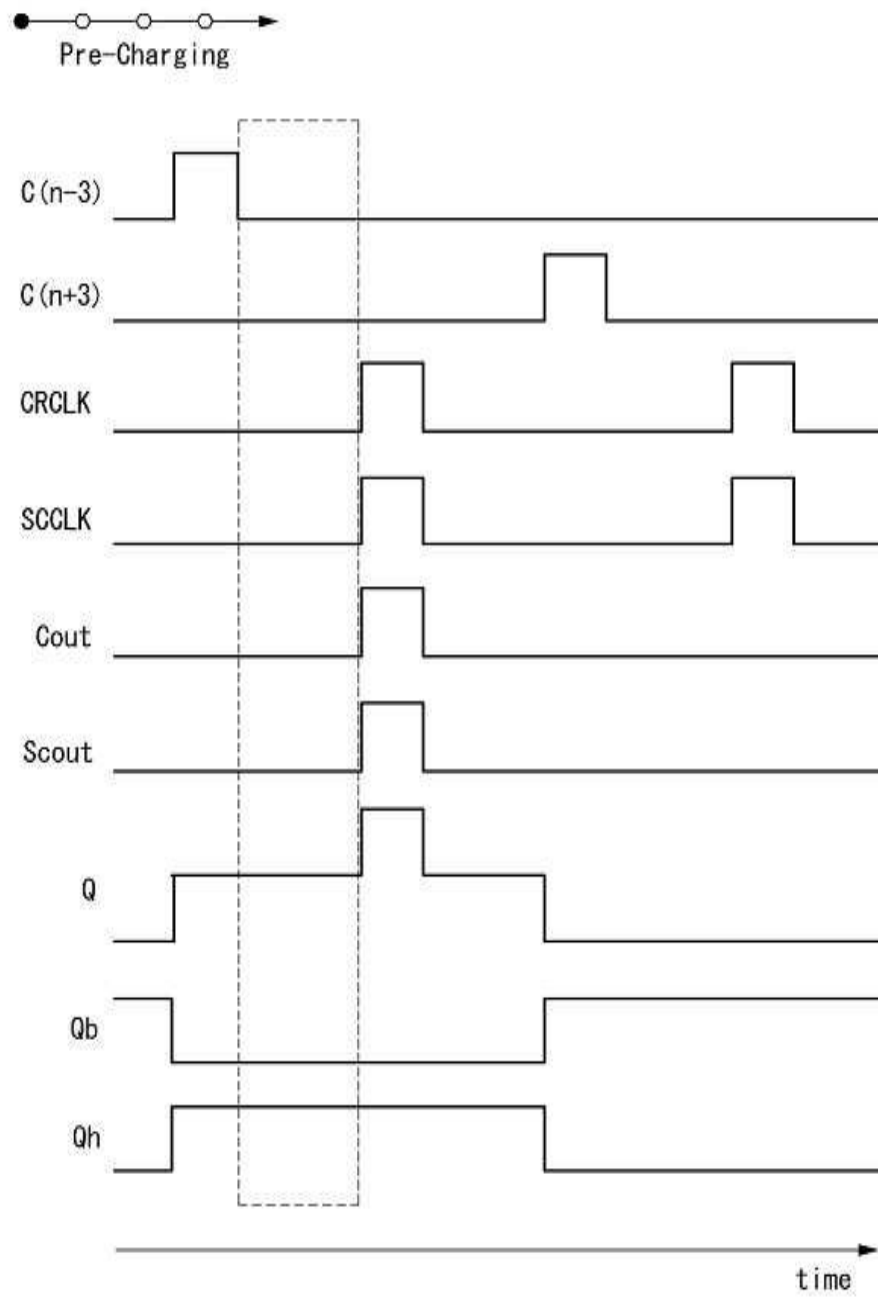
도면15



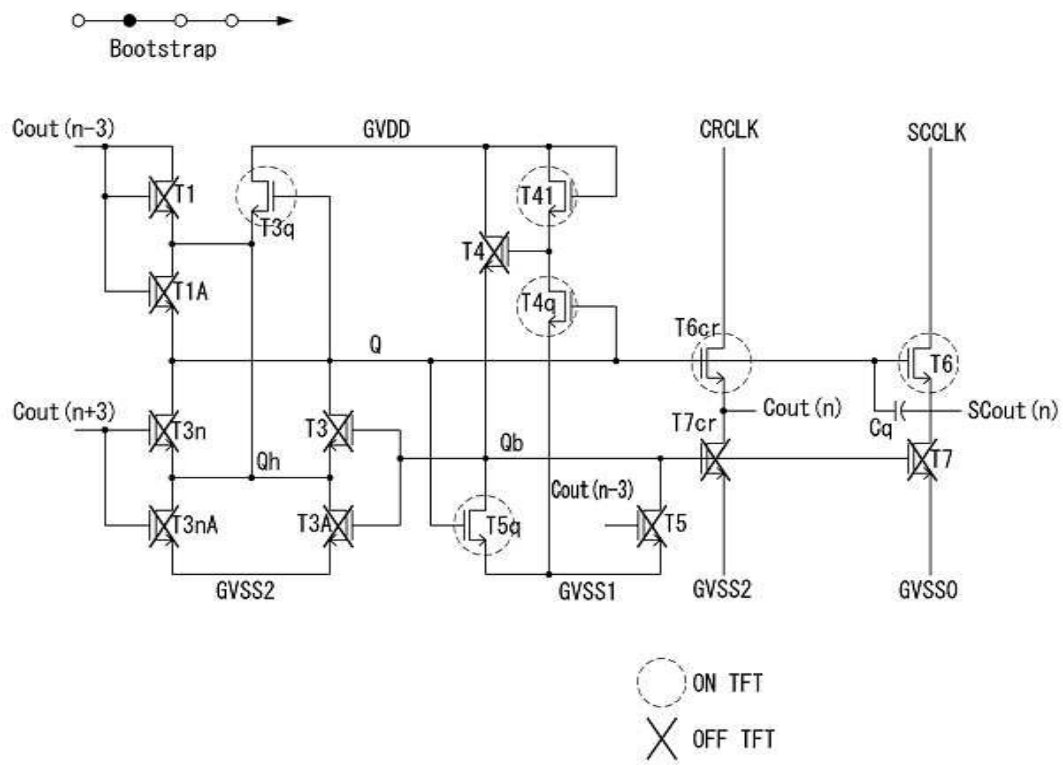
도면16



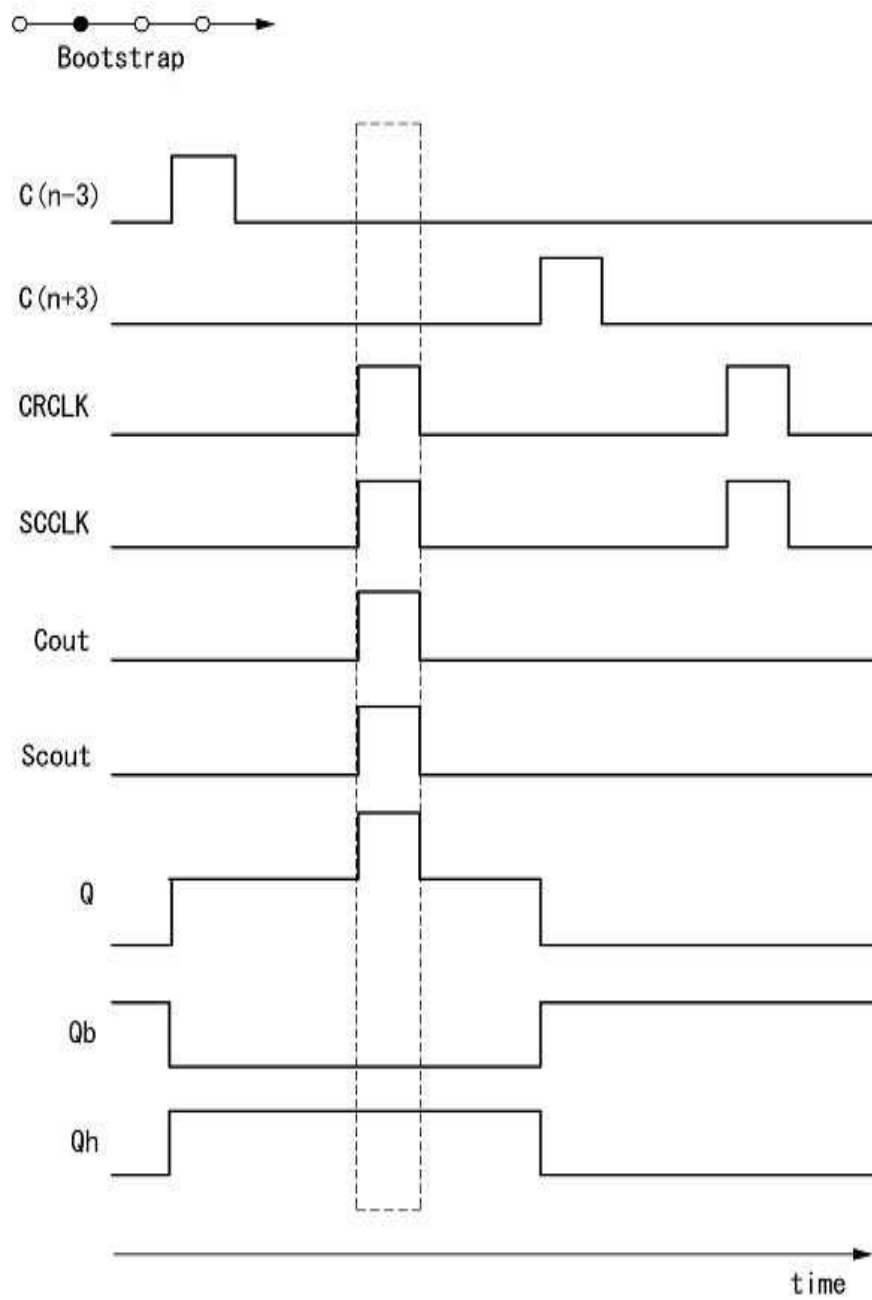
도면17



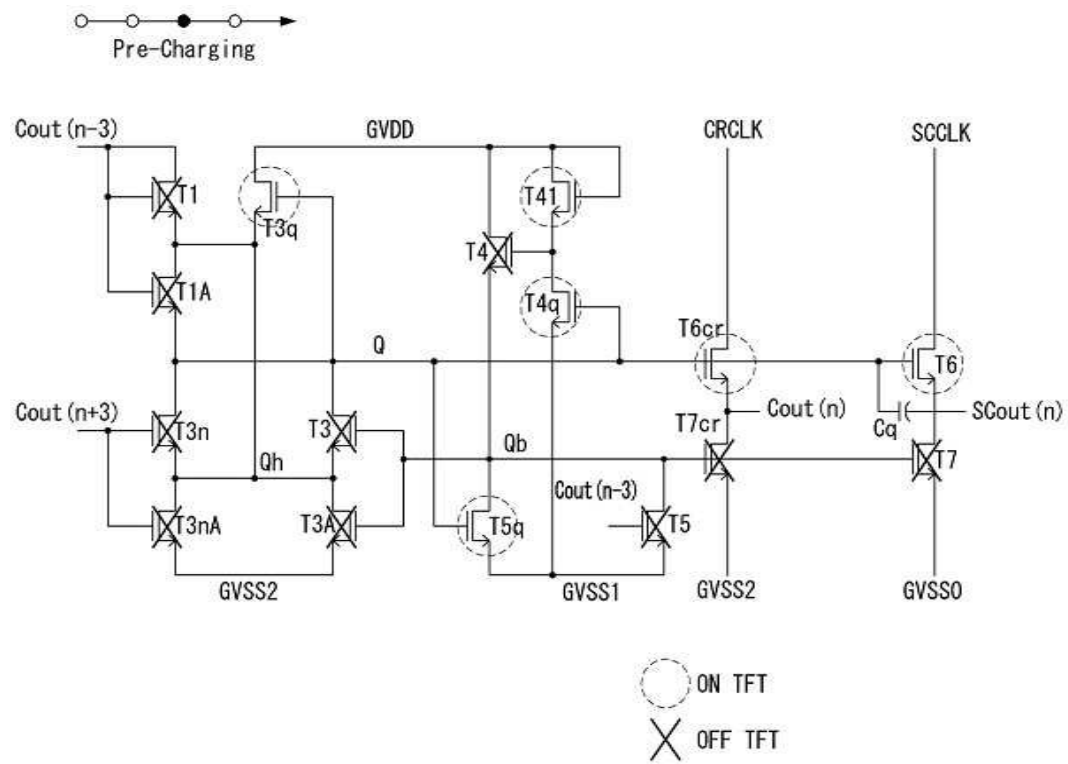
도면18



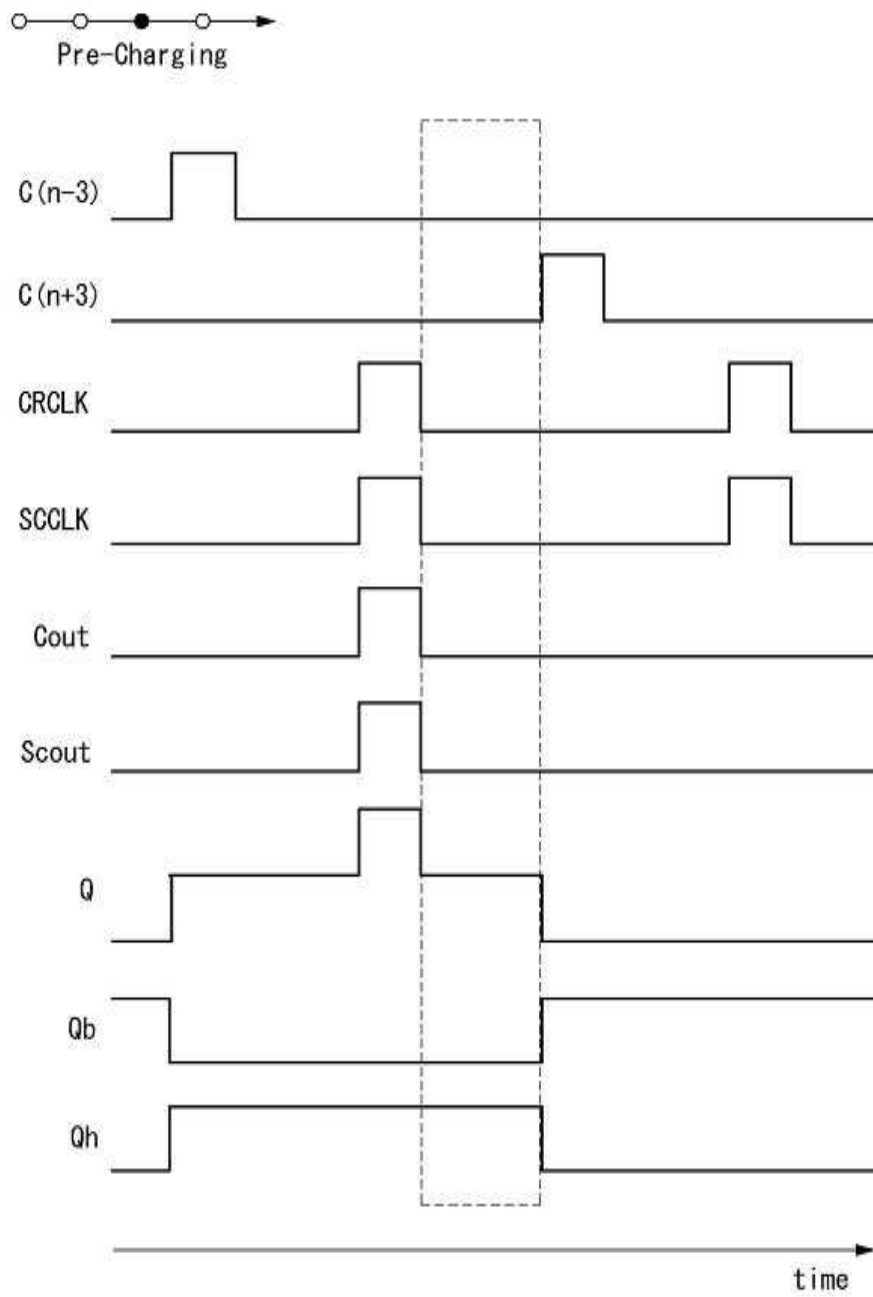
도면19



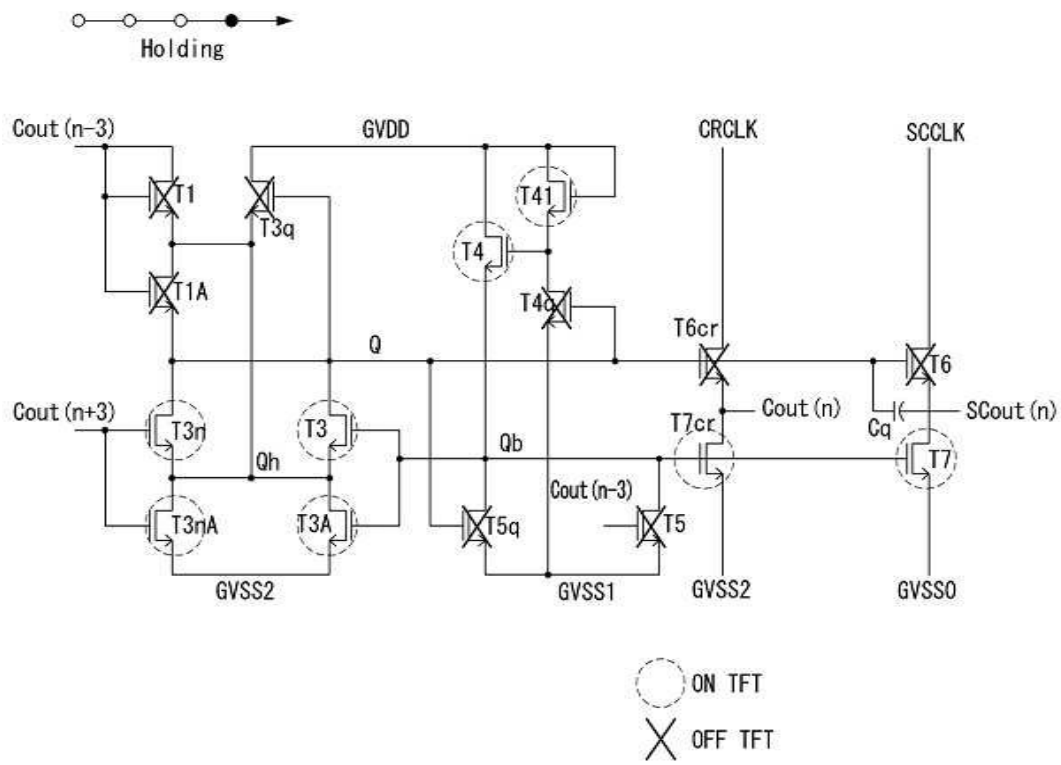
도면20



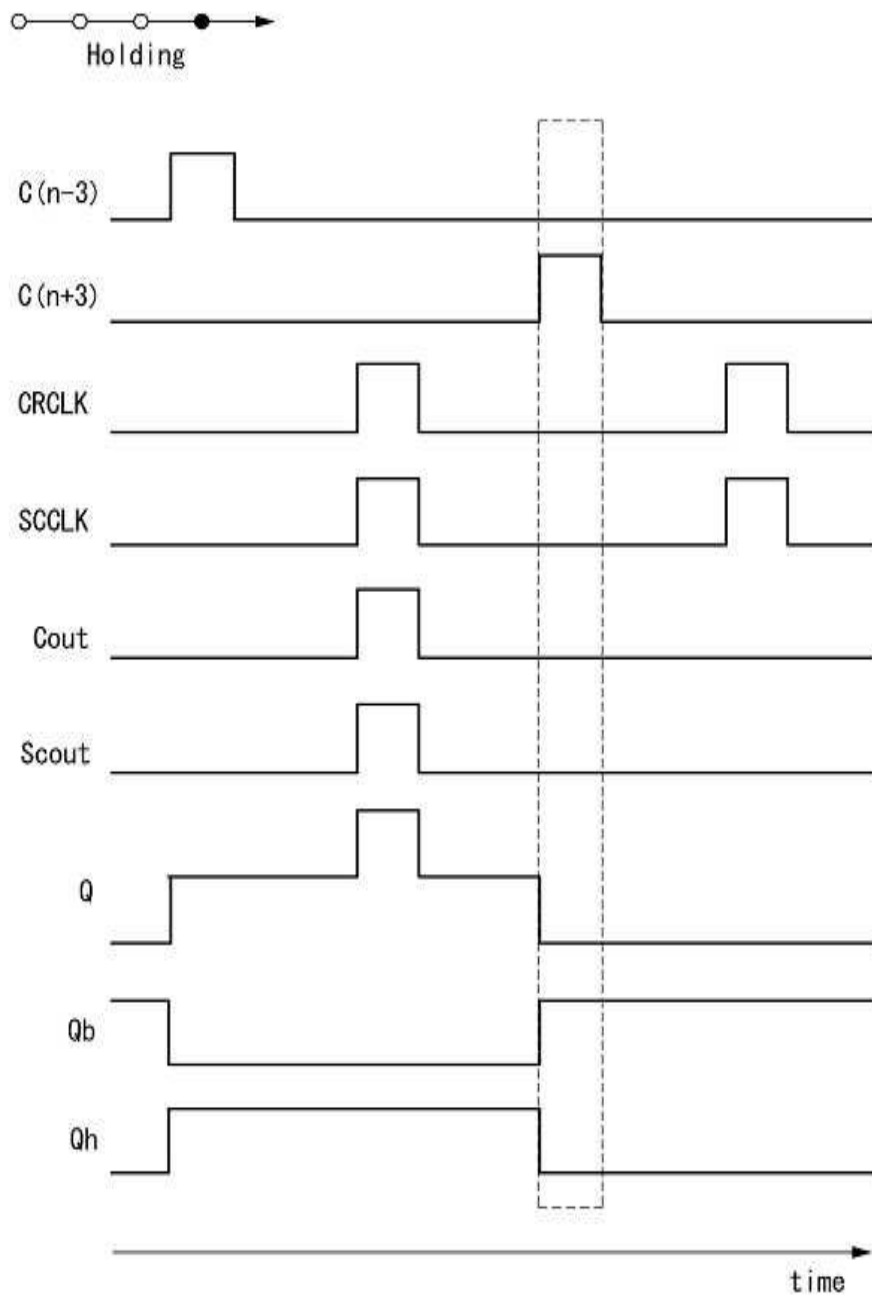
도면21



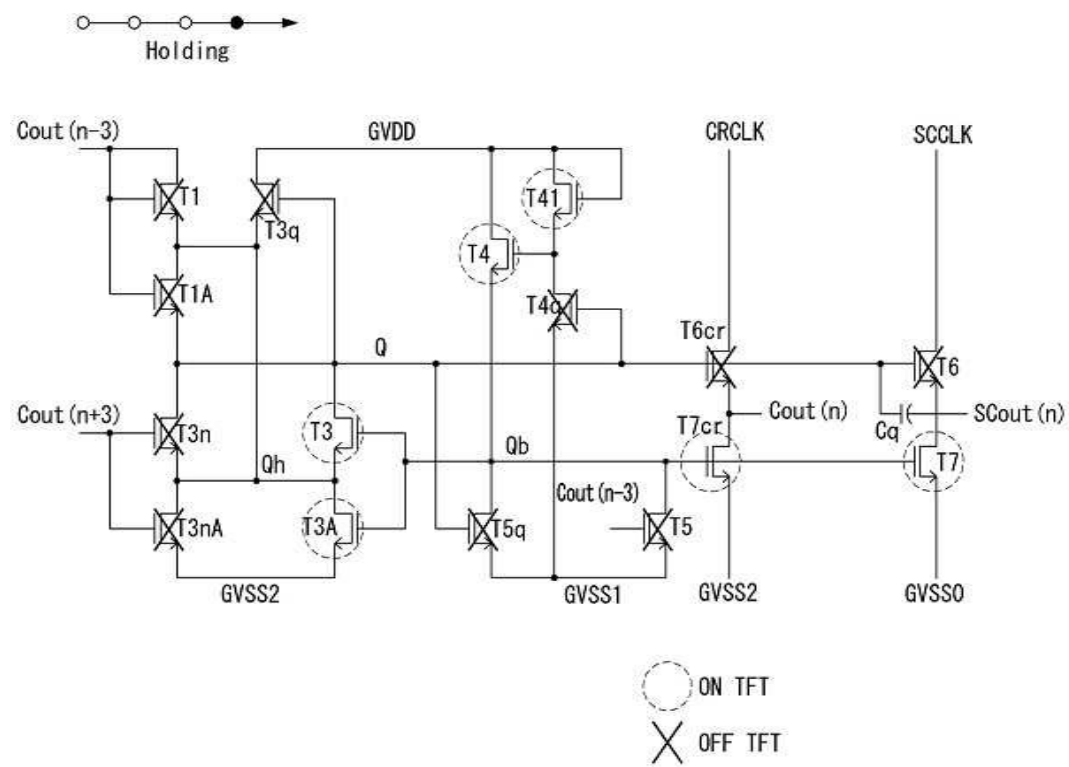
도면22



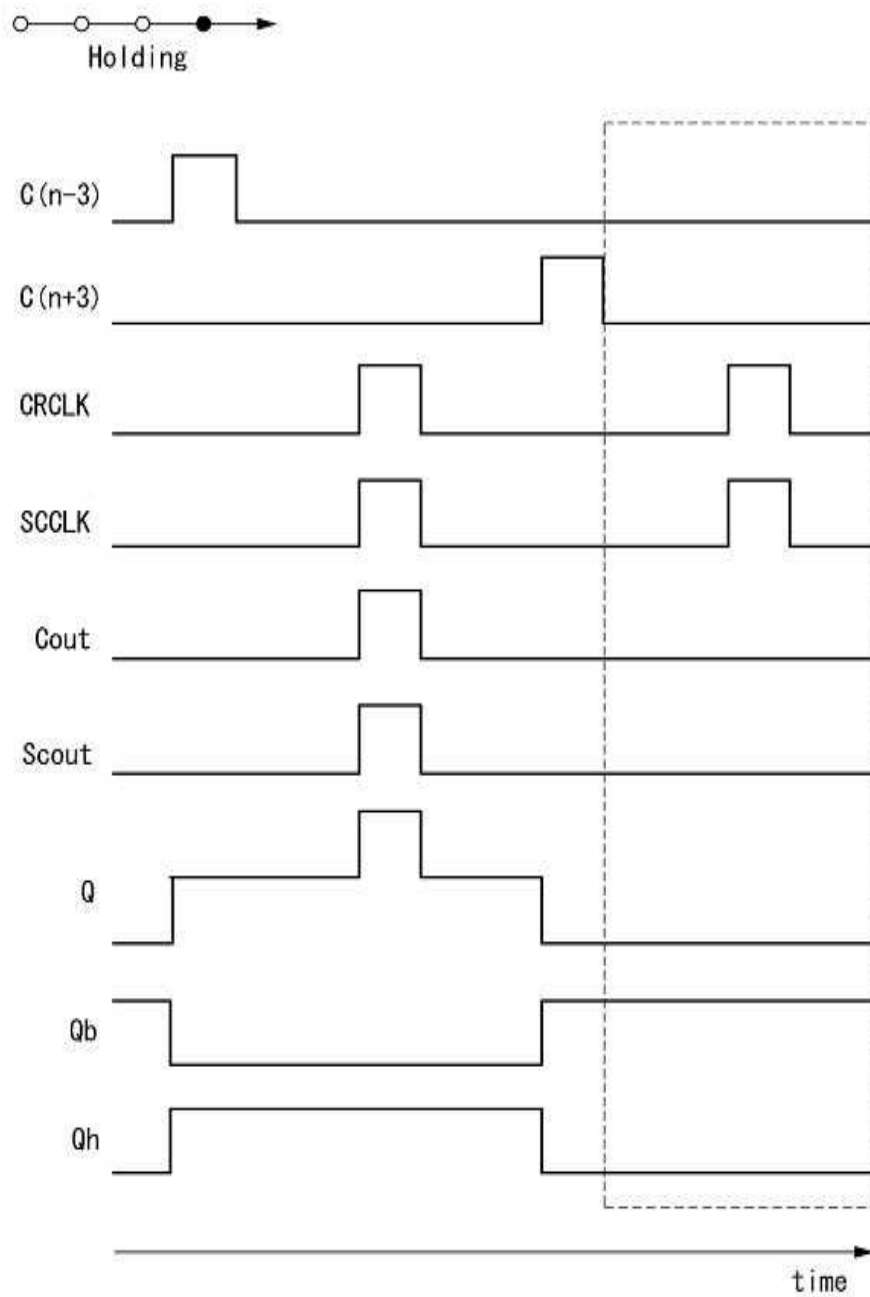
도면23



도면24



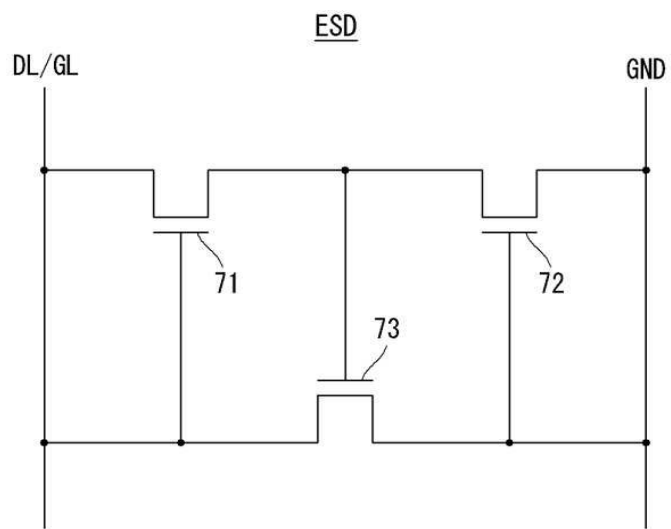
도면25



도면26

PIX (i, j)	GIP A	PIX (i+1, j)	ESD	PIX (i+2, j)	GIP B
---------------	----------	-----------------	-----	-----------------	----------

도면27



专利名称(译)	显示面板和使用其的电致发光显示器		
公开(公告)号	KR1020180055004A	公开(公告)日	2018-05-25
申请号	KR1020160151960	申请日	2016-11-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN IN HYO 한인효 SON KI MIN 손기민 OH KIL HWAN 오길환		
发明人	한인효 손기민 오길환		
IPC分类号	G09G3/3233 H01L51/52		
CPC分类号	G09G3/3233 H01L51/5218 G09G2310/0286 G09G2230/00 G09G2300/0842 G09G2330/06 H01L2251/5315		
代理人(译)	Bakyounbok		
其他公开文献	KR101878189B1		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域显示面板包括：有源区，包括以矩阵形式布置的像素，数据线和栅极线交叉；以及移位寄存器，分布在有源区中并向栅极线提供栅极脉冲。每个像素包括具有不同颜色的多个子像素。至少一个子像素被分成用于驱动发光元件的第一电路部分和包括移位寄存器的一部分的第二电路部分。发光元件的阳极覆盖第一电路部分和第二电路部分上的第一电路部分和第二电路部分。

专利文献1：JP-A-10-2018-0055004

