



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0025431
(43) 공개일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2016-0111119
(22) 출원일자 2016년08월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김형기
경기도 수원시 영통구 센트럴타운로 76, 이편한세
상광교 (이의동)
(74) 대리인
특허법인가산

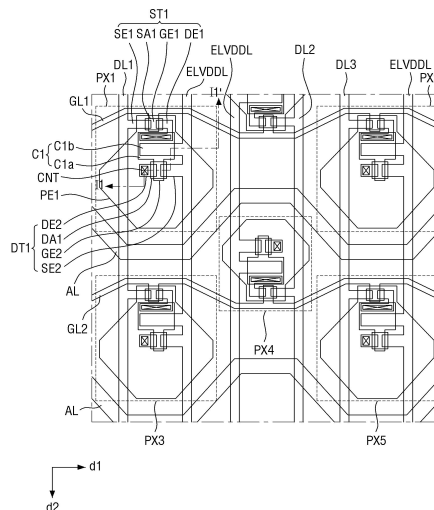
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 제1 기판, 제1 기판 상에 제1 방향으로 연장되는 제1 도전성 라인, 제1 방향으로 연장되되, 제1 도전성 라인과 동일 층에 배치되는 제2 도전성 라인 및 제1 도전성 라인 및 제2 도전성 라인 상에 배치되며, 제1 도전성 라인 및 제2 도전성 라인과 중첩되는 제1 화소 전극을 갖는 화소 부를 포함하고, 제1 도전성 라인과 제2 도전성 라인 간의 이격 거리는 0 초과 10 μm 이하이다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/5209 (2013.01)

H01L 51/5284 (2013.01)

H01L 2251/558 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 제1 도전성 라인;

상기 제1 도전성 라인과 동일 층에 배치되며, 상기 제1 도전성 라인과 절연되는 제2 도전성 라인; 및

상기 제1 및 제2 도전성 라인 상에 배치되며, 상기 제1 및 제2 도전성 라인과 중첩되는 화소 전극을 포함하고,

상기 제1 도전성 라인과 상기 제2 도전성 라인 간의 이격 거리는 0 초과 10 μ m 이하인 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 기관의 상면에서 화소 전극의 하면까지의 최소 거리와 상기 기관의 상면에서 화소 전극의 하면까지의 최대 거리의 차는 70nm 이하인 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 제1 및 제2 도전성 라인과 상기 기관 사이에 배치되는 절연막; 및 상기 제1 및 제2 도전성 라인과 상기 화소 전극 사이에 배치되며, 제1 두께 및 제2 두께를 갖는 평탄화층을 더 포함하고,

상기 평탄화층의 제1 두께는 상기 절연막의 상면에서 상기 평탄화층의 상면까지의 최소 거리로 정의되며, 상기 평탄화층의 제2 두께는 상기 절연막의 상면에서 상기 평탄화층의 상면까지의 최대 거리로 정의되고,

상기 제1 두께와 상기 제2 두께의 차는 70nm 이하인 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 평탄화층의 제1 두께는 1.5 μ m 이상 2.0 μ m 이하인 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 제1 도전성 라인과 일 전극이 연결되는 제1 스위칭 소자;

제어 전극이 상기 제1 스위칭 소자의 타 전극과 연결되고, 일 전극이 상기 제2 도전성 라인과 연결되며, 타 전극이 상기 화소 전극과 연결되는 제2 스위칭 소자; 및

상기 화소 전극 및 상기 화소 전극 상에 배치되며 상기 화소 전극과 중첩되는 유기 발광층을 갖는 유기 발광 소자를 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제1 도전성 라인은 상기 제1 스위칭 소자의 일 전극에 데이터 신호를 제공하는 데이터 라인이며, 상기 제2 도전성 라인은 상기 제2 스위칭 소자의 일 전극에 구동 전압을 제공하는 구동 전압 라인인 유기 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 데이터 라인과 상기 구동 전압 라인 사이의 이격 거리는 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하인 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 화소 전극의 일 측에서 상기 제1 도전성 라인의 일 측까지의 이격 거리와, 상기 제1 도전성 라인의 타 측에서 상기 제2 도전성 라인의 일 측까지의 이격 거리 및 상기 제2 도전성 라인의 타 측에서 상기 화소 전극의 타 측까지의 이격 거리는 서로 동일한 유기 발광 표시 장치.

청구항 9

제1항에 있어서,

상기 화소 전극과 중첩되는 개구 영역을 포함하는 블랙 매트릭스; 및

상기 개구 영역과 중첩되는 감광 부재를 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 블랙 매트릭스는 상기 화소 전극 상에 배치되며,

상기 감광 부재는 상기 블랙 매트릭스 상에 배치되며 상기 화소 전극과 중첩되는 유기 발광 표시 장치.

청구항 11

기관;

상기 기관 상에 배치되며, 제1 방향으로 연장되는 제1 도전성 라인;

상기 제1 방향으로 연장되는 제2 도전성 라인; 및

상기 제1 및 제2 도전성 라인 상에 배치되며, 상기 제1 및 제2 도전성 라인과 중첩되는 화소 전극을 포함하는 화소부를 포함하고,

상기 제1 도전성 라인과 상기 제2 도전성 라인은 평면 시점에서의 이격 거리가 0이상 $10\mu\text{m}$ 이하인 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 제1 도전성 라인은 상기 제2 도전성 라인과 서로 다른 층에 배치되는 유기 발광 표시 장치.

청구항 13

제11항에 있어서, 상기 화소부는,

소스 전극이 구동 전압단과 연결되고, 드레인 전극이 상기 화소 전극과 연결되는 구동 트랜지스터; 및

드레인 전극이 상기 구동 트랜지스터의 게이트 전극과 연결되는 스위칭 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 및 제2 도전성 라인 중 하나는 상기 스위칭 트랜지스터의 소스 전극에 데이터 신호를 제공하는 데이터 라인을 포함하는 유기 발광 표시 장치.

청구항 15

제13항에 있어서,

상기 제1 및 제2 도전성 라인 중 하나는 상기 구동 트랜지스터의 게이트 전극에 초기화 신호를 제공하는 초기화 라인을 포함하는 유기 발광 표시 장치.

청구항 16

제13항에 있어서,

상기 제1 및 제2 도전성 라인 중 하나는 상기 구동 트랜지스터의 소스 전극 및 상기 구동 전압단과 연결되는 구동 전압 라인을 포함하는 유기 발광 표시 장치.

청구항 17

제13항에 있어서,

상기 제1 및 제2 도전성 라인은 상기 구동 트랜지스터 및 상기 스위칭 트랜지스터와 전기적으로 연결되지 않는 유기 발광 표시 장치.

청구항 18

제11항에 있어서,

상기 제2 도전성 라인은 상기 제1 도전성 라인 상에 배치되며,

상기 제1 도전성 라인과 상기 제2 도전성 라인 사이에 배치되는 절연막을 더 포함하는 유기 발광 표시 장치.

청구항 19

제18항에 있어서,

상기 제2 도전성 라인과 상기 화소 전극 사이에 배치되며, 제1 두께 및 제2 두께를 포함하는 평탄화층을 더 포함하고,

상기 평탄화층의 제1 두께는 상기 절연막의 상면에서 상기 평탄화층의 상면까지의 최소 거리로 정의되며, 상기 평탄화층의 제2 두께는 상기 절연막의 상면에서 상기 평탄화층의 상면까지의 최대 거리로 정의되고,

상기 제1 두께와 상기 제2 두께의 차는 70nm 이하인 유기 발광 표시 장치.

청구항 20

제11항에 있어서,

상기 기관의 상면에서 화소 전극의 하면까지의 최소 거리와 상기 기관의 상면에서 화소 전극의 하면까지의 최대 거리의 차는 70nm 이하인 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 그 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시한다. 유기 발광 표시 장치는 빠른 응답 속도를 가지며, 휘도 및 시야각이 크고, 동시에 낮은 소비 전력으로 구동되는 장점이 있다.

[0004] 유기 발광 표시 장치는 일반적으로 적색, 녹색 및 청색의 세 가지 서브 화소부로 구성되는 단위 화소부들을 포함한다. 각 서브 화소부는 복수의 박막 트랜지스터 및 각종 메탈 라인이 배치된 구동 소자에 의해 독립적으로 구동된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 반사 색감을 개선시킬 수 있는 유기 발광 표시 장치를 제공한다.

[0006] 또한, 편광판을 사용하지 않아 생산비를 절감시킬 수 있는 유기 발광 표시 장치를 제공한다.

[0007] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기관, 상기 기관 상에 배치되는 제1 도전성 라인, 상기 제1 도전성 라인과 동일 층에 배치되며, 상기 제1 도전성 라인과 절연되는 제2 도전성 라인 및 상기 제1 및 제2 도전성 라인 상에 배치되며, 상기 제1 및 제2 도전성 라인과 중첩되는 화소 전극을 포함하고, 상기 제1 도전성 라인과 상기 제2 도전성 라인 간의 이격 거리는 0 초과 10 μm 이하이다.

[0009] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 상에 배치되며, 제1 방향으로 연장되는 제1 도전성 라인, 상기 제1 방향으로 연장되는 제2 도전성 라인, 상기 제1 및 제2 도전성 라인 상에 배치되며, 상기 제1 및 제2 도전성 라인 상에 배치되며, 상기 제1 및 제2 도전성 라인과 중첩되는 화소 전극을 포함하는 화소부를 포함하고, 상기 제1 도전성 라인과 상기 제2 도전성 라인은 평면 시점에서의 이격 거리가 0 이상 10 μm 이하이다.

[0010] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0011] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 반사색 분리 및 반사 색감을 개선시킬 수 있다.

[0012] 또한, 생산비를 절감시킬 수 있다.

[0013] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 레이아웃도이다.

도 2는 도 1에 도시한 유기 발광 표시 장치의 구성 중 제1 화소 전극, 제1 데이터 라인 및 구동 전압 라인을 도시한 도면이다.

도 3은 도 1에 도시한 I1-I1'선단면도를 따라 자른 단면도의 일 실시예이다.

도 4는 도 2에 도시한 I2-I2'선단면도를 따라 자른 단면도의 일 실시예이다.

도 5는 금속 배선의 간격에 따른 평탄화층의 단차 정도를 설명하기 위한 도면이다.

도 6은 평탄화층의 단차에 따른 화소 전극의 단차를 설명하기 위한 도면이다.

도 7의 (a)는 비교 예에 따른 유기 발광 표시 장치의 색감을 나타낸 도면이며, 도 7의 (b)는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 색감을 나타낸 도면이다.

도 8은 도 1에 도시한 I1-I1'선단면도를 따라 자른 단면도의 다른 실시예이다.

도 9는 도 2에 도시한 I2-I2'선단면도를 따라 자른 단면도의 다른 실시예이다.

도 10은 도 1에 도시한 유기 발광 표시 장치의 구성 중 제1 화소 전극, 제1 데이터 라인 및 구동 전압 라인의

다른 실시예를 도시한 도면이다.

도 11은 도 10에 도시한 I3-I3신민경선을 따라 자른 단면도의 일 실시예이다.

도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소부를 나타낸 등가 회로도이다.

도 13은 도 12에 도시한 유기 발광 표시 장치의 동작을 설명하기 위한 도면이다.

도 14는 도 12에 도시한 유기 발광 표시 장치의 일 화소부를 개략적으로 나타낸 레이아웃도이다.

도 15는 도 14에 도시한 유기 발광 표시 장치의 구성 중 반도체층을 나타낸 도면이다.

도 16은 도 15에 도시한 반도체층에 게이트 도전체를 추가한 도면이다.

도 17은 도 14에 도시한 유기 발광 표시 장치의 구성 중 데이터 도전체를 나타낸 도면이다.

도 18은 도 14에 도시한 유기 발광 표시 장치의 구성 중 제k 화소 전극, 제m 데이터 라인 및 구동 전압 라인의 일 실시예를 나타낸 도면이다.

도 19는 도 14에 도시한 II-II신민경선을 따라 자른 단면도의 일 실시예이다.

도 20은 도 14에 도시한 유기 발광 표시 장치의 구성 중 화소 전극, 제m 데이터 라인 및 구동 전압 라인의 다른 실시예를 나타낸 도면이다.

도 21은 도 14에 도시한 II-II신민경선을 따라 자른 단면도의 다른 실시예이다.

도 22는 도 12에 도시한 유기 발광 표시 장치의 일 화소부의 다른 실시예를 개략적으로 나타낸 레이아웃도이다.

도 23은 도 22에 도시한 유기 발광 표시 장치의 구성 중 반도체층을 나타낸 도면이다.

도 24는 도 22에 도시한 반도체층에 게이트 도전체를 추가한 도면이다.

도 25는 도 24에 도시한 구성에 제1 및 제2 컨택홀(CNT1, CNT2)을 추가한 도면이다.

도 26은 도 25에 도시한 구성에 연결 전극(CTE)을 추가한 도면이다.

도 27은 도 26에 도시한 구성에 데이터 도전체 및 제k 화소 전극을 추가한 도면이다.

도 28은 도 22에 도시한 유기 발광 표시 장치의 구성 중 제k 화소 전극, 제m 데이터 라인 및 연결 전극을 나타낸 도면이다.

도 29는 도 22에 도시한 III1-III1신민경선 및 III2-III2신민경선을 따라 자른 단면도의 일 실시예이다.

도 30은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일부 구성의 일 실시예를 나타낸 도면이다.

도 31은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일부 구성의 다른 실시예를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0016] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0017] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "위(on)", "상(on)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래"로 기술된 소자는 다른 소자의 "위"에 놓여질 수 있다. 또한 도면을 기준으로 다른 소자의 "좌측"에 위치하는 것으로 기술된 소자는 시점에 따라 다른

소자의 "우측"에 위치할 수도 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0018] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는다.
- [0019] 명세서 전체를 통하여 동일하거나 유사한 부분에 대해서는 동일한 도면 부호를 사용한다.
- [0020] 이하, 첨부된 도면을 참조로 하여 본 발명의 실시예들에 대해 설명한다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 레이아웃도이다.
- [0022] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 및 제2 게이트 라인(GL1, GL2)을 포함하는 복수의 게이트 라인, 제1 내지 제3 데이터 라인(DL1 내지 DL3)을 포함하는 복수의 데이터 라인, 구동 전압 라인(ELVDDL) 및 제1 내지 제5 화소부(PX1 내지 PX5)를 포함하는 복수의 화소부를 포함할 수 있다. 이하, 제1 화소부(PX1)를 기준으로 설명하기로 한다.
- [0023] 제1 화소부(PX1)는 제1 게이트 라인(GL1), 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)과 전기적으로 연결될 수 있다. 제1 게이트 라인(GL1)은 제1 방향(d1)으로 연장될 수 있다. 제1 데이터 라인(DL1)은 제1 방향(d1)과 다른 제2 방향(d2)으로 연장될 수 있다. 구동 전압 라인(ELVDDL)은 제2 방향(d2)으로 연장될 수 있다. 구동 전압 라인(ELVDDL)은 대체로 제1 데이터 라인(DL1)과 평행하게 연장될 수 있다. 제1 방향(d1)은 제2 방향(d2)과 대체로 수직으로 교차될 수 있다. 도 1을 기준으로, 제1 방향(d1)은 열 방향으로, 제2 방향(d2)은 행 방향으로 예시한다.
- [0024] 제1 화소부(PX1)는 제1 스위칭 소자(ST1), 제2 스위칭 소자(DT1) 및 제1 커패시터(C1)를 포함할 수 있다.
- [0025] 제1 스위칭 소자(ST1)는 제1 게이트 라인(GL1), 제1 데이터 라인(DL1) 및 제2 스위칭 소자(DT1)와 전기적으로 연결될 수 있다. 제1 스위칭 소자(ST1)는 일 실시예로 박막 트랜지스터와 같은 삼 단자 소자일 수 있다. 이하, 제1 스위칭 소자(ST1)가 박막 트랜지스터인 것으로 예를 들어 설명하기로 한다.
- [0026] 제1 스위칭 소자(ST1)는 제1 게이트 라인(GL1)과 전기적으로 연결되는 제1 게이트 전극(GE1), 제1 데이터 라인(DL1)과 전기적으로 연결되는 제1 소스 전극(SE1) 및 제2 스위칭 소자(DT1)의 제2 게이트 전극(GE2)과 전기적으로 연결되는 제1 드레인 전극(DE1)을 포함할 수 있다.
- [0027] 제2 스위칭 소자(DT2)는 제1 스위칭 소자(ST1)의 제1 드레인 전극(DE1)과 전기적으로 연결되는 제2 게이트 전극(GE2), 구동 전압 라인(ELVDDL)과 전기적으로 연결되는 제2 소스 전극(SE2) 및 제1 화소 전극(PE1)과 전기적으로 연결되는 제2 드레인 전극(DE2)을 포함할 수 있다.
- [0028] 제1 커패시터(C1)는 일 전극(C1a)이 제1 스위칭 소자(ST1)의 제1 드레인 전극(DE1)과 전기적으로 연결될 수 있으며, 타 전극(C1b)이 구동 전압 라인(ELVDDL)과 전기적으로 연결될 수 있다.
- [0029] 제1 스위칭 소자(ST1)는 제1 게이트 라인(GL1)으로부터 제공받은 신호에 따라 턴 온 되어, 제1 데이터 라인(DL1)으로부터 제공받은 데이터 신호를 제1 커패시터(C1)에 제공할 수 있다. 제1 커패시터(C1)는 상기 데이터 신호의 전압과 구동 전압 라인(ELVDDL)으로부터 제공받은 구동 전압의 전압 차를 충전할 수 있다. 제2 스위칭 소자(DT1)는 제1 커패시터(C1)에 충전되는 전압에 따라, 구동 전압 라인(ELVDDL)으로부터 제1 화소 전극(PE1)에 제공되는 구동 전류의 전류량을 제어할 수 있다.
- [0030] 즉, 제1 스위칭 소자(ST1)는 스위칭 트랜지스터일 수 있으며, 제2 스위칭 소자(DT1)는 구동 트랜지스터일 수 있다.
- [0031] 도 2는 도 1에 도시한 유기 발광 표시 장치의 구성 중 제1 화소 전극, 제1 데이터 라인 및 구동 전압 라인의 일 실시예를 도시한 도면이다.

- [0032] 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)은 대체로 동일한 방향, 즉 제2 방향(d2)으로 연장될 수 있다. 또한, 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)은 서로 절연된다. 제1 화소 전극(PE1)은 상기 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)과 중첩된다. 본 명세서에서 중첩이라고 하면, 두 구성이 서로 상하 방향으로 배치되어 하부 기판(110, 도 3 참조)에 수직 방향으로 중첩되는 것을 의미한다.
- [0033] 제1 화소 전극(PE1)은 제1 도전성 라인 및 제2 도전성 라인과 중첩될 수 있다. 여기서, 제1 도전성 라인의 일 실시예는 제1 데이터 라인(DL1)일 수 있으며, 제2 도전성 라인의 일 실시예는 구동 전압 라인(ELVDDL)일 수 있다. 이하, 제1 도전성 라인을 제1 데이터 라인(DL1)으로, 제2 도전성 라인을 구동 전압 라인(ELVDDL)으로 예를 들어 설명하기로 한다.
- [0034] 제1 화소 전극(PE1)은 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)에 의해 공간적으로 분할될 수 있다. 이에 대해서는 도 8을 참조하여 후술하기로 한다. 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL) 사이의 이격 거리(I1)는 $0\mu\text{m}$ 초과 $10\mu\text{m}$ 이하 일 수 있다. 본 명세서에서의 인접한 두 라인 간의 이격 거리는 일 라인의 일 측면에서 상기 일 라인의 일 측면과 마주보는 타 라인의 일 측면까지의 최단 거리를 의미한다.
- [0035] 도 3은 도 1에 도시한 I1-I1'선면경선을 따라 자른 단면도의 일 실시예이다.
- [0036] 하부 기판(110)은 일 실시예로 절연 기판일 수 있다. 하부 기판(110)은 유리 기판, 석영 기판, 세라믹 기판 또는 플라스틱 기판을 포함할 수 있다. 하부 기판(110)은 다른 실시예로 벤딩(bending), 폴딩(folding)이나 롤링(rolling)이 가능한 플렉서블(flexible) 기판일 수 있다. 이 경우 하부 기판(110)은 폴리이미드(polyimide)를 포함하여 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0037] 버퍼층(120)은 하부 기판(110) 상에 배치될 수 있다. 버퍼층(120)은 불순 원소의 침투를 방지할 수 있으며, 표면을 평탄화할 수 있다. 버퍼층(120)은 일 실시예로 질화 규소(SiN_x)막, 산화 규소(SiO_2)막, 산질화규소(SiO_xNy)막 중 어느 하나를 포함할 수 있다. 버퍼층(120)은 하부 기판(110)의 종류 또는 공정 조건 등에 따라 생략될 수도 있다.
- [0038] 제1 반도체 패턴(SA1) 및 제2 반도체 패턴(DA1)을 포함하는 반도체층은 버퍼층(120) 상에 배치될 수 있다. 제1 반도체 패턴(SA1)은 제1 소스 전극(SE1), 제1 드레인 전극(DE1) 및 제1 게이트 전극(GE1)과 함께 제1 스위칭 소자(ST1)를 형성할 수 있다. 제2 반도체 패턴(DA1)은 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 제2 게이트 전극(GE2)과 함께 제2 스위칭 소자(DT1)를 형성할 수 있다. 제1 반도체 패턴(SA1) 및 제2 반도체 패턴(DA1)은 일 실시예로 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘 중 선택되는 하나 또는 적어도 두 개를 혼합하여 형성될 수 있다. 제1 반도체 패턴(SA1) 및 제2 반도체 패턴(DA1)은 다른 실시예로 산화물 반도체를 포함할 수 있다.
- [0039] 제1 절연막(130)은 반도체층 상에 배치될 수 있다. 제1 절연막(130)은 일 실시예로 게이트 절연막일 수 있다. 제1 절연막(130)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0040] 제1 게이트 라인(GL1), 제2 게이트 라인(GL2), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제1 커패시터(C1)의 일 전극(C1a)을 포함하는 게이트 도전체는 제1 절연막(130) 상에 배치될 수 있다. 제1 게이트 전극(GE1)은 제1 게이트 라인(GL1)으로부터 연장될 수 있으며, 제1 반도체 패턴(SA1)과 중첩될 수 있다. 제2 게이트 전극(GE2)은 제2 게이트 라인(GL2)으로부터 연장될 수 있으며, 제2 반도체 패턴(DA1)과 중첩될 수 있다. 제1 커패시터(C1)의 일 전극(C1a)은 후술하는 제1 커패시터(C1)의 타 전극(C1b)과 적어도 일부가 중첩됨에 따라 용량 결합될 수 있다. 게이트 도전체는 예컨대, 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티탄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다.
- [0041] 제2 절연막(140)은 게이트 도전체 상에 배치될 수 있다. 제2 절연막(140)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0042] 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제3 데이터 라인(DL3), 구동 전압 라인(ELVDDL), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 제1 커패시터(C1)의 타 전극(C1b)을 포함하는 데이터 도전체는 제2 절연막(140) 상에 배치될 수 있다. 제1 소스 전극(SE1) 및 제1 드레인

전극(DE1)은 제2 절연막(140) 상에 서로 이격되어 배치될 수 있으며, 제1 반도체 패턴(SA1)과 중첩될 수 있다. 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 제2 절연막(140) 상에 서로 이격되어 배치될 수 있으며, 제2 반도체 패턴(DA1)과 중첩될 수 있다. 데이터 도전체는 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질로 이루어진 군 중 선택된 하나 이상을 포함할 수 있다. 데이터 도전체는 일 실시예로 니켈(Ni), 코발트(Co), 티탄(Ti), 은(Ag), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 베릴륨(Be), 니오브(Nb), 금(Au), 철(Fe), 셀렌(Se) 또는 탄탈륨(Ta) 등으로 이루어진 단일막 또는 다중막 구조를 가질 수 있다. 또한, 상기 금속에 티탄(Ti), 지르코늄(Zr), 텅스텐(W), 탄탈륨(Ta), 니오브(Nb), 백금(Pt), 하프늄(Hf), 산소(O) 및 질소(N)로 이루어진 군에서 선택된 하나 이상의 원소를 포함시켜 형성한 합금이 소스 전극(SE) 및 드레인 전극(DE)의 재료로서 이용될 수 있다.

[0043] 평탄화층(150)은 데이터 도전체 상에 배치될 수 있다. 평탄화층(150)은 단차를 제거함에 따라, 후술하는 제1 화소 전극(PE1) 및 제1 유기 발광층(EL1)의 발광 효율을 높일 수 있다. 평탄화층(150)은 일 실시예로 유기 물질을 포함할 수 있다. 예를 들어, 평탄화층(150)은 폴리이미드(polyimide), 폴리아크릴(polyacryl) 및 폴리실록산(polysiloxane) 중 선택된 어느 하나 이상을 포함하여 이루어질 수 있다. 평탄화층(150)에는 제2 드레인 전극(DE2)의 적어도 일부를 노출시키는 컨택홀(CNT)이 형성될 수 있다.

[0044] 제1 화소 전극(PE1)은 평탄화층(150) 상에 배치될 수 있다. 제1 화소 전극(PE1)은 컨택홀(CNT)에 의해 노출된 제2 드레인 전극(DE2)과 전기적으로 연결될 수 있다. 즉, 제1 화소 전극(PE1)은 정공 주입 전극인 애노드(anode)일 수 있다. 제1 화소 전극(PE1)은 일 실시예로 ITO 및 IZO 등의 투명 도전 물질이나, 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 형성될 수 있다.

[0045] 보조 라인(AL)은 평탄화층(150) 상에 배치될 수 있다. 즉, 보조 라인(AL)은 제1 화소 전극(PE1)과 동일 층에 배치되되, 제1 화소 전극(PE1)과 절연된다. 즉, 보조 라인(AL)은 제1 화소 전극(PE1)과 동일한 마스크 공정을 통해 형성될 수 있다. 보조 라인(AL)은 일 실시예로 제2 스위칭 소자(DT1)에 초기화 전압을 제공하는 초기화 전압 라인일 수 있다. 도면에는 도시하지 않았으나, 보조 라인(AL)은 스위칭 소자를 통해 제2 스위칭 소자(DT1)와 전기적으로 연결될 수 있다.

[0046] 다만, 보조 라인(AL)은 반드시 평탄화층(150) 상에 배치되는 것은 아니며, 다른 구성과의 관계에 따라 다른 층에 배치될 수도 있다. 또한, 보조 라인(AL)은 반드시 초기화 전압 라인으로 한정되는 것은 아니며, 누설 전류를 방지하는 바이패스 라인이거나, 별도의 신호 라인일 수도 있다. 나아가, 보조 라인(AL)은 생략될 수도 있다.

[0047] 화소 정의막(160)은 제1 화소 전극(PE1) 상에 배치될 수 있다. 화소 정의막(160)은 제1 화소 전극(PE1)의 일부를 노출시킨다. 화소 정의막(160)은 폴리아크릴계(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지로 형성될 수 있다.

[0048] 제1 유기 발광층(EL1)은 제1 화소 전극(PE1) 및 화소 정의막(160) 상에 배치될 수 있다. 보다 상세하게는, 제1 유기 발광층(EL1)은 화소 정의막(160)에 의해 노출된 제1 화소 전극(PE1) 상에 배치될 수 있다. 제1 유기 발광층(EL1)은 저분자 유기물 또는 고분자 유기물을 포함할 수 있다. 제1 유기 발광층(EL1)은 일 실시예로 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.

[0049] 공통 전극(CE)은 제1 유기 발광층(EL1) 및 화소 정의막(160) 상에 배치될 수 있다. 공통 전극(CE)은 일 실시예로 반투과막으로 형성될 수 있다. 보다 상세하게는, 공통 전극(CE)은 마그네슘(Mg), 은(Ag), 칼슘(Ca), 리튬(Li), 크롬(Cr), 알루미늄(Al), 구리(Cu), ITO, IZO, ZnO 등으로 이루어진 군에서 선택된 적어도 하나를 포함할 수 있다. 공통 전극(CE)은 단일 층일 수도 있으며, 서로 다른 물질로 이루어진 복수 층일 수도 있다. 공통 전극(CE)은 전자 주입 전극인 캐소드일 수 있다. 다만, 이에 제한되는 것은 아니고, 구동 방법 및 배치 구조에 따라 제1 화소 전극(PE1)이 캐소드 전극일 수 있으며, 공통 전극(CE)이 애노드일 수도 있다.

[0050] 도 4는 도 2에 도시한 I2-I2신민정선을 따라 자른 단면도의 일 실시예이다. 도 5는 금속 배선의 간격에 따른 평탄화층의 단차 정도를 설명하기 위한 도면이다. 도 6은 평탄화층의 단차에 따른 화소 전극의 단차를 설명하기 위한 도면이다. 한편, 도 4에서는 설명의 편의를 위해 제1 화소 전극(PE1) 상에 배치되는 구성(공통 전극(CE) 등)은 도시하지 않기로 한다.

[0051] 도 4를 참조하면, 제1 데이터 라인(DL1)은 구동 전압 라인(ELVDDL)과 동일 층에 배치될 수 있으며, 서로 절연된다. 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)은 제1 화소 전극(PE1)과 중첩될 수 있다. 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 이격 거리는 약 0 μm 초과 10 μm 이하일 수 있다. 다만, 두 라인 간에 발

생될 수 있는 커플링(coupling) 현상을 최소화하기 위해, 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 이격 거리를 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하로 형성할 수 있다. 이하, 두 라인 간의 이격 거리를 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하인 것으로 설명하기로 한다.

- [0052] 평탄화층(150)은 제1 두께(h1) 및 제2 두께(h2)를 가질 수 있다. 평탄화층(150)의 제1 두께(h1)는 제1 화소 영역(GA1)에서, 제2 절연막(140)의 상면에서부터 평탄화층(150)의 상면까지의 최소 거리를 의미한다. 여기서, 도 4의 경우, 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)이 제2 절연막(140) 상에 배치됨에 따라, 평탄화층(150)의 제1 두께(h1)가 제2 절연막(140)의 상면을 기준으로 정의되지만, 이와는 달리 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)이 하부 기판(110) 상에 배치되는 경우에는 평탄화층(150)의 제1 두께(h1)가 하부 기판(110)의 상면을 기준으로 정의될 수 있다.
- [0053] 평탄화층(150)의 제2 두께(h2)는 제1 화소 영역(GA1)에서, 제2 절연막(140)의 상면에서부터 평탄화층(150)의 상면까지의 최대 거리를 의미한다. 즉, 평탄화층(150)의 제2 두께(h2)는 구동 전압 라인(ELVDDL)의 하면에서부터 평탄화층(150)의 상면까지의 최대 거리로 정의될 수도 있다. 한편, 평탄화층(150)의 제2 두께(h2)는 제1 데이터 라인(DL1)의 하면에서부터 평탄화층(150)의 상면까지의 최대 거리로 정의될 수도 있다.
- [0054] 평탄화층(150)의 제1 두께(h1)와 제2 두께(h2)의 차로 정의되는 제1 화소 영역(GA1)에서의 평탄화층(150)의 단차(h3)는 약 70nm 이하일 수 있다. 평탄화층(150)의 제1 두께(h1)는 약 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 일 수 있다. 평탄화층(150)의 제2 두께(h2)는 평탄화층(150)의 단차(h3)가 70nm 이하를 만족하는 경우라면, 특별히 제한되지는 않는다.
- [0055] 도 5를 참조하여 두 전극 간 이격 거리와 평탄화층의 단차와의 관계에 대해 보다 상세히 설명하기로 한다.
- [0056] 제1 전극(2), 제2 전극(3), 제3 전극(5) 및 제4 전극(6)은 도전성 물질을 포함하며, 서로 절연된다. 제1 및 제2 평탄화층(4, 7)은 유기 물질을 포함한다. 제1 평탄화층(4)은 제1 전극(2) 및 제2 전극(3) 상에 배치된다. 제2 평탄화층(7)은 제3 전극(5) 및 제4 전극(6) 상에 배치된다. 여기서, 제1 내지 제4 전극(2, 3, 5, 6)의 두께는 서로 동일한 것으로 가정한다.
- [0057] 도 5의 (a)를 참조하면, 제1 평탄화층(4)은 제1 두께(he1) 및 제2 두께(he2)를 가질 수 있다. 제1 평탄화층(4)의 제1 두께(he1)는 제2 화소 영역(GA2) 내에서 기판(1)에서부터 제1 평탄화층(4)의 상면까지의 최소 거리를 의미한다. 제1 평탄화층(4)의 제2 두께(he2)는 제2 화소 영역(GA2) 내에서 기판(1)에서부터 제1 평탄화층(4)의 상면까지의 최대 거리를 의미한다. 다만, 제1 평탄화층(4)의 제2 두께(he2)를 제2 전극(3)의 하면을 기준으로 정의하고 있으나, 제1 전극(2)의 하면을 기준으로 정의할 수도 있다.
- [0058] 제1 평탄화층(4)의 제1 두께(he1) 및 제2 두께(he2)는 서로 상이하다. 보다 상세하게는, 제2 전극(2) 또는 제3 전극(3)이 배치되는 영역에서의 제1 평탄화층(4)의 두께, 즉 제2 두께(he2)가 제2 전극(2) 또는 제3 전극(3)이 배치되지 않는 영역에서의 두께, 즉 제1 두께(he1)보다 두껍다. 이러한 제1 평탄화층(4)의 두께 차이는 제2 전극(2) 및 제3 전극(3)의 두께에 따라 상이해질 수 있다.
- [0059] 도 5의 (b)를 참조하면, 제2 평탄화층(7)은 제3 두께(he3) 및 제4 두께(he4)를 가질 수 있다. 제2 평탄화층(7)의 제3 두께(he3)는 제3 화소 영역(GA3) 내에서 기판(1)에서부터 제2 평탄화층(7)의 상면까지의 최소 거리를 의미한다. 제2 평탄화층(7)의 제4 두께(he4)는 제3 화소 영역(GA3) 내에서 기판(1)에서부터 제2 평탄화층(7)의 상면까지의 최대 거리를 의미한다. 다만, 제2 평탄화층(7)의 제4 두께(he4)를 제4 전극(6)의 하면을 기준으로 정의하고 있으나, 제3 전극(5)의 하면을 기준으로 정의할 수도 있다.
- [0060] 제2 평탄화층(7)의 제3 두께(he3) 및 제4 두께(he4)는 서로 상이하다. 전술한 바와 같이, 제4 두께(he3)가 제3 두께(he3)보다 두껍다.
- [0061] 한편, 제1 전극(2) 및 제2 전극(3) 사이의 이격 거리(p1)는 제3 전극(5) 및 제4 전극(6) 사이의 이격 거리(p2)보다 길다. 이에 따라, 제1 두께(he1)와 제2 두께(he2)의 차의 절대값으로 정의되는 제1 단차(st1)의 크기는 제3 두께(he3)와 제4 두께(he4)의 차의 절대값으로 정의되는 제2 단차(st2)의 크기보다 크다.
- [0062] 즉, 두 전극 간의 이격 거리가 길면 평탄화층의 단차는 더 커진다.
- [0063] 도 6을 참조하여, 평탄화층의 단차와 화소 전극의 단차에 대해 보다 상세히 설명하기로 한다. 여기서, 도 6의 (a)는 도 5의 (a)에서 화소 전극(PEa)이 배치된 것을 나타낸 도면이며, 도 6의 (b)는 도 5의 (b)에서 화소 전극(PEb)이 배치된 것을 나타낸 도면이다.

[0064] 도 5 및 도 6을 참조하면, 화소 전극(PEa)은 제1 평탄화층(4) 상에 배치된다. 화소 전극(PEb)은 제2 평탄화층(7) 상에 배치된다. 여기서, 제1 평탄화층(4)의 제1 단차(st1)가 제2 평탄화층(7)의 제2 단차(st2)보다 크므로, 제1 평탄화층(4) 상에 배치되는 화소 전극(PEa)에 비해 제2 평탄화층(7) 상에 배치되는 화소 전극(PEb)의 단차가 더 작다. 여기서, 화소 전극의 단차는 도 6을 기준으로 화소 전극의 하면 중 가장 낮은 영역에서부터 화소 전극의 상면 중 가장 높은 영역까지의 거리를 의미하며, 이는 곧 평탄화층의 단차와 실질적으로 동일할 수 있다.

[0065] 즉, 기판 상에 배치되는 두 전극 간의 이격 거리가 길면, 평탄화층의 단차는 더 커지게 되며, 이에 따라, 평탄화층 상에 배치되는 화소 전극의 단차도 커지게 된다.

[0066] 다시, 도 4를 참조하면, 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 이격 거리는 약 $5\mu\text{m}$ 내지 $10\mu\text{m}$ 일 수 있다. 평탄화층(150)의 제1 두께(h1)는 약 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 일 수 있다. 평탄화층(150)의 제1 두께(h1)와 제2 두께(h2) 차이로 정의되는 평탄화층(150)의 단차(h3)는 70nm 이하이다. 이를 통해, 평탄화층(150) 상에 배치되는 제1 화소 전극(PE1)의 단차도 70nm 이하로 형성하여, 제1 화소 전극(PE1)의 평탄도를 균일하게 형성할 수 있다. 한편, 평탄화층(150)의 제2 두께(h2)는 평탄화층(150)의 단차(h3)가 70nm 이하를 만족하는 경우라면, 특별히 제한되지는 않는다.

[0067] 한편, 평탄화층(150)의 단차(h3)는 하부 기판(110)과 제1 화소 전극(PE1) 사이의 거리로 정의될 수도 있다. 즉, 도 5에서는 하부 기판(110)과 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL) 사이에 다른 구성이 배치됨에 따라 제2 절연막(140)을 기준으로 설명하고 있으나, 이와는 달리 도 6과 같이 하부 기판(110)을 기준으로 평탄화층(150)의 단차(h3)를 정의할 수도 있다.

[0068] 보다 상세하게는, 평탄화층(150)의 단차(h3)는 하부 기판(110)의 상면에서 제1 화소 전극(PE1)의 하면까지의 최소 거리와 하부 기판(110)의 상면에서 제1 화소 전극(PE1)의 하면까지의 최대 거리의 차이로 정의될 수 있다. 여기서, 하부 기판(110)의 상면에서 제1 화소 전극(PE1)의 하면까지의 최소 거리와 하부 기판(110)의 상면에서 제1 화소 전극(PE1)의 하면까지의 최대 거리의 차이는 70nm 이하이다.

표 1

라인 간 이격 거리(μm)	평탄화층의 단차(nm)
5.0	42.9
15.0	189.7
20.0	253.7

[0070] 표 1은 평탄화층(150)의 두께가 약 $1.5\mu\text{m}$ 인 경우에, 라인 간 이격 거리(μm)에 따른 평탄화층(150)의 단차(nm)를 나타낸 것이다.

[0071] 표 1을 참조하면, 라인 간 이격 거리가 $15\mu\text{m}$ 및 $20\mu\text{m}$ 인 경우는 평탄화층(150)의 단차가 70nm 를 초과하는 것을 알 수 있다. 이 경우, 색 분리 현상이 발생된다. 이에 반해, 라인 간 이격 거리가 $5\mu\text{m}$ 인 경우는 평탄화층(150)의 단차가 70nm 를 이하로 형성된다. 이에 따라, 제1 화소부(PX1)를 포함하는 복수의 화소부에서 외부 광에 의한 색 분리 현상이 개선될 수 있다.

[0072] 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 화소 전극(PE1)과 중첩되는 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 이격 거리가 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하이며, 평탄화층(150)의 두께가 약 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 으로 형성됨에 따라, 평탄화층(150)의 단차(h3)를 0.7nm 이하로 형성할 수 있다. 이에 따라, 평탄화층(150) 상에 배치되는 제1 화소 전극(PE1)의 단차를 70nm 이하로 형성하여, 제1 화소 전극(PE1)의 균일한 평탄도를 확보할 수 있다. 이를 통해, 제1 화소부(PX1)를 포함하는 복수의 화소부에서 외부 광에 의한 색 분리 현상을 개선할 수 있다. 이에 따라, 반사 색감을 개선시킬 수 있다. 나아가, 유기 발광 표시 장치에서 외부 광 유입을 방지하기 위해 필요한 편광판을 생략할 수 있으며, 이에 따라 제품의 생산 비용을 절감할 수 있다.

[0073] 도 7의 (a)는 비교 예에 따른 유기 발광 표시 장치의 색감을 나타낸 도면이며, 도 7의 (b)는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 색감을 나타낸 도면이다. 여기서, 도 7의 (a)는 도 7의 (b)와 평탄화층의 두께는 동일하나, 화소 전극과 중첩되는 두 전도성 라인 간의 이격 거리가 $10\mu\text{m}$ 를 초과하는 경우이다.

[0074] 도 7의 (a) 및 (b)를 참조하면, 비교 예에 따른 유기 발광 표시 장치는 제1 영역(G1)에서 외부 광에 의한 반사 색 분리 현상이 나타날 수 있다. 이에 반해, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제2 영역(G2)

에서 반사 색감이 개선된 것을 알 수 있다.

- [0075] 도 8은 도 1에 도시한 I1-I1신민경선을 따라 자른 단면도의 다른 실시예이다. 도 9는 도 2에 도시한 I2-I2신민경선을 따라 자른 단면도의 다른 실시예이다. 도 9에서는 설명의 편의를 위해, 제1 화소 전극(PE1) 상에 배치되는 다른 구성(공통 전극(CE), 블랙 매트릭스(BM) 등)은 생략하기로 한다.
- [0076] 도 8 및 도 9를 참조하면, 봉지막(170)은 공통 전극(CE) 상에 배치될 수 있다. 봉지막(170)은 유기 발광 표시 장치를 이물질 또는 외기로부터 보호할 수 있다. 봉지막(170)은 아크릴계 수지, 에폭시계 수지, 폴리이미드, 폴리에틸렌, 실리콘 화합물, 금속 산화물, 금속 질화물 및 금속 탄화물로 이루어진 군에서 선택된 어느 하나 이상을 포함하여 이루어질 수 있다. 다만, 이는 예시적인 것으로 봉지막(170)의 종류가 이에 제한되는 것은 아니다. 또한, 봉지막(170)은 단일 층일 수도 있으며, 또는 복수의 층, 예를 들어 유기막과 무기막이 교번하여 적층된 적층체일 수 있다.
- [0077] 제3 절연막(180)은 봉지막(170) 상에 배치될 수 있다. 제3 절연막(180)은 무기물 또는 유기물로 이루어질 수 있다. 제3 절연막(180)은 생략될 수도 있다.
- [0078] 블랙 매트릭스(BM)는 제3 절연막(180) 상에 배치될 수 있다. 블랙 매트릭스(BM)는 외부 광을 적어도 부분적으로 흡수하거나, 내부에서 반사되어 나오는 외부 광을 적어도 부분적으로 흡수함으로써, 외부 광이 유기 발광 표시 장치의 표시 품질에 영향을 미치는 것을 방지할 수 있다. 블랙 매트릭스(BM)는 일 실시예로 유기물 또는 크롬을 포함하는 금속성 물질로 형성될 수 있다.
- [0079] 컬러 필터(CF)는 블랙 매트릭스(BM)가 배치되지 않은 제3 절연막(180) 상에 배치될 수 있다. 컬러 필터(CF)는 외부 광의 일부를 적어도 부분적으로 흡수하거나, 내부에서 반사되어 나오는 외부 광을 적어도 부분적으로 흡수함으로써, 외부 광이 유기 발광 표시 장치의 표시 품질에 영향을 미치는 것을 방지할 수 있다.
- [0080] 컬러 필터(CF)는 일 실시예로 제1 유기 발광층(EL1)을 포함하는 복수의 유기 발광층과 중첩될 수 있다. 컬러 필터(CF)는 적색(red), 녹색(green) 및 청색(blue)의 컬러 필터 중 하나일 수 있다. 컬러 필터(CF)의 색은 중첩되는 유기 발광층의 표시 색과 대응될 수 있다. 이를 통해, 화상 선명도를 향상시킬 수 있다.
- [0081] 한편, 컬러 필터(CF)의 색과 중첩되는 유기 발광층의 표시 색은 서로 다를 수도 있다. 또한, 컬러 필터(CF)의 색은 모두 동일할 수도 있다. 나아가, 컬러 필터(CF)를 먼저 형성한 이후, 블랙 매트릭스(BM)를 형성할 수도 있다.
- [0082] 한편, 봉지막(170) 상에 블랙 매트릭스(BM) 및/또는 컬러 필터(CF)가 배치되는 경우, 외부 광이 표시 품질에 영향을 미치는 것을 방지할 수 있으며, 이에 따라 편광판을 생략할 수 있다. 편광판을 생략함에 따라, 제품 비용을 절감하거나, 제품의 두께를 감소시킬 수 있다.
- [0083] 도 10은 도 1에 도시한 유기 발광 표시 장치의 구성 중 제1 화소 전극, 제1 데이터 라인 및 구동 전압 라인의 다른 실시예를 도시한 도면이다. 도 11은 도 10에 도시한 I3-I3신민경선을 따라 자른 단면도의 일 실시예이다.
- [0084] 제1 화소 전극(PE1)은 제1 영역(PE1a), 제2 영역(PE1b) 및 제3 영역(PE1c)을 포함할 수 있다. 제1 영역(PE1a)은 제1 데이터 라인(DL1)의 일 측에 배치될 수 있으며, 제2 영역(PE1b)은 제1 데이터 라인(DL1)의 타 측과 구동 전압 라인(ELVDDL)의 일 측에 배치될 수 있다. 제3 영역(PE1c)은 구동 전압 라인(ELVDDL)의 타 측에 배치될 수 있다.
- [0085] 즉, 제1 데이터 라인(DL1)은 제1 영역(PE1a) 및 제2 영역(PE1b) 사이에 배치될 수 있으며, 구동 전압 라인(ELVDDL)은 제2 영역(PE1b) 및 제3 영역(PE1c) 사이에 배치될 수 있다. 여기서, 제1 영역(PE1a)의 폭(w1), 제2 영역(PE1b)의 폭(w2) 및 제3 영역(PE1c)의 폭(w3)은 실질적으로 동일할 수 있다. 이에 따라, 제1 화소 전극(PE1)은 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)에 의해, 서로 균등한 폭을 갖는 제1 내지 제3 영역(PE1a, PE1b, PE1c)으로 분할될 수 있다.
- [0086] 제1 화소 전극(PE1)은 제1 및 제2 영역(PE1a, PE1b) 사이에 배치되는 제4 영역(PE1d)과, 제2 영역(PE1b) 및 제3 영역(PE1c) 사이에 배치되는 제5 영역(PE1e)을 더 포함할 수 있다.
- [0087] 평탄화층(150)은 제3 내지 제5 두께(h4 내지 h6)를 가질 수 있다.
- [0088] 평탄화층(150)의 제3 두께(h4)는 제2 절연막(140)의 상면에서 제1 영역(PE1a)까지의 최소 거리로 정의된다. 여기서, 제1 영역(PE1a)의 폭(w1)이 제2 영역(PE2a)의 폭 및 제3 영역(PE1c)의 폭(w3) 각각과 실질적으로 동일함에 따라, 평탄화층(150)의 제3 두께(h4)는 제2 절연막(140)의 상면에서 제2 영역(PE1b)까지의 최소 거리 또는

제3 영역(PE1c)까지의 최소 거리로도 정의된다.

- [0089] 평탄화층(150)의 제4 두께(h5)는 제2 절연막(140)의 상면에서 제4 영역(PE1d)까지의 최대 거리로 정의된다. 즉, 평탄화층(150)의 제4 두께(h5)는 제1 데이터 라인(DL1)의 하면에서부터 평탄화층(150)의 상면까지의 최대 거리를 의미한다. 평탄화층(150)의 제5 두께(h6)는 제2 절연막(140)의 상면에서 제5 영역(PE1e)까지의 최대 거리로 정의된다. 한편, 평탄화층(150)의 제5 두께(h6)는 구동 전압 라인(ELVDDL)의 하면에서부터 평탄화층(150)의 상면까지의 최대 거리로 정의될 수도 있다.
- [0090] 평탄화층(150)의 제4 두께(h5) 및 제5 두께(h6)는 서로 동일할 수도 있으며, 서로 상이할 수도 있다.
- [0091] 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 이격 거리는 제2 영역(PE1b)의 폭(w2)과 실질적으로 동일할 수 있다. 제2 영역(PE1b)의 폭은 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하일 수 있다.
- [0092] 제3 두께(h4)와 제4 두께(h5)의 차로 정의되는 평탄화층(150)의 제1 단차(h7)는 약 70nm 이하이다. 또한, 제3 두께(h4)와 제5 두께(h6)의 차로 정의되는 평탄화층(150)의 제2 단차(h8)도 약 70nm 이하이다. 평탄화층(150)의 제3 두께(h4)는 약 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 일 수 있다. 평탄화층(150)의 제4 두께(h5) 및 제5 두께(h6)는 제1 단차(h7) 및 제2 단차(h8)가 약 70nm 이하를 만족하는 경우라면, 특별히 제한되지는 않는다.
- [0093] 여기서, 평탄화층(150)의 제1 단차(h7) 및 제2 단차(h8)는 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 두께, 폭 등에 따라 상이해질 수 있으나, 양자 모두 약 70nm 이하를 만족한다.
- [0094] 이를 통해, 평탄화층(150) 상에 배치되는 제1 화소 전극(PE1)은 모든 영역에서 단차가 70nm 이하로 형성되며, 이에 따라, 제1 화소부(PX1)를 포함하는 복수의 화소부에서 외부 광에 의한 색 분리 현상을 개선할 수 있다.
- [0095] 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소부를 나타낸 등가 회로도이다. 다만, 도 1 내지 도 11에서 설명한 내용과 중복되는 설명은 생략하기로 한다. 또한, 설명의 편의를 위해, 이하 일 데이터 라인과 일 게이트 라인과 각각 전기적으로 연결되는 제k 화소부(PXk, k는 1 이상의 자연수)를 예로 들어 설명하기로 한다.
- [0096] 도 12를 참조하면, 제k 화소부(PXk)는 일 실시예로 제1 내지 제7 트랜지스터(T1 내지 T7), 유지 커패시터(Cst) 및 유기 발광 소자(OLED, organic light emitting diode)를 포함할 수 있다.
- [0097] 제1 트랜지스터(T1)는 게이트 전극이 유지 커패시터(Cst)의 일 전극과 전기적으로 연결될 수 있으며, 소스 전극이 제5 트랜지스터(T5)를 경유하여 구동 전압(ELVDD)을 제공하는 구동 전압 라인과 전기적으로 연결될 수 있다. 또한, 제1 트랜지스터(T1)는 드레인 전극이 제6 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 일 전극과 전기적으로 연결될 수 있다. 제1 트랜지스터(T1)는 후술하는 제2 트랜지스터(T2)의 스위칭 동작에 따라, 데이터 신호(DATA)를 제공받아 유기 발광 소자(OLED)의 일 전극, 예를 들어 애노드(anode)에 제공할 수 있다. 즉, 제1 트랜지스터(T1)는 일 실시예로 구동 트랜지스터일 수 있다.
- [0098] 제2 트랜지스터(T2)는 게이트 전극이 제1 게이트 신호(GW)를 제공하는 제1 게이트 라인과 전기적으로 연결될 수 있으며, 소스 전극이 데이터 신호(DATA)를 제공하는 데이터 라인과 전기적으로 연결될 수 있다. 제2 트랜지스터(T2)는 드레인 전극이 제1 트랜지스터(T1)의 소스 전극과 전기적으로 연결될 수 있다. 또한, 제2 트랜지스터(T2)의 드레인 전극은 제5 트랜지스터(T5)를 경유하여 구동 전압(ELVDD)을 제공하는 구동 전압 라인과 전기적으로 연결될 수 있다. 제2 트랜지스터(T2)는 제1 게이트 신호(GW)에 따라 턴 온 되어, 데이터 신호(DATA)를 제1 트랜지스터(T1)의 소스 전극에 제공할 수 있다. 즉, 제2 트랜지스터(T2)는 스위칭 트랜지스터일 수 있다.
- [0099] 제3 트랜지스터(T3)는 게이트 전극이 제1 게이트 신호(GW)를 제공하는 제1 게이트 라인과 전기적으로 연결될 수 있으며, 소스 전극이 제1 트랜지스터(T1)의 드레인 전극과 전기적으로 연결될 수 있다. 또한, 제3 트랜지스터(T3)의 소스 전극은 제6 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 일 전극과 전기적으로 연결되어 있다. 제3 트랜지스터(T3)의 드레인 전극은 유지 커패시터(Cst)의 일 전극, 제4 트랜지스터(T4)의 드레인 전극 및 제1 트랜지스터(T1)의 게이트 전극과 전기적으로 연결될 수 있다. 제3 트랜지스터(T3)는 제1 게이트 신호(GW)에 따라 턴 온 되어, 제1 트랜지스터(T1)의 게이트 전극과 드레인 전극을 서로 연결시킴으로써, 제1 트랜지스터(T1)를 다이오드 연결시킬 수 있다. 즉, 제3 트랜지스터(T3)는 보상 트랜지스터일 수 있다.
- [0100] 제4 트랜지스터(T4)는 게이트 전극이 제2 게이트 신호(GI)를 제공하는 제2 게이트 라인과 전기적으로 연결될 수 있으며, 소스 전극이 초기화 전압(VINT)을 제공하는 초기화 전압 라인과 전기적으로 연결될 수 있다. 제4 트랜지스터(T4)의 드레인 전극은 유지 커패시터(Cst)의 일 전극, 제3 트랜지스터(T3)의 드레인 전극 및 제1 트랜지스터(T1)의 게이트 전극과 전기적으로 연결될 수 있다. 여기서, 제2 게이트 라인은 제1 게이트 라인의 이전 게

이트 라인일 수 있다. 즉, 제1 게이트 신호(GW)는 제2 게이트 신호(GI)에 비해 상대적으로 먼저 제k 화소부(PXk)에 제공될 수 있다. 제1 게이트 신호(GW)가 제공되는 구간은 제2 게이트 신호(GI)가 제공되는 구간과 중첩되지 않는다. 제4 트랜지스터(T4)는 제2 게이트 신호(GI)에 따라 턴 온 되어, 초기화 전압(VINT)을 제1 트랜지스터(T1)의 게이트 전극에 제공함으로써, 제1 트랜지스터(T1)의 게이트 전극을 초기화시킬 수 있다. 즉, 제4 트랜지스터(T4)는 초기화 트랜지스터일 수 있다.

[0101] 제5 트랜지스터(T5)는 게이트 전극이 발광 제어 신호(EM)를 제공하는 발광 제어 라인과 전기적으로 연결될 수 있으며, 소스 전극이 구동 전압(ELVDD)을 제공하는 구동 전압 라인과 전기적으로 연결될 수 있다. 제5 트랜지스터(T5)의 드레인 전극은 제1 트랜지스터(T1)의 소스 전극 및 제2 트랜지스터(T2)의 드레인 전극과 전기적으로 연결될 수 있다.

[0102] 제6 트랜지스터(T6)는 게이트 전극이 발광 제어 신호(EM)를 제공하는 발광 제어 라인과 전기적으로 연결될 수 있으며, 소스 전극이 제1 트랜지스터(T1)의 드레인 전극 및 제3 트랜지스터(T3)의 소스 전극과 전기적으로 연결될 수 있다. 제6 트랜지스터(T6)의 드레인 전극은 유기 발광 소자(OLED)의 일 전극과 전기적으로 연결될 수 있다.

[0103] 제5 및 제6 트랜지스터(T5, T6)는 발광 제어 신호(EM)에 따라 동시에 턴 온 될 수 있다. 제5 트랜지스터(T5)는 발광 제어 신호(EM)에 따라 턴 온 되어, 구동 전압(ELVDD)을 제1 트랜지스터(T1)의 소스 전극에 제공할 수 있다. 한편, 제6 트랜지스터(T6)가 제5 트랜지스터(T5)와 동시에 턴 온 됨에 따라, 발광 전류(Ioled)는 유기 발광 소자(OLED)의 일 전극에 흐를 수 있다. 즉, 제5 트랜지스터(T5)는 동작 제어 트랜지스터일 수 있으며, 제6 트랜지스터(T6)는 발광 제어 트랜지스터일 수 있다.

[0104] 제7 트랜지스터(T7)는 게이트 전극이 제3 게이트 신호(GB)를 제공하는 제3 게이트 라인과 전기적으로 연결될 수 있으며, 소스 전극이 제6 트랜지스터(T6)의 드레인 전극 및 유기 발광 소자(OLED)의 일 전극과 전기적으로 연결될 수 있다. 또한, 제7 트랜지스터(T7)의 드레인 전극은 초기화 전압(VINT)을 전달하는 초기화 전압 라인 및 제4 트랜지스터(T4)의 소스 전극과 전기적으로 연결될 수 있다. 여기서, 제3 게이트 신호(GB)는 바이패스 신호일 수 있으며, 일 실시예로 제2 게이트 신호(GI)와 구동 주기가 동일할 수 있다. 만약, 제2 게이트 신호(GI) 및 제3 게이트 신호(GB)의 구동 주기가 동일한 경우, 제2 게이트 신호(GI) 및 제3 게이트 신호(GB)는 하나의 게이트 라인으로부터 제공될 수 있다. 즉, 제7 트랜지스터(T7)는 바이패스 트랜지스터일 수 있다.

[0105] 유지 커패시터(Cst)의 타 전극은 구동 전압 라인과 전기적으로 연결될 수 있다. 유기 발광 소자(OLED)의 타 전극은 공통 전압(ELVSS)과 전기적으로 연결될 수 있다. 여기서, 유기 발광 소자(OLED)의 타 전극은 캐소드(cathode)일 수 있다. 유기 발광 소자(OLED)는 제1 트랜지스터(T1)로부터 제공받은 구동 전류(Id)에 따라, 발광할 수 있다.

[0106] 도 13은 도 12에 도시한 유기 발광 표시 장치의 동작을 설명하기 위한 도면이다. 한편, 제1 내지 제7 트랜지스터(T1 내지 T7)는 일 실시예로 게이트 온(gate-on) 전압은 로우(low) 레벨이며, 게이트 오프(gate-off) 전압은 하이(high) 레벨일 수 있다. 또한, 제3 게이트 신호(GB)는 제2 게이트 신호(GI)와 동일한 파형을 갖는 것으로 예를 들어 설명하기로 한다.

[0107] 도 12 및 도 13을 참조하여, 도 12에 도시한 유기 발광 표시 장치의 동작을 설명하기로 한다.

[0108] 제1 구간(P1)에서, 제1 게이트 신호(GW)가 하이 레벨이고, 발광 제어 신호(EM)가 하이 레벨인 동안, 제2 게이트 신호(GI)는 하이 레벨에서 로우 레벨로 전환된다.

[0109] 이 경우, 제2, 제3, 제5 및 제6 트랜지스터(T2, T3, T5, T6)는 턴 오프 된 상태에서, 제4 및 제7 트랜지스터(T4, T7)는 턴 온 될 수 있다. 이에 따라, 턴 온 된 제4 트랜지스터(T4)를 통해, 초기화 전압(VINT)이 제1 트랜지스터(T1)의 게이트 전극에 제공될 수 있다. 따라서, 제1 트랜지스터(T1)의 게이트 전극은 초기화 전압(VINT)으로 초기화될 수 있다. 또한, 턴 온 된 제7 트랜지스터(T7)를 통해, 초기화 전압(VINT)이 유기 발광 소자(OLED)의 일 전극에 제공될 수 있다. 따라서, 유기 발광 소자(OLED)의 일 전극은 초기화 전압(VINT)으로 초기화될 수 있다.

[0110] 제2 구간(P2)에서, 제1 게이트 신호(GW)가 하이 레벨에서 로우 레벨로 전환되고, 제2 및 제3 게이트 신호(GI, GB)가 로우 레벨에서 하이 레벨로 전환된다. 또한, 발광 제어 신호(EM)는 하이 레벨을 유지한다.

[0111] 이에 따라, 제2, 제3 트랜지스터(T2, T3)는 턴 온 되며, 제4 및 제7 트랜지스터(T4, T7)는 턴 오프 된다. 이 경우, 제2 트랜지스터(T2)가 턴 온 됨에 따라 데이터 신호(DATA)가 제1 트랜지스터(T1)의 소스 전극에 제공된다.

또한, 제1 트랜지스터(T1)는 제3 트랜지스터(t3)가 턴 온 됨에 따라, 다이오드 연결된다. 제1 트랜지스터(T1)의 소스 전극과 드레인 전극 사이에 전류가 흐르고, 두 전극 사이의 전압 차가 제1 트랜지스터(T1)의 문턱 전압의 절대값과 같아질 때까지 드레인 전극 및 게이트 전극의 전압 레벨이 바뀐다. 이후, 데이터 신호(DATA)의 전압 레벨에서 제1 트랜지스터(T1)의 문턱 전압의 절대값만큼 감소한 보상 전압이 제1 트랜지스터(T1)의 게이트 전극에 인가된다.

[0112] 유지 커패시터(Cst)는 일 전극에 상기 보상 전압이 인가되고, 타 전극에 구동 전압(ELVDD)이 인가된다. 이에 따라, 유지 커패시터(Cst)는 보상 전압과 구동 전압(ELVDD)의 전압 차에 대응하는 전하가 축적된다.

[0113] 다음으로, 제3 구간(P3)에서, 제1 내지 제3 게이트 신호(GW, GI, GB)가 하이 레벨인 상태에서, 발광 제어 신호(EM)가 하이 레벨에서 로우 레벨로 전환된다.

[0114] 이에 따라, 제2, 제3, 제4, 제7 트랜지스터(T2, T3, T4, T7)가 턴 오프 된 상태에서, 제5 및 제6 트랜지스터(T5, T6)가 턴 온 된다. 이 경우, 제1 트랜지스터(T5)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압 차에 따른 구동 전류(Id)가 발생되고, 턴 온 된 제6 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 소자(OLED)에 제공된다. 여기서, 제1 트랜지스터(T1)의 게이트 전극의 전압은 상기 보상 전압이다.

[0115] 제3 구간(P3) 동안, 유지 커패시터(Cst)에 의해 제1 트랜지스터(T1)의 소스-게이트 전압(Vgs)은 (구동전압 ? 보상전압)으로 유지된다. 따라서, 구동 전류(Id)는 소스-게이트 전압(Vgs)에서 문턱 전압(Vth)의 절대값을 차감한 값의 제곱, 즉, (구동전압 ? 보상전압)²에 비례할 수 있다. 이는 결국, 구동 전류(Id)는 제1 트랜지스터(T1)의 문턱 전압에 관계 없이 결정될 수 있음을 의미한다. 이에 따라, 제1 트랜지스터(T1)의 문턱 전압 편차가 보상될 수 있으며, 유기 발광 표시 장치의 휘도가 불균일하게 되는 것을 방지할 수 있다.

[0116] 한편, 제3 구간(P3)에서 제7 트랜지스터(T7)는 턴 오프 된 상태일 수 있다. 제3 구간(P3)에서 바이패스 신호는 제7 트랜지스터(T7)를 항상 턴 오프시킬 수 있는 소정의 레벨을 유지할 수 있다. 이에 따라, 제7 트랜지스터(T7)는 턴 오프 되고, 이 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로서 제7 트랜지스터(T7)를 통해 빠져나갈 수 있다. 따라서 블랙 휘도의 영상을 표시하는 프레임에서 구동 전류(Id)로부터 제7 트랜지스터(T7)를 통해 빠지는 바이패스 전류(Ibp)의 전류량만큼 감소된 발광 전류(Ioled)가 유기 발광 소자(OLED)로 흐르게 된다. 이에 따라, 블랙 영상의 휘도를 표현하기에 충분한 수준으로 발광 전류(Ioled)가 최소의 전류량을 가지게 된다. 즉, 제7 트랜지스터(T7)를 이용하여 정확한 블랙 휘도의 영상을 표시할 수 있어 영상의 대비비를 향상시킬 수 있다.

[0117] 도 14는 도 12에 도시한 유기 발광 표시 장치의 일 화소부를 개략적으로 나타낸 레이아웃도이다. 한편, 도 1 내지 도 13에서 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0118] 도 12 및 도 14를 참조하면, 제n 게이트 라인(GLn, n은 2 이상의 자연수), 제n-1 게이트 라인(GLn-2) 및 제n 발광 제어 라인(EMLn)은 제1 방향(d1)으로 연장될 수 있다. 제m 데이터 라인(DLm, m은 1 이상의 자연수) 및 구동 전압 라인(ELVDDL)은 제2 방향(d2)으로 연장될 수 있다. 제n 게이트 라인(GLn), 제n-1 게이트 라인(GLn-2) 및 제n 발광 제어 라인(EMLn)은 제1 내지 제7 게이트 전극(G1 내지 G7)과 서로 동일 층에 배치될 수 있다. 제m 데이터 라인(DLm) 및 구동 전압 라인(ELVDDL)은 일 실시예로 서로 동일 층에 배치될 수 있다.

[0119] 제1 트랜지스터(T1)는 제1 반도체 패턴(A1), 제1 게이트 전극(G1), 제1 소스 전극(S1) 및 제1 드레인 전극(D1)을 포함할 수 있다. 제1 소스 전극(S1)은 제1 반도체 패턴(A1)에서 불순물이 도핑된 소스 영역이며, 제1 드레인 전극(D1)은 제1 반도체 패턴(A1)에서 불순물이 도핑된 드레인 영역에 해당한다. 제1 반도체 패턴(A1)은 소스 영역 및 드레인 영역 사이에 위치하는 채널 영역을 더 포함할 수 있다. 제1 트랜지스터(T1)의 제1 게이트 전극(G1)은 후술하는 유지 커패시터(Cst)의 제1 전극(Csta)의 기능을 동시에 수행할 수 있다.

[0120] 제2 트랜지스터(T2)는 제2 반도체 패턴(A2), 제2 게이트 전극(G2), 제2 소스 전극(S2) 및 제2 드레인 전극(D2)을 포함할 수 있다. 제2 소스 전극(S2)은 제2 반도체 패턴(A2)에서 불순물이 도핑된 소스 영역이며, 제2 드레인 전극(D2)은 제2 반도체 패턴(A2)에서 불순물이 도핑된 드레인 영역에 해당한다. 제2 트랜지스터(T2)의 제2 소스 전극(S2)은 제m 데이터 라인(DLm)과 제3 컨택홀(CONT3)을 통해 전기적으로 연결될 수 있다. 제2 트랜지스터(T2)의 제2 드레인 전극(D2)은 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)와 전기적으로 연결될 수 있다.

[0121] 제3 트랜지스터(T3)는 제3 반도체 패턴(A3), 제3 소스 전극(S3) 및 제3 드레인 전극(D3)을 포함할 수 있다. 제3 소스 전극(S3)은 제3 반도체 패턴(A3)에서 불순물이 도핑된 소스 영역이며, 제3 드레인 전극(D3)은 제3 반도체 패턴(A3)에서 불순물이 도핑된 드레인 영역에 해당한다. 제3 트랜지스터(T3)의 제3 게이트 전극(G3)은 제n 게이트

트 라인(GLn)의 일부 및 제2 게이트 라인(GLn)으로부터 돌출된 다른 일부에 의해 듀얼(dual) 게이트 전극을 형성할 수 있다. 이를 통해, 누설 전류(leakage current)를 방지할 수 있다.

- [0122] 제4 트랜지스터(T4)는 제4 반도체 패턴(A4), 제4 소스 전극(S4) 및 제4 드레인 전극(D4)을 포함할 수 있다. 제4 소스 전극(S4)은 제4 반도체 패턴(A4)에서 불순물이 도핑된 소스 영역이며, 제4 드레인 전극(D4)은 제4 반도체 패턴(A4)에서 불순물이 도핑된 드레인 영역에 해당한다. 제4 트랜지스터(T4)의 제4 드레인 전극(D4)은 제7 트랜지스터(T7)와 전기적으로 연결될 수 있다. 제4 트랜지스터(T4)의 제4 소스 전극(S4)은 제2 컨택홀(CNT2) 제1 컨택홀(CNT1)의 내부 및 상부에 구비된 제1 전극(Csta)을 통해 제1 게이트 전극(G1)과 전기적으로 연결될 수 있다.
- [0123] 제5 트랜지스터(T5)는 제5 반도체 패턴(A5), 제5 소스 전극(S5) 및 제5 드레인 전극(D5)을 포함할 수 있다. 제5 소스 전극(S5)은 제5 반도체 패턴(A5)에서 불순물이 도핑된 소스 영역이며, 제5 드레인 전극(D5)은 제5 반도체 패턴(A5)에서 불순물이 도핑된 드레인 영역에 해당한다. 제5 트랜지스터(T5)의 제5 소스 전극(S5)은 제4 컨택홀(CNT4)을 통해 구동 전압 라인(ELVDDL)과 전기적으로 연결될 수 있다.
- [0124] 제6 트랜지스터(T6)는 제6 반도체 패턴(A6), 제6 소스 전극(S6) 및 제6 드레인 전극(D6)을 포함할 수 있다. 제6 소스 전극(S6)은 제6 반도체 패턴(A6)에서 불순물이 도핑된 소스 영역이며, 제6 드레인 전극(D6)은 제6 반도체 패턴(A6)에서 불순물이 도핑된 드레인 영역에 해당한다. 제6 트랜지스터(T6)의 제6 드레인 전극(D6)은 제5 컨택홀(CNT5) 및 제1 컨택 메탈 (CM1)을 통해 제k 화소 전극(PEk)과 전기적으로 연결될 수 있다.
- [0125] 제7 트랜지스터(T7)는 제7 반도체 패턴(A7), 제7 소스 전극(S7) 및 제7 드레인 전극(D7)을 포함할 수 있다. 제7 소스 전극(S7)은 제7 반도체 패턴(A7)에서 불순물이 도핑된 소스 영역이며, 제7 드레인 전극(D7)은 제7 반도체 패턴(A7)에서 불순물이 도핑된 드레인 영역에 해당한다. 제7 트랜지스터(T7)의 제7 드레인 전극(D7)은 제6 컨택홀(CNT6) 및 제2 컨택 메탈(CM2)을 통해 초기화 전압 라인(도면 미도시)과 전기적으로 연결될 수 있다. 한편, 제7 트랜지스터(T7)의 제7 소스 전극(S7)은 제5 컨택홀(CNT5) 및 제1 컨택 메탈(CM1)을 통해 제k 화소 전극(PEk)과 전기적으로 연결될 수 있다.
- [0126] 유지 커패시터(Cst)는 서로 중첩되는 제1 전극(Csta) 및 제2 전극(Cstb)을 포함할 수 있다. 제1 전극(Csta)은 제1 게이트 전극(G1)과 직접 연결될 수 있으며, 제1 컨택홀(CNT1) 및 제2 컨택홀(CNT2)을 통해 제4 트랜지스터(T4) 및 제3 트랜지스터(T3)와 전기적으로 연결될 수 있다. 제1 전극(Csta)은 적어도 일부가 제1 반도체 패턴(A1)과 중첩될 수 있다. 제2 전극(Cstb)은 일 실시예로 별도의 연결 전극(도면 미도시)을 통해 구동 전압 라인(ELVDDL)과 전기적으로 연결될 수 있다.
- [0127] 도 15는 도 14에 도시한 유기 발광 표시 장치의 구성 중 반도체층을 나타낸 도면이다. 도 16은 도 15에 도시한 반도체층에 게이트 도전체를 추가한 도면이다. 도 17은 도 14에 도시한 유기 발광 표시 장치의 구성 중 데이터 도전체를 나타낸 도면이다. 도 18은 도 14에 도시한 유기 발광 표시 장치의 구성 중 제k 화소 전극, 제m 데이터 라인 및 구동 전압 라인의 일 실시예를 나타낸 도면이다. 도 19는 도 14에 도시한 II-II선면경선을 따라 자른 단면도의 일 실시예이다. 이하, 도 15 내지 도 19를 참조하여, 보다 상세히 설명하기로 한다.
- [0128] 반도체층(AP)은 버퍼층(120) 상에 배치될 수 있다. 반도체층(AP)은 제1 내지 제7 반도체 패턴(A1 내지 A7)을 포함할 수 있다. 반도체층(AP)은 일 실시예로 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘 중 선택되는 하나 또는 적어도 두 개를 혼합하여 형성될 수 있다. 반도체층(AP)은 다른 실시예로 산화물 반도체를 포함할 수 있다.
- [0129] 제1 절연막(130)은 반도체층(AP) 상에 배치될 수 있다. 제1 절연막(130)은 반도체층(AP)을 덮도록 하부 기판(110)의 전면에 적층될 수 있다.
- [0130] 제n 게이트 라인(GLn), 제n-1 게이트 라인(GLn-1), 제n 발광 제어 라인(EMLn), 유지 커패시터(Cst)의 제1 전극(Csta) 및 제1 내지 제7 게이트 전극(G1 내지 G7)을 포함하는 게이트 도전체는 제1 절연막(130) 상에 배치될 수 있다. 게이트 도전체는 동일한 마스크 공정에 의해 한번에 형성될 수 있다.
- [0131] 제2 절연막(140)은 게이트 도전체 상에 배치될 수 있다.
- [0132] 제m 데이터 라인(DLm), 구동 전압 라인(ELVDDL), 제1 내지 제7 소스 전극(S1 내지 S7), 제1 내지 제7 드레인 전극(D1 내지 D7) 및 유지 커패시터(Cst)의 제2 전극(Cstb)을 포함하는 데이터 도전체는 제2 절연막(140) 상에 배치될 수 있다.
- [0133] 제m 데이터 라인(DLm)은 일 실시예로 제1 데이터 층, 제2 데이터 층 및 상기 제1 데이터 층과 상기 제2 데이터

층 사이에 배치되는 데이터 절연층을 포함할 수 있다. 제1 및 제2 데이터 층은 도전성 물질로 형성되며, 데이터 절연층은 절연 물질로 형성될 수 있다. 제1 및 제2 데이터 층은 제1 비아홀(Via1) 및 제3 콘택 메탈(CM3)을 통해 서로 전기적으로 연결될 수 있다. 보다 상세히 설명하면, 제1 비아홀(Via1)의 내부에는 제3 콘택 메탈(CM3)이 배치될 수 있다. 제3 콘택 메탈(CM3)은 제1 데이터 층과 제2 데이터 층 모두와 직접 연결될 수 있다. 이를 통해, 제 m 데이터 라인(DL m)의 저항 성분을 감소시킬 수 있다. 다만, 이에 제한되는 것은 아니며, 제 m 데이터 라인(DL m)은 단일 층으로 형성될 수도 있다. 또한, 구동 전압 라인(ELVDDL)도 복수의 층 및 그 사이에 개재되는 절연층을 갖는 다층 구조로 형성되어, 구동 전압 라인(ELVDDL)의 저항 성분을 감소시킬 수도 있다.

- [0134] 평탄화층(150)은 데이터 도전체 상에 배치될 수 있다.
- [0135] 제 k 화소 전극(PE k)은 평탄화층(150) 상에 배치될 수 있다. 제 k 화소 전극(PE k)은 제5 콘택홀(CNT5) 및 제1 콘택 메탈(CM1)을 통해 제6 트랜지스터(T6)의 제6 드레인 전극(D6)과 전기적으로 연결될 수 있다.
- [0136] 제 k 화소 전극(PE k)은 제1 도전성 라인 및 제2 도전성 라인과 중첩될 수 있다. 여기서, 제1 도전성 라인의 일 실시예는 제 m 데이터 라인(DL m)일 수 있으며, 제2 도전성 라인의 일 실시예는 구동 전압 라인(ELVDDL)일 수 있다. 이하, 제1 도전성 라인을 제 m 데이터 라인(DL m)으로, 제2 도전성 라인을 구동 전압 라인(ELVDDL)으로 예를 들어 설명하기로 한다.
- [0137] 도 18 및 도 19를 참조하면, 제 m 데이터 라인(DL m)은 구동 전압 라인(ELVDDL)과 동일 층에 배치될 수 있으며, 서로 절연된다. 제 m 데이터 라인(DL m) 및 구동 전압 라인(ELVDDL)은 제 k 화소 전극(PE k)과 중첩될 수 있다.
- [0138] 제 m 데이터 라인(DL m)과 구동 전압 라인(ELVDDL) 사이의 이격 거리(l1)는 약 $0\mu\text{m}$ 초과 $10\mu\text{m}$ 이하일 수 있다. 다만, 제 m 데이터 라인(DL m)과 구동 전압 라인(ELVDDL)간에 발생될 수 있는 커플링 현상을 최소화하기 위해, 제 m 데이터 라인(DL m)과 구동 전압 라인(ELVDDL)의 이격 거리는 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하일 수 있다. 이하, 두 라인 간의 이격 거리를 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하인 것으로 설명하기로 한다.
- [0139] 평탄화층(150)은 제1 두께(h1) 및 제2 두께(h2)를 가질 수 있다. 평탄화층(150)의 제2 두께(h2)는 제1 두께(h1)와 상이할 수 있다. 한편, 제1 두께(h1)와 제2 두께(h2)의 차로 정의되는 제1 화소 영역(GA1)에서의 평탄화층(150)의 단차(h3)는 약 70nm 이하일 수 있다.
- [0140] 평탄화층(150)의 제1 두께(h1)는 약 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 일 수 있다. 평탄화층(150)의 제2 두께(h2)는 평탄화층(150)의 단차(h3)가 70nm 이하를 만족하는 경우라면, 특별히 제한되지는 않는다.
- [0141] 이를 통해, 평탄화층(150) 상에 배치되는 제1 화소 전극(PE1)의 단차도 70nm 이하로 형성하여, 제1 화소 전극(PE1)의 평탄도를 균일하게 형성할 수 있다. 이에 따라, 제1 화소부(PX1)를 포함하는 복수의 화소부에서 외부 광에 의한 색 분리 현상을 개선할 수 있다. 나아가, 유기 발광 표시 장치에서 외부 광 유입을 방지하기 위해 필요한 편광판을 생략할 수 있으며, 이에 따라 제품의 생산 비용을 절감할 수 있다.
- [0142] 도 20은 도 14에 도시한 유기 발광 표시 장치의 구성 중 화소 전극, 제 m 데이터 라인 및 구동 전압 라인의 다른 실시예를 나타낸 도면이다. 도 21은 도 14에 도시한 II-II선면경선을 따라 자른 단면도의 다른 실시예이다. 다만, 도 142 내지 도 19에서 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0143] 제 k 화소 전극(PE k)은 제1 영역(PEka), 제2 영역(PEkb) 및 제3 영역(PEkc)을 포함할 수 있다. 제1 영역(PEka)은 제 m 데이터 라인(DL m)의 일 측에 배치될 수 있으며, 제2 영역(PEkb)은 제 m 데이터 라인(DL m)의 타 측과 구동 전압 라인(ELVDDL)의 일 측에 배치될 수 있다. 제3 영역(PEkc)은 구동 전압 라인(ELVDDL)의 타 측에 배치될 수 있다.
- [0144] 여기서, 제1 영역(PEka)의 폭(w1), 제2 영역(PEkb)의 폭(w2) 및 제3 영역(PEkc)의 폭(w3)은 실질적으로 동일할 수 있다. 이에 따라, 제 k 화소 전극(PE k)은 제 m 데이터 라인(DL m) 및 구동 전압 라인(ELVDDL)에 의해, 서로 균등한 폭을 갖는 제1 내지 제3 영역(PEka, PEkb, PEkc)으로 분할될 수 있다.
- [0145] 제 k 화소 전극(PE k)은 제1 및 제2 영역(PEka, PEkb) 사이에 배치되는 제4 영역(PEkd)과, 제2 영역(PEkb) 및 제3 영역(PEkc) 사이에 배치되는 제5 영역(PEke)을 더 포함할 수 있다.
- [0146] 평탄화층(150)은 제3 내지 제5 두께(h4 내지 h6)를 가질 수 있다. 평탄화층(150)의 제4 두께(h5) 및 제5 두께(h6)는 서로 동일할 수도 있으며, 서로 상이할 수도 있다. 평탄화층(150)의 제4 두께(h5) 및 제5 두께(h6)는 제3 두께(h4)와 서로 상이할 수 있다. 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 이격 거리(l1)는 제2 영역(PE1b)의 폭(w2)과 실질적으로 동일할 수 있다.

- [0147] 제2 영역(PEkb)의 폭은 약 $5\mu\text{m}$ 이상 $10\mu\text{m}$ 이하일 수 있다.
- [0148] 제3 두께(h4)와 제4 두께(h5)의 차로 정의되는 평탄화층(150)의 제1 단차(h7)는 약 70nm 이하이다. 또한, 제3 두께(h4)와 제5 두께(h6)의 차로 정의되는 평탄화층(150)의 제2 단차(h8)도 약 70nm 이하이다. 평탄화층(150)의 제3 두께(h4)는 약 $1.5\mu\text{m}$ 내지 $2.0\mu\text{m}$ 일 수 있다. 평탄화층(150)의 제4 두께(h5) 및 제5 두께(h6)는 제1 단차(h7) 및 제2 단차(h8)가 약 70nm 이하를 만족하는 경우라면, 특별히 제한되지는 않는다.
- [0149] 여기서, 평탄화층(150)의 제1 단차(h7) 및 제2 단차(h8)는 제1 데이터 라인(DL1) 및 구동 전압 라인(ELVDDL)의 두께, 폭 등에 따라 상이해질 수 있으나, 양자 모두 약 70nm 이하를 만족한다.
- [0150] 이를 통해, 평탄화층(150) 상에 배치되는 제k 화소 전극(PEk)은 모든 영역에서 단차가 70nm 이하로 형성되며, 이에 따라, 제k 화소부(PXk)를 포함하는 복수의 화소부에서 외부 광에 의한 색 분리 현상을 개선할 수 있다.
- [0151] 도 22는 도 12에 도시한 유기 발광 표시 장치의 일 화소부의 다른 실시예를 개략적으로 나타낸 레이아웃도이다. 도 23은 도 22에 도시한 유기 발광 표시 장치의 구성 중 반도체층을 나타낸 도면이다. 도 24는 도 22에 도시한 반도체층에 게이트 도전체를 추가한 도면이다. 도 25는 도 24에 도시한 구성에 제1 및 제2 컨택홀(CNT1, CNT2)을 추가한 도면이다. 도 26은 도 25에 도시한 구성에 연결 전극(CTE)을 추가한 도면이다. 도 27은 도 26에 도시한 구성에 데이터 도전체 및 제k 화소 전극을 추가한 도면이다. 도 28은 도 22에 도시한 유기 발광 표시 장치의 구성 중 제k 화소 전극, 제m 데이터 라인 및 연결 전극을 나타낸 도면이다. 도 29는 도 22에 도시한 III1-III1신 민경선 및 III2-III2신민경선을 따라 자른 단면도의 일 실시예이다.
- [0152] 제k 화소 전극(PEk)은 제1 도전성 라인 및 제2 도전성 라인과 중첩될 수 있다. 여기서, 제1 도전성 라인의 일 실시예는 연결 전극(CTE)일 수 있으며, 제2 도전성 라인의 일 실시예는 제m 데이터 라인(DLm)일 수 있다. 이하, 제1 도전성 라인을 연결 전극(CTE)으로, 제2 도전성 라인을 제m 데이터 라인(DLm)으로 예를 들어 설명하기로 한다.
- [0153] 연결 전극(CTE) 및 제m 데이터 라인(DLm)은 서로 다른 층에 배치될 수 있다. 연결 전극(CTE) 및 제m 데이터 라인(DLm)은 평면 시점에서의 최소 이격 거리(13)가 약 $5\mu\text{m}$ 일 수 있으며, 최대 이격 거리(14)가 약 $10\mu\text{m}$ 일 수 있다. 즉, 연결 전극(CTE) 및 제m 데이터 라인(DLm)의 이격 거리는 약 $5\mu\text{m}$ 내지 $10\mu\text{m}$ 일 수 있다.
- [0154] 도 22 내지 도 29를 참조하여 보다 상세히 설명하기로 한다. 다만, 중복되는 설명은 생략하기로 한다.
- [0155] 도 22 내지 도 29를 참조하면, 제4 트랜지스터(T4)의 제4 소스 전극(S4)은 연결 전극(CTE)을 통해 제1 트랜지스터(T1)의 제1 게이트 전극(G1)과 전기적으로 연결될 수 있다.
- [0156] 연결 전극(CTE)은 대체로 제2 방향(d2)을 따라 연장될 수 있다. 연결 전극(CTE)은 제m 데이터 라인(DLm)과 서로 다른 층에 배치된다. 즉, 제m 데이터 라인(DLm)과 연결 전극(CTE) 사이에는 제3 절연막(141)이 더 배치된다. 연결 전극(CTE)은 제1 및 제2 컨택홀(CNT1, CNT2)을 통해 제4 트랜지스터(T4) 및 제1 트랜지스터(T1)를 전기적으로 연결시킬 수 있다.
- [0157] 유지 커패시터(Cst)의 제1 전극(Csta)은 제2 컨택홀(CNT2)을 통해 연결되는 연결 전극(CTE)을 통해 제4 트랜지스터(T4)와 전기적으로 연결될 수 있다. 유지 커패시터(Cst)의 제2 전극(Cstb)은 연결 전극(CTE)과 동일 층에 배치될 수 있다. 연결 전극(CTE)의 일 단부는 제1 컨택홀(CNT1)을 통해 제4 트랜지스터(T4)와 전기적으로 연결되며, 연결 전극(CTE)의 타 단부는 제2 컨택홀(CNT2)을 통해 유지 커패시터(Cst)의 제1 전극(Csta)과 전기적으로 연결될 수 있다.
- [0158] 제k 화소 전극(PEk)은 제1 트랜지스터(T1), 유지 커패시터(Cst) 및 연결 전극(CTE)의 적어도 일부와 중첩될 수 있다. 제k 화소 전극(PEk)은 제1 비아홀(Via1)을 통해 제6 트랜지스터(T6)와 전기적으로 연결될 수 있다. 제k 화소 전극(PEk)의 형상은 도면에 도시된 것으로 제한되지는 않는다.
- [0159] 한편, 연결 전극(CTE)이 제m 데이터 라인(DLm)의 하부에 배치됨에 따라, 연결 전극(CTE)과 제m 데이터 라인(DLm)이 동일 층에 배치되는 경우에 발생할 수 있는 기생 용량에 의한 얼룩이나 색 편차 현상이 개선될 수 있다.
- [0160] 도 28 및 도 29를 참조하면, 제m 데이터 라인(DLm)은 연결 전극(CTE)과 서로 다른 층에 배치된다. 제m 데이터 라인(DLm)과 연결 전극(CTE) 간의 도 28 기준 평면 시점에서의 최소 이격 거리(13)는 일 실시예로 약 $5\mu\text{m}$ 일 수 있다. 다만, 도 28에 도시된 것과는 달리, 최소 이격 거리(13)는 $0\mu\text{m}$ 일 수도 있다. 또한, 제m 데이터 라인(DLm)과 연결 전극(CTE) 간의 도 28 기준 평면 시점에서의 최대 이격 거리(14)는 일 실시예로 약 $10\mu\text{m}$ 일 수 있

다.

- [0161] 즉, 제_m 데이터 라인(DL_m)과 연결 전극(CTE) 간의 도 28 기준 평면 시점에서의 이격 거리는 약 0 μ m 이상 10 μ m 이하일 수 있다.
- [0162] 평탄화층(150)의 제1 두께(h₁)는 제1 화소 영역(GA₁)에서, 제3 절연막(141)의 상면에서부터 평탄화층(150)의 상면까지의 최소 거리를 의미한다. 평탄화층(150)의 제2 두께(h₂)는 제_k 화소 영역(GA_k)에서, 제3 절연막(141)의 상면에서부터 평탄화층(150)의 상면까지의 최대 거리를 의미한다.
- [0163] 여기서, 평탄화층(150)의 제1 두께(h₁)와 제2 두께(h₂) 차이로 정의되는 평탄화층(150)의 단차(h₃)는 70nm 이하이다. 평탄화층(150)의 제1 두께(h₁)는 약 1.5 μ m 내지 2.0 μ m일 수 있다. 평탄화층(150)의 제2 두께(h₂)는 평탄화층(150)의 단차(h₃)가 70nm이하를 만족하는 경우라면, 특별히 제한되지는 않는다.
- [0164] 이를 통해, 평탄화층(150) 상에 배치되는 제_k 화소 전극(PE_k)의 단차도 70nm이하로 형성하여, 제_k 화소 전극(PE_k)의 평탄도를 균일하게 형성할 수 있다.
- [0165] 도 30은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일부 구성의 일 실시예를 나타낸 도면이다. 도 31은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일부 구성의 다른 실시예를 나타낸 도면이다. 다만, 도 30 및 도 31에서는 설명의 편의를 위해 일부 구성만을 도시하기로 한다. 따라서, 도 30 및 도 31에 도시된 구성의 형태, 구성 간의 거리 및 배치 관계 등은 다른 구성 등에 의해 변경될 수도 있다.
- [0166] 도 30을 먼저 참조하면, 구동 전압 라인(ELVDDL) 및 제_m 데이터 라인(DL_m)은 일 실시예로 서로 동일 층에 배치될 수 있다. 또는 구동 전압 라인(ELVDDL) 및 제_m 데이터 라인(DL_m)은 서로 다른 층에 배치될 수도 있다. 구동 전압 라인(ELVDDL) 및 제_m 데이터 라인(DL_m)은 제2 방향(d₂)으로 연장될 수 있으며, 서로 절연된다. 이와는 달리, 구동 전압 라인(ELVDDL) 및 제_m 데이터 라인(DL_m)은 제1 방향(d₁)으로 연장될 수도 있다.
- [0167] 한편, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제1 및 제2 더미 라인(DML1) 및 제2 더미 라인(DML2)을 더 포함할 수 있다. 제1 및 제2 더미 라인(DML1, DML2)은 일 실시예로 제2 방향(d₂)을 따라 연장될 수 있다. 이와는 달리, 제1 및 제2 더미 라인(DML1, DML2)은 제1 방향(d₁)을 따라 연장될 수도 있다. 제1 및 제2 더미 라인(DML1, DML2)은 구동 전압 라인(ELVDDL) 및 제_m 데이터 라인(DL_m)과 서로 동일한 방향으로 연장될 수도 있으며, 서로 다른 방향으로 연장될 수도 있다. 제1 및 제2 더미 라인(DML1, DML2)은 외부로부터 전압이 인가되지 않는 플로팅(floating) 전극일 수 있다.
- [0168] 제1 및 제2 더미 라인(DML1, DML2)은 제_k 화소 전극(PE_k)과 중첩된다. 제_k 화소 전극(PE_k)은 제1 및 제2 더미 라인(DML1, DML2) 상에 배치될 수 있으며, 일 실시예로 제1 및 제2 더미 라인(DML1, DML2)과 제_k 화소 전극(PE_k) 사이에는 평탄화층이 배치될 수 있다.
- [0169] 제1 및 제2 더미 라인(DML1, DML2) 사이의 이격 거리(15)는 일 실시예로 약 5 μ m 이상 10 μ m 이하일 수 있다.
- [0170] 이에 따라, 평탄화층의 가장 높은 영역과 가장 낮은 영역의 거리 차로 정의되는 단차를 약 70nm 이하로 형성할 수 있다. 이를 통해, 평탄화층 상에 배치되는 제_k 화소 전극(PE_k)의 평탄도를 충분히 확보하여, 반사 색감을 개선시킬 수 있다.
- [0171] 도 31을 참조하면, 제_k 화소 전극(PE_k)은 제1 영역(PE_{ka}), 제2 영역(PE_{kb}) 및 제3 영역(PE_{kc})을 포함할 수 있다. 제1 영역(PE_{ka})은 제1 더미 라인(DML1)의 일 측에 배치될 수 있으며, 제2 영역(PE_{kb})은 제1 더미 라인(DML1)의 타 측과 제2 더미 라인(DML2)의 일 측에 배치될 수 있다. 제3 영역(PE_{kc})은 제2 더미 라인(DML2)의 타 측에 배치될 수 있다.
- [0172] 여기서, 제1 영역(PE_{ka})의 폭(w₁), 제2 영역(PE_{kb})의 폭(w₂) 및 제3 영역(PE_{kc})의 폭(w₃)은 실질적으로 동일할 수 있다. 이에 따라, 제_k 화소 전극(PE_k)은 제1 및 제2 더미 라인(DML1, DML2)에 의해, 서로 균등한 폭을 갖는 제1 내지 제3 영역(PE_{ka}, PE_{kb}, PE_{kc})으로 분할될 수 있다.
- [0173] 제1 및 제2 더미 라인(DML1, DML2)간의 이격 거리는 제2 영역(PE_{1b})의 폭(w₂)과 실질적으로 동일할 수 있다. 제2 영역(PE_{kb})의 폭은 약 5 μ m 이상 10 μ m이하일 수 있다. 제1 및 제2 더미 라인(DML1, DML2)과 제_k 화소 전극(PE_k) 사이에는 평탄화층이 배치된다. 상기 평탄화층의 단차는 약 70nm 이하로 형성될 수 있다. 이를 통해, 평탄화층 상에 배치되는 제_k 화소 전극(PE_k)도 단차가 70nm 이하로 형성되며, 이에 따라, 제_k 화소부(PX_k)를 포함하는 복수의 화소부에서 외부 광에 의한 색 분리 현상을 개선할 수 있다.
- [0174] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식

을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이지 않는 것으로 이해해야 한다.

부호의 설명

[0175]

PX1: 제1 화소부;

ST1: 제1 스위칭 소자;

DT1: 제2 스위칭 소자;

ELVDDL: 구동 전압 라인;

PE1: 제1 화소 전극;

150: 평탄화막;

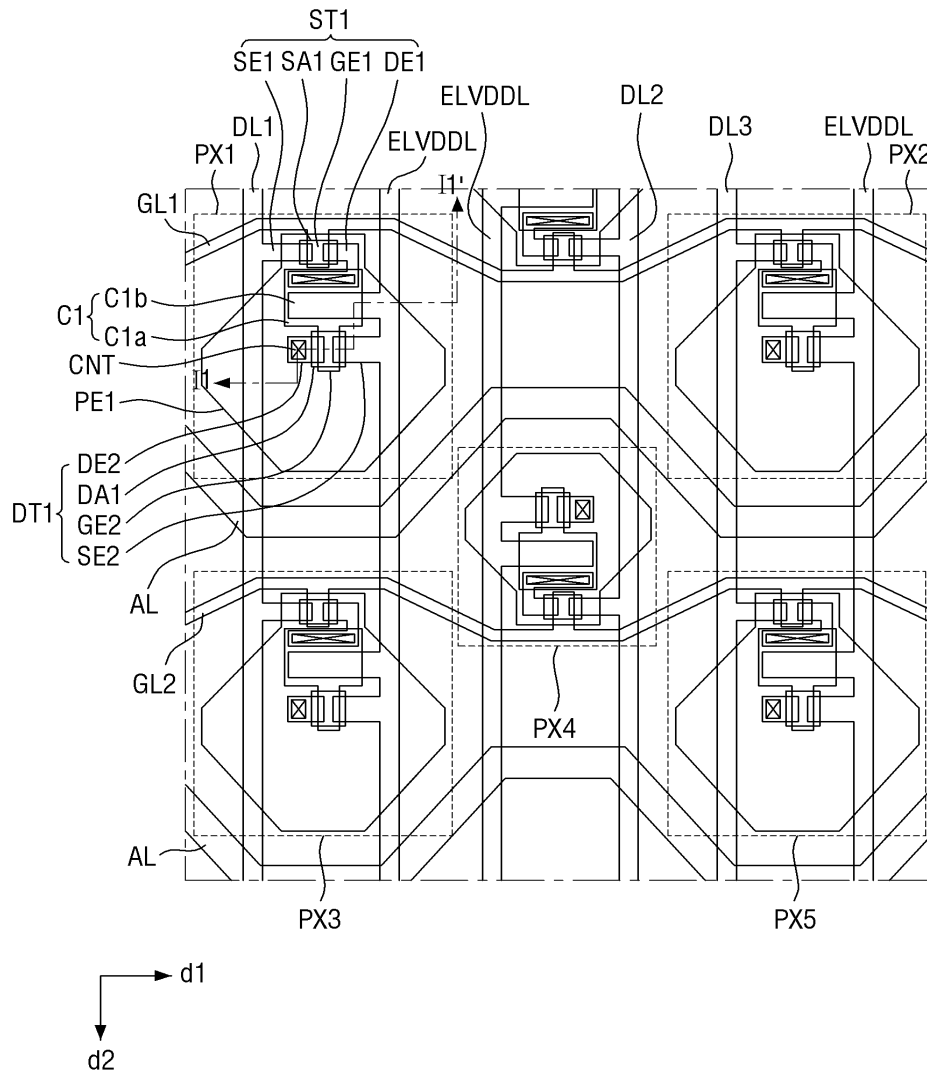
CE: 공통 전극;

CF: 컬러 필터;

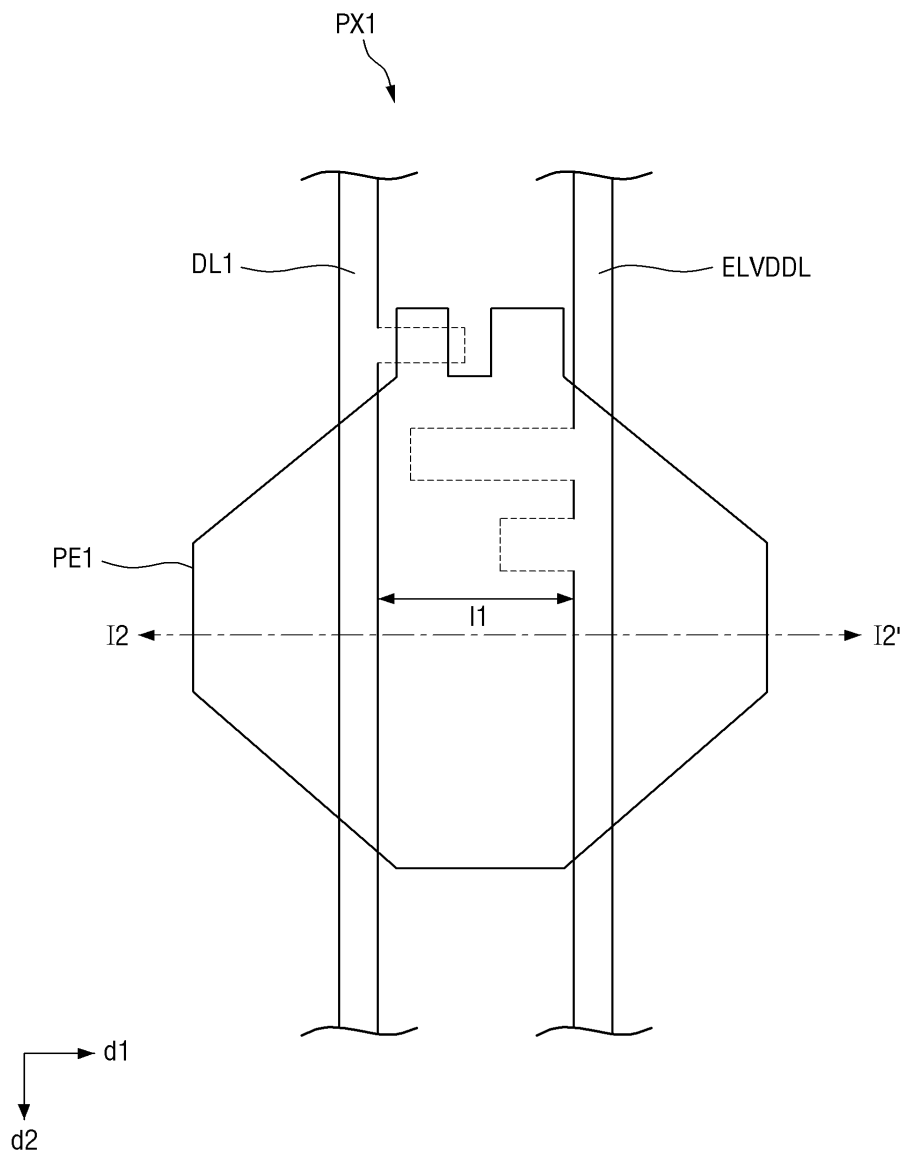
BM: 블랙 매트릭스;

도면

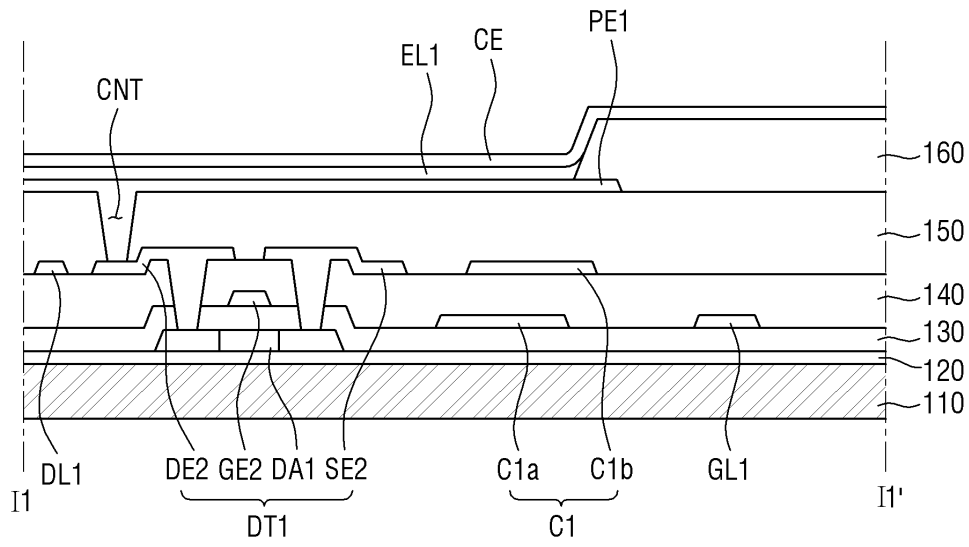
도면1



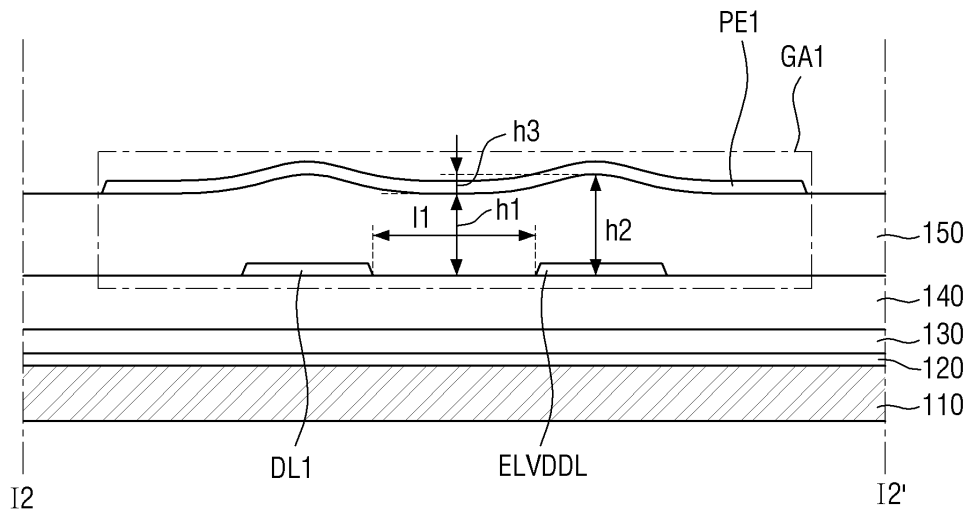
도면2



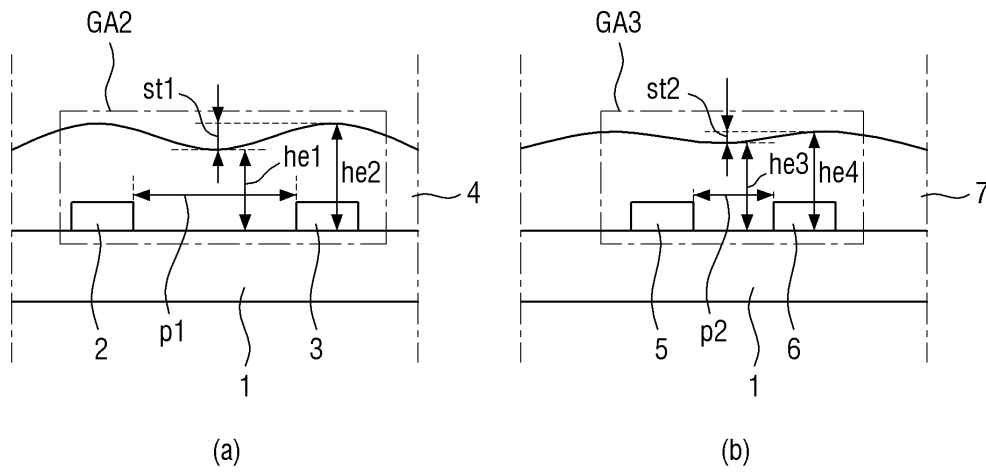
도면3



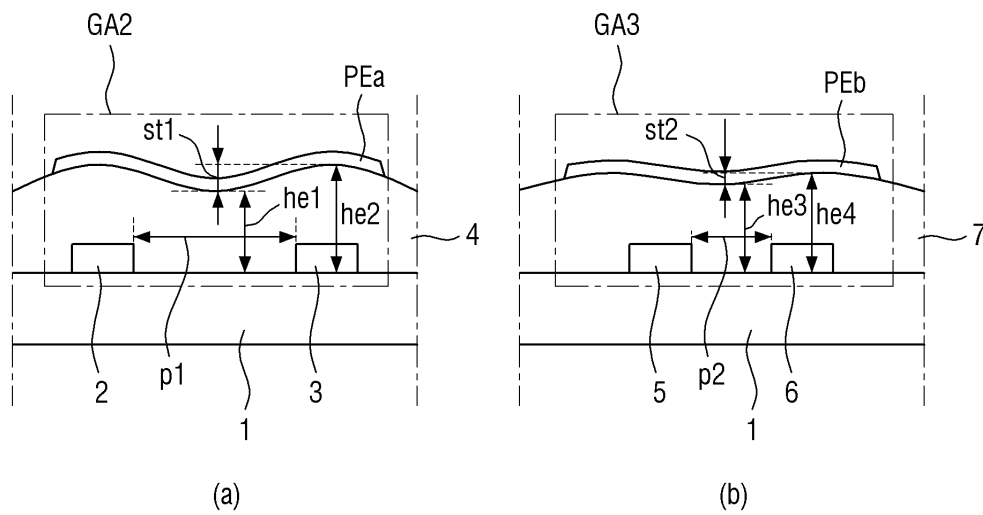
도면4



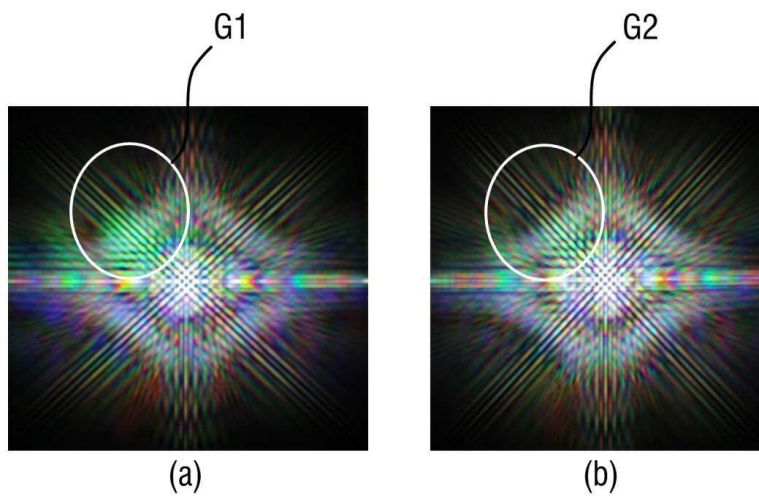
도면5



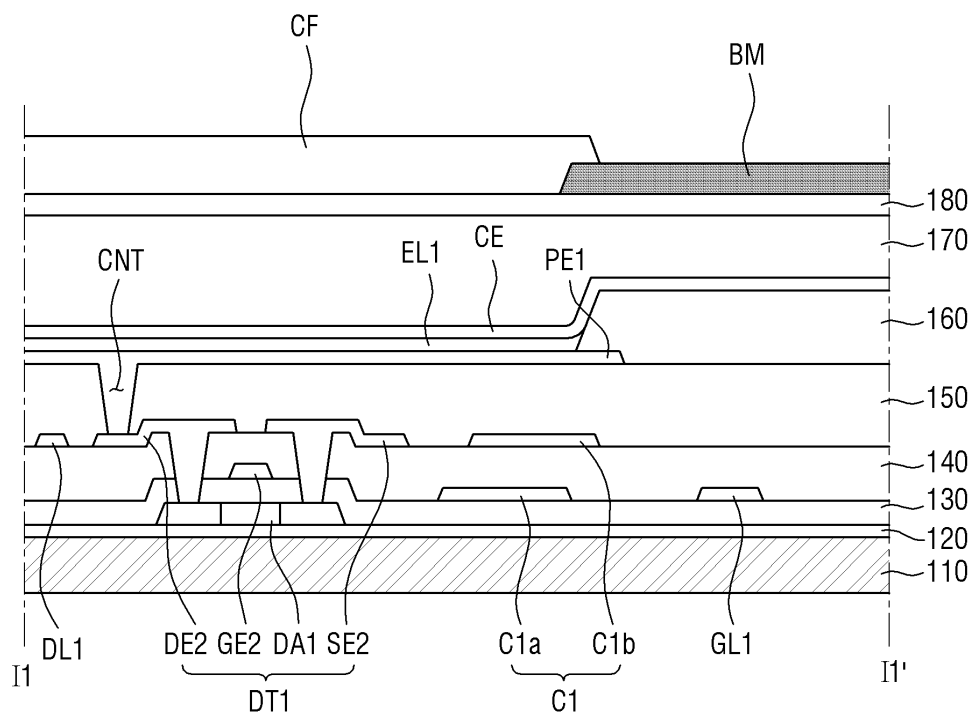
도면6



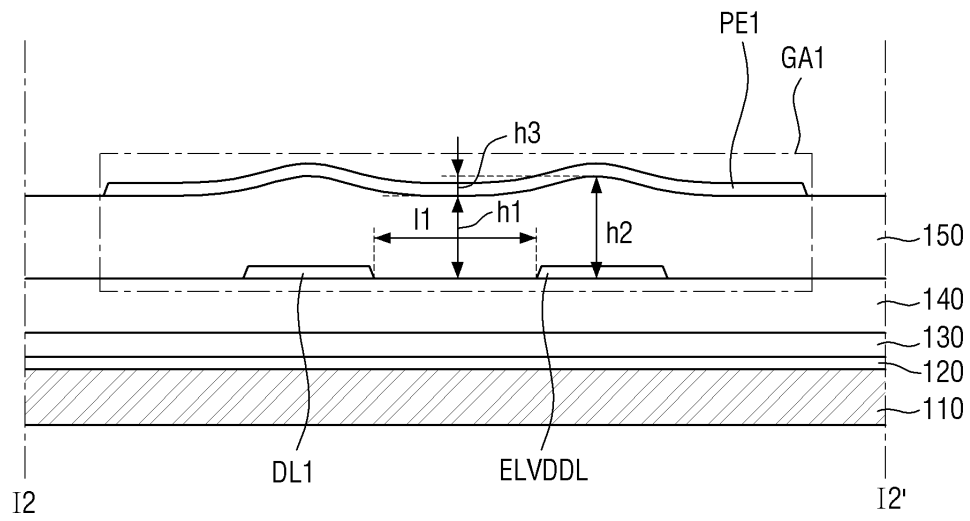
도면7



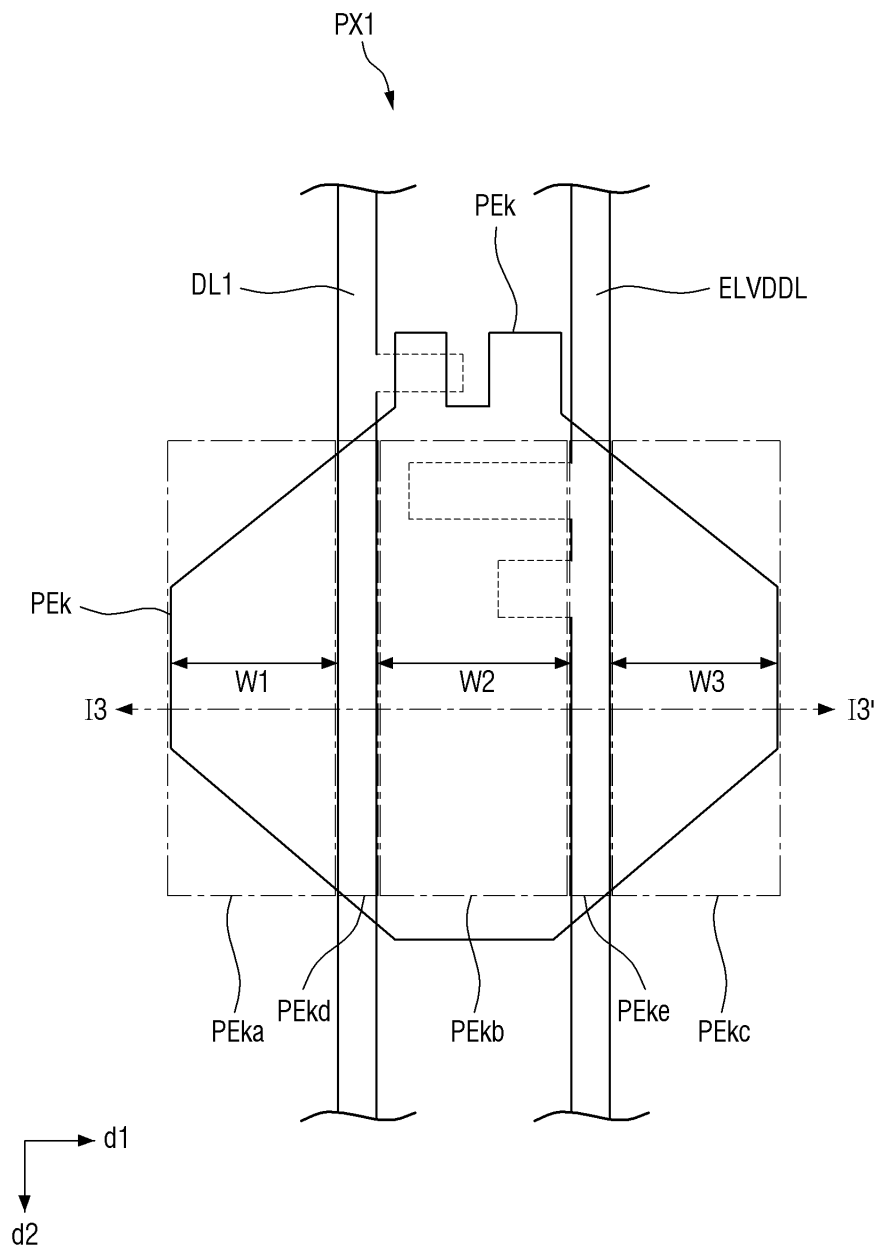
도면8



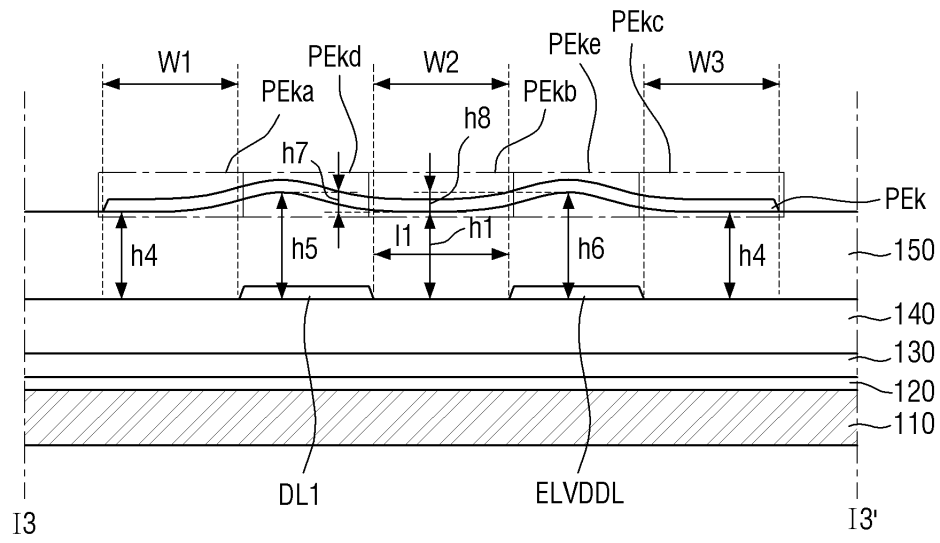
도면9



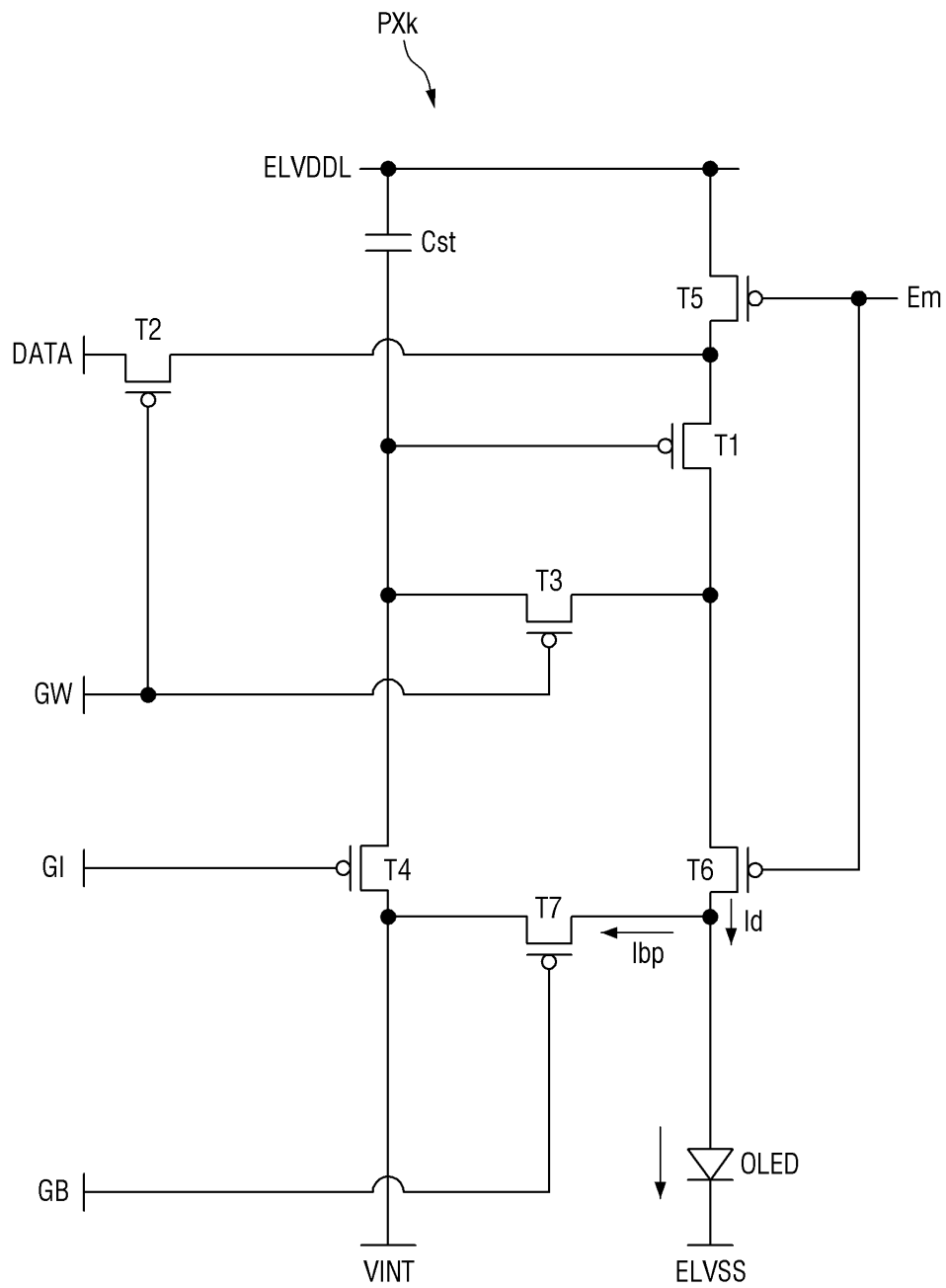
도면10



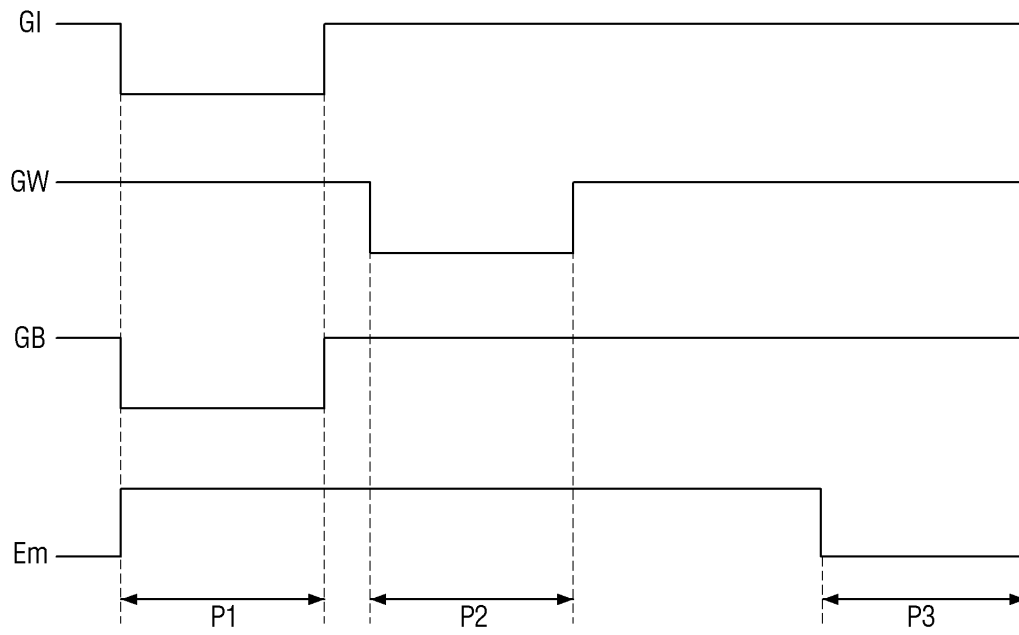
도면11



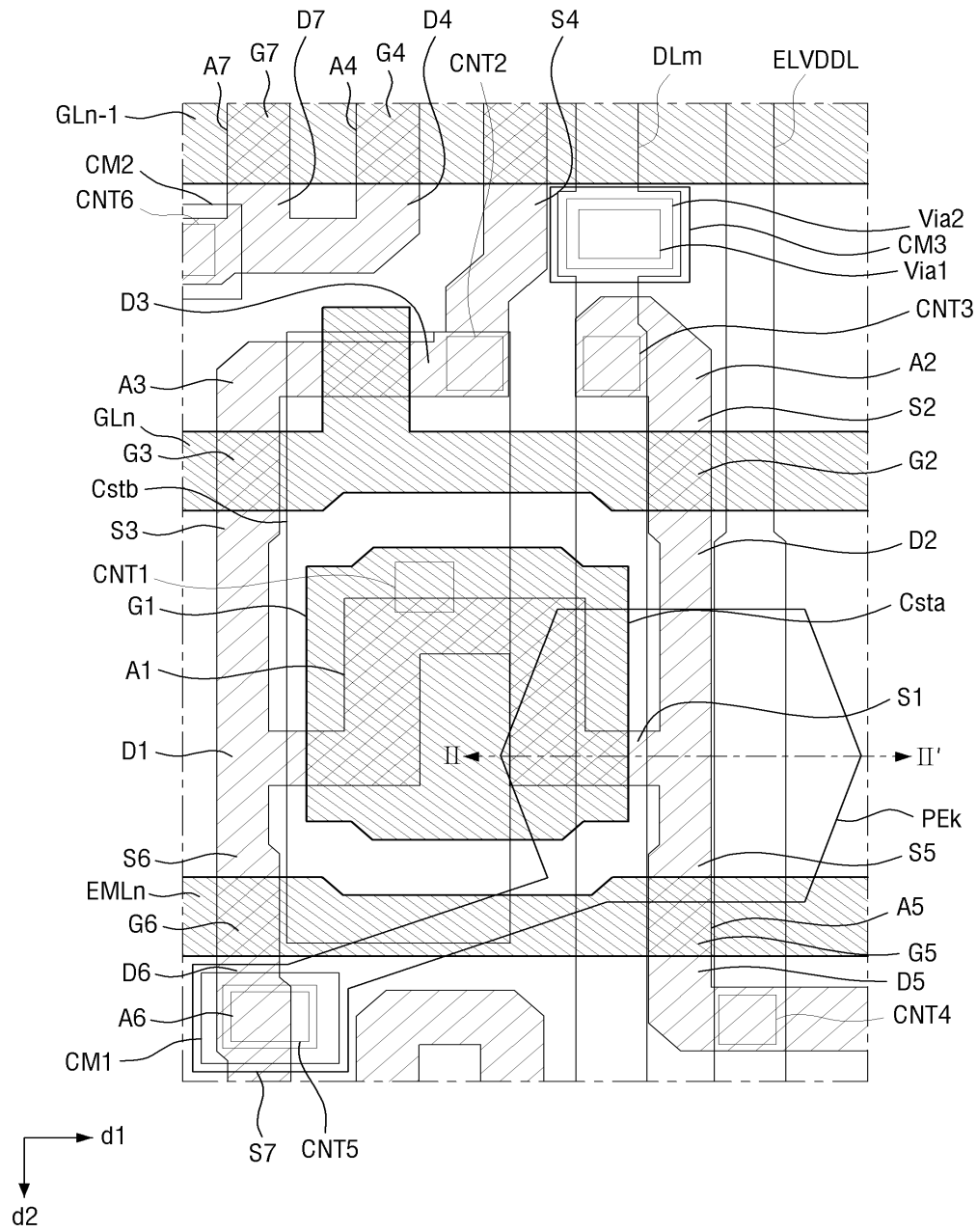
도면12



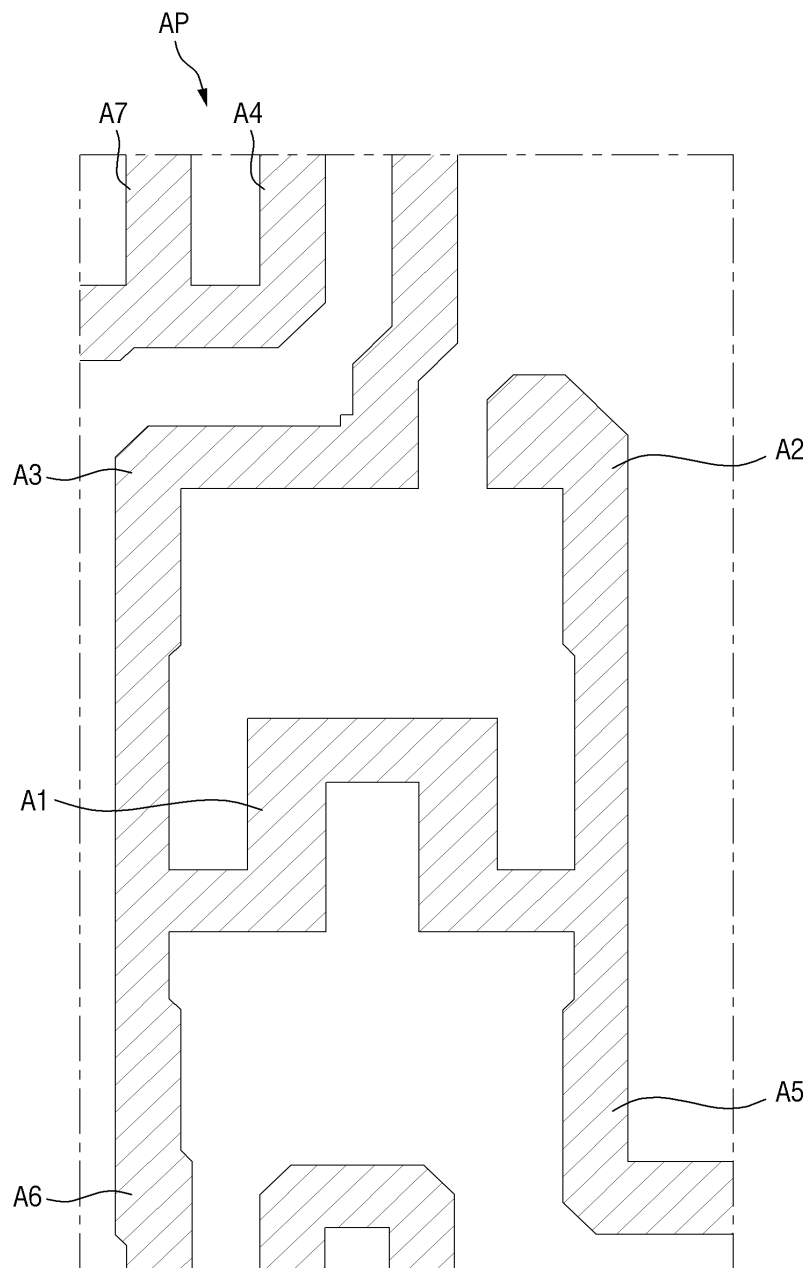
도면13



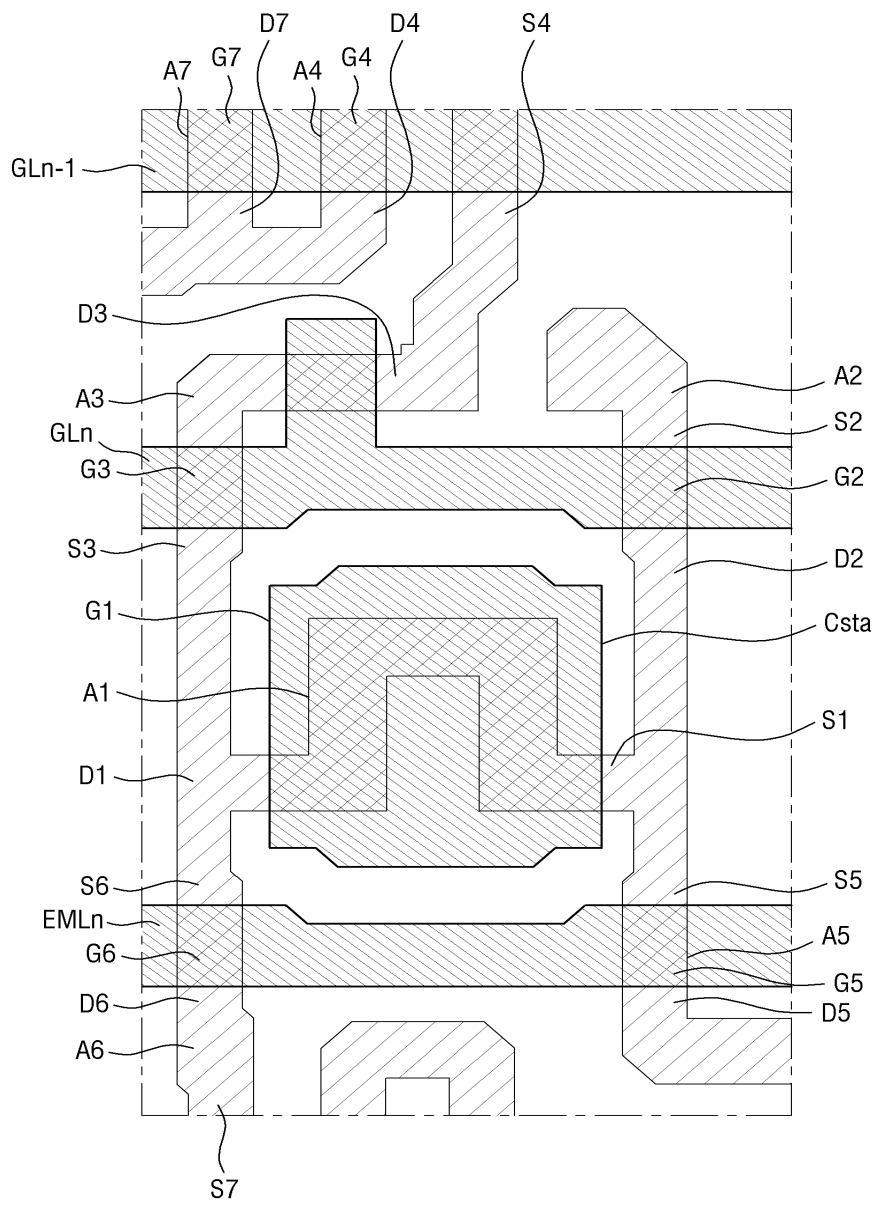
도면14



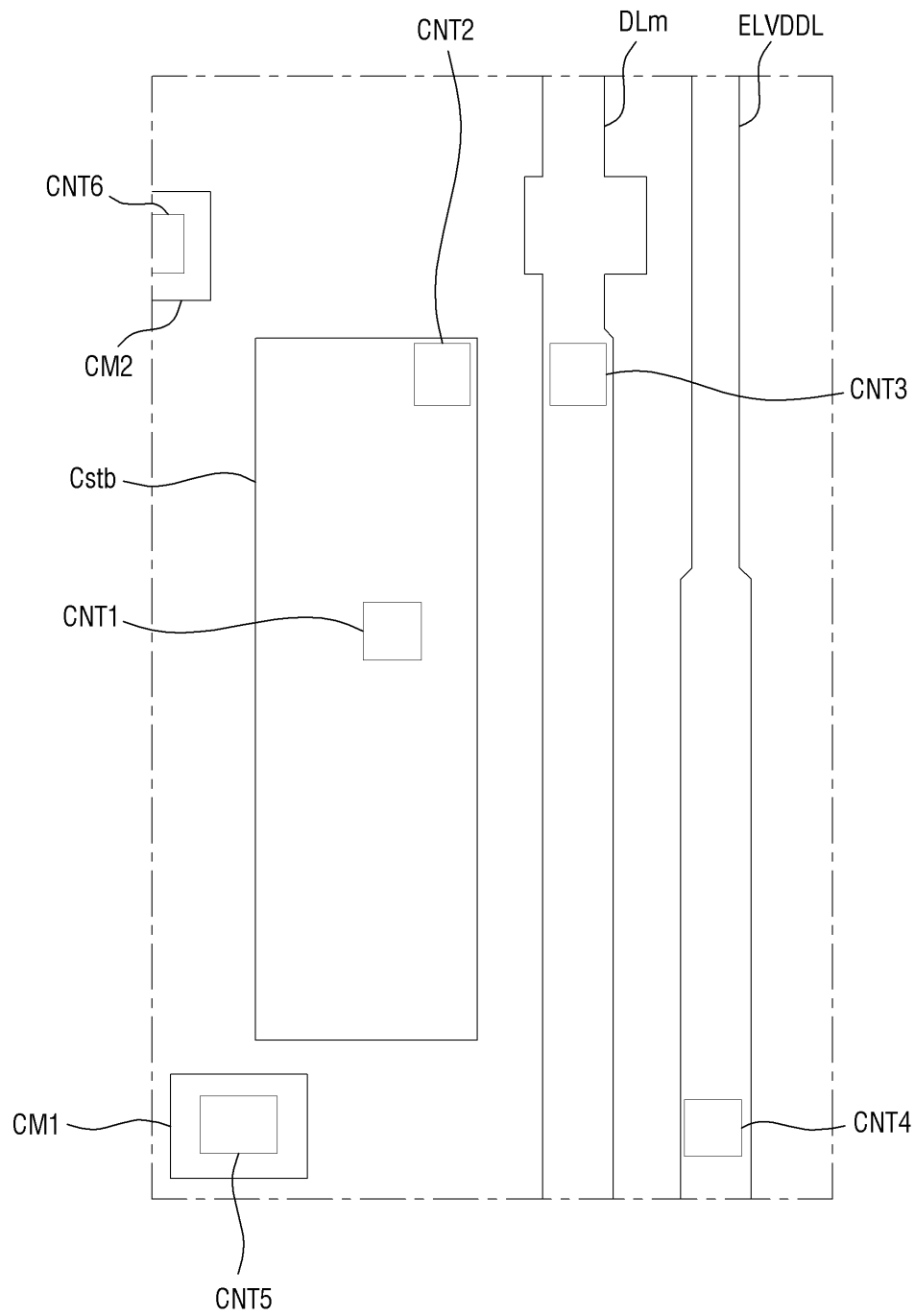
도면15



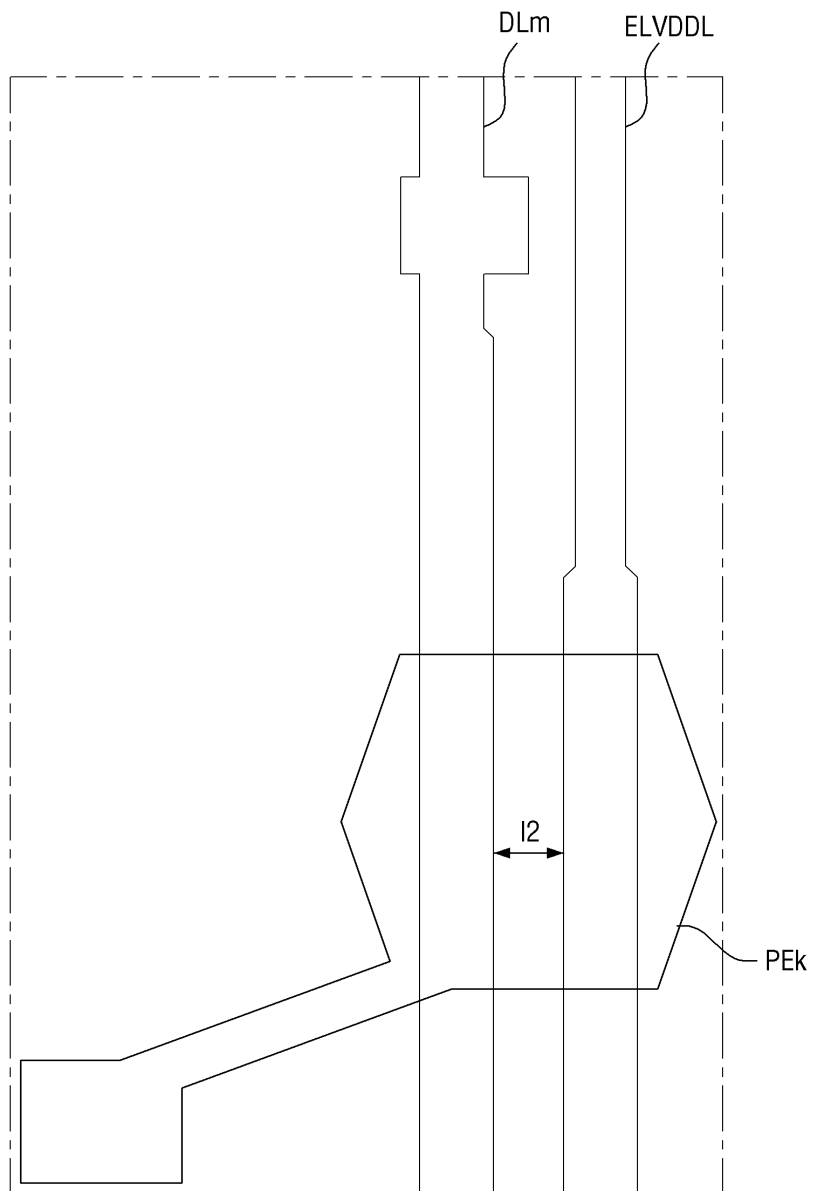
도면16



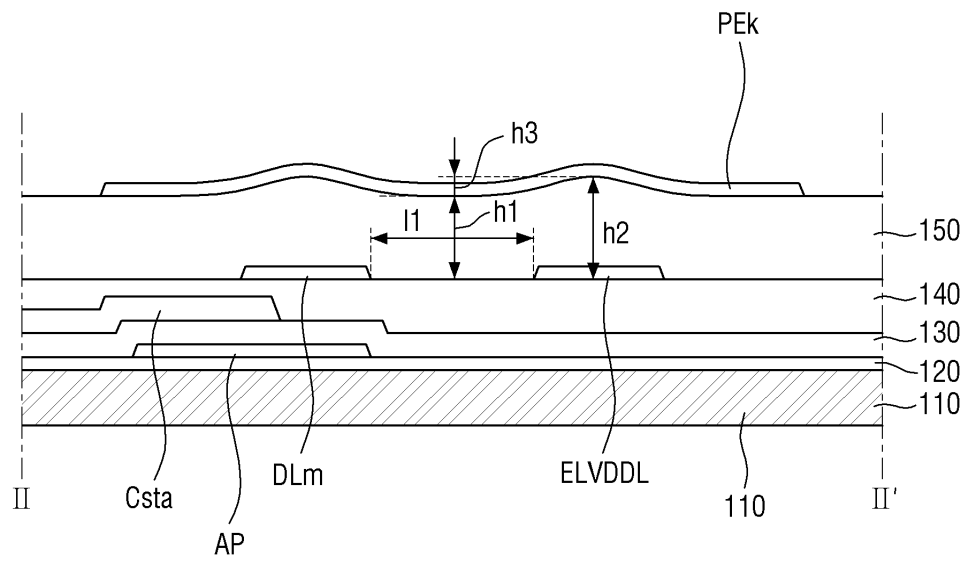
도면17



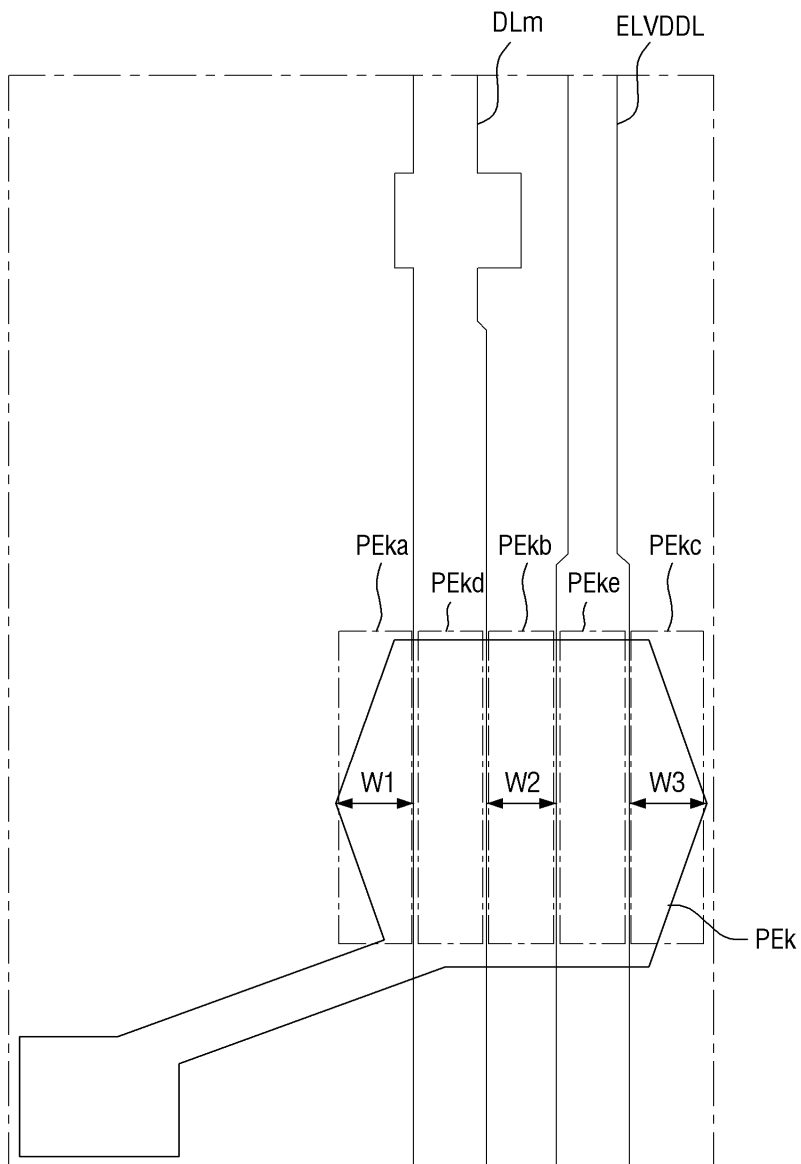
도면18



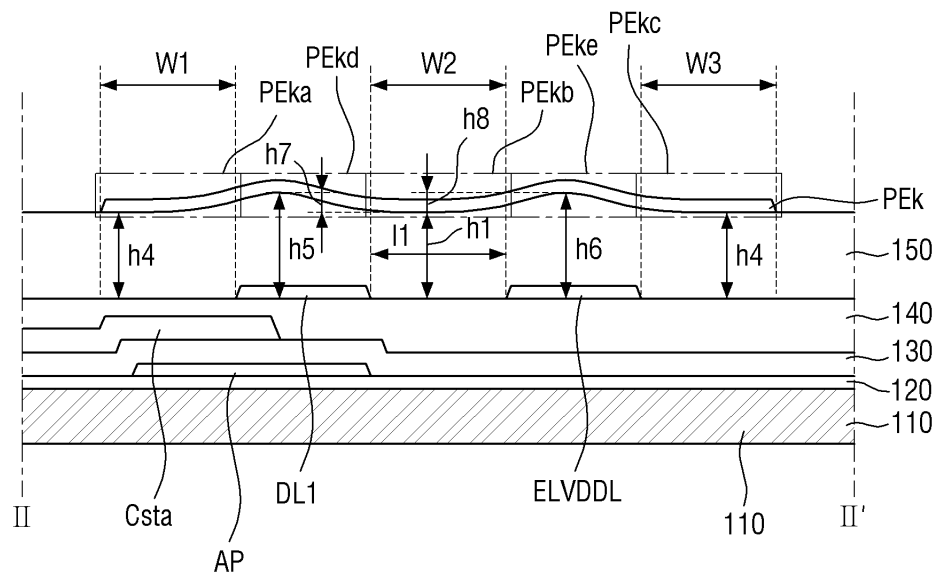
도면19



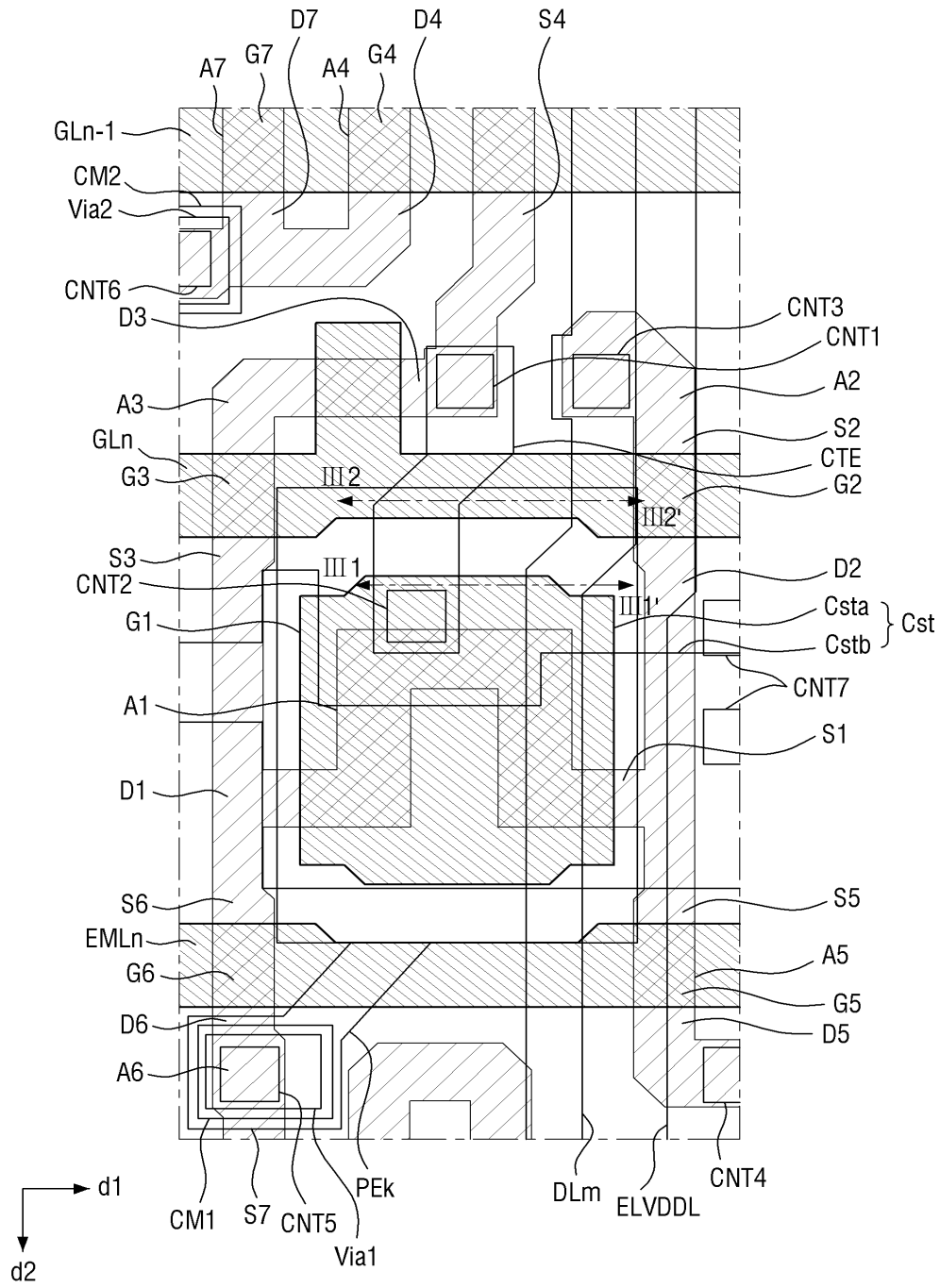
도면20



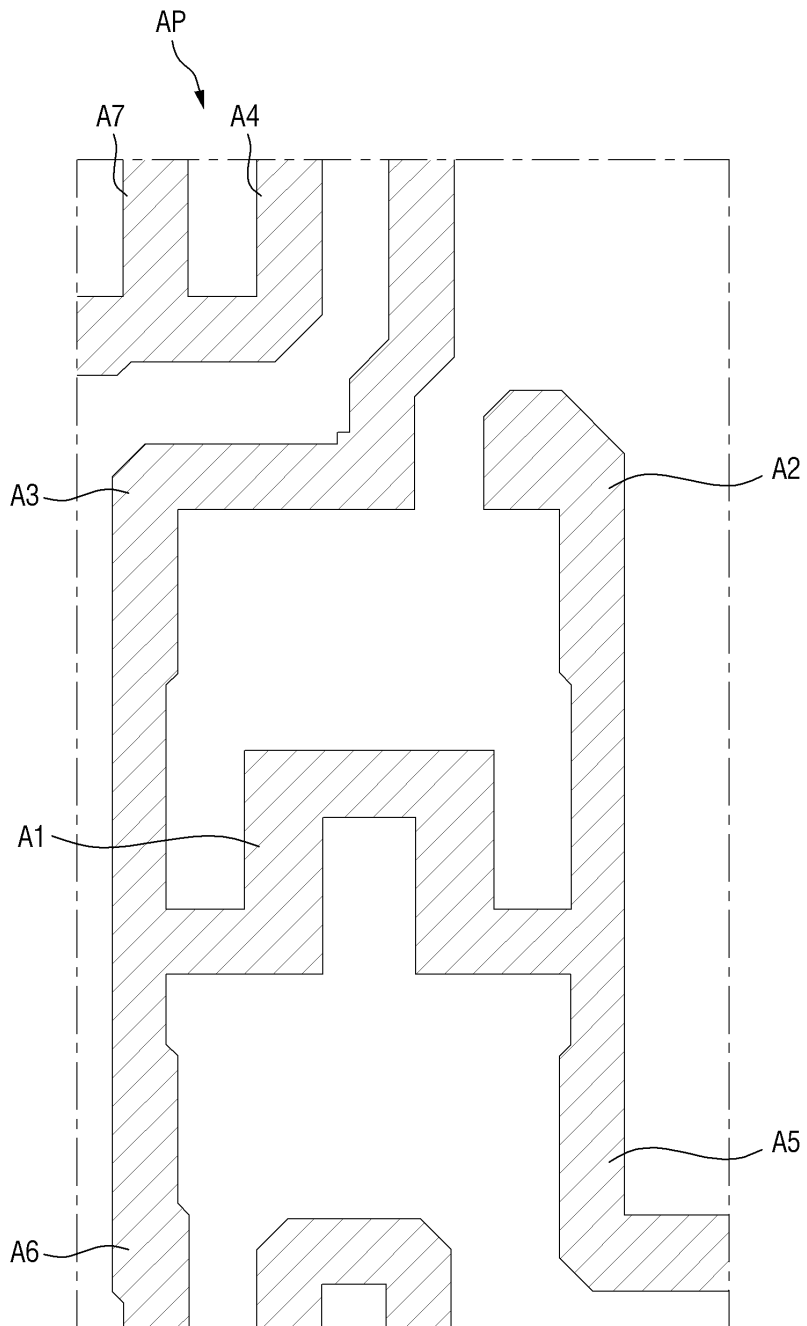
도면21



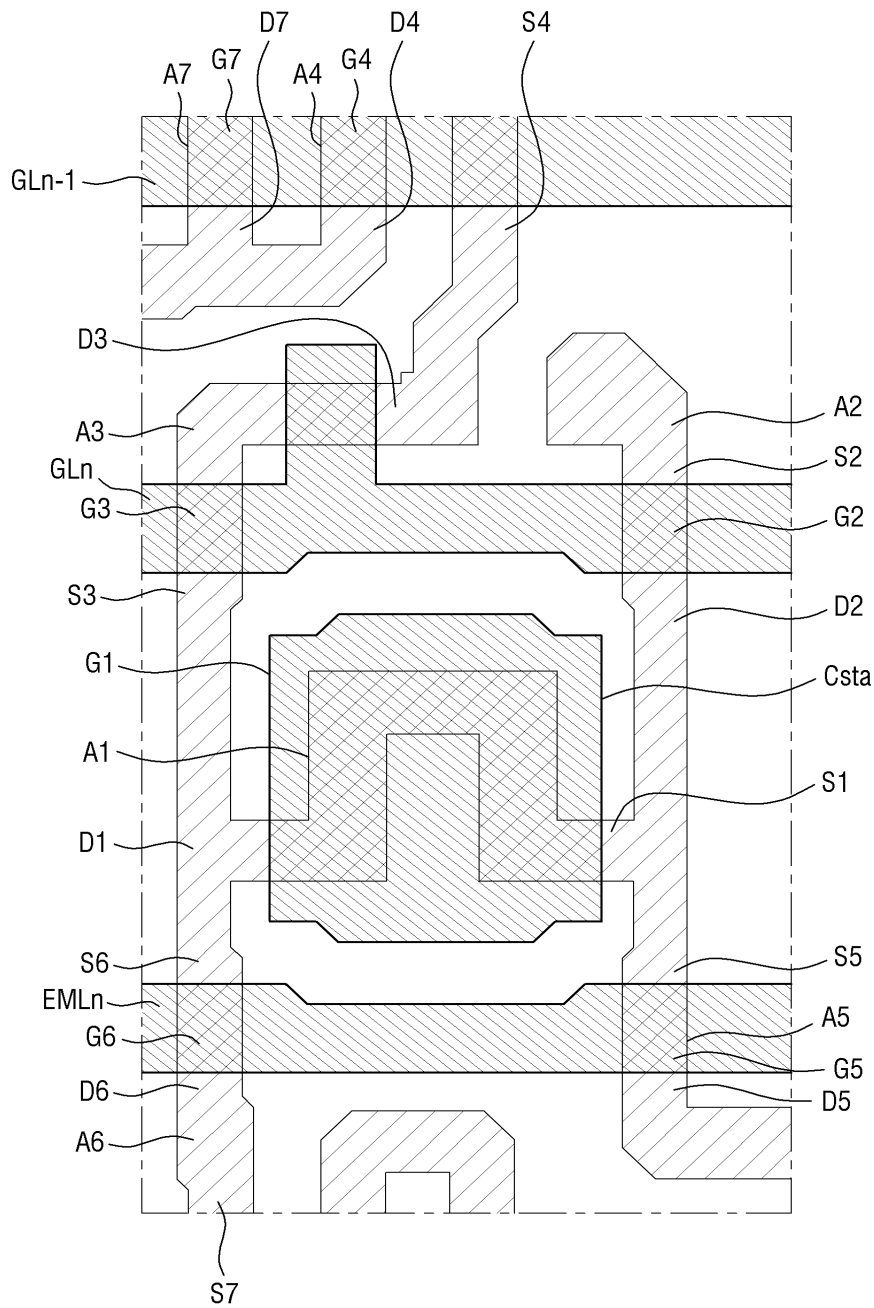
도면22



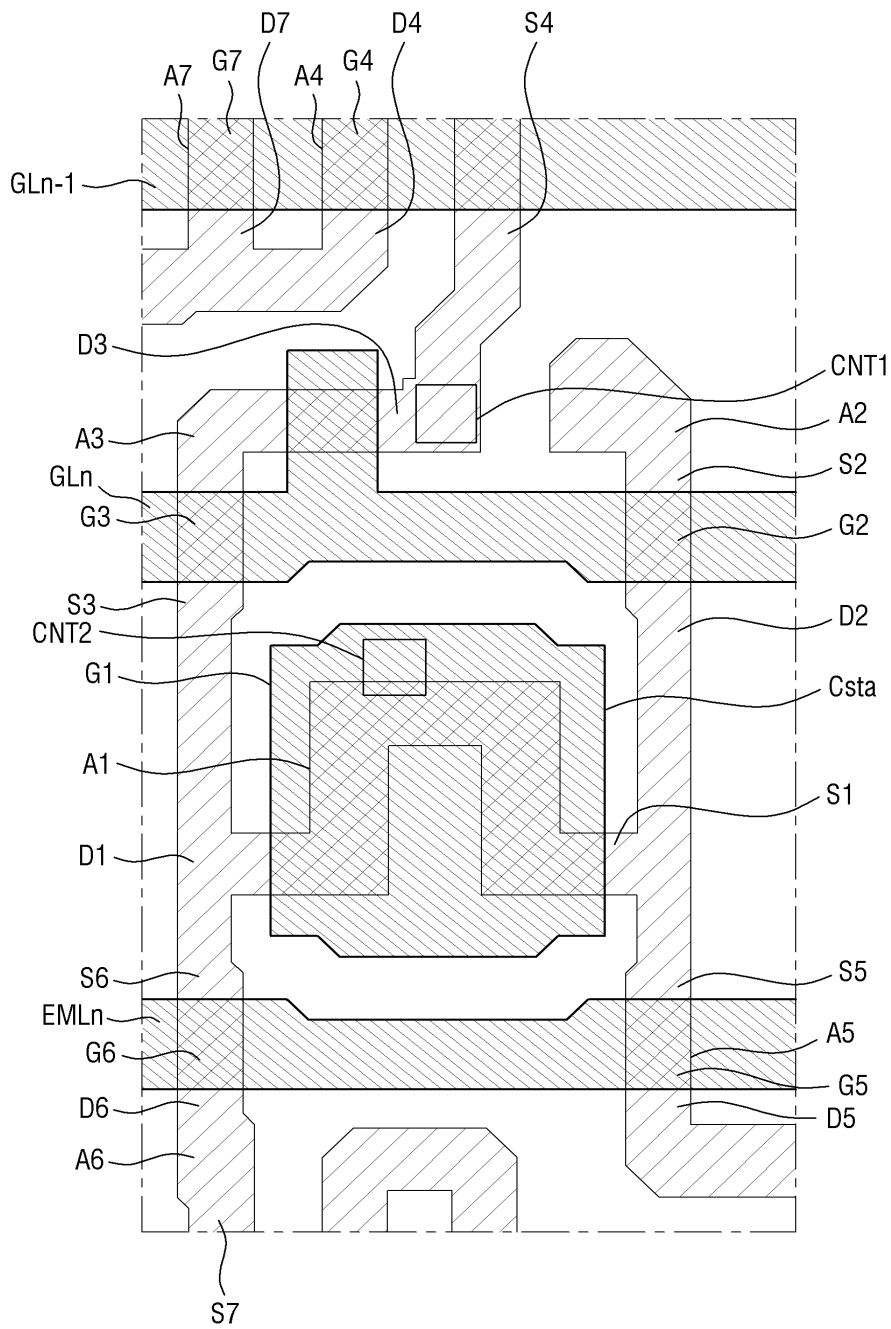
도면23



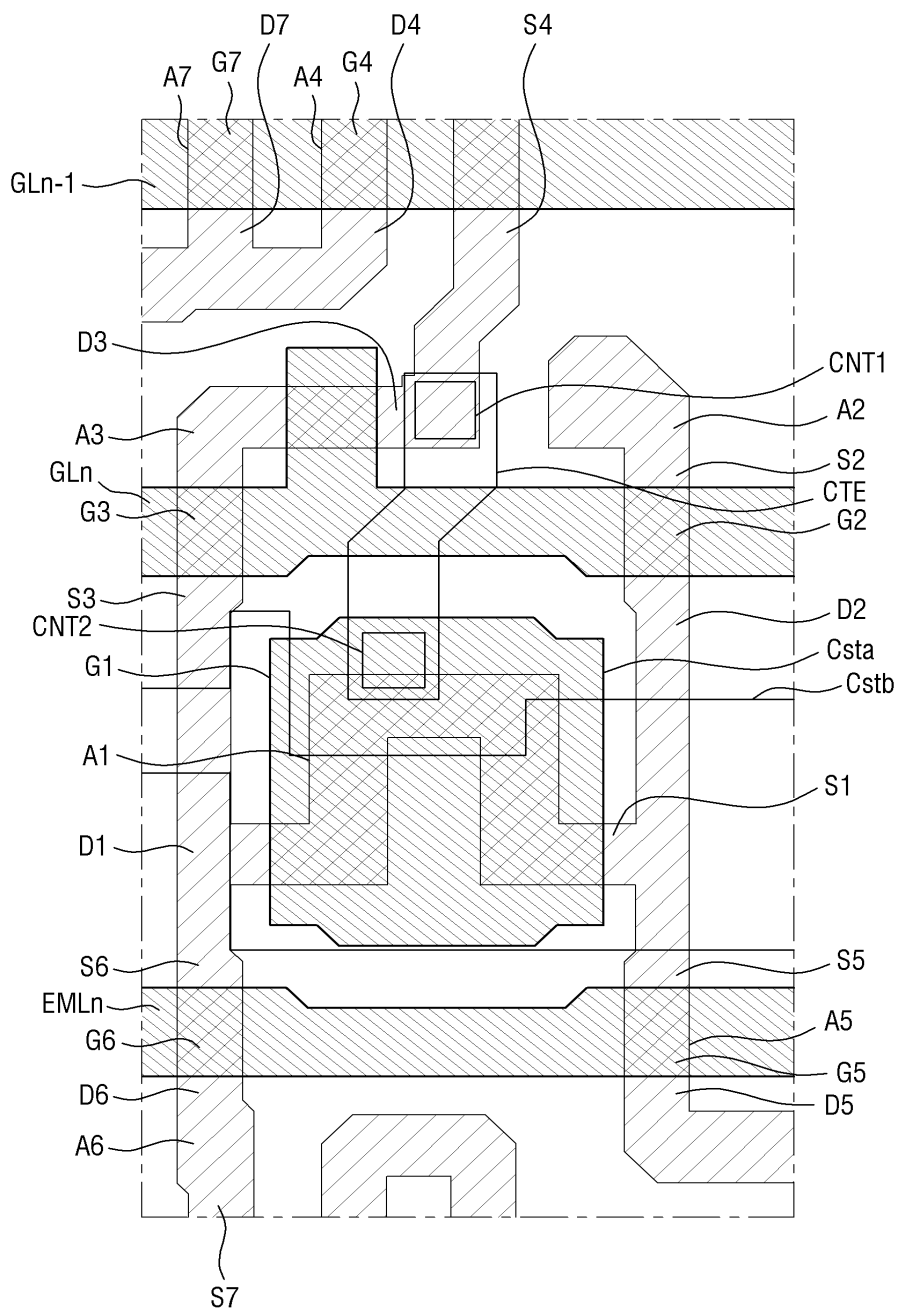
도면24



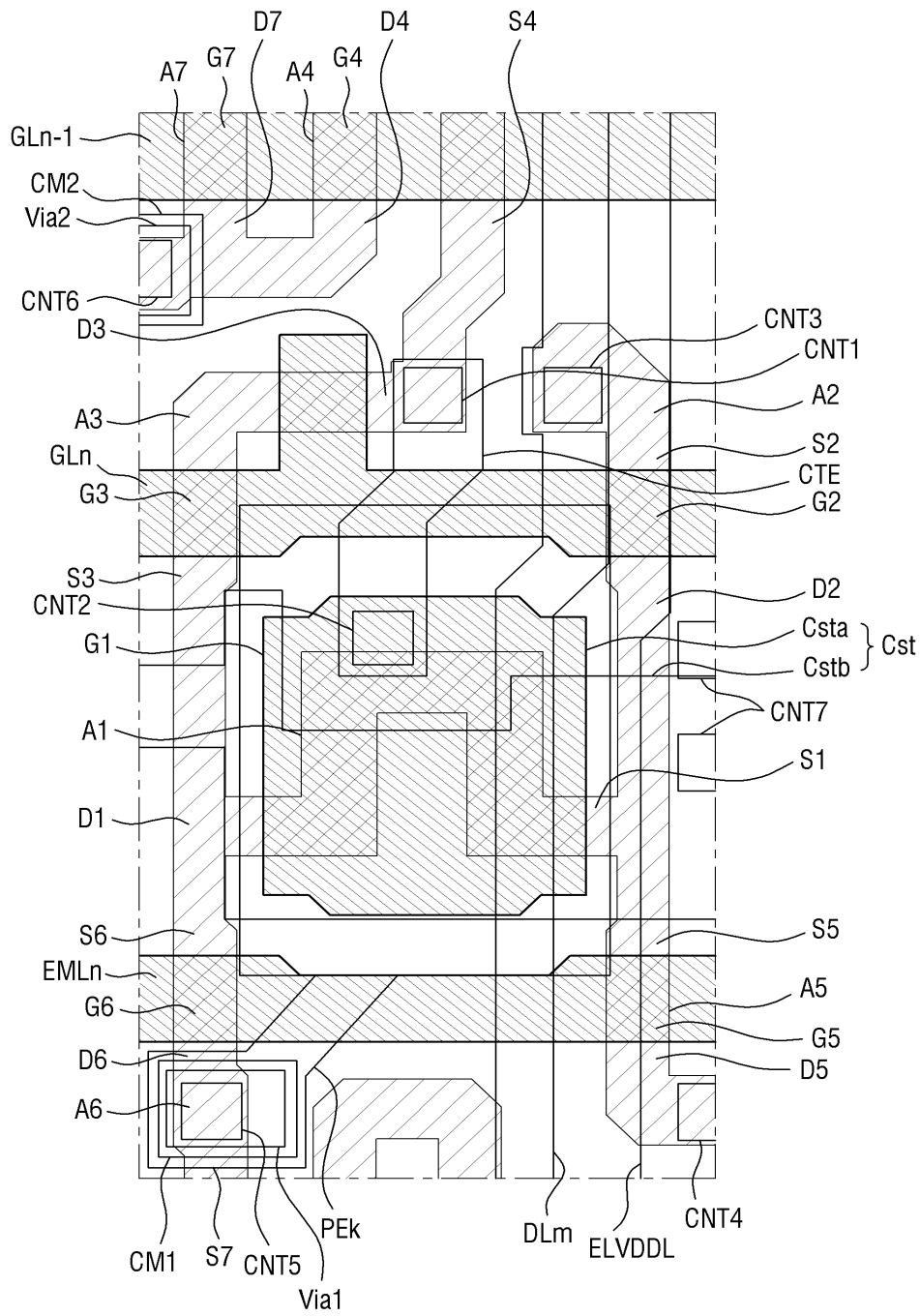
도면25



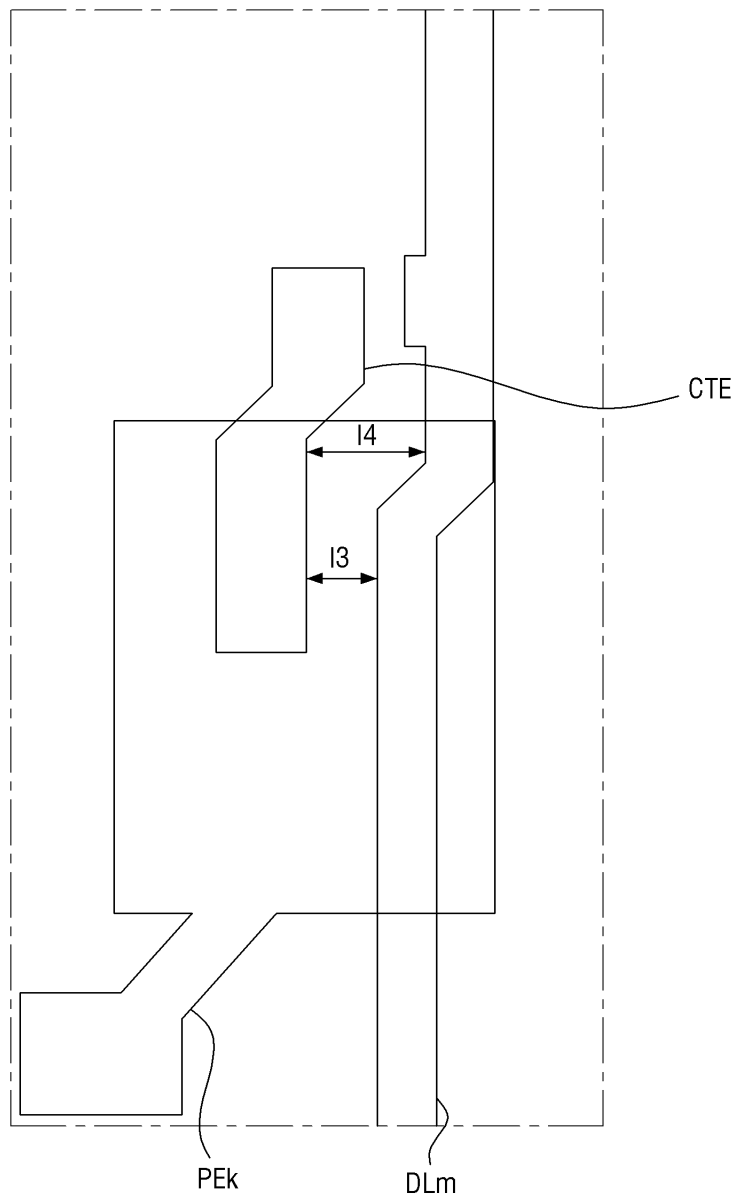
도면26



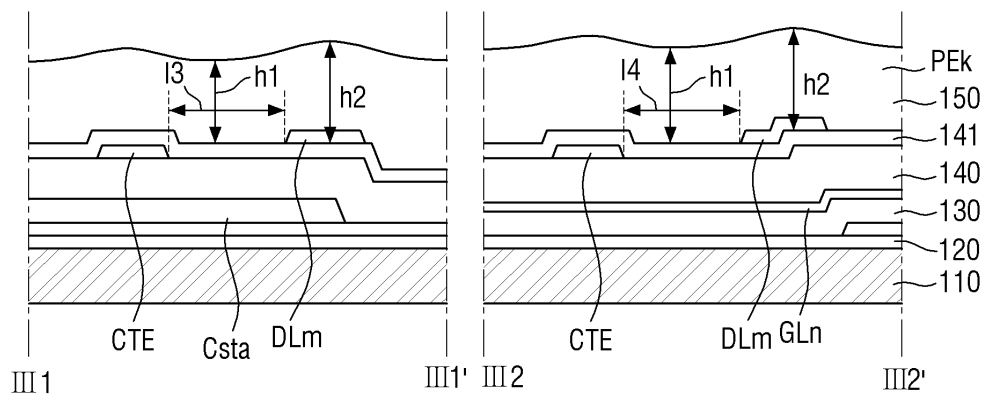
도면27



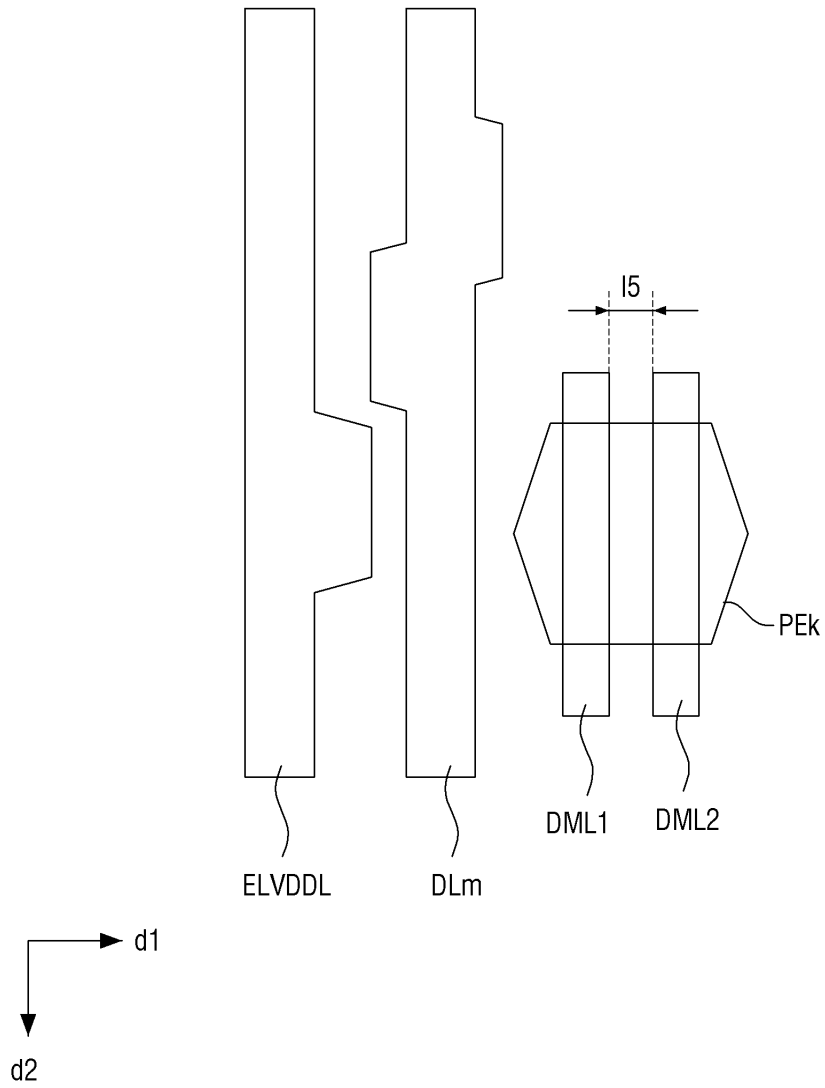
도면28



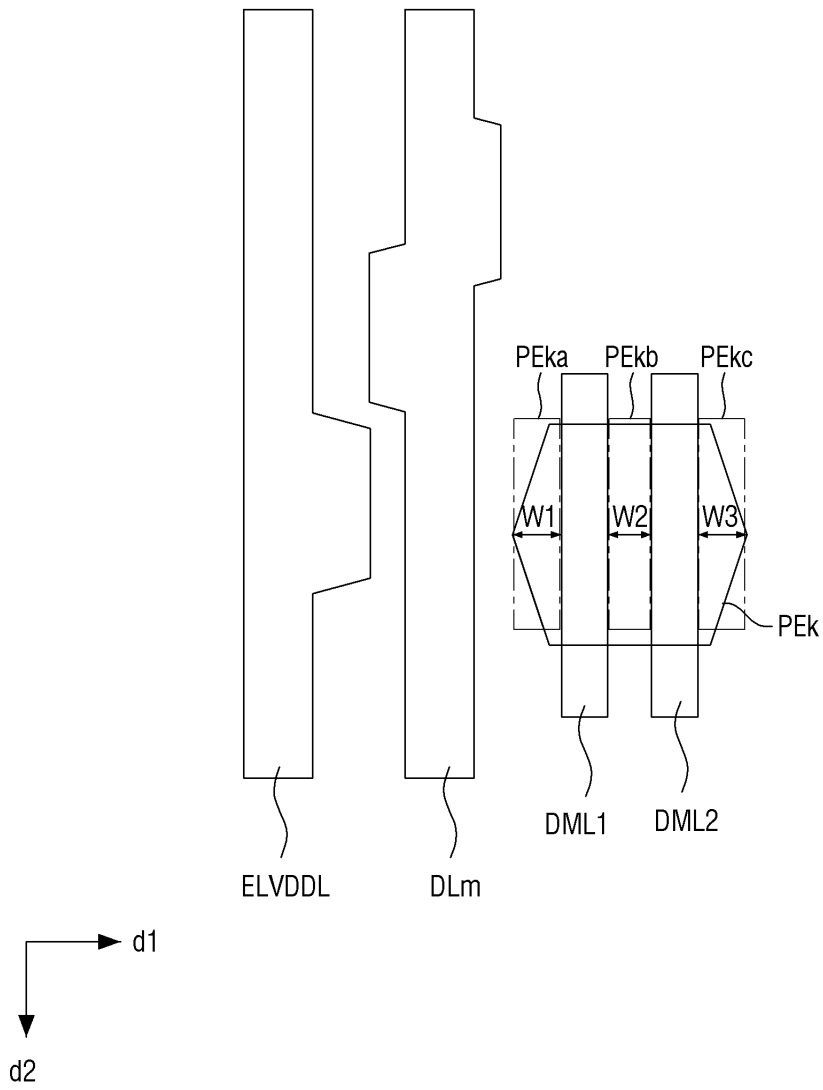
도면29



도면30



도면31



专利名称(译)	有机发光显示设备		
公开(公告)号	KR1020180025431A	公开(公告)日	2018-03-09
申请号	KR1020160111119	申请日	2016-08-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM HYOENG KI 김형기		
发明人	김형기		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L51/5209 H01L27/3248 H01L27/3258 H01L27/3262 H01L51/5284 H01L27/3272 H01L2251/558 G02B5/30 H01L27/322 H01L27/3223		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施方式的有机发光显示装置是第一基板，并且第二导线和第一导电迹线之间的分离距离是在第一基板上延伸到第一方向的第一导电迹线，并且包含的像素是0超过10 μ m或更小。像素被延伸到第一方向，并且其被布置在第二导线上，与第一导电迹线布置在与第一导电迹线和第二导线相同的层中，并且具有与第一导电迹线和第一像素电极重叠的像素第二导线。

