



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0106848
(43) 공개일자 2016년09월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2015-0029335
(22) 출원일자 2015년03월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이용수
서울특별시 동작구 동작대로29길 110, 407동 130
2호 (사당동, 신동아아파트)
박혜향
경기도 용인시 기흥구 덕영대로2077번길 51, 202
동 401호 (영덕동)
김은현
경기도 수원시 영통구 영통로 111, 305동 (
매포동, LG동수원자이아파트)
(74) 대리인
팬코리아특허법인

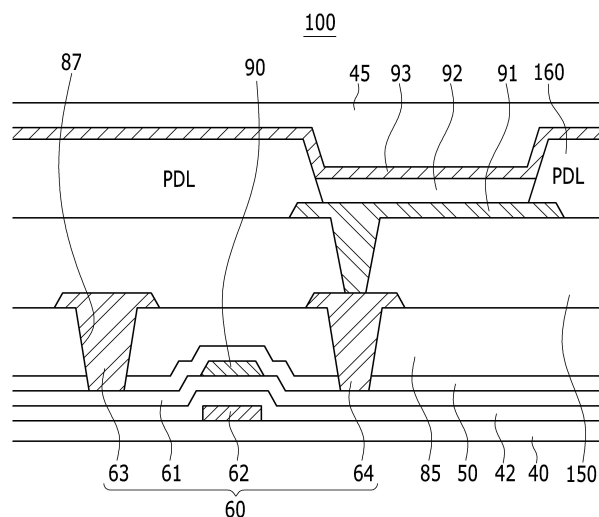
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판과, 상기 기판 상부에 형성되는 게이트 전극과, 상기 기판 상에 형성되고 상기 게이트 전극을 덮는 게이트 절연층과, 상기 게이트 절연층 상에 형성되는 반도체층과, 상기 반도체층 상에 형성되는 에치 스타퍼와, 상기 반도체층 상에 형성되고 상기 에치 스타퍼를 덮는 패시베이션막과, 상기 패시베이션막 상에 형성되는 층간 절연막과, 상기 층간 절연막 상에 형성되고 상기 에치 스타퍼와 중첩되지 않는 소스/드레인 전극과, 상기 층간 절연막 상에 형성되고 상기 소스/드레인 전극을 덮는 평탄화막과, 상기 드레인 전극과 연결되도록 상기 평탄화막 상에 형성되는 애노드와, 상기 애노드를 일부 덮도록 상기 평탄화막 상에 형성된 화소 정의막과, 상기 애노드 상에 형성되는 유기 발광층과, 상기 유기 발광층 및 상기 화소 정의막 상에 형성되는 캐소드, 및 상기 캐소드 상에 형성되는 밀봉 부재를 포함한다.

대표도 - 도3



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상부에 형성되는 게이트 전극;

상기 기관 상에 형성되고 상기 게이트 전극을 덮는 게이트 절연층;

상기 게이트 절연층 상에 형성되는 반도체층;

상기 반도체층 상에 형성되는 에치 스타퍼;

상기 반도체층 상에 형성되고 상기 에치 스타퍼를 덮는 패시베이션막;

상기 패시베이션막 상에 형성되는 층간 절연막;

상기 층간 절연막 상에 형성되고 상기 에치 스타퍼와 중첩되지 않는 소스/드레인 전극;

상기 층간 절연막 상에 형성되고 상기 소스/드레인 전극을 덮는 평탄화막;

상기 드레인 전극과 연결되도록 상기 평탄화막 상에 형성되는 애노드;

상기 애노드를 일부 덮도록 상기 평탄화막 상에 형성된 화소 정의막;

상기 애노드 상에 형성되는 유기 발광층;

상기 유기 발광층 및 상기 화소 정의막 상에 형성되는 캐소드; 및

상기 캐소드 상에 형성되는 밀봉 부재를 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에서,

상기 에치 스타퍼는 상기 반도체층 상에 상기 게이트 전극의 위치에 대응하여 형성되는 유기 발광 표시 장치.

청구항 3

제 1 항에서,

상기 에치 스타퍼는 2 마이크로미터(μm)내지 3 마이크로미터(μm)의 크기로 형성되는 유기 발광 표시 장치.

청구항 4

제 1 항에서,

상기 반도체층은 상기 에치 스타퍼에 대응하는 위치에 게이트 영역을 포함하는 유기 발광 표시 장치.

청구항 5

제 1 항에서,

상기 소스 전극 및 드레인 전극은 상기 패시베이션막과 상기 층간 절연막에 형성된 콘택홀을 통해 각각, 상기 반도체층의 소스 영역 및 드레인 영역과 연결되는 유기 발광 표시 장치.

청구항 6

제 1 항에서,

상기 애노드는 상기 평탄화막에 형성된 개구를 통해 상기 드레인 전극에 연결되는 유기 발광 표시 장치.

청구항 7

제 1 항에서,
상기 기판과 상기 게이트 전극 사이에 버퍼층을 더 포함하는 유기 발광 표시 장치.

청구항 8

기판 상에 게이트 전극을 형성하는 단계;
상기 기판 상에 상기 게이트 전극을 덮도록 게이트 절연층을 형성하는 단계;
상기 게이트 절연층 상에 반도체층을 형성하는 단계;
상기 반도체층 상에 에치 스타퍼를 형성하는 단계;
상기 반도체층에 소스/드레인 영역을 형성하는 단계;
상기 반도체층 상에 상기 에치 스타퍼를 덮도록 패시베이션막을 형성하는 단계;
상기 패시베이션막 상에 층간 절연막을 형성하는 단계;
상기 패시베이션막 및 상기 층간 절연막에 콘택홀을 형성하고 상기 층간 절연막 상에 상기 에치 스타퍼와 중첩되지 않도록 상기 소스/드레인 영역과 연결되는 소스/드레인 전극을 형성하는 단계;
상기 층간 절연막 상에 상기 소스/드레인 전극을 덮도록 평탄화막을 형성하는 단계;
상기 평탄화막에 개구를 형성하고 상기 평탄화막 상에 상기 드레인 전극과 연결되는 애노드를 형성하는 단계;
상기 애노드를 일부 덮도록 상기 평탄화막 상에 화소 정의막을 형성하는 단계;
상기 애노드 상에 유기 발광층을 형성하는 단계;
상기 유기 발광층 및 상기 화소 정의막 상에 캐소드를 형성하는 단계; 및
상기 캐소드 상에 밀봉부재를 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 9

제 8 항에서,
상기 게이트 전극을 형성하는 단계는,
상기 게이트 전극을 습식 식각 또는 건식 식각에 의해 형성되는 유기 발광 표시 장치 제조 방법.

청구항 10

제 8 항에서,
상기 에치 스타퍼를 형성하는 단계는,
하프톤 마스크를 이용한 노광 및 현상에 의하여 상기 에치 스타퍼를 형성하는 유기 발광 표시 장치 제조 방법.

청구항 11

제 8 항에서,
상기 소스/드레인 영역을 형성하는 단계는,
상기 반도체층을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑하는 유기 발광 표시 장치 제조 방법.

청구항 12

제 8 항에서,
상기 소스/드레인 영역을 형성하는 단계는,

상기 반도체층을 450℃ 내지 630℃ 의 온도로 열처리하는 유기 발광 표시 장치 제조 방법.

청구항 13

제 8 항에서,

상기 소스/드레인 영역을 형성하는 단계는,

질소 또는 진공 분위기에서 열처리가 이루어지는 유기 발광 표시 장치 제조 방법.

청구항 14

제 8 항에서,

상기 기판 상에 게이트 전극을 형성하는 단계 전에,

상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 기재는 에치 스타퍼 구조의 박막 트랜지스터를 갖는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 정공 주입 전극과 유기 발광층 및 전자 주입 전극으로 구성되는 유기 발광 소자들을 포함한다. 각각의 유기 발광 소자는 유기 발광층 내부에서 전자와 정공이 결합하여 생성된 여기자(exciton)가 여기 상태에서 기저 상태로 떨어질 때 발생하는 에너지에 의해 발광하고, 이러한 발광을 이용하여 유기 발광 표시 장치가 소정의 영상을 표시한다.

[0003] 유기 발광 표시 장치는 자발광(self-luminance) 특성을 가지며, 액정 표시 장치와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 빠른 응답 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목을 받고 있다.

[0004] 최근에, 유기 발광 표시 장치는 산화물 반도체로 액티브층을 형성한 산화물 박막 트랜지스터가 적용되고 있는데, 이때 산화물 반도체를 기존의 바텀 게이트(bottom gate) 구조의 박막 트랜지스터에 적용하는 경우, 소스/드레인 전극의 식각 공정, 특히 플라즈마를 이용한 건식 식각 중에 산화물 반도체가 손상을 받아 변성을 일으키는 문제점이 있다. 이를 방지하기 위해 베리어층(barrier layer)으로 에치 스타퍼(etch stopper)를 액티브층 상부에 추가로 형성한다. 그러나, 기존의 구조는 액티브층의 채널 길이가 탑 게이트(top gate) 구조에 비해 상대적으로 길고, 소스/드레인 영역의 길이가 다르게 패턴 형성됨에 따라, 에치 스타퍼에 공정 마진을 주어야 하기 때문에 결과적으로 게이트 전극과 소스/드레인 전극 사이에 기생 전기 용량이 증가하여, 소자의 구동 속도를 저하하는 단점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들에서는 유기 발광 표시 장치에서, 소스/드레인 영역과 중첩되지 않는 에치 스타퍼를 갖는 바텀 게이트 방식의 박막 트랜지스터 구조, 및 하프톤 마스크를 이용하여 에치 스타퍼를 형성함으로써, 마스크 공정 수를 줄일 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판과, 상기 기판 상부에 형성되는 게이트 전극과, 상기 기판 상에 형성되고 상기 게이트 전극을 덮는 게이트 절연층과, 상기 게이트 절연층 상에 형성되는 반도체층과, 상기 반도체층 상에 형성되는 에치 스타퍼와, 상기 반도체층 상에 형성되고 상기 에치 스타퍼를 덮는 패시베이션막과, 상기 패시베이션막 상에 형성되는 층간 절연막과, 상기 층간 절연막 상에 형성되고 상기 에치 스타퍼와 중첩되지 않는 소스/드레인 전극과, 상기 층간 절연막 상에 형성되고 상기 소스/드레인 전극을 덮는

평탄화막과, 상기 드레인 전극과 연결되도록 상기 평탄화막 상에 형성되는 애노드와, 상기 애노드를 일부 덮도록 상기 평탄화막 상에 형성된 화소 정의막과, 상기 애노드 상에 형성되는 유기 발광층과, 상기 유기 발광층 및 상기 화소 정의막 상에 형성되는 캐소드, 및 상기 캐소드 상에 형성되는 밀봉 부재를 포함한다.

- [0007] 상기 에치 스타퍼는 상기 반도체층 상에 상기 게이트 전극의 위치에 대응하여 형성될 수 있다.
- [0008] 상기 에치 스타퍼는 2 마이크로미터(μm)내지 3 마이크로미터(μm)의 크기로 형성될 수 있다.
- [0009] 상기 반도체층은 상기 에치 스타퍼에 대응하는 위치에 게이트 영역을 포함할 수 있다.
- [0010] 상기 소스 전극 및 드레인 전극은 상기 패시베이션막과 상기 층간 절연막에 형성된 콘택홀을 통해 각각, 상기 반도체층의 소스 영역 및 드레인 영역과 연결될 수 있다.
- [0011] 상기 애노드는 상기 평탄화막에 형성된 개구를 통해 상기 드레인 전극에 연결될 수 있다.
- [0012] 상기 기판과 상기 게이트 전극 사이에 버퍼층을 더 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 기판 상에 게이트 전극을 형성하는 단계와, 상기 기판 상에 상기 게이트 전극을 덮도록 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층 상에 반도체층을 형성하는 단계와, 상기 반도체층 상에 에치 스타퍼를 형성하는 단계와, 상기 반도체층에 소스/드레인 영역을 형성하는 단계와, 상기 반도체층 상에 상기 에치 스타퍼를 덮도록 패시베이션막을 형성하는 단계와, 상기 패시베이션막 상에 층간 절연막을 형성하는 단계와, 상기 패시베이션막 및 상기 층간 절연막에 콘택홀을 형성하고 상기 층간 절연막 상에 상기 에치 스타퍼와 중첩되지 않도록 상기 소스/드레인 영역과 연결되는 소스/드레인 전극을 형성하는 단계와, 상기 층간 절연막 상에 상기 소스/드레인 전극을 덮도록 평탄화막을 형성하는 단계와, 상기 평탄화막에 개구를 형성하고 상기 평탄화막 상에 상기 드레인 전극과 연결되는 애노드를 형성하는 단계와, 상기 애노드를 일부 덮도록 상기 평탄화막 상에 화소 정의막을 형성하는 단계와, 상기 애노드 상에 유기 발광층을 형성하는 단계와, 상기 유기 발광층 및 상기 화소 정의막 상에 캐소드를 형성하는 단계, 및 상기 캐소드 상에 밀봉부재를 형성하는 단계를 포함한다.
- [0014] 상기 게이트 전극을 형성하는 단계는, 상기 게이트 전극을 습식 식각 또는 건식 식각에 의해 형성될 수 있다.
- [0015] 상기 에치 스타퍼를 형성하는 단계는, 하프톤 마스크를 이용한 노광 및 현상에 의하여 상기 에치 스타퍼를 형성할 수 있다.
- [0016] 상기 소스/드레인 영역을 형성하는 단계는, 상기 반도체층을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑할 수 있다.
- [0017] 상기 소스/드레인 영역을 형성하는 단계는, 상기 반도체층을 450℃ 내지 630℃ 의 온도로 열처리할 수 있다.
- [0018] 상기 소스/드레인 영역을 형성하는 단계는, 질소 또는 진공 분위기에서 열처리가 이루어질 수 있다.
- [0019] 상기 기판 상에 게이트 전극을 형성하는 단계 전에, 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0020] 본 발명의 실시예들에 따르면, 유기 발광 표시 장치에서, 소스/드레인 영역과 중첩되지 않는 에치 스타퍼를 갖는 바텀 게이트 방식의 박막 트랜지스터 구조를 제공하여 기생 전기 용량을 감소시키고, 하프톤 마스크를 이용하여 에치 스타퍼를 형성함으로써, 마스크 공정 수를 줄여 공정을 단순화할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 표시 패널의 화소 구조를 나타내는 배치도이다.
- 도 3은 도 2의 III-III선을 따라 자른, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 순서도이다.
- 도 5a 내지 도 5j는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0023] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 그 외의 실시예들에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0024] 도면들은 개략적이고 축적에 맞게 도시되지 않았다는 것을 일러둔다. 도면에 있는 부분들의 상대적인 치수 및 비율은 도면에서의 명확성 및 편의를 위해 그 크기에 있어 과장되거나 감소되어 도시되었으며, 임의의 치수는 단지 예시적인 것이지 한정적인 것은 아니다. 그리고, 둘 이상의 도면에 나타나는 동일한 구조물, 요소 또는 부품에는 동일한 참조 부호가 유사한 특징을 나타내기 위해 사용된다. 어느 부분이 다른 부분의 "위에" 또는 "상에" 있다고 언급하는 경우, 이는 바로 다른 부분의 위에 있을 수 있거나 그 사이에 다른 부분이 수반될 수도 있다.
- [0025] 본 발명의 실시예는 본 발명의 한 실시예를 구체적으로 나타낸다. 그 결과, 도해의 다양한 변형이 예상된다. 따라서 실시예는 도시한 영역의 특정 형태에 국한되지 않으며, 예를 들면 제조에 의한 형태의 변형도 포함한다.
- [0026] 이하, 도 1 내지 도 3을 참조하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 등가 회로도이고, 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 표시 패널의 화소 구조를 나타내는 배치도이며, 도 3은 도 2의 III-III선을 따라 자른, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0028] 도 1을 참조하면, 유기 발광 표시 장치는, 복수의 신호선(81, 82, 83)과, 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(PX)를 포함한다.
- [0029] 신호선은 스캔 신호(또는 게이트 신호)를 전달하는 복수의 게이트선(81), 데이터 신호를 전달하는 복수의 데이터선(82) 및 구동 전압을 전달하는 복수의 구동 전압선(83)을 포함한다. 게이트선(81)은 대략 행 방향으로 뻗어 있으며, 서로가 거의 평행하고 데이터선(82)과 구동 전압선(83)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0030] 각 화소(PX)는 스위칭 박막 트랜지스터(switching thin film transistor)(Qs), 구동 박막 트랜지스터(driving thin film transistor)(Qd), 스토리지 캐패시터(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함할 수 있다.
- [0031] 스위칭 박막 트랜지스터(Qs)는 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 게이트선(81)에 연결되어 있고, 입력 단자는 데이터선(82)에 연결되어 있으며, 출력 단자는 구동 박막 트랜지스터(Qd)에 연결되어 있다. 스위칭 박막 트랜지스터(Qs)는 게이트선(81)에 인가되는 주사 신호에 응답하여 데이터선(82)에 인가되는 데이터 신호를 구동 박막 트랜지스터(Qd)에 전달한다.
- [0032] 구동 박막 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 박막 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(83)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(OLED)에 연결되어 있다. 구동 박막 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(Id)를 흘린다.
- [0033] 스토리지 캐패시터(Cst)는 구동 박막 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 스토리지 캐패시터(Cst)는 구동 박막 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 박막 트랜지스터(Qs)가 턴 오프(turn off)된 뒤에도 이를 유지한다.
- [0034] 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode), 공통 전압(ELVSS)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(Qd)의 출력 전류(Id)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0035] 스위칭 박막 트랜지스터(Qs) 및 구동 박막 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)일 수 있다. 그러나 스위칭 박막 트랜지스터(Qs)와 구동 박막 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 박막 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오

드(OLED)의 연결 관계가 바뀔 수 있다.

- [0036] 도 2를 참조하면, 유기 발광 표시 패널(10)은 화소(PX)마다 형성된 화소 회로(DC)와 유기 발광 다이오드(OLED)를 포함할 수 있다. 화소 회로(DC)는 기본적으로 박막 트랜지스터(60) 및 캐패시터(70)를 포함한다. 그리고 표시 패널(10)은 일 방향을 따라 배치된 게이트선(81)과, 게이트선(81)과 절연 교차되는 데이터선(82) 및 구동 전압선(83)을 포함한다.
- [0037] 여기서, 하나의 화소(PX)는 게이트선(81)과 데이터선(82) 및 구동 전압선(83)을 경계로 정의될 수 있으나, 반드시 이에 한정되지 않는다. 화소(PX)는 이미지를 표시하는 기본 단위를 의미하며, 표시 패널(10)은 복수의 화소(PX)를 이용하여 이미지를 표시한다.
- [0038] 표시 패널(10)의 구조는 도시한 예로 한정되지 않는다. 표시 패널(10)은 셋 이상의 박막트랜지스터와 둘 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조로 형성될 수 있다.
- [0039] 유기 발광 다이오드(OLED)는 화소 전극(애노드, 91)과 유기 발광층(92) 및 공통 전극(캐소드, 93)을 포함한다. 화소 전극(91)과 공통 전극(93) 중 어느 하나는 정공 주입 전극이고, 다른 하나는 전자 주입 전극이다. 화소 전극(91)과 공통 전극(93)으로부터 유기 발광층(92)으로 전자와 정공이 주입되고, 정공과 전자가 결합한 여기자(exciton)가 여기 상태에서부터 기저 상태로 떨어질 때 발광이 이루어진다.
- [0040] 화소 전극(91)은 반사율이 높은 금속으로 형성되며, 공통 전극(93)은 투명한 도전막으로 형성될 수 있다. 이 경우 유기 발광층(92)의 빛은 화소 전극(91)에 의해 반사되고, 공통 전극(93)과 박막 봉지층(45)을 투과하여 외부로 방출된다.
- [0041] 캐패시터(70)는 유전체인 층간 절연막(85)을 사이에 두고 배치된 한 쌍의 캐패시터 전극(71, 72)을 포함한다. 캐패시터(70)에 축전된 전하와 두 개의 캐패시터 전극(71, 72) 사이의 전압에 의해 축전 용량이 결정된다.
- [0042] 구동 박막 트랜지스터(60)는 선택된 화소의 유기 발광층(92)을 발광시키기 위한 구동 전원을 화소 전극(91)에 인가한다. 구동 게이트 전극(62)은 캐패시터 전극(71)과 연결된다. 소스 전극(63) 및 캐패시터 전극(72)은 구동 전압선(83)과 연결된다. 드레인 전극(64)은 컨택홀(87)을 통해 유기 발광 다이오드(OLED)의 화소 전극(91)과 연결된다.
- [0043] 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판(40)과, 기판(40) 상부에 형성되는 게이트 전극(62)과, 기판(40) 상에 형성되고 게이트 전극(62)을 덮는 게이트 절연층(42)과, 게이트 절연층(42) 상에 형성되는 반도체층(61)과, 반도체층(61) 상에 형성되는 에치 스타퍼(90)와, 반도체층(61) 상에 형성되고 에치 스타퍼(90)를 덮는 패시베이션막(50)과, 패시베이션막(50) 상에 형성되는 층간 절연막(85)을 포함한다.
- [0044] 기판(40)은, 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 기판(40)은 스테인리스 강 등으로 이루어진 금속성 기판으로 형성될 수도 있다.
- [0045] 기판(40) 상부에는 게이트 전극(62)이 형성된다. 게이트 전극(62)은 단일 메탈로 형성될 수 있고, 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W) 중 어느 하나의 재료로 형성될 수 있다. 또한, 게이트 전극(62)은, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 적층 구조로 형성될 수 있다.
- [0046] 기판(40) 상에는 게이트 전극(62)을 덮는 게이트 절연층(42)이 구비된다. 게이트 절연층(42)은 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재로 형성될 수 있다.
- [0047] 게이트 절연층(42) 상에는 다결정 규소막으로 형성된 반도체층(61)이 구비된다. 반도체층(61)은 불순물이 도핑되지 않는 채널 영역(61a)과, 채널 영역(61a)의 양 옆으로 p+ 도핑되어 형성된 소스 영역(61b) 및 드레인 영역(61c)을 포함한다. 이 때, 도핑되는 이온 물질은 붕소(B)와 같은 P형 불순물이며, 주로 B_2H_6 이 사용될 수 있다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라질 수 있다. 즉, 반도체층(61)을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑할 수 있다.
- [0048] 한편, 기판(40)과 게이트 전극(62) 사이에는 버퍼층을 더 포함할 수 있다. 버퍼층은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 일례로, 버퍼층은 질화 규소(SiN_x)막, 산화 규소(SiO_2)막, 산질화 규소(SiO_xN_y)막 중 어느 하나가 사용될 수 있다. 그러나 버퍼층은 반드시 필요한 구성은 아니며, 기판(40)의 종류 및 공정 조건에 따라 생략될 수도 있다.

- [0049] 반도체층(61) 상에는 에치 스타퍼(90)가 형성되어 있다. 에치 스타퍼(90)는 반도체층(61) 상에 게이트 전극(62)의 위치에 대응하여 형성될 수 있으며, 약 2 마이크로미터(μm)내지 약 3 마이크로미터(μm)의 크기로 형성될 수 있다.
- [0050] 반도체층(61) 상에는 에치 스타퍼(90)를 덮는 패시베이션막(50)이 형성되며, 패시베이션막(50) 상에는 층간 절연막(85)이 형성된다. 패시베이션막(50)은 보호층으로서, 금속 배선 및 브리지 배선들을 외부로부터 보호할 수 있으며, 실리콘 산화막, 실리콘 질화막 등의 물질 중 하나로 구성된 단일층 또는 이들의 복수층으로 형성될 수 있으나, 이에 제한되지 않고, 다양한 물질로 형성될 수 있다.
- [0051] 층간 절연막(85)은 반도체층(61)의 소스 영역(61b) 및 드레인 영역(61c)을 드러내는 콘택홀(87)들을 갖는다. 층간 절연막(85)은 게이트 절연층(42)과 마찬가지로, 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어질 수 있다.
- [0052] 한편, 층간 절연막(85) 상에는 에치 스타퍼(90)와 중첩되지 않는 소스/드레인 전극(63, 64)이 형성된다. 소스 전극(63) 및 드레인 전극(64)은 각각 패시베이션막(50)과 층간 절연막(85)에 형성된 콘택홀(87)들을 통해 반도체층(61)의 소스 영역(61b) 및 드레인 영역(61c)과 연결된다.
- [0053] 층간 절연막(85) 상에는 소스/드레인 전극(63, 64)을 덮는 평탄화막(150)이 형성된다. 평탄화막(150)은 그 위에 형성될 유기 발광 소자의 발광 효율을 높이기 위해 단차를 없애고 평탄화시키는 역할을 한다.
- [0054] 평탄화막(150)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(poly phenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene, BCB) 중 하나 이상의 물질 등으로 만들 수 있다.
- [0055] 본 발명에 따른 실시예는 전술한 구조에 한정되는 것은 아니며, 경우에 따라 평탄화막(150)과 층간 절연막(85) 중 어느 하나는 생략될 수도 있다.
- [0056] 평탄화막(150) 위에는 유기 발광 소자의 애노드(91)가 형성된다. 즉, 유기 발광 표시 장치는 복수의 화소들마다 각각 배치된 복수의 애노드(91)를 포함한다. 이때, 복수의 애노드들(91)은 서로 이격 배치된다. 애노드(91)는 평탄화막(150)의 전극 콘택홀을 통해 드레인 전극(64)과 연결된다.
- [0057] 평탄화막(150) 위에는 애노드(91)를 드러내는 개구부를 갖는 화소 정의막(160)이 형성된다. 즉, 화소 정의막(160)은 각 화소마다 형성된 복수의 개구부를 갖는다. 그리고, 애노드(91)는 화소 정의막(160)의 개구부에 대응하도록 배치된다. 그러나, 애노드(91)가 반드시 화소 정의막(160)의 개구부에만 배치되는 것은 아니며, 애노드(91)의 일부가 화소 정의막(160)과 중첩되도록 화소 정의막(160) 아래에 배치될 수 있다. 화소 정의막(160)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리콘 계열의 무기물 등으로 만들어질 수 있다.
- [0058] 애노드(91) 위에는 유기 발광층(92)이 형성되고, 유기 발광층(92) 상에는 캐소드(93)가 형성된다. 이와 같이, 애노드(91), 유기 발광층(92), 및 캐소드(93)를 포함하는 유기 발광 소자가 형성된다.
- [0059] 유기 발광층(92)은 저분자 유기물 또는 고분자 유기물로 이루어진다. 또한, 유기 발광층(92)은 발광층과, 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL), 및 전자 주입층(electron-injection layer, EIL)을 중 하나 이상을 포함하는 다층막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층(HIL)이 양극인 애노드(91) 상에 배치되고, 그 위로 정공 수송층(HTL), 발광층, 전자 수송층(ETL), 전자 주입층(EIL)이 차례로 적층된다.
- [0060] 유기 발광층(92)은 화소 정의막(160)의 개구부 내에만 배치되었으나, 본 발명에 따른 실시예가 이에 한정되는 것은 아니다. 따라서, 유기 발광층(92)은 화소 정의막(160)의 개구부 내에서 애노드(91) 위에 형성될 뿐만 아니라, 화소 정의막(160)과 캐소드(93) 사이에도 배치될 수 있다. 구체적으로, 유기 발광층(92)은 발광층과 함께 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 및 전자 주입층(EIL) 등과 같은 여러 막을 더 포함할 수 있다. 이 때, 발광층을 제외한 나머지 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 및 전자 주입층(EIL)들은 제조 과정에서 오픈 마스크(open mask)를 사용하여 캐소드(93)과 마찬가지로 애노드(91) 위에 뿐만 아니라 화소 정의막(160) 위에도 형성될 수 있다. 즉, 유기 발광층(92)에 속한 여러 막 중 하나 이상의 막이

화소 정의막(160)과 캐소드(93) 사이에 배치될 수 있다.

- [0061] 애노드(91)과 캐소드(93)는 각각 투명한 도전성 물질로 형성되거나 반투과형 또는 반사형 도전성 물질로 형성될 수 있다. 애노드(91) 및 캐소드(93)를 형성하는 물질의 종류에 따라, 유기 발광 표시 장치는 전면 발광형, 배면 발광형 또는 양면 발광형이 될 수 있다.
- [0062] 투명한 도전성 물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 또는 In_2O_3 (Indium Oxide) 등의 물질을 사용할 수 있다. 반사형 물질 및 반투과형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.
- [0063] 캐소드(93) 상에는 밀봉 부재(45)가 구비된다. 밀봉 부재(45)는 기관(40)에 대해 대향 배치된다. 밀봉 부재(45)는 유리 및 플라스틱 등과 같은 투명한 물질로 만들어질 수 있다. 밀봉 부재(45)는 가장자리를 따라 형성된 실런트를 통해 기관(40)과 서로 합착 밀봉될 수 있다.
- [0064] 또한, 밀봉 부재(45)는 박막 봉지층 형태로 적층될 수 있다. 박막 봉지층으로서, 하나 이상의 유기층과 하나 이상의 무기층이 상호 교번하여 적층 형성될 수 있다. 무기층 또는 상기 유기층은 각각 복수 개일 수 있다. 유기층은 고분자로 형성되며, 바람직하게는 폴리에틸렌테레프탈레이트, 폴리이미드, 폴리카보네이트, 에폭시, 폴리에틸렌 및 폴리아크릴레이트 중 어느 하나로 형성되는 단일막 또는 적층막일 수 있다. 더욱 바람직하게는, 유기층은 폴리아크릴레이트로 형성될 수 있으며, 구체적으로는 디아크릴레이트계 모노머와 트리아크릴레이트계 모노머를 포함하는 모노머 조성물이 고분자화된 것을 포함한다. 모노머 조성물에 모노아크릴레이트계 모노머가 더 포함될 수 있다. 또한, 모노머 조성물에 TPO(2,4,6-trimethylbenzoyl diphenyl phosphine)와 같은 공지의 광개시제(photoinitiator)가 더욱 포함될 수 있으나 이에 한정되는 것은 아니다.
- [0065] 무기층은 금속 산화물 또는 금속 질화물을 포함하는 단일막 또는 적층막일 수 있다. 구체적으로, 무기층은 SiN_x , Al_2O_3 , SiO_2 , TiO_2 중 어느 하나를 포함할 수 있다.
- [0066] 박막 봉지층을 이루는 층들 중 외부로 노출된 최상층은 유기 발광 소자에 대한 투습을 방지하기 위하여 무기층으로 형성될 수 있다.
- [0067] 이하, 도 4 내지 도 5j를 참조하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법에 대하여 설명한다.
- [0068] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 순서도이고, 도 5a 내지 도 5j는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 공정 단면도이다.
- [0069] 우선, 기관(40) 상에 게이트 전극(62)을 형성한다(S401, 도 5a). 게이트 전극(62)은 기관(40) 전면에 게이트 전극 물질을 형성한 후, 습식 식각 또는 건식 식각으로 일부 부위에 남기는 방식으로 진행될 수 있다.
- [0070] 그 후, 기관(40) 상에 게이트 전극(62)을 덮도록 게이트 절연층(42)을 형성한다(S402, 도 5b). 게이트 절연층(42)은 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재의 절연 물질로 형성된다.
- [0071] 그 후, 게이트 절연층(42) 상에 반도체층(61)을 형성한다(S403, 도 5c). 그리고, 반도체층(61) 상에 에치 스타퍼(90)를 형성한다(S404, 도 5d). 반도체층(61)과 에치 스타퍼층(90)이 게이트 절연층(42)의 전면에 형성되며, 하프톤 마스크를 이용하여 에치 스타퍼층(90)을 패턴화할 수 있다.
- [0072] 도 5d를 참조하면, 에치 스타퍼(90)층 상에 포토레지스트(PR)를 도포하고, 투과 영역(HM1), 반투과 영역(HM2), 차단 영역(HM3)을 포함하는 하프톤 마스크(HM)를 사용하여 노광한 후 현상하여 에치 스타퍼(90)가 형성될 영역의 포토레지스트(PR)를 반도체층(61)의 소스/드레인 영역(61b, 61c)이 형성될 영역에 비해 두껍게 현상한다. 그 후, 포토레지스트(PR)를 식각하여, 에치 스타퍼(90)가 형성될 영역에만 포토레지스트(PR)가 남도록 한다. 남은 포토레지스트(PR)를 다시 노광 및 현상을 통해 소스/드레인 영역(61b, 61c)에 대응되는 에치 스타퍼(90)층 부분을 없애고 채널 영역(61a)에 대응되는 부분에만 에치 스타퍼(90)가 남도록 형성한다(도 5e).
- [0073] 그 후, 반도체층(61)에 소스/드레인 영역(61b, 61c)을 형성한다(S405, 도 5f). 반도체층(61)에는 도펀트를 도핑하고 열처리한다. 반도체층(61)은 불순물이 도핑되지 않는 채널 영역(61a)과, 채널 영역(61a)의 양 옆으로 p+ 도핑되어 형성된 소스 영역(61b) 및 드레인 영역(61c)을 포함한다. 이 때, 도핑되는 이온 물질은 붕소(B)와 같은 P형 불순물이며, 주로 B_2H_6 이 사용될 수 있다. 여기서, 이러한 불순물은 박막트랜지스터의 종류에 따라 달라

질 수 있다. 즉, 반도체층(61)을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑할 수 있다. 이 때, 열처리하는 450℃ 내지 630℃ 의 온도으로, 질소 또는 진공 분위기에서 이루어질 수 있다.

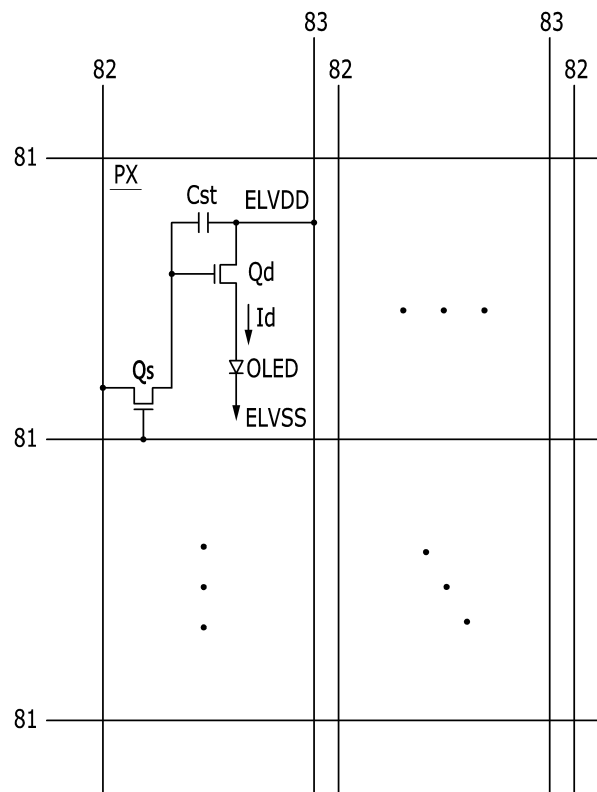
- [0074] 그 후, 반도체층(61) 상에 에치 스타퍼(90)를 덮도록 패시베이션막(50)을 형성하고(S406), 패시베이션막(50) 상에 층간 절연막(85)을 형성한다(S407, 도 5f).
- [0075] 그 후, 패시베이션막(50) 및 층간 절연막(85)에 컨택홀을 형성하고, 층간 절연막(85) 상에 에치 스타퍼(90)와 중첩되지 않도록 소스/드레인 영역(61b, 61c)과 연결되는 소스/드레인 전극(63, 64)을 형성한다(S408, 도 5g).
- [0076] 그 후, 층간 절연막(85) 상에 소스/드레인 전극(63, 64)을 덮도록 평탄화막(150)을 형성한다(S409, 도 5h). 평탄화막(150)은 그 위에 형성될 유기 발광 소자의 발광 효율을 높이기 위해 단차를 없애고 평탄화시키는 역할을 한다.
- [0077] 그 후, 평탄화막(150)에 개구를 형성하고 평탄화막(150) 상에 드레인 전극(64)과 연결되는 애노드(91)를 형성한다(S410, 도 5i). 그리고, 애노드(91)를 일부 덮도록 평탄화막(150) 상에 화소 정의막(160)을 형성하고, 애노드(91) 상에 유기 발광층(92)을 형성하며, 유기 발광층(92) 및 화소 정의막(160) 상에 캐소드(93)를 형성한 후, 캐소드(93) 상에 밀봉부재를 형성한다(S412, 도 5j). 밀봉 부재(45)는 기판(40)에 대해 대향 배치된다. 밀봉 부재(45)는 유리 및 플라스틱 등과 같은 투명한 물질로 만들어질 수 있다. 밀봉 부재(45)는 가장자리를 따라 형성된 실런트를 통해 기판(40)과 서로 합착 밀봉될 수 있다.
- [0078] 한편, 기판(40) 상에 게이트 전극(62)을 형성한 후, 기판(40) 상에 버퍼층을 형성하는 단계를 더 포함할 수도 있다.
- [0079] 이와 같이, 본 발명의 실시예들에 따른 유기 발광 표시 장치 및 그 제조 방법에 의해서, 소스/드레인 영역과 중첩되지 않는 에치 스타퍼를 갖는 바텀 게이트 방식의 박막 트랜지스터 구조를 제공하여 기생 전기 용량을 감소시키고, 하프톤 마스크를 이용하여 에치 스타퍼를 형성함으로써, 마스크 공정 수를 줄여 공정을 단순화할 수 있다.
- [0080] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

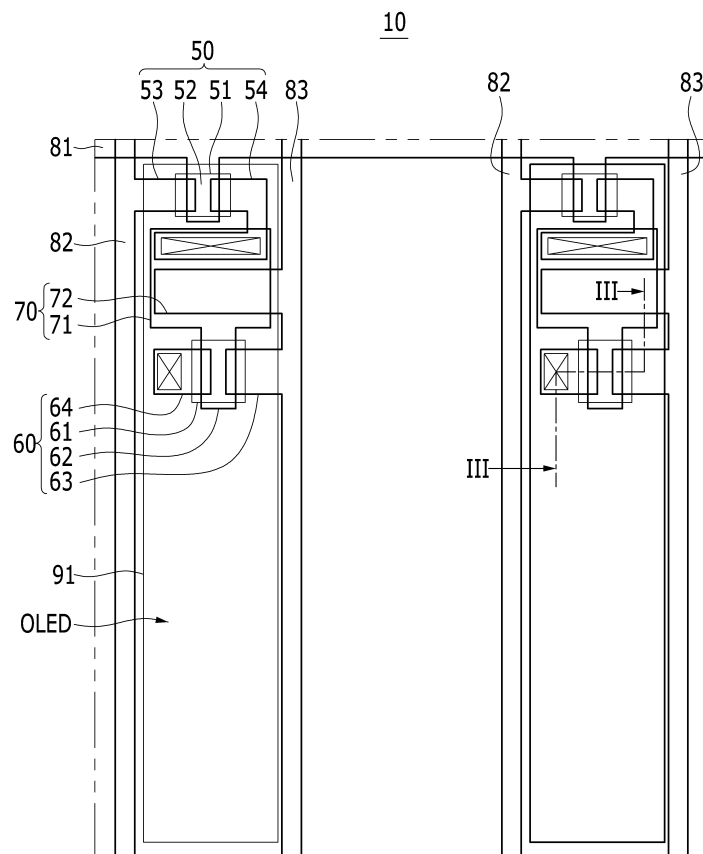
- [0081] 40: 기판 42: 게이트 절연층
61: 반도체층 62: 게이트 전극
63: 소스 전극 64: 드레인 전극
60: 박막 트랜지스터 50: 패시베이션막
85: 층간 절연막 87: 컨택홀
90: 에치 스타퍼 91: 애노드
150: 평탄화막 160: 화소 정의막
92: 유기 발광층 93: 캐소드
45: 밀봉 부재

도면

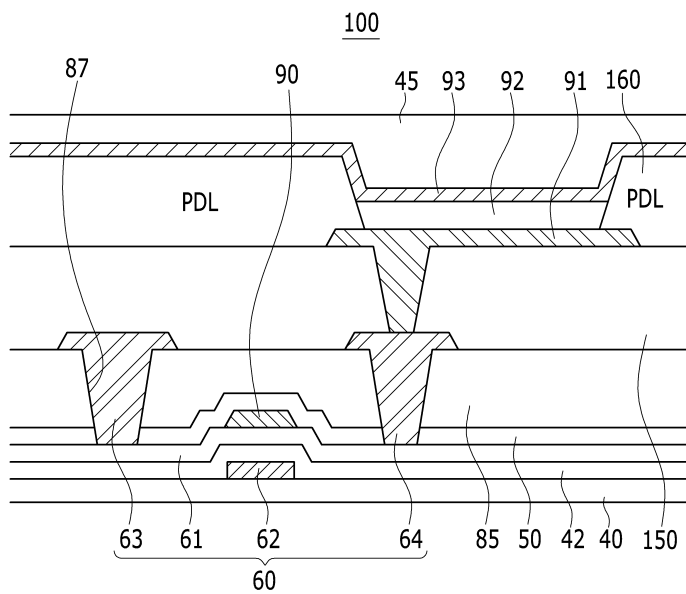
도면1



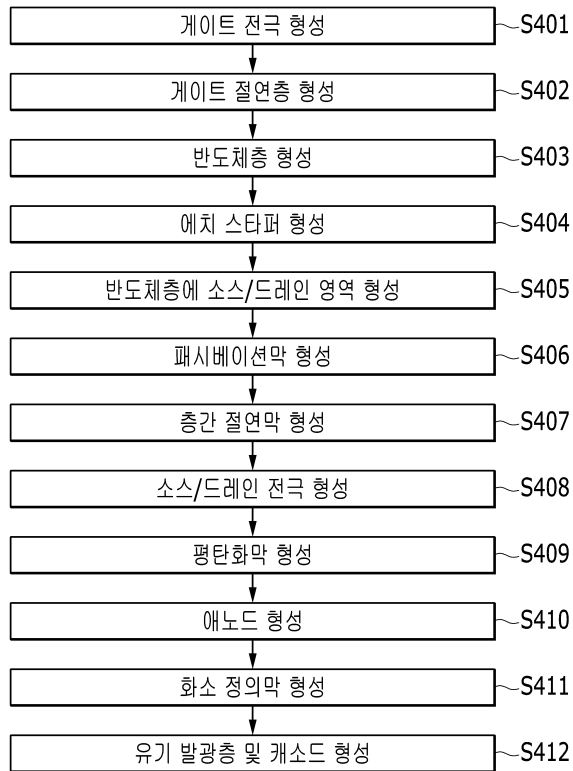
도면2



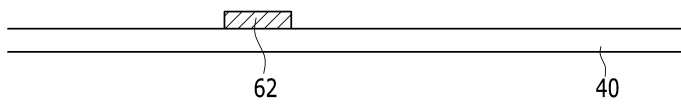
도면3



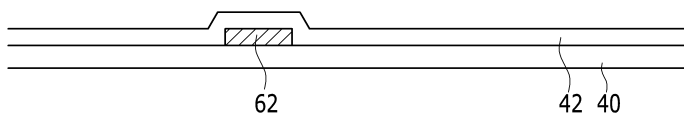
도면4



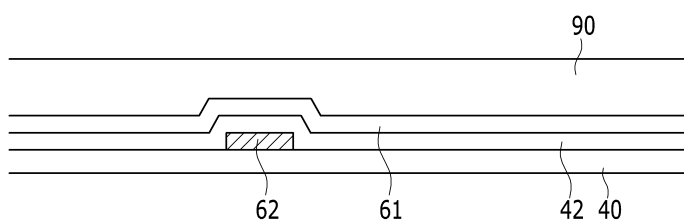
도면5a



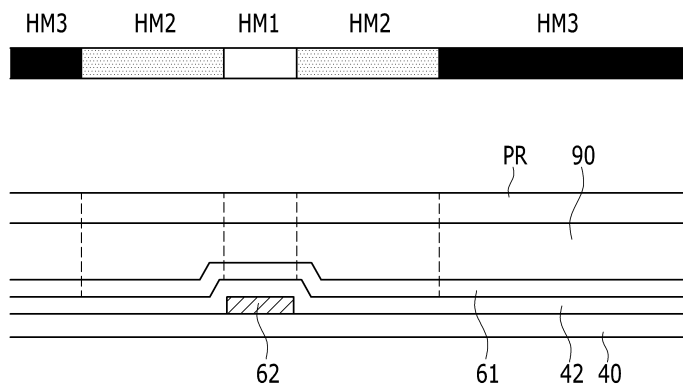
도면5b



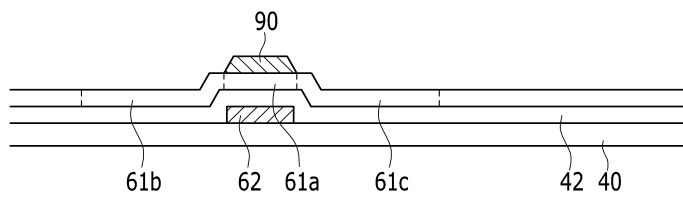
도면5c



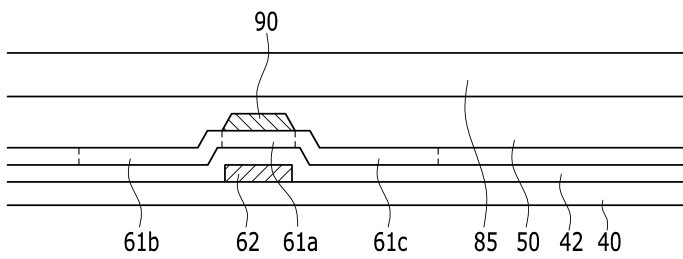
도면5d



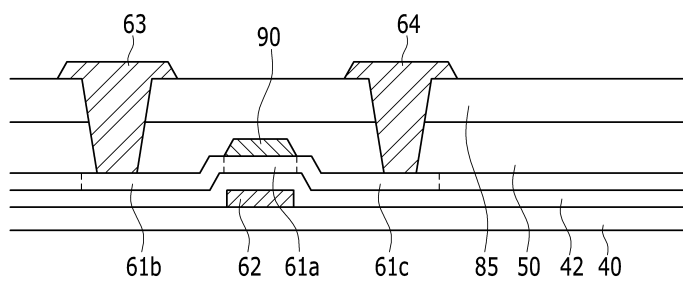
도면5e



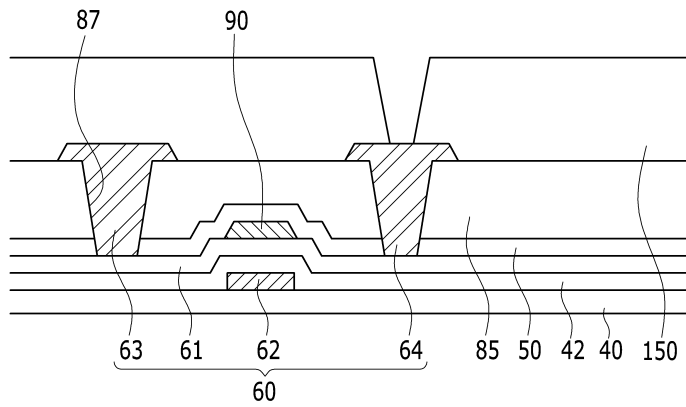
도면5f



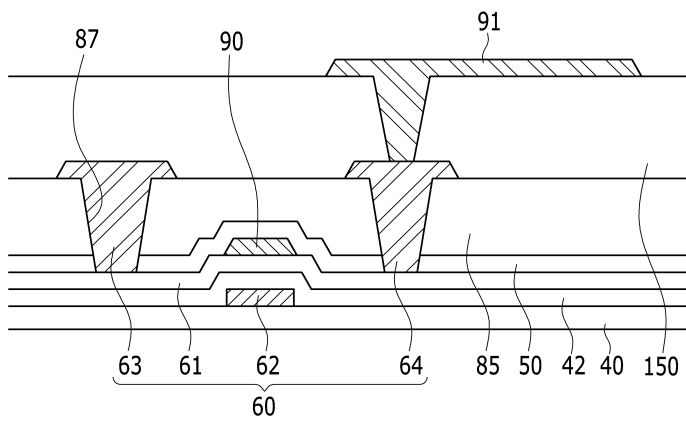
도면5g



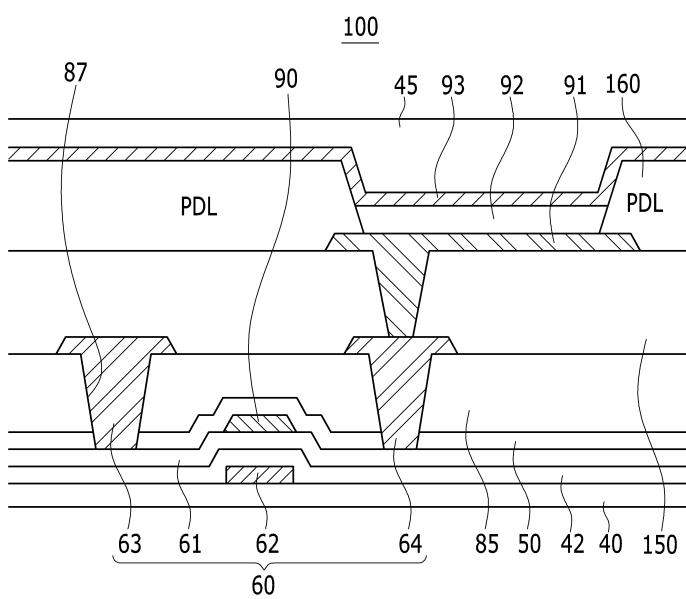
도면5h



도면5i



도면5j



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020160106848A	公开(公告)日	2016-09-13
申请号	KR1020150029335	申请日	2015-03-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE YONG SU 이용수 PARK HYE HYANG 박혜향 KIM EUN HYUN 김은현		
发明人	이용수 박혜향 김은현		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3246 H01L27/3272 H01L51/56 H01L2227/32 H01L2251/56 H01L51/5237 H01L27/1248 H01L27/1288 H01L29/66765 H01L29/78678 H01L51/0023 H01L51/0026 H01L51/0545		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示器包括基板，形成在基板上的栅电极，形成在基板上并覆盖栅电极的栅极绝缘层，在半导体层上形成并覆盖蚀刻阻挡层的钝化膜；在钝化膜上形成的层间绝缘膜；以及在层间绝缘膜上形成的层间绝缘膜平坦化膜形成在层间绝缘膜上并覆盖源/漏电极；阳极形成在平坦化膜上以连接到漏电极；形成在平坦化层上的像素限定层，以部分地覆盖有机发光层，形成在阳极上的有机发光层，发光层和形成在所述阴极和形成在像素限定层上的阴极的密封构件。

