



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0105956
(43) 공개일자 2016년09월08일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

(21) 출원번호 10-2015-0028724

(22) 출원일자 2015년02월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

권선자

경기도 군포시 산본천로 34, 648동 1104호

이재용

경기도 용인시 수지구 진산로 90, 518동 1004호
(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 20 항

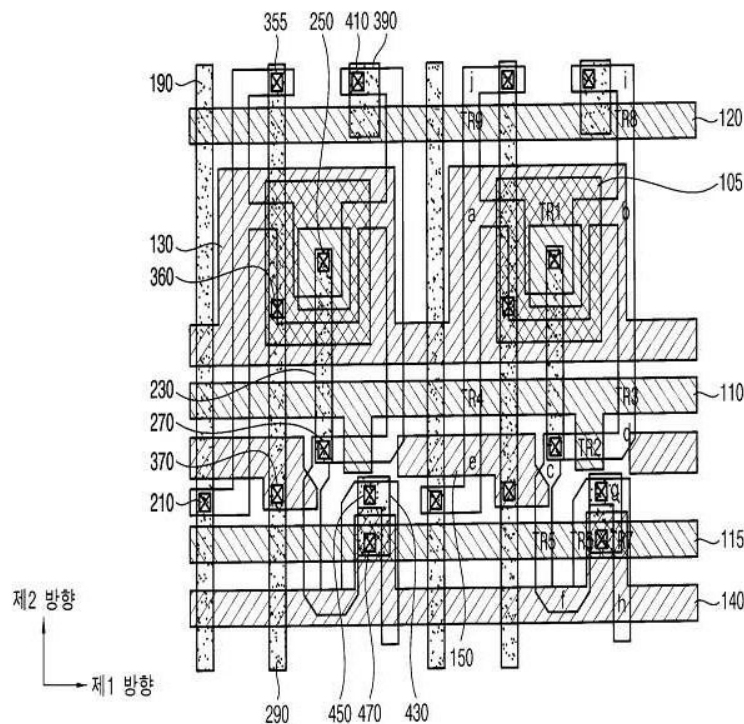
(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 기판, 기판 상에 배치되며, 제1 영역, 제2 영역, 제3 영역 및 제4 영역을 포함하는 액티브 패턴, 액티브 패턴을 덮으며, 기판 상에 배치되는 게이트 절연층, 게이트 절연층 상에 배치되며, 액티브 패턴과 부분적으로 중첩되고, 제1 영역 및 제2 영역과 함께 제1 트랜지스터를 구성하는 제1 게이트 전극, 제1 게이트

(뒷면에 계속)

대표도



전극과 동일한 층에 배치되며, 제3 영역 및 제4 영역과 함께 제2 트랜지스터를 구성하고, 제2 영역 및 제4 영역과 함께 제3 트랜지스터를 구성하는 제2 게이트 전극, 제1 게이트 전극 및 제2 게이트 전극을 덮으며, 게이트 절연층 상에 배치되는 제1 층간 절연막, 제1 층간 절연막 상에 배치되며, 제3 영역 및 제4 영역의 적어도 일부와 중첩되도록 위치하고, 제3 영역 및 제4 영역의 중첩된 부분과 함께 기생 커패시터를 구성하는 제1 도전 패턴, 제1 도전 패턴 상에 배치되며, 제1 전원 전압을 공급받는 제1 전원 전압 배선, 제1 전원 전압 배선 상에 배치되며, 제1 내지 제3 트랜지스터와 전기적으로 연결되는 제1 전극, 제1 전극 상에 배치되는 유기 발광층 및 유기 발광층 상에 배치되는 제2 전극을 포함할 수 있다.

(52) CPC특허분류

H01L 2227/32 (2013.01)

(72) 발명자

이지은

서울특별시 서초구 서초대로23길 64, 902호

강소영

광주광역시 북구 고운로 24-3, 510호

서상호

충청남도 천안시 서북구 두정중7길 11, 제이빌II
409호

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되고, 제1 영역, 제2 영역, 제3 영역 및 제4 영역을 포함하는 액티브 패턴;

상기 액티브 패턴을 덮으며, 상기 기관 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 상기 액티브 패턴과 부분적으로 중첩되고, 상기 제1 영역 및 상기 제2 영역과 함께 제1 트랜지스터를 구성하는 제1 게이트 전극;

상기 제1 게이트 전극과 동일한 층에 배치되며, 상기 제3 영역 및 상기 제4 영역과 함께 제2 트랜지스터를 구성하고, 상기 제2 영역 및 상기 제4 영역과 함께 제3 트랜지스터를 구성하는 제2 게이트 전극;

상기 제1 게이트 전극 및 상기 제2 게이트 전극을 덮으며, 상기 게이트 절연층 상에 배치되는 제1 층간 절연막;

상기 제1 층간 절연막 상에 배치되며, 상기 제3 영역 및 상기 제4 영역의 적어도 일부와 중첩되도록 위치하고, 상기 제3 영역 및 상기 제4 영역의 상기 중첩된 부분과 함께 기생 커패시터를 구성하는 제1 도전 패턴;

상기 제1 도전 패턴 상에 배치되며, 제1 전원 전압을 공급받는 제1 전원 전압 배선;

상기 제1 전원 전압 배선 상에 배치되며, 상기 제1 내지 제3 트랜지스터와 전기적으로 연결되는 제1 전극;

상기 제1 전극 상에 배치되는 유기 발광층; 및

상기 유기 발광층 상에 배치되는 제2 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 제2 게이트 전극은,

상기 기관의 상면에 평행한 제1 방향으로 연장되는 제2 게이트 연장부; 및

상기 제2 게이트 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출된 제2 게이트 돌출부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서, 상기 제2 게이트 연장부의 제1 부분은 상기 제3 트랜지스터의 게이트 전극으로 기능하고, 상기 제2 게이트 돌출부는 상기 제2 트랜지스터의 게이트 전극으로 기능하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 액티브 패턴은 제5 영역 더 포함하고,

상기 제2 게이트 전극은 상기 제1 영역 및 상기 제5 영역과 함께 제4 트랜지스터를 구성하며, 상기 제2 게이트 연장부의 상기 제1 부분과 반대되는 제2 부분은 상기 제4 트랜지스터의 게이트 전극으로 기능하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제1 전원 전압 배선과 동일한 층에 배치되고, 데이터 신호를 공급받으며, 제1 콘택 홀을 관통하여 상기 데이터 신호를 상기 제5 영역에 공급하는 데이터 배선을 더 포함하고,

상기 제1 도전 패턴은, 상기 데이터 배선과 상기 액티브 패턴의 제3 및 제4 영역들 사이의 기생 커패시터를 차폐(shielding)하도록 상기 데이터 배선과 상기 액티브 패턴의 제3 및 제4 영역들 사이에 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제1 도전 패턴과 동일한 층에 배치되며, 상기 제1 게이트 전극, 상기 액티브 패턴의 제1 영역 및 상기 액티브 패턴의 제2 영역과 부분적으로 중첩되도록 위치하고, 상기 제1 게이트 전극의 적어도 일부를 노출시키는 개구를 포함하며, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성하는 제2 도전 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서, 상기 제1 도전 패턴 및 상기 제2 도전 패턴은 상기 제2 게이트 전극과 중첩되지 않는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 6 항에 있어서, 상기 제2 도전 패턴은 상기 제1 도전 패턴과 동일한 물질로 동시에 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 6 항에 있어서, 상기 액티브 패턴은 제6 영역, 제7 영역, 제8 영역, 제9 영역 및 제10 영역을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서, 상기 게이트 절연층 상에 배치되며, 상기 제3 영역 및 상기 제6 영역과 함께 제5 트랜지스터를 구성하고, 상기 제6 영역 및 상기 제7 영역과 함께 제6 트랜지스터를 구성하며, 상기 제7 영역 및 상기 제8 영역과 함께 제7 트랜지스터를 구성하는 제3 게이트 전극; 및

상기 제3 게이트 전극과 동일한 층에 배치되며, 상기 제2 영역 및 상기 제9 영역과 함께 제8 트랜지스터를 구성하고, 상기 제1 영역 및 상기 제10 영역과 함께 제9 트랜지스터를 구성하는 제4 게이트 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 제1 및 제2 도전 패턴들과 동일한 층에 배치되며, 제2 전원 전압을 공급받는 제2 전원 전압 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서, 상기 제2 전원 전압 배선은,

상기 기판의 상면과 평행한 제1 방향으로 연장되는 제2 전원 연장부; 및

상기 제2 전원 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출된 제2 전원 돌출부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서, 상기 제2 전원 돌출부는 상기 제3 게이트 전극의 일부와 중첩되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서,

제2 콘택 홀 및 제3 콘택 홀 각각을 관통하여 상기 제2 전원 돌출부 및 상기 제7 영역을 전기적으로 연결하는 제1 연결 패턴; 및

제4 콘택 홀 및 제5 콘택 홀 각각을 관통하여 상기 제3 영역 및 상기 제1 게이트 전극을 전기적으로 연결하는 제2 연결 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서, 상기 제1 전원 전압 배선은,

제6 콘택 홀을 관통하여 상기 제10 영역에 제1 전원 전압을 공급하고,

제7 콘택 홀을 관통하여 상기 제2 도전 패턴에 제1 전원 전압을 공급하며, 및

제8 콘택 홀을 관통하여 상기 제1 도전 패턴에 제1 전원 전압을 공급하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 9 항에 있어서,

제9 콘택 홀을 관통하여 상기 제9 영역 및 상기 제1 전극을 전기적으로 연결하는 제3 연결 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서,

상기 제1 도전 패턴을 덮으며, 상기 제1 층간 절연막 상에 배치되는 제2 층간 절연막; 및

상기 제1 전원 전압 배선을 덮으며, 상기 제2 층간 절연막 상에 배치되는 제3 층간 절연막을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 10 항에 있어서, 상기 제2 게이트 전극은 스캔 신호를 공급받고, 상기 제3 게이트 전극은 초기화 신호를 공급받으며, 상기 제4 게이트 전극은 발광 신호를 공급받는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 9 항에 있어서,

제2 콘택 홀 및 제3 콘택 홀 각각을 관통하여 상기 제1 도전 패턴 및 상기 제7 영역을 전기적으로 연결하는 제1 연결 패턴을 더 포함하고,

상기 제1 도전 패턴은 제2 전원 전압을 공급 받는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서, 상기 제1 전원 전압 배선은,

제6 콘택 홀을 관통하여 상기 제10 영역에 제1 전원 전압을 공급하고, 및

제7 콘택 홀을 관통하여 상기 제2 도전 패턴에 제1 전원 전압을 공급하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 화소를 포함하는 유기 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 표시 장치는 화소가 출력하는 광에 기초하여 영상을 표시할 수 있고, 유기 발광 표시 장치는 유기 발광 다이오드를 갖는 화소를 포함할 수 있다. 유기 발광 다이오드는 유기 발광 다이오드가 포함하는 유기 물질에 상응하는 파장을 갖는 광을 출력할 수 있다. 예를 들어, 유기 발광 다이오드는 적색광, 녹색광, 및 청색광에 상응하는 유기 물질을 포함할 수 있고, 유기 발광 표시 장치는 상기 유기 물질에 의해 출력되는 광을 조합하여 영상을 표시할 수 있다.
- [0003] 유기 발광 표시 장치의 구동 방법은 계조를 표현하는 방식에 따라 아날로그 구동 방법 또는 디지털 구동 방법으로 구분될 수 있다. 아날로그 구동 방법은 유기 발광 다이오드가 동일한 발광 시간 동안 발광하면서 화소에 인가되는 데이터 전압의 레벨을 변경함으로써 계조를 표현할 수 있고, 디지털 구동 방법은 화소에 동일한 레벨의 데이터 전압을 인가하면서 유기 발광 다이오드가 발광되는 발광 시간을 변경함으로써 계조를 표현할 수 있다. 유기 발광 다이오드를 포함하는 아날로그 구동하는 화소 회로에서, 데이터 신호를 공급받는 데이터 배선의 전압 레벨이 변경됨에 따라 인접한 배선에서 크로스 토크(cross talk) 현상이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 개선된 화질을 가지는 유기 발광 표시 장치를 제공하는 것이다.
- [0005] 그러나, 본 발명이 상술한 목적들에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 기판, 상기 기판 상에 배치되고, 제1 영역, 제2 영역, 제3 영역 및 제4 영역을 포함하는 액티브 패턴, 상기 액티브 패턴을 덮으며, 상기 기판 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 상기 액티브 패턴과 부분적으로 중첩되고, 상기 제1 영역 및 상기 제2 영역과 함께 제1 트랜지스터를 구성하는 제1 게이트 전극, 상기 제1 게이트 전극과 동일한 층에 배치되며, 상기 제3 영역 및 상기 제4 영역과 함께 제2 트랜지스터를 구성하고, 상기 제2 영역 및 상기 제4 영역과 함께 제3 트랜지스터를 구성하는 제2 게이트 전극, 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 덮으며, 상기 게이트 절연층 상에 배치되는 제1 층간 절연막, 상기 제1 층간 절연막 상에 배치되며, 상기 제3 영역 및 상기 제4 영역의 적어도 일부와 중첩되도록 위치하고, 상기 제3 영역 및 상기 제4 영역의 상기 중첩된 부분과 함께 기생 커패시터를 구성하는 제1 도전 패턴, 상기 제1 도전 패턴 상에 배치되며, 제1 전원 전압을 공급받는 제1 전원 전압 배선, 상기 제1 전원 전압 배선 상에 배치되며, 상기 제1 내지 제3 트랜지스터와 전기적으로 연결되는 제1 전극, 상기 제1 전극 상에 배치되는 유기 발광층 및 상기 유기 발광층 상에 배치되는 제2 전극을 포함할 수 있다.
- [0007] 예시적인 실시예들에 있어서, 상기 제2 게이트 전극은 상기 기판의 상면에 평행한 제1 방향으로 연장되는 제2 게이트 연장부 및 상기 제2 게이트 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출된 제2 게이트 돌출부를 포함할 수 있다.
- [0008] 예시적인 실시예들에 있어서, 상기 제2 게이트 연장부의 제1 부분은 상기 제3 트랜지스터의 게이트 전극으로 기능하고, 상기 제2 게이트 돌출부는 상기 제2 트랜지스터의 게이트 전극으로 기능할 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 제5 영역 더 포함하고, 상기 제2 게이트 전극은 상기 제1 영역 및 상기 제5 영역과 함께 제4 트랜지스터를 구성하며, 상기 제2 게이트 연장부의 상기 제1 부분과 반대되는 제2 부분은 상기 제4 트랜지스터의 게이트 전극으로 기능할 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 제1 전원 전압 배선과 동일한 층에 배치되고, 데이터 신호를 공급받으며, 제1 콘택 홀을 관통하여 상기 데이터 신호를 상기 제5 영역에 공급하는 데이터 배선을 더 포함하고, 상기 제1 도전 패턴은, 상기 데이터 배선과 상기 액티브 패턴의 제3 및 제4 영역들 사이의 기생 커패시터를 차폐(shielding)하도록 상기 데이터 배선과 상기 액티브 패턴의 제3 및 제4 영역들 사이에 개재될 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 제1 도전 패턴과 동일한 층에 배치되며, 상기 제1 게이트 전극, 상기 액티브 패턴의 제1 영역 및 상기 액티브 패턴의 제2 영역과 부분적으로 중첩되도록 위치하고, 상기 제1 게이트 전극의

적어도 일부를 노출시키는 개구를 포함하며, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성하는 제2 도전 패턴을 더 포함할 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 제1 도전 패턴 및 상기 제2 도전 패턴은 상기 제2 게이트 전극과 중첩되지 않을 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 제2 도전 패턴은 상기 제1 도전 패턴과 동일한 물질로 동시에 형성될 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 액티브 패턴은 제6 영역, 제7 영역, 제8 영역, 제9 영역 및 제10 영역을 더 포함할 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 게이트 절연층 상에 배치되며, 상기 제3 영역 및 상기 제6 영역과 함께 제5 트랜지스터를 구성하고, 상기 제6 영역 및 상기 제7 영역과 함께 제6 트랜지스터를 구성하며, 상기 제7 영역 및 상기 제8 영역과 함께 제7 트랜지스터를 구성하는 제3 게이트 전극 및 상기 제3 게이트 전극과 동일한 층에 배치되며, 상기 제2 영역 및 상기 제9 영역과 함께 제8 트랜지스터를 구성하고, 상기 제1 영역 및 상기 제10 영역과 함께 제9 트랜지스터를 구성하는 제4 게이트 전극을 더 포함할 수 있다.

[0016] 예시적인 실시예들에 있어서, 상기 제1 및 제2 도전 패턴들과 동일한 층에 배치되며, 제2 전원 전압을 공급받는 제2 전원 전압 배선을 더 포함할 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 제2 전원 전압 배선은 상기 기판의 상면과 평행한 제1 방향으로 연장되는 제2 전원 연장부 및 상기 제2 전원 연장부로부터 상기 제1 방향과 직교하는 제2 방향으로 돌출된 제2 전원 돌출부를 포함할 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 제2 전원 돌출부는 상기 제3 게이트 전극의 일부와 중첩될 수 있다.

[0019] 예시적인 실시예들에 있어서, 제2 콘택 홀 및 제3 콘택 홀 각각을 관통하여 상기 제2 전원 돌출부 및 상기 제7 영역을 전기적으로 연결하는 제1 연결 패턴 및 제4 콘택 홀 및 제5 콘택 홀 각각을 관통하여 상기 제3 영역 및 상기 제1 게이트 전극을 전기적으로 연결하는 제2 연결 패턴을 더 포함할 수 있다.

[0020] 예시적인 실시예들에 있어서, 상기 제1 전원 전압 배선은 제6 콘택 홀을 관통하여 상기 제10 영역에 제1 전원 전압을 공급하고, 제7 콘택 홀을 관통하여 상기 제2 도전 패턴에 제1 전원 전압을 공급하며, 및 제8 콘택 홀을 관통하여 상기 제1 도전 패턴에 제1 전원 전압을 공급할 수 있다.

[0021] 예시적인 실시예들에 있어서, 제9 콘택 홀을 관통하여 상기 제9 영역 및 상기 제1 전극을 전기적으로 연결하는 제3 연결 패턴을 더 포함할 수 있다.

[0022] 예시적인 실시예들에 있어서, 상기 제1 도전 패턴을 덮으며, 상기 제1 층간 절연막 상에 배치되는 제2 층간 절연막 및 상기 제1 전원 전압 배선을 덮으며, 상기 제2 층간 절연막 상에 배치되는 제3 층간 절연막을 더 포함할 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 제2 게이트 전극은 스캔 신호를 공급받고, 상기 제3 게이트 전극은 초기화 신호를 공급받으며, 상기 제4 게이트 전극은 발광 신호를 공급받을 수 있다.

[0024] 예시적인 실시예들에 있어서, 제2 콘택 홀 및 제3 콘택 홀 각각을 관통하여 상기 제1 도전 패턴 및 상기 제7 영역을 전기적으로 연결하는 제1 연결 패턴을 더 포함하고, 상기 제1 도전 패턴은 제2 전원 전압을 공급 받을 수 있다.

[0025] 예시적인 실시예들에 있어서, 상기 제1 전원 전압 배선은 제6 콘택 홀을 관통하여 상기 제10 영역에 제1 전원 전압을 공급하고 및 제7 콘택 홀을 관통하여 상기 제2 도전 패턴에 제1 전원 전압을 공급할 수 있다.

발명의 효과

[0026] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 전원 전압을 공급받는 도전 패턴을 포함하는 기생 커패시터를 구비함으로써, 변화하는 전압 레벨을 갖는 데이터 배선과 인접한 배선 사이에 발생하는 크로스 토크를 감소시킬 수 있다. 이에 따라, 상기 유기 발광 표시 장치의 화질이 개선될 수 있다.

[0027] 다만, 본 발명의 효과가 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 예시적인 실시예들에 따른 화소를 나타내는 회로도이다.
- 도 2 내지 도 8은 본 발명의 예시적인 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면들이다.
- 도 9는 도 7의 유기 발광 표시 장치를 I-I'라인을 따라 절단한 단면도이다.
- 도 10은 도 8의 유기 발광 표시 장치를 II-II'라인을 따라 절단한 단면도이다.
- 도 11 내지 도 14는 본 발명의 다른 예시적인 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0030] 도 1은 본 발명의 예시적인 실시예들에 따른 화소를 나타내는 회로도이다.
- [0031] 도 1을 참조하면, 화소(10)는 유기 발광 다이오드(OLED), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 제3 트랜지스터(TR3), 제4 트랜지스터(TR4), 제5 트랜지스터(TR5), 제6 트랜지스터(TR6), 제7 트랜지스터(TR7), 제8 트랜지스터(TR8), 제9 트랜지스터(TR9), 스토리지 커패시터(CST), 제1 기생 커패시터(CP1) 및 제2 기생 커패시터(CP2)를 포함할 수 있다.
- [0032] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 제2 단자는 제3 전원 전압(ELVSS)을 공급받을 수 있다. 예를 들어, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 제2 단자는 캐소드 단자일 수 있다. 선택적으로, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 제2 단자는 애노드 단자일 수도 있다.
- [0033] 제1 트랜지스터(TR1)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0034] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 선택적으로, 제1 트랜지스터는 선형 영역에서 동작할 수도 있다. 이 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 함에 기초하여 계조가 표현될 수 있다.
- [0035] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있고, 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 직렬로 연결될 수 있고, 듀얼 게이트 트랜지스터(dual gate transistor)로 동작할 수 있다. 예를 들어, 상기 듀얼 게이트 트랜지스터가 턴-오프될 경우, 누설 전류(leakage current)를 감소시킬 수 있다. 따라서, 제2 트랜지스터(TR2)의 제2 단자는 제3 트랜지스터(TR3)의 제1 단자에 연결될 수 있다. 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)의 게이트 단자들은 스캔 신호(GW)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 제3 트랜지스터(TR3)의 제2 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)의 제1 단자들 각각은 소스 단자이고, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)의 제2 단자들 각각은 드레인 단자일 수 있다. 선택적으로, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)의 제1 단자들 각각은 드레인 단자이고, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)의 제2 단자들 각각은 소스 단자일 수 있다.
- [0036] 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이 경우, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 선형 영역에서 동작할 수 있다. 즉, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 스캔 신호(GW)의

활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0037] 제2 트랜지스터(TR2)와 제3 트랜지스터(TR3) 사이에 제1 노드(N1)가 위치할 수 있다. 또한, 제2 전원 전압(VINT)(예를 들어, 초기화 전압)의 출력단에는 제2 노드(N2)가 위치할 수 있다. 예를 들어, 초기화 전압(VINT)의 입력단은 제6 트랜지스터(TR6)의 제1 단자 및 제7 트랜지스터(TR7)의 제1 단자와 연결될 수 있고, 초기화 전압(VINT)의 출력단은 제5 트랜지스터(TR5)의 제2 단자 및 스토리지 커패시터(CST)의 제1 단자와 연결될 수 있다. 예시적인 실시예들에 있어서, 화소(10)는 제1 노드(N1)와 제1 전원 전압(ELVDD) 배선이 연결되는 제1 기생 커패시터(CP1)를 포함할 수 있고, 제2 노드(N2)와 제1 전원 전압(ELVDD) 배선이 연결되는 제2 기생 커패시터(CP2)를 포함할 수 있다. 이러한 경우, 데이터 신호(DATA)의 전압 레벨이 변화함에 따라 데이터 신호(DATA) 배선과 인접한 제1 노드(N1) 및 제2 노드(N2)에서 발생하는 크로스 토크 현상이 감소될 수 있다. 이에 따라, 화소(10)가 제1 및 제2 기생 커패시터(CP1, CP2)를 구비함으로써, 제1 및 제2 노드들(N1, N2)에서 발생될 수 있는 전압 변동을 감소시킬 수 있다.

[0038] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0039] 제4 트랜지스터(TR4)는 스캔 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이 경우, 제4 트랜지스터(TR4)는 선형 영역에서 동작할 수 있다.

[0040] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있고, 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 여기서, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)는 직렬로 연결될 수 있고, 듀얼 게이트 트랜지스터로 동작할 수 있다. 예를 들어, 상기 듀얼 게이트 트랜지스터가 턴-오프될 경우, 누설 전류를 감소시킬 수 있다. 따라서, 제5 트랜지스터(TR5)의 제2 단자는 제6 트랜지스터(TR6)의 제1 단자에 연결될 수 있다. 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)의 게이트 단자들 각각은 데이터 초기화 신호(GI)를 공급받을 수 있다. 제5 트랜지스터(TR5)의 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제6 트랜지스터(TR6)의 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)의 제1 단자들 각각은 소스 단자이고, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)의 제2 단자들 각각은 드레인 단자일 수 있다. 선택적으로, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)의 제1 단자들 각각은 드레인 단자이고, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)의 제2 단자들 각각은 소스 단자일 수 있다.

[0041] 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)는 데이터 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이 경우, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)는 데이터 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 예시적인 실시예들에 있어서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 예시적인 실시예들에 있어서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.

[0042] 예시적인 실시예들에 있어서, 데이터 초기화 신호(GI)는 일 수평 시간 전의 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들어, 표시 패널이 포함하는 복수의 화소들 중 제 n (단, n 은 2이상의 정수)행의 화소에 공급되는 데이터 초기화 신호(GI)는 상기 화소들 중 $(n-1)$ 행의 화소에 공급되는 스캔 신호(GW)와 실질적으로 동일

한 신호일 수 있다. 즉, 상기 화소들 중 (n-1)행의 화소에 활성화된 스캔 신호(GW)를 공급함으로써, 화소들 중 n행의 화소에 활성화된 데이터 초기화 신호(GI)를 공급할 수 있다. 그 결과, 화소들 중 (n-1)행의 화소에 데이터 신호(DATA)를 공급함과 동시에 화소들 중 n행의 화소가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0043] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 상기 다이오드 초기화 신호를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0044] 제7 트랜지스터(TR7)는 상기 다이오드 초기화 신호의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이 경우, 제7 트랜지스터(TR7)는 선행 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 상기 다이오드 초기화 신호의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0045] 예시적인 실시예들에 있어서, 데이터 초기화 신호(GI)와 상기 다이오드 초기화 신호는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 그러므로, 상기 다이오드 초기화 신호를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.

[0046] 제8 트랜지스터(TR8)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0047] 제8 트랜지스터(TR8)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이 경우, 제8 트랜지스터(TR8)는 선행 영역에서 동작할 수 있다. 즉, 제8 트랜지스터(TR8)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제8 트랜지스터(TR8)가 발광 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0048] 제9 트랜지스터(TR9)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제9 트랜지스터(TR9)는 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이 경우, 제9 트랜지스터(TR9)는 선행 영역에서 동작할 수 있다. 제9 트랜지스터(TR9)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제9 트랜지스터(TR9)가 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0049] 스토리지 커패시터(CST)는 제1 전원 전압(ELVDD) 배선과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.

[0050] 도 2 내지 도 8은 본 발명의 예시적인 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면들이다.

[0051] 도 2 및 도 3을 참조하면, 유기 발광 표시 장치는 기판(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)을 포함할 수 있다.

[0052] 기판은 절연 물질로 구성될 수 있다. 예를 들면, 기판은 유리 기판, 투명 플라스틱 기판, 투명 금속 산화물 기

관 등을 포함할 수 있다. 예시하지는 않았지만, 기관 상에는 적어도 하나의 버퍼층이 제공될 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 포함할 수 있다.

[0053] 액티브 패턴(100)이 기관 상에 배치될 수 있다. 액티브 패턴(100)은 실리콘으로 구성될 수 있다. 다른 실시예에 따라, 액티브 패턴(100)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB_x), 삼성분계 화합물(AB_xCy), 사성분계 화합물(AB_xCyDz) 등을 포함하는 반도체 산화물로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0054] 액티브 패턴(100)은 제1 내지 제10 영역들(a, b, c, d, e, f, g, h, i, j)을 포함할 수 있다. 제1 내지 제10 영역들(a, b, c, d, e, f, g, h, i, j)에는 불순물이 도핑될 수 있으며, 이에 따라 액티브 패턴(100)의 나머지 영역들보다 높은 전기 전도도를 가질 수 있다. 제1 내지 제10 영역들(a, b, c, d, e, f, g, h, i, j)은 제1 내지 제9 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6, TR7, TR8, TR9)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것이다. 예시적인 실시예들에 있어서, 액티브 패턴(100)은 상기 기관의 상면에 실질적으로 평행한 제1 방향으로 반복적으로 배치될 수 있다.

[0055] 게이트 절연층은 액티브 패턴(100)을 덮으며 기관 상에 배치될 수 있다. 게이트 절연층은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예를 들어, 게이트 절연층은 실리콘 산화물막 및 실리콘 질화물막을 포함하는 다층 구조를 가질 수 있다.

[0056] 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)은 게이트 절연층 상에 배치될 수 있다. 즉, 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)은 동일한 층에 배치될 수 있다. 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및/또는 제4 게이트 전극(120)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및/또는 제4 게이트 전극(120)은 알루미늄(Al), 은(Ag), 텅스텐(W), 구리(Cu), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 이들의 합금 또는 도전성 질화물을 포함할 수 있다. 이와 달리, 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및/또는 제4 게이트 전극(120)은 스트론튬 루테튬 산화물($SrRu_xO_y$), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등을 포함할 수 있다.

[0057] 제1 게이트 전극(105)은 제1 영역(a) 및 제2 영역(b)과 함께 제1 트랜지스터(TR1)를 구성할 수 있다. 예시적인 실시예들에 있어서, 제1 영역(a)은 소스 영역이고, 제2 영역(b)은 드레인 영역일 수 있다. 선택적으로, 제1 영역(a)은 드레인 영역이고, 제2 영역(b)은 소스 영역일 수 있다. 제1 영역(a) 및 제2 영역(b)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 영역(a) 및 제2 영역(b)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역은 제1 트랜지스터(TR1)의 채널로 동작할 수 있다. 그 결과, 제1 트랜지스터(TR1)는 유기 발광 다이오드에 공급되는 도 1의 구동 전류(ID)를 생성할 수 있고, 유기 발광 다이오드는 구동 전류(ID)에 기초하여 광을 출력할 수 있다.

[0058] 제2 게이트 전극(110)은 제1 방향으로 연장되는 제2 게이트 연장부 및 상기 제2 게이트 연장부로부터 상기 제1 방향과 실질적으로 직교하는 제2 방향으로 돌출된 제2 게이트 돌출부를 포함할 수 있다. 상기 제2 게이트 돌출부는 제3 영역(c) 및 제4 영역(d)과 함께 제2 트랜지스터(TR2)가 구성할 수 있다. 예를 들어, 상기 제2 게이트 돌출부는 제2 트랜지스터(TR2)의 게이트 전극으로 기능할 수 있다. 상기 제2 게이트 연장부는 제1 부분 및 이에 반대되는 제2 부분을 포함할 수 있다. 상기 제2 게이트 연장부의 제1 부분은 제2 영역(b) 및 제4 영역(d)과 함께 제3 트랜지스터(TR3)를 구성할 수 있고, 상기 제2 게이트 연장부의 제2 부분은 제1 영역(a) 및 제5 영역(e)과 함께 제4 트랜지스터(TR4)를 구성할 수 있다. 여기서, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 직렬로 연결될 수 있고, 듀얼 게이트 트랜지스터로 동작할 수 있다. 예를 들어, 상기 듀얼 게이트 트랜지스터가 턴-오프될 경우, 누설 전류를 감소시킬 수 있다. 따라서, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 제4 영역(d)을 통해 전기적으로 연결될 수 있다. 또한, 제1 트랜지스터(TR1), 제4 트랜지스터(TR4) 및 제9 트랜지스터(TR9)는 제1 영역(a)을 통해 전기적으로 연결될 수 있고, 제1 트랜지스터(TR1), 제3 트랜지스터(TR3) 및 제8 트랜지스터(TR8)는 제2 영역(b)을 통해 전기적으로 연결될 수 있다. 예시적인 실시예들에 있어서, 제4 영역(d)이 도 1의 제1 노드(N1)에 해당될 수 있고, 제3 영역(c)이 도 1의 제2 노드(N2)에 해당될 수 있다.

- [0059] 제1 영역(a), 제2 영역(b), 제3 영역(c), 제4 영역(d) 및 제5 영역(e)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제2 게이트 전극(110) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 영역(a), 제2 영역(b), 제3 영역(c), 제4 영역(d) 및 제5 영역(e), 은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제2 게이트 전극(110) 하부에 위치하는 영역들은 각각 제2 트랜지스터(TR2)의 채널, 제3 트랜지스터(TR3)의 채널 및 제4 트랜지스터(TR4)의 채널로 동작할 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(110)은 도 1의 스캔 신호(GW)를 공급받을 수 있다.
- [0060] 예시적인 실시예들에 있어서, 제2 트랜지스터(TR2)의 제3 영역(c), 제3 트랜지스터(TR3)의 제4 영역(d) 및 제4 트랜지스터(TR4)의 제5 영역(e) 각각은 소스 영역일 수 있고, 제2 트랜지스터(TR2)의 제4 영역(d), 제3 트랜지스터(TR3)의 제2 영역(b) 및 제4 트랜지스터(TR4)의 제1 영역(a) 각각은 드레인 영역일 수 있다. 선택적으로, 제2 트랜지스터(TR2)의 제3 영역(c)은 드레인 영역이고, 제2 트랜지스터(TR2)의 제4 영역(d), 제3 트랜지스터(TR3)의 제4 영역(d) 및 제4 트랜지스터(TR4)의 제5 영역(e) 각각은 소스 영역일 수 있다.
- [0061] 제3 게이트 전극(115)은 상기 제1 방향으로 연장될 수 있다. 제3 게이트 전극(115)은 제3 영역(c) 및 제6 영역(f)과 함께 제5 트랜지스터(TR5)를 구성할 수 있고, 제6 영역(f) 및 제7 영역(g)과 함께 제6 트랜지스터(TR6)를 구성할 수 있으며, 제7 영역(g) 및 제8 영역(h)과 함께 제7 트랜지스터(TR7)를 구성할 수 있다. 여기서, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)는 직렬로 연결될 수 있고, 듀얼 게이트 트랜지스터로 동작할 수 있다. 예를 들어, 상기 듀얼 게이트 트랜지스터가 턴-오프될 경우, 누설 전류를 감소시킬 수 있다. 따라서, 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)는 제6 영역(f)을 통해 전기적으로 연결될 수 있다. 또한, 제6 트랜지스터(TR6) 및 제7 트랜지스터(TR7)는 제7 영역(g)을 통해 전기적으로 연결될 수 있고, 제8 영역(h)은 제9 영역(i)과 전기적으로 연결될 수 있다.
- [0062] 제3 영역(c), 제6 영역(f), 제7 영역(g) 및 제8 영역(h)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제3 게이트 전극(115) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제3 영역(c), 제6 영역(f), 제7 영역(g) 및 제8 영역(h)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제3 게이트 전극(115) 하부에 위치하는 영역은 제5 트랜지스터(TR5)의 채널, 제6 트랜지스터(TR6)의 채널 및 제7 트랜지스터(TR7)의 채널로 동작할 수 있다. 예시적인 실시예들에 있어서, 제3 게이트 전극(115)은 도 1의 데이터 초기화 신호(GI)를 공급받을 수 있고, 제7 영역(g)은 도 1의 초기화 전압(VINT)을 공급받을 수 있다.
- [0063] 예시적인 실시예들에 있어서, 제5 트랜지스터(TR5)의 제3 영역(c), 제6 트랜지스터(TR6)의 제6 영역(f) 및 제7 트랜지스터(TR7)의 제7 영역(g) 각각은 소스 영역일 수 있고, 제5 트랜지스터(TR5)의 제6 영역(f), 제6 트랜지스터(TR6)의 제7 영역(g) 및 제7 트랜지스터(TR7)의 제8 영역(h) 각각은 드레인 영역일 수 있다. 선택적으로, 제5 트랜지스터(TR5)의 제3 영역(c), 제6 트랜지스터(TR6)의 제6 영역(f) 및 제7 트랜지스터(TR7)의 제7 영역(g) 각각은 드레인 영역이고, 제5 트랜지스터(TR5)의 제6 영역(f), 제6 트랜지스터(TR6)의 제7 영역(g) 및 제7 트랜지스터(TR7)의 제8 영역(h) 각각은 소스 영역일 수 있다.
- [0064] 제4 게이트 전극(120)은 제2 영역(b) 및 제9 영역(i)과 함께 제8 트랜지스터(TR8)를 구성할 수 있고, 제1 영역(a) 및 제10 영역(j)과 함께 제9 트랜지스터(TR9)를 구성할 수 있다.
- [0065] 제1 영역(a), 제2 영역(b), 제9 영역(i) 및 제10 영역(j)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제4 게이트 전극(120) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 영역(a), 제2 영역(b), 제9 영역(i) 및 제10 영역(j)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제4 게이트 전극(120) 하부에 위치하는 영역들은 각각 제8 트랜지스터(TR8)의 채널 및 제9 트랜지스터(TR9)의 채널로 동작할 수 있다. 예시적인 실시예들에 있어서, 제4 게이트 전극(120)은 도 1의 발광 신호(EM)를 공급받을 수 있다.
- [0066] 예시적인 실시예들에 있어서, 제8 트랜지스터(TR8)의 제9 영역(i) 및 제9 트랜지스터(TR9)의 제10 영역(j) 각각은 소스 영역일 수 있고, 제8 트랜지스터(TR8)의 제2 영역(b) 및 제9 트랜지스터(TR9)의 제1 영역(a) 각각은 드레인 영역일 수 있다. 선택적으로, 제8 트랜지스터(TR8)의 제9 영역(i) 및 제9 트랜지스터(TR9)의 제10 영역(j) 각각은 드레인 영역일 수 있고, 제8 트랜지스터(TR8)의 제2 영역(b) 및 제9 트랜지스터(TR9)의 제1 영역(a) 각각은 소스 영역일 수 있다.
- [0067] 도 4 및 도 5를 참조하면, 유기 발광 표시 장치는 도 2 및 도 3과 같이 기판(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)을 포함할 수 있다. 나아가, 상기 유기 발광 표시 장치는 제1 층간 절연막(도시되지 않

음), 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)을 더 포함할 수 있다.

[0068] 상기 제1 층간 절연막은 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)을 덮으며, 게이트 절연층 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 상기 제1 층간 절연막은 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)을 충분히 덮을 수 있으며, 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 선택적으로, 상기 제1 층간 절연층은 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)을 커버하며, 균일한 두께로 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115) 및 제4 게이트 전극(120)의 프로파일을 따라 배치될 수 있다. 상기 제1 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들어, 상기 제1 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0069] 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)은 상기 제1 층간 절연막 상에 배치될 수 있다. 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 즉, 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)은 동일한 물질을 포함하고 동시에 형성될 수 있다. 제4 영역(d)이 도 1의 제1 노드(N1)에 해당될 수 있고, 제3 영역(c)이 도 1의 제2 노드(N2)에 해당될 수 있다.

[0070] 제1 도전 패턴(150)은 제4 영역(d)(예를 들어, 제1 노드(N1)) 및 제3 영역(c)(예를 들어, 제2 노드(N2))의 적어도 일부와 중첩되도록 배치될 수 있다. 예를 들어, 제1 도전 패턴(150)은 제1 화소의 제4 영역(d) 및 상기 제1 화소와 인접한 제2 화소의 제3 영역(c)에 중첩될 수 있다. 즉, 제1 도전 패턴(150)은 기관의 상면 상에서 제2 게이트 전극(110)과 제3 게이트 전극(115) 사이에 개재되며 상기 제1 방향으로 연장될 수 있고, 제1 도전 패턴(150)은 제2 게이트 전극(110) 및/또는 제3 게이트 전극(115)과 중첩되지 않을 수 있다. 이에 따라, 제1 도전 패턴(150)은 제4 영역(d)의 적어도 일부 및 제3 영역(c)의 적어도 일부와 함께 도 1의 제1 및 제2 기생 커패시터들(CP1, CP2)을 구성할 수 있다. 또한, 제1 도전 패턴(150)은 제5 영역(e)의 적어도 일부와 중첩되도록 배치될 수 있다. 즉, 제1 도전 패턴(150)은 제3 영역(c), 제4 영역(d) 및 제5 영역(e)의 적어도 일부와 중첩되도록 배치될 수 있다. 제1 도전 패턴(150)은 이후 설명하는 제1 전원 전압 배선을 통해서, 도 1의 제1 전원 전압(ELVDD)을 공급받을 수 있다.

[0071] 제2 도전 패턴(130)은 제1 게이트 전극(105)과 중첩되도록 배치될 수 있다. 이에 따라, 제2 도전 패턴(130)은 제1 게이트 전극(105)과 함께 도 1의 스토리지 커패시터(CST)를 구성할 수 있다. 제2 도전 패턴(130)은 제1 게이트 전극(105)과 중첩된 부분으로부터, 상기 기관의 상면에 평행한 방향으로 연장할 수 있다. 결과적으로, 제2 도전 패턴(130)은 액티브 패턴(100)의 제1 영역(a) 및 제2 영역(b)과 부분적으로 중첩되도록 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 도전 패턴(130)은 도 1의 제1 전원 전압(ELVDD)을 공급받을 수 있다. 또한, 제2 도전 패턴(130)은 제1 게이트 전극(105)의 적어도 일부를 노출시키는 개구를 포함할 수 있다. 제1 게이트 전극(105)은 상기 개구에 이후 설명하는 제2 연결 패턴의 제4 콘택 홀이 위치할 수 있고, 제1 게이트 전극(105)은 상기 제4 콘택 홀을 통해서, 도 1의 초기화 전압(VINT)을 공급받을 수 있다.

[0072] 제2 전원 전압 배선(140)은 상기 제1 방향으로 연장되는 제2 전원 연장부 및 상기 제2 전원 연장부로부터 상기 제1 방향과 실질적으로 직교하는 제2 방향으로 돌출된 제2 전원 돌출부를 포함할 수 있다. 여기서 상기 제2 전원 돌출부는 제3 게이트 전극(115)의 일부와 중첩될 수 있다. 제2 전원 전압 배선(140)의 제2 전원 돌출부는 이후 설명하는 제1 연결 패턴의 제3 콘택 홀이 위치할 수 있고, 제7 영역(g)에는 제1 연결 패턴의 제2 콘택 홀이 위치할 수 있다. 제1 연결 패턴의 제2 및 제3 콘택 홀들을 통해 제7 영역(g)에 제2 전원 전압을 공급할 수 있다.

[0073] 도 6 및 도 7을 참조하면, 유기 발광 표시 장치는 도 2 내지 도 5와 같이 기관(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 제1 층간 절연막(도시되지 않음), 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)을 포함할 수 있다. 나아가, 상기 유기 발광 표시 장치는, 제2 층간 절연막(도시되지 않음), 제1 전원 전압 배선(290), 제1 연결 패턴(430), 제2 연결 패턴(230), 제3 연결 패턴(390) 및 데이터 배선(190)을 더 포함할 수 있다. 상기 제2 층간 절연막은 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)을 덮으며, 제1 층간 절연막 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 상기 제2 층간 절연막은

제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)을 충분히 덮을 수 있으며, 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 선택적으로, 상기 제2 층간 절연막은 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)을 커버하며, 균일한 두께로 제1 도전 패턴(150), 제2 도전 패턴(130) 및 제2 전원 전압 배선(140)의 프로파일을 따라 배치될 수 있다. 제2 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제1 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0074] 제1 전원 전압 배선(290), 제1 연결 패턴(430), 제2 연결 패턴(230), 제3 연결 패턴(390) 및 데이터 배선(190)은 상기 제2 층간 절연막 상에 배치될 수 있다. 제1 전원 전압 배선(290), 제1 연결 패턴(430), 제2 연결 패턴(230), 제3 연결 패턴(390) 및 데이터 배선(190)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0075] 데이터 배선(190)은 액티브 패턴(100)의 제5 영역(e)에 전기적으로 연결될 수 있다. 예를 들어, 데이터 배선(190)은 제1 콘택 홀(210)을 관통하여 제5 영역(e)에 접촉될 수 있다. 예시적인 실시예들에 있어서, 데이터 배선(190)은 도 1의 데이터 신호(DATA)를 공급받을 수 있다. 그 결과, 데이터 배선(190)은 제1 콘택 홀(210)을 통해 제5 영역(e)에 데이터 신호(DATA)를 공급할 수 있다. 여기서, 데이터 신호(DATA)는 계조를 표현하기 위해 데이터 신호(DATA)의 전압 레벨이 변경될 수 있다.

[0076] 제1 연결 패턴(430)은 상기 제2 층간 절연막 상에서 제7 영역(g) 및 상기 제2 전원 돌출부와 부분적으로 중첩되도록 배치될 수 있다. 예를 들어, 제7 영역(g) 상에 제1 연결 패턴(430)의 제2 콘택 홀(450)이 위치할 수 있고, 상기 제2 전원 돌출부 상에 제3 콘택 홀(470)이 위치할 수 있다. 제1 연결 패턴(430)은 제2 콘택 홀(450) 및 제3 콘택 홀(470)을 관통하여 제7 영역(g) 및 상기 제2 전원 돌출부에 접촉될 수 있고, 제1 연결 패턴(430)을 통해 제7 영역(g) 및 상기 제2 전원 돌출부가 전기적으로 연결될 수 있다.

[0077] 예시적인 실시예들에 있어서, 제2 전원 전압 배선(140)은 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제2 전원 전압 배선(140)은 제1 연결 패턴(430)을 통해 제7 영역(g)에 초기화 전압(VINT)을 공급할 수 있다.

[0078] 제2 연결 패턴(230)은 상기 제2 층간 절연막 상에서 상기 제2 방향으로 연장될 수 있고, 액티브 패턴(100)의 제3 영역(c)의 적어도 일부 및 제1 게이트 전극(105)의 적어도 일부에 전기적으로 접촉될 수 있다. 예를 들어, 제2 연결 패턴(230)은 제5 콘택 홀(270)을 통해 제3 영역(c)의 적어도 일부분(예를 들어, 제2 노드(N2))에 접촉될 수 있고, 제2 도전 패턴(130)의 상기 개구에 위치하는 제4 콘택 홀(250)을 통해 제1 게이트 전극(105)의 적어도 일부와 접촉될 수 있다. 즉, 제2 연결 패턴(230)은 제4 콘택 홀(250) 및 제5 콘택 홀(270)을 통해 제3 영역(c)과 제1 게이트 전극(105)을 전기적으로 서로 연결시킬 수 있다. 예시적인 실시예들에 있어서, 제2 연결 패턴(230)은 제5 트랜지스터(TR5) 및 제6 트랜지스터(TR6)를 통과한 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제2 연결 패턴(230)은 제5 콘택 홀(270) 및 제4 콘택 홀(250)을 통해 제1 게이트 전극(105)에 초기화 전압(VINT)을 공급할 수 있다.

[0079] 제1 전원 전압 배선(290)은 상기 제2 층간 절연막 상에서 상기 제2 방향으로 연장될 수 있다. 제1 전원 전압 배선(290)은 제6 콘택 홀(355)을 관통하여 액티브 패턴(100)의 제10 영역(j)과 접촉할 수 있고, 제7 콘택 홀(360)을 관통하여 제2 도전 패턴(130)과 접촉할 수 있으며, 제8 콘택 홀(370)을 관통하여 제1 도전 패턴(150)과 접촉할 수 있다. 즉, 제1 전원 전압 배선(290)은 제6 콘택 홀(355), 제7 콘택 홀(360) 및 제8 콘택 홀(370) 각각을 통해 제10 영역(j), 제2 도전 패턴(130) 및 제1 도전 패턴(150) 각각과 전기적으로 연결될 수 있고, 제1 전원 전압 배선(290)은 제10 영역(j), 제2 도전 패턴(130) 및 제1 도전 패턴(150)에 제1 전원 전압(ELVDD)을 공급할 수 있다.

[0080] 제3 연결 패턴(390)은 제9 콘택 홀(410)을 관통하여 액티브 패턴(100)의 제9 영역(i)과 접촉할 수 있다. 제3 연결 패턴(390)은 이후 설명하는 제1 전극과 접촉될 수 있고, 상기 제1 전극에 구동 전류를 공급할 수 있다.

[0081] 만약, 제1 도전 패턴(150)이 존재하지 않는 경우, 데이터 신호(DATA)의 전압 레벨이 변화함에 따라 데이터 배선(190)과 인접한 제3 영역(c) 및 제4 영역(d)에서 크로스 토크 현상이 발생될 수 있다. 이에 따라, 상기 유기 발광 표시 장치의 화면에 얼룩이 시인되는 문제점이 있다. 반면에 본 발명의 예시적인 실시예들에 있어서, 제1 전원 전압(ELVDD)을 공급받는 제1 도전 패턴(150)은 제3 영역(c) 및 제4 영역(d)의 적어도 일부와 중첩되도록 배치될 수 있고, 제1 도전 패턴(150)은 제3 영역(c) 및 제4 영역(d)의 적어도 일부와 함께 제1 및 제2 기생 커패시터(CP1, CP2)를 구성할 수 있다. 즉, 제1 도전 패턴(150)은 데이터 배선(190)과 액티브 패턴(100)의 제3 및

제4 영역들(c, d) 사이의 기생 커패시터를 차폐(shielding)하도록 데이터 배선(190)과 액티브 패턴(100)의 제3 및 제4 영역들(c, d) 사이에 개재될 수 있다. 이에 따라, 데이터 신호(DATA)의 전압 레벨이 변화되더라도 전압 레벨이 변화하지 않는 제1 전원 전압(ELVDD)을 공급 받는 제1 도전 패턴(150)이 배치됨으로써, 상기 크로스 토크 현상을 감소시킬 수 있다. 이에 따라, 상기 유기 발광 표시 장치에 얼룩이 보이지 않을 수 있으며, 화질이 개선될 수 있다. 또한, 제2 도전 패턴(130)과 제1 도전 패턴(150)이 일체로 형성되는 경우, 일체로 형성된 도전 패턴은 제2 게이트 전극(110)과 중첩될 수 있다. 따라서, 상기 도전 패턴은 제2 게이트 전극(110)과 단락될 수 있다. 반면에 본 발명의 예시적인 실시예들에 있어서, 제2 도전 패턴(130)과 제1 도전 패턴(150)은 서로 이격되어 배치됨으로써, 제2 게이트 전극(110)과 중첩되지 않을 수 있다. 이에 따라, 제2 게이트 전극(110)과 도전 패턴들 사이에 단락 현상을 방지할 수 있다.

[0082] 예시적인 실시예들에 있어서, 상기 유기 발광 표시 장치는 제3 층간 절연막(도시되지 않음), 제1 전극(도시되지 않음), 화소 정의막(도시되지 않음), 유기 발광층(도시되지 않음) 및 제2 전극(도시되지 않음)을 더 포함할 수 있다.

[0083] 상기 제3 층간 절연막은 제1 전원 전압 배선(290), 제1 연결 패턴(430), 제2 연결 패턴(230), 제3 연결 패턴(390) 및 데이터 배선(190)을 덮으며, 제2 층간 절연막 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 상기 제3 층간 절연막은 제1 전원 전압 배선(290), 제1 연결 패턴(430), 제2 연결 패턴(230), 제3 연결 패턴(390) 및 데이터 배선(190)을 충분히 덮을 수 있으며, 제1 전원 전압 배선(290), 제1 연결 패턴(430), 제2 연결 패턴(230), 제3 연결 패턴(390) 및 데이터 배선(190)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 상기 제3 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제3 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0084] 상기 제1 전극은 상기 제3 층간 절연막 상에 배치될 수 있다. 구체적으로, 제1 전극은 상기 제3 층간 절연막의 일부 상에 배치될 수 있다. 상기 제1 전극은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0085] 상기 제1 전극은 제9 영역(i)에 전기적으로 접촉될 수 있다. 예를 들어, 상기 제1 전극은 제9 콘택 홀(410)을 통해 제9 영역(i)에 접촉될 수 있다. 그 결과, 상기 제1 전극은 제9 콘택 홀(410)을 통해 도 1의 구동 전류(ID)를 공급받을 수 있다. 예시적인 실시예들에 있어서, 상기 제1 전극은 애노드 전극일 수 있다. 선택적으로, 상기 제1 전극은 캐소드 전극일 수 있다.

[0086] 상기 화소 정의막은 제3 층간 절연막 상에 배치될 수 있다. 구체적으로, 상기 화소 정의막은 상기 제3 층간 절연막 및 상기 제1 전극의 일부 상에 배치될 수 있다. 상기 화소 정의막은 상기 제3 층간 절연막 상에 배치된 상기 제1 전극의 일부에 개구를 형성할 수 있고, 상기 개구에는 상기 유기 발광층이 배치될 수 있다. 상기 유기 발광층은 상기 제1 전극 상에 배치될 수 있다. 구체적으로, 상기 유기 발광층은 상기 화소 정의막의 상기 개구를 통해 노출되는 상기 제1 전극 상에 배치될 수 있다. 상기 유기 발광층은 광을 출력할 수 있는 발광 물질을 포함할 수 있다. 발광 물질은 유기 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 발광 물질은 적색광, 녹색광, 및/또는 청색광의 파장들에 상응하는 유기 물질들을 포함할 수 있다.

[0087] 상기 제2 전극은 상기 화소 정의막 및 상기 유기 발광층 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 상기 제2 전극은 투명 도전성 물질로 구성될 수 있다. 예를 들어, 상기 제2 전극은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 전극은 캐소드 전극일 수 있다. 즉, 상기 제2 전극은 상응하는 상기 유기 발광층 및 상응하는 상기 제1 전극과 함께 도 1의 유기 발광 다이오드(OLED)를 구성할 수 있다. 선택적으로, 상기 제2 전극은 애노드 전극일 수 있다. 예시적인 실시예들에 있어서, 상기 제2 전극은 제2 전원 전압을 공급받을 수 있다. 예를 들어, 상기 제2 전극은 도 1의 제3 전원 전압(ELVSS)을 공급받을 수 있다.

[0088] 결과적으로, 도 2 내지 도 8의 유기 발광 표시 장치는 유기 발광 다이오드의 화질을 향상시킬 수 있는 도 1의 화소를 포함할 수 있다. 앞서 언급한 바와 같이, 제1 도전 패턴(150)이 데이터 배선(190)과 액티브 패턴(100) 사이에 개재됨으로써, 데이터 배선(190)으로부터 액티브 패턴(100)을 차폐하여 제3 및 제4 영역들(c, d)에서 발생하는 크로스 토크 현상을 감소시킬 수 있다.

[0089] 도 9는 도 7의 유기 발광 표시 장치를 I-I'라인을 따라 절단한 단면도이다.

[0090] 도 9를 참조하면, 상기 유기 발광 표시 장치는 기판(50), 액티브 패턴(100), 게이트 절연층(102), 제1 층간 절

연막(131), 제1 도전 패턴(150), 제2 층간 절연막(133), 데이터 배선(190), 제1 전원 전압 배선(290), 제3 층간 절연막(195), 제1 전극(310), 화소 정의막(도시하지 않음), 유기 발광층(330), 제2 전극(350) 등을 포함할 수 있다.

[0091] 유리, 투명 플라스틱, 투명 세라믹 등과 같은 투명 절연 물질로 구성될 수 있는 기판(50) 상에 액티브 패턴(100)이 배치될 수 있다. 액티브 패턴은 제3 영역(c), 제4 영역(d) 및 제5 영역(e)을 포함할 수 있다. 여기서, 제3 영역(c)은 제2 노드(N2)에 해당될 수 있고, 제4 영역(d)은 제1 노드(N1)에 해당될 수 있다.

[0092] 앞서 언급한 바와 같이, 게이트 절연층(102)은 액티브 패턴(100)을 덮도록 배치될 수 있다. 게이트 절연층(102) 상에는 게이트 전극들이 배치될 수 있다.

[0093] 제2 게이트 전극이 배치된 후에, 액티브 패턴(100)은 불순물에 의해 도핑될 수 있다. 제3 영역(c), 제4 영역(d) 및 제5 영역(e)은 불순물이 도핑될 수 있으나, 게이트 전극들의 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제3 영역(c), 제4 영역(d) 및 제5 영역(e)은 도체로 동작할 수 있고, 게이트 전극들의 하부에 위치하는 영역들은 트랜지스터의 채널로 동작할 수 있다.

[0094] 게이트 절연층(102) 상에는 게이트 전극들을 덮는 제1 층간 절연막(131)이 배치될 수 있다. 제1 층간 절연막(131) 상에는 제1 도전 패턴(150)이 배치될 수 있다. 제1 도전 패턴(150)은 제3 영역(c)의 적어도 일부 및 제4 영역(d)의 적어도 일부와 오버랩되도록 위치할 수 있다. 상기 오버랩되는 부분들(510, 530)이 제1 및 제2 기생 커패시터들(CP1, CP2)에 해당될 수 있다.

[0095] 제1 층간 절연막(131) 상에는 제1 도전 패턴(150)을 덮는 제2 층간 절연막(133)이 배치될 수 있다. 제2 층간 절연막(133) 상에는 데이터 배선(190) 및 제1 전원 전압 배선(290)이 배치될 수 있다. 제1 전원 전압 배선(290)은 제8 콘택 홀(370)을 통해 제1 도전 패턴(150)에 접촉될 수 있고, 제1 도전 패턴(150)에는 제1 전원 전압(ELVDD)이 공급될 수 있다. 따라서, 데이터 신호(DATA)의 전압 레벨이 변화되더라도 전압 레벨이 변화하지 않는 제1 전원 전압(ELVDD)을 공급 받는 제1 도전 패턴(150)이 데이터 배선(190)으로부터 액티브 패턴(100)의 제3 및 제4 영역들(c, d)을 차폐할 수 있다.

[0096] 제2 층간 절연막(133) 상에는 데이터 배선(190) 및 제1 전원 전압 배선(290)을 덮는 제3 층간 절연막(195)이 배치될 수 있다. 제3 층간 절연막(195)은 데이터 배선(190) 및 제1 전원 전압 배선(290)을 충분히 커버하도록 상대적으로 두꺼운 두께로 배치될 수 있다. 이 경우, 제3 층간 절연막(195)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제3 층간 절연막(195)의 평탄한 상면을 구현하기 위하여 제3 층간 절연막(195)에 대해 평탄화 공정이 추가적으로 수행될 수 있다.

[0097] 제3 층간 절연막(195) 상에 제1 전극(310)이 배치될 수 있다. 제1 전극(310)은 제3 층간 절연막(195)의 일부 상에 배치될 수 있다. 예를 들어, 제1 전극(310)은 제9 영역(i)에 제9 콘택 홀을 통해 전기적으로 접촉될 수 있다(도시되지 않음). 제1 전극(310) 상에 유기 발광층(330)이 배치될 수 있다. 마지막으로, 유기 발광층(330) 상에는 제2 전극(350)이 배치될 수 있다.

[0098] 도 10은 도 8의 유기 발광 표시 장치를 II-II' 라인을 따라 절단한 단면도이다.

[0099] 도 10을 참조하면, 유기 발광 표시 장치는 기판(50), 게이트 절연층(102), 제1 게이트 전극(105), 제2 게이트 전극(110), 제1 층간 절연막(131), 제2 도전 패턴(130), 제1 도전 패턴(150), 제2 층간 절연막(133), 제1 전원 전압 배선(290), 제3 층간 절연막(195), 제1 전극(310), 화소 정의막(도시하지 않음), 유기 발광층(330), 제2 전극(350) 등을 포함할 수 있다.

[0100] 기판(50), 게이트 절연층(102), 제1 층간 절연막(131), 제1 도전 패턴(150), 제2 층간 절연막(133), 제1 전원 전압 배선(290), 제3 층간 절연막(195), 제1 전극(310), 화소 정의막(도시하지 않음), 유기 발광층(330), 제2 전극(350)은 도 9를 참조로 설명한 구성들과 실질적으로 동일하거나 유사할 수 있다.

[0101] 기판(50)의 게이트 절연층(102) 상에 제1 게이트 전극(105) 및 제2 게이트 전극(110)이 배치할 수 있다. 제1 게이트 전극(105)은 제2 게이트 전극(110)과 서로 이격될 수 있다. 제1 게이트 전극(105) 및 제2 게이트 전극(110) 상에 제1 층간 절연막(131)이 배치될 수 있고, 제1 층간 절연막(131) 상에 제2 도전 패턴(130) 및 제1 도전 패턴(150)이 배치될 수 있다. 제2 도전 패턴(130)은 제1 도전 패턴(150)과 이격될 수 있고, 제2 도전 패턴(130)은 아래에 제1 게이트 전극(105)이 위치하는 부분 상에 배치될 수 있다. 여기서, 제2 도전 패턴(130)은 제1 게이트 전극(105)과 중첩되도록 위치함으로써, 상기 오버랩되는 부분이 스토리지 커패시터(CST)에 해당될 수 있다.

- [0102] 또한, 제2 도전 패턴(130) 및 제1 도전 패턴(150)은 제2 게이트 전극(110)과 중첩되지 않는다. 제2 도전 패턴(130) 및 제1 도전 패턴(150) 상에 제2 층간 절연막(133)이 배치될 수 있고, 제2 층간 절연막(133) 상에 제1 전원 전압 배선(290)이 배치될 수 있다. 제1 전원 전압 배선(290)은 제7 콘택 홀(360) 및 제8 콘택 홀(370) 각각을 통해 제2 도전 패턴(130) 및 제1 도전 패턴(150) 각각에 제1 전원 전압(ELVDD)을 공급할 수 있다. 제2 도전 패턴(130)과 제1 도전 패턴(150)이 서로 이격되어 배치됨으로써, 제2 게이트 전극(110)과 중첩되지 않을 수 있다. 이에 따라, 제2 게이트 전극(110)과 도전 패턴들 사이에 단락 현상이 방지될 수 있다.
- [0103] 도 11 내지 도 14는 본 발명의 다른 예시적인 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면들이다. 도 11 내지 도 14에 예시한 유기 발광 표시 장치는 액티브 패턴(105)의 형상 및 제1 도전 패턴(145)의 형상을 제외하면, 도 2 내지 도 8을 참조하여 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다. 도 11 내지 도 14에 있어서, 도 2 내지 도 8을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 실질적으로 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0104] 도 11 내지 도 14를 참조하면, 액티브 패턴(105)이 기판 상에 배치될 수 있다. 도 2에 도시된 액티브 패턴(100)과 비교했을 때, 액티브 패턴(105)은 제3 영역(c)이 제2 방향을 따라 상대적으로 더 연장될 수 있다. 즉, 제2 게이트 전극(110)과 제3 게이트 전극(115) 사이에 제1 도전 패턴(145)이 개재될 수 있다. 제1 도전 패턴(145)은 제2 게이트 전극(110) 및 제3 게이트 전극(115)과 중첩되지 않도록 배치될 수 있고, 제3 영역(c)의 적어도 일부 및 제4 영역(d)의 적어도 일부와 중첩되도록 배치될 수 있다. 제3 영역(c)과 중첩되는 부분이 제1 부분(570)에 해당될 수 있고, 제4 영역(d)과 중첩되는 부분이 제2 부분(550)에 해당될 수 있다.
- [0105] 제1 연결 패턴(430)은 상기 제2 층간 절연막 상에서 제7 영역(g) 및 제1 도전 패턴(145)의 일부와 부분적으로 중첩되도록 배치될 수 있다. 예를 들어, 제1 도전 패턴(145)의 일부 상에 제2 콘택 홀(450)이 위치할 수 있고, 제7 영역(g) 상에 제1 연결 패턴(430)의 제3 콘택 홀(470)이 위치할 수 있다. 제1 연결 패턴(430)은 제2 콘택 홀(450) 및 제3 콘택 홀(470)을 관통하여 제1 도전 패턴(145)의 일부 및 제7 영역(g)에 접촉될 수 있고, 제1 연결 패턴(430)을 통해 제1 도전 패턴(145)의 일부 및 제7 영역(g)이 전기적으로 연결될 수 있다. 예시적인 실시예들에 있어서, 제1 도전 패턴(145)은 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제1 도전 패턴(145)은 제1 연결 패턴(430)을 통해 제7 영역(g)에 초기화 전압(VINT)을 공급할 수 있다.
- [0106] 제1 전원 전압 배선(290)은 상기 제2 층간 절연막 상에서 상기 제2 방향으로 연장될 수 있다. 제1 전원 전압 배선(290)은 제6 콘택 홀(355)을 관통하여 액티브 패턴(100)의 제10 영역(j)과 접촉할 수 있고, 제7 콘택 홀(360)을 관통하여 제2 도전 패턴(130)과 접촉할 수 있다. 즉, 제1 전원 전압 배선(290)은 제6 콘택 홀(355) 및 제7 콘택 홀(360) 각각을 통해 제10 영역(j) 및 제2 도전 패턴(130) 각각과 전기적으로 연결될 수 있고, 제1 전원 전압 배선(290)은 제10 영역(j) 및 제2 도전 패턴(130)에 제1 전원 전압(ELVDD)을 공급할 수 있다.
- [0107] 제1 도전 패턴(145)은 제3 영역(c) 및 제4 영역(d)의 적어도 일부와 함께 제1 및 제2 기생 커패시터(CP1, CP2)를 구성할 수 있다. 즉, 제1 도전 패턴(145)은 데이터 배선(190)과 액티브 패턴(105)의 제3 및 제4 영역들(c, d) 사이의 기생 커패시터를 차폐하도록 데이터 배선(190)과 액티브 패턴(105)의 제3 및 제4 영역들(c, d) 사이에 개재될 수 있다. 이에 따라, 데이터 신호(DATA)의 전압 레벨이 변화되더라도 전압 레벨이 변화하지 않는 제2 전원 전압(VINT)을 공급 받는 제1 도전 패턴(145)이 배치됨으로써, 상기 크로스 토크 현상을 감소시킬 수 있다. 이에 따라, 상기 유기 발광 표시 장치에 얼룩이 보이지 않을 수 있으며, 화질이 개선될 수 있다. 또한, 제2 도전 패턴(130)과 제1 도전 패턴(145)이 서로 이격되어 배치됨으로써, 제2 게이트 전극(110)과 중첩되지 않을 수 있다. 이에 따라, 제2 게이트 전극(110)과 도전 패턴들 사이에 단락 현상을 방지할 수 있다.
- [0108] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

- [0109] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 컴퓨터, 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠펙(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰, 감시 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템, 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전사용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

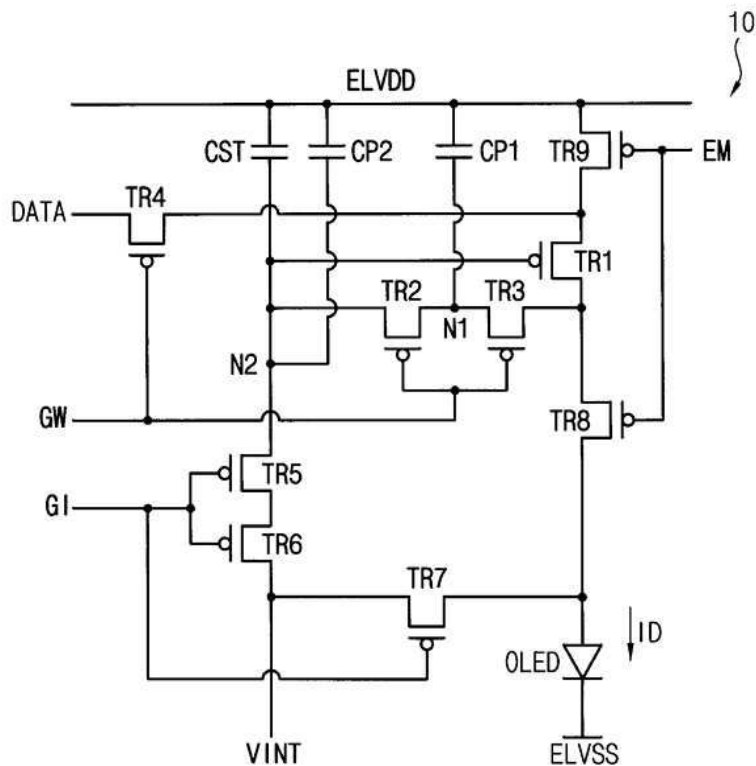
부호의 설명

[0110]

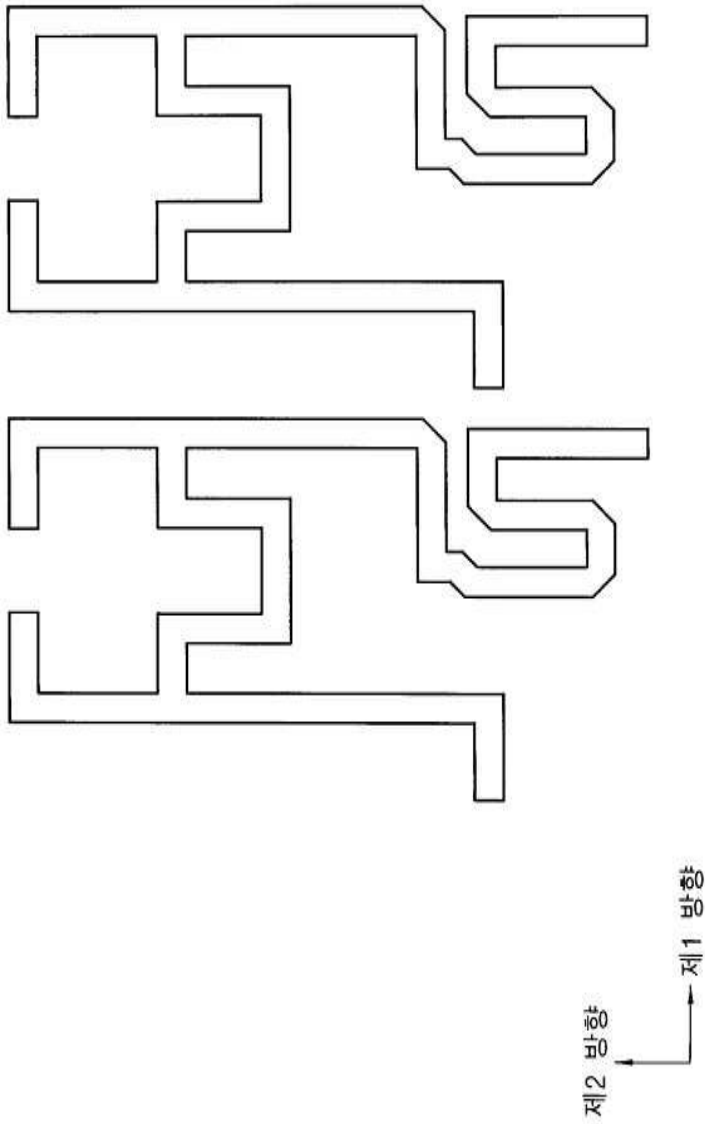
10: 화소 50: 기관
 100, 105: 액티브 패턴 102: 게이트 절연층
 105: 제1 게이트 전극 110: 제2 게이트 전극
 115: 제3 게이트 전극 120: 제4 게이트 전극
 130: 제2 도전 패턴 131: 제1 층간 절연막
 133: 제2 층간 절연막 140: 제2 전원 전압 배선
 145, 150: 제1 도전 패턴 190: 데이터 배선
 195: 제2 층간 절연막 290: 제1 전원 전압 배선
 430: 제1 연결 패턴 230: 제2 연결 패턴
 390: 제3 연결 패턴 310: 제1 전극
 330: 유기 발광층 350: 제2 전극

도면

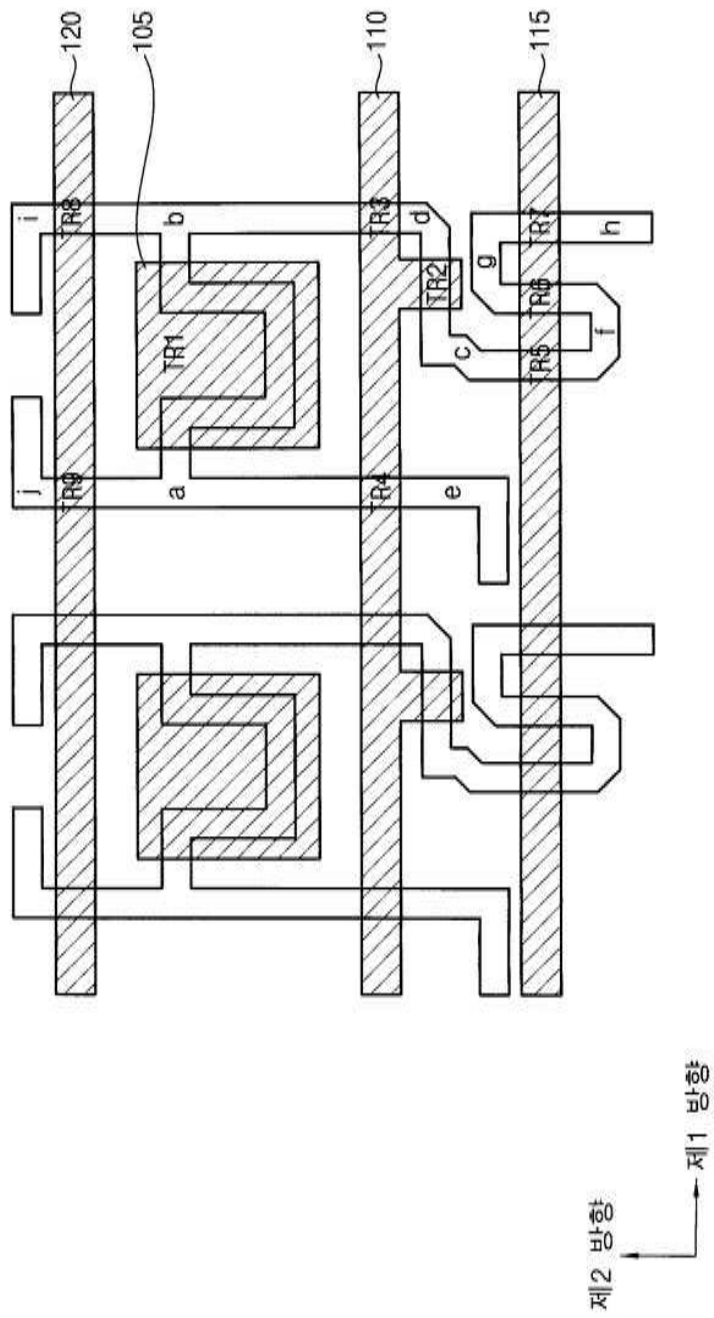
도면1



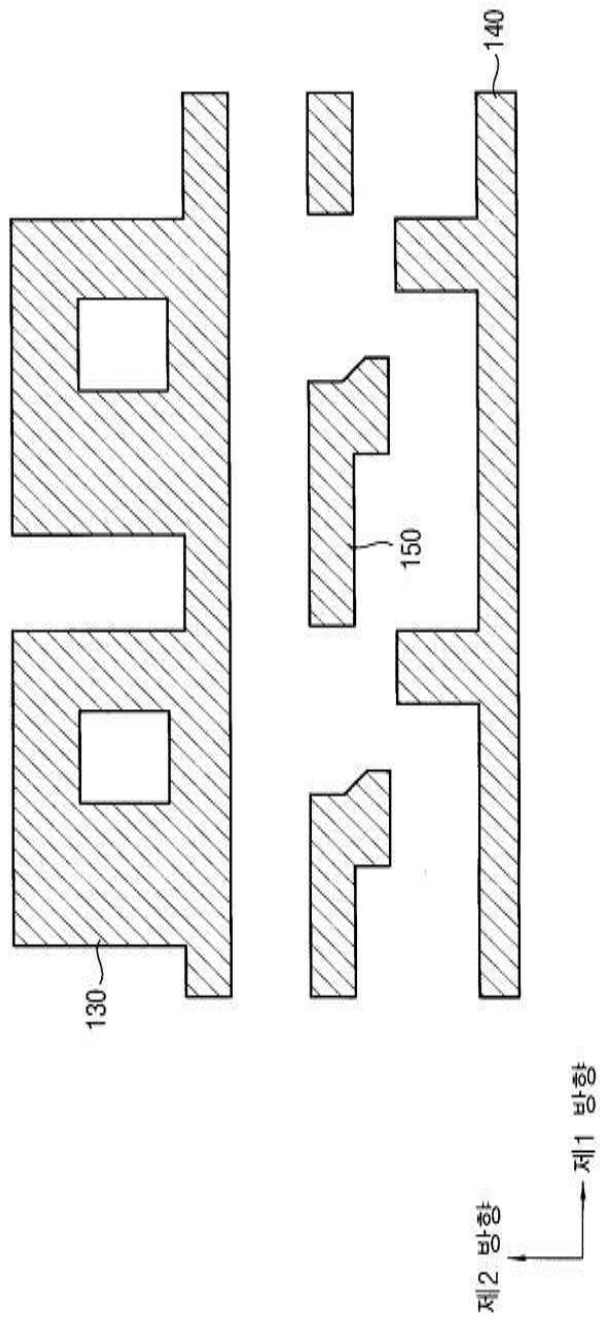
도면2



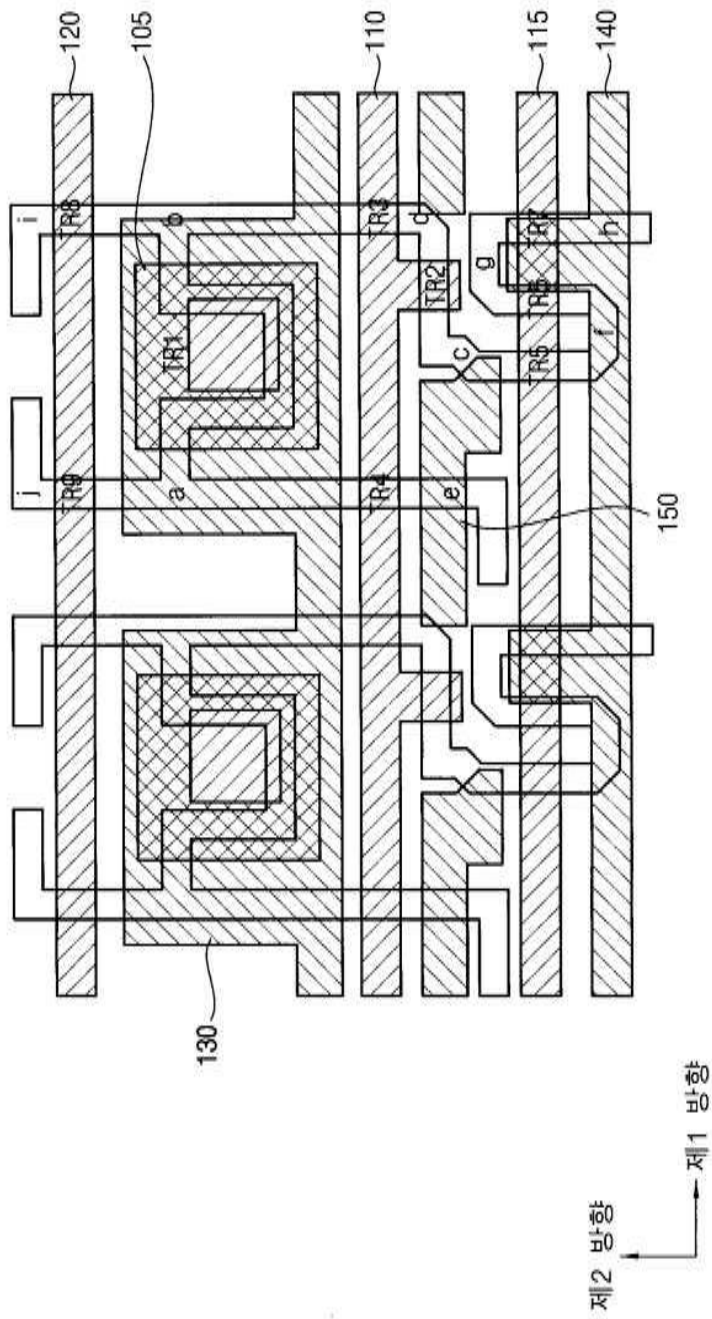
도면3



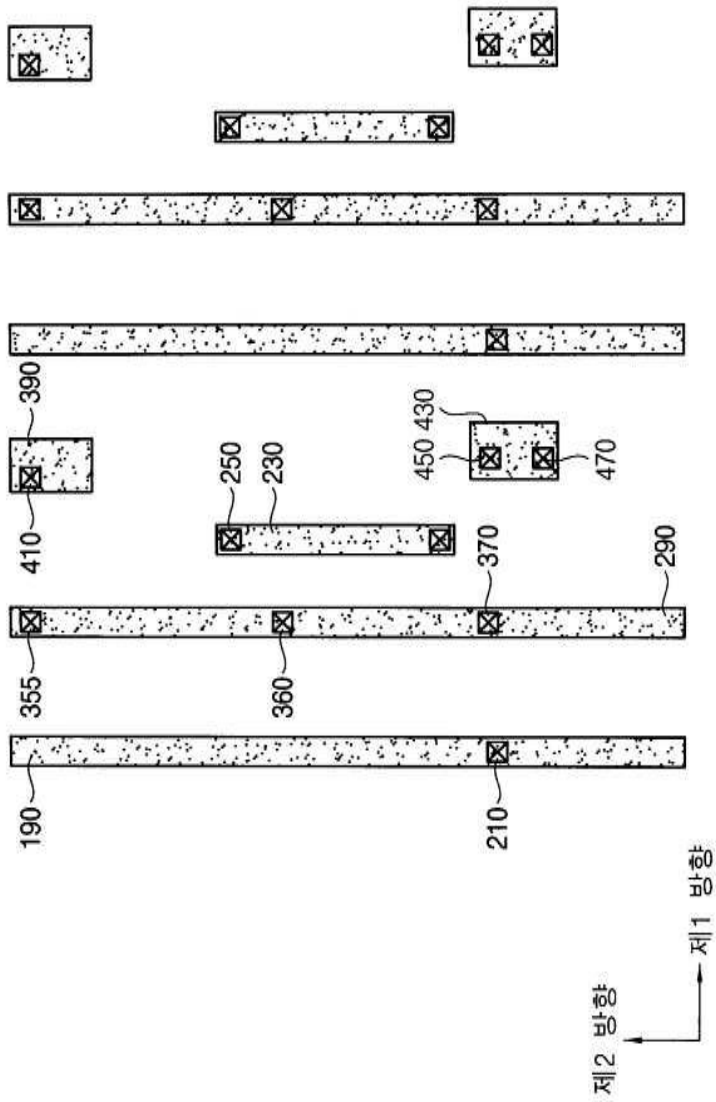
도면4



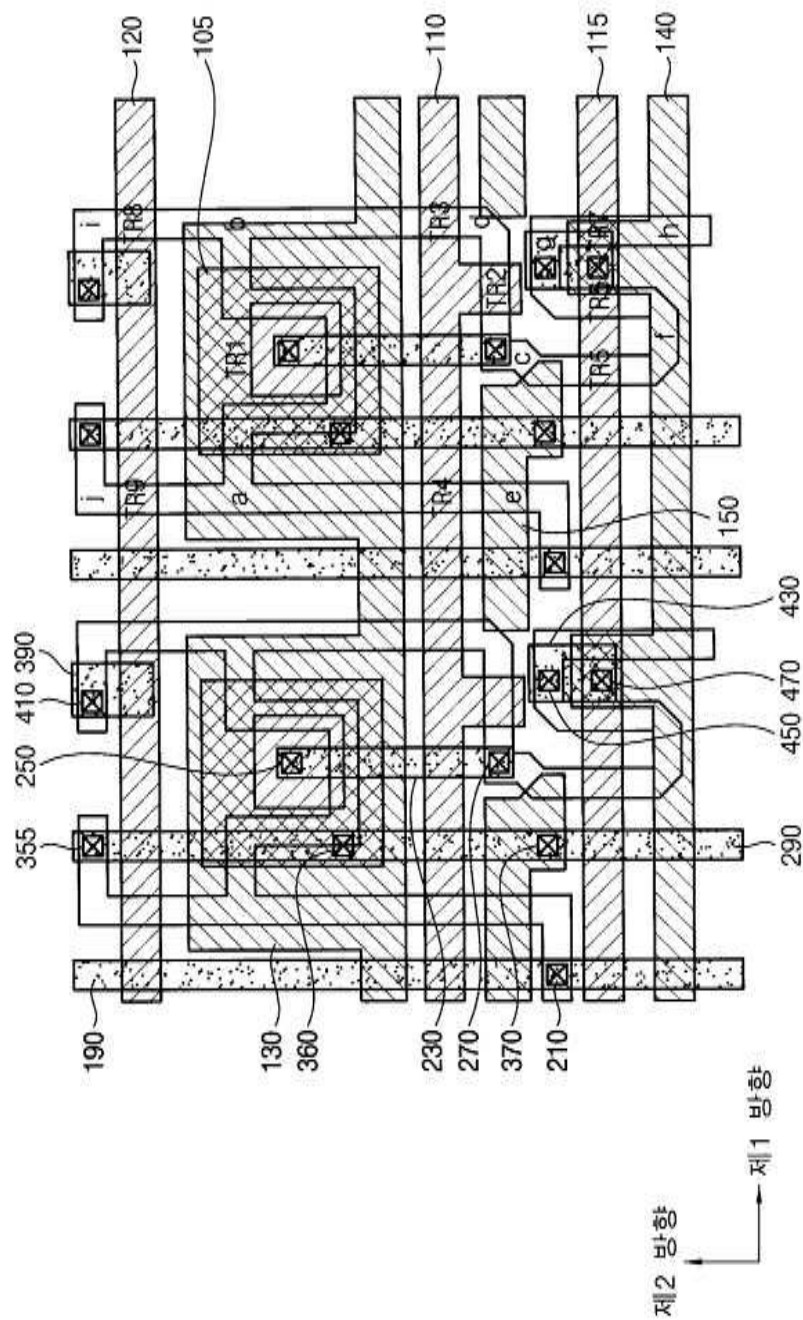
도면5



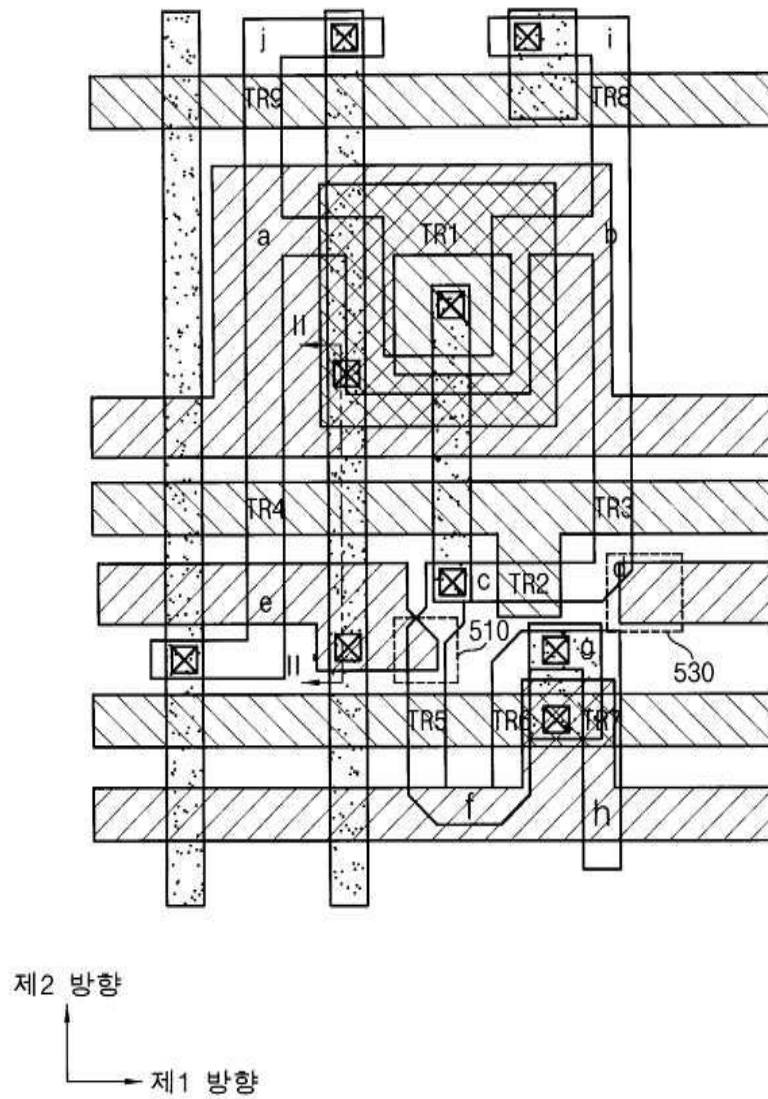
도면6



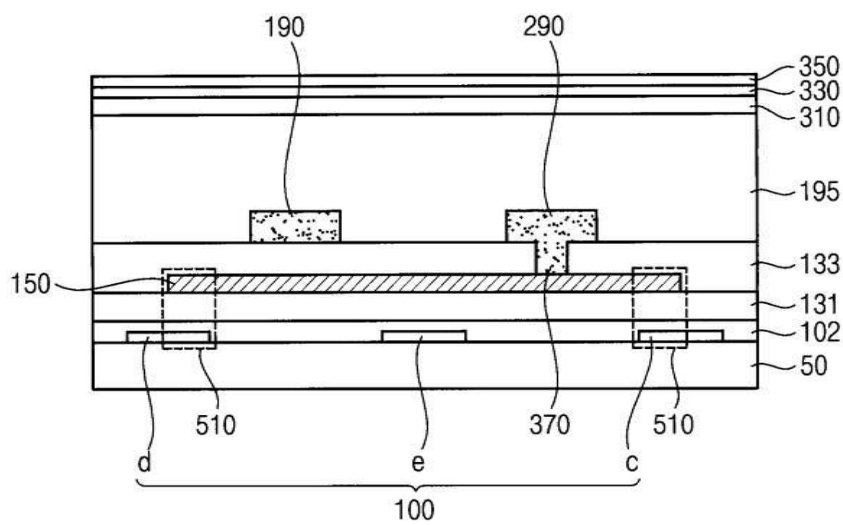
도면7



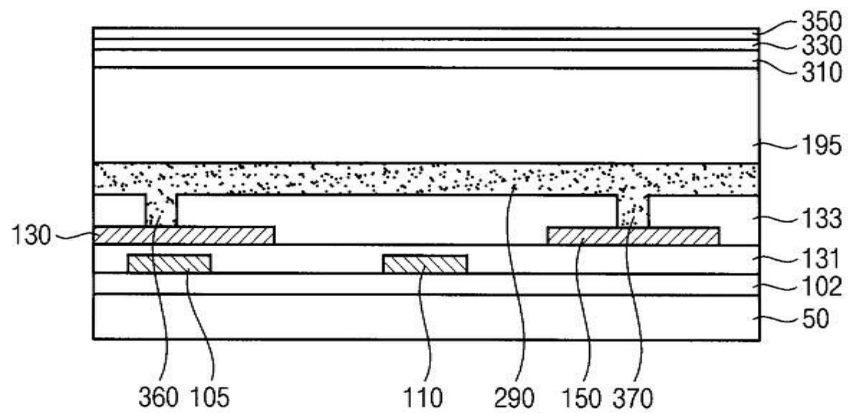
도면8



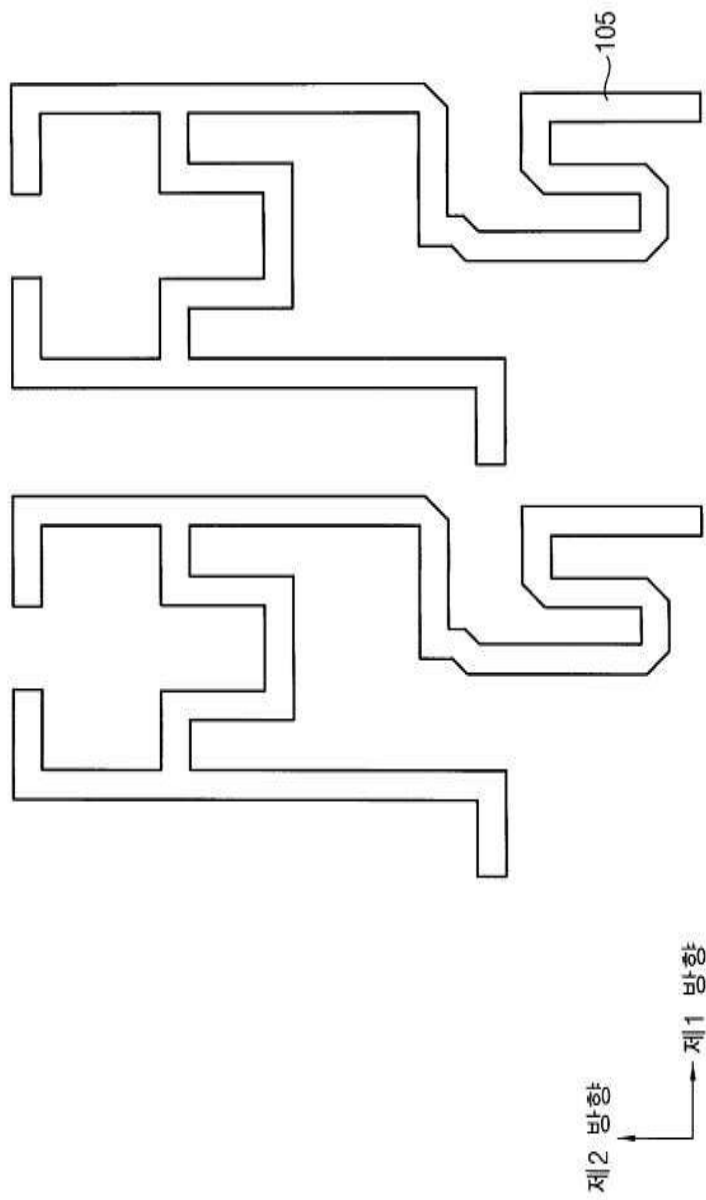
도면9



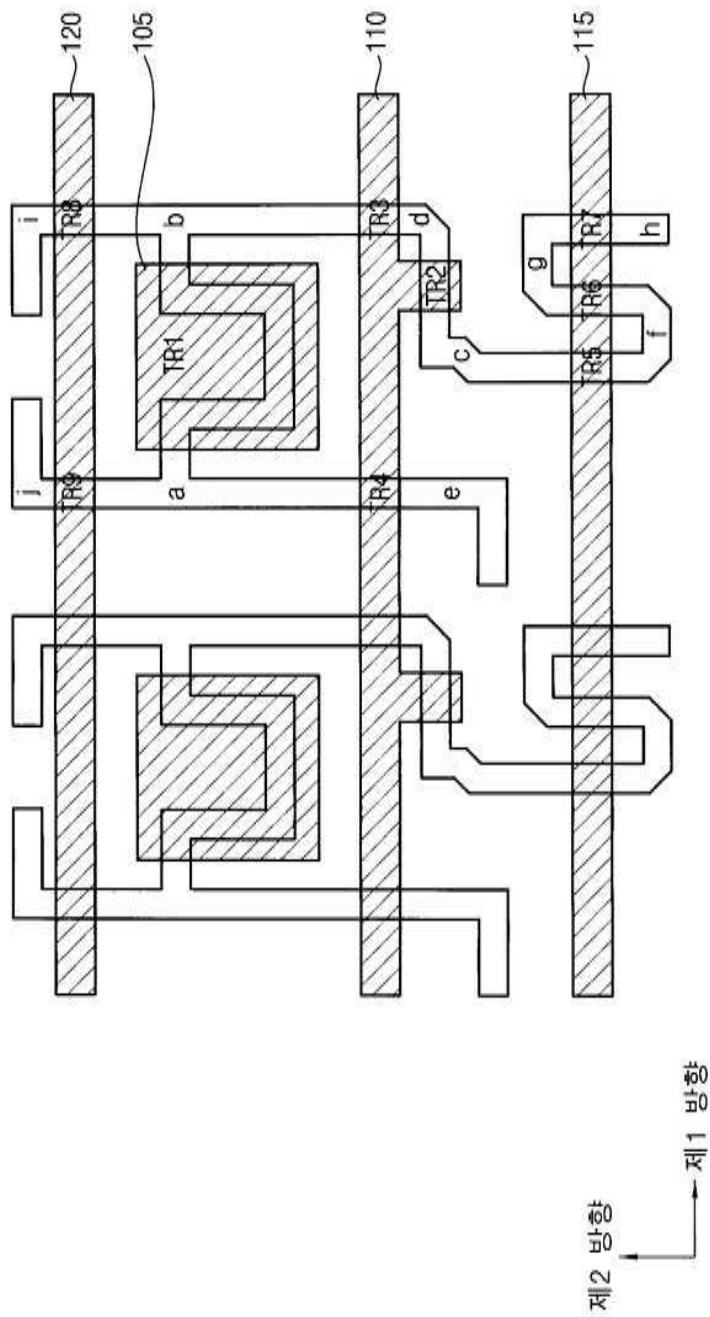
도면10



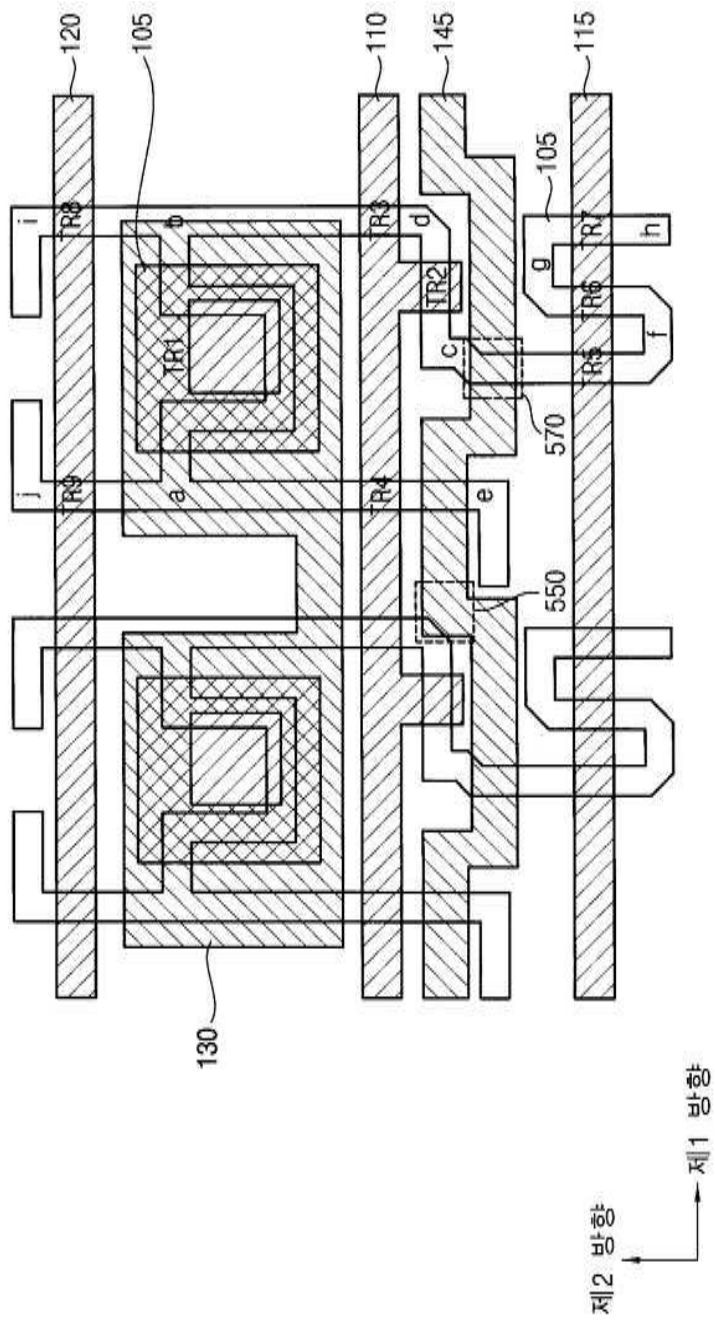
도면11



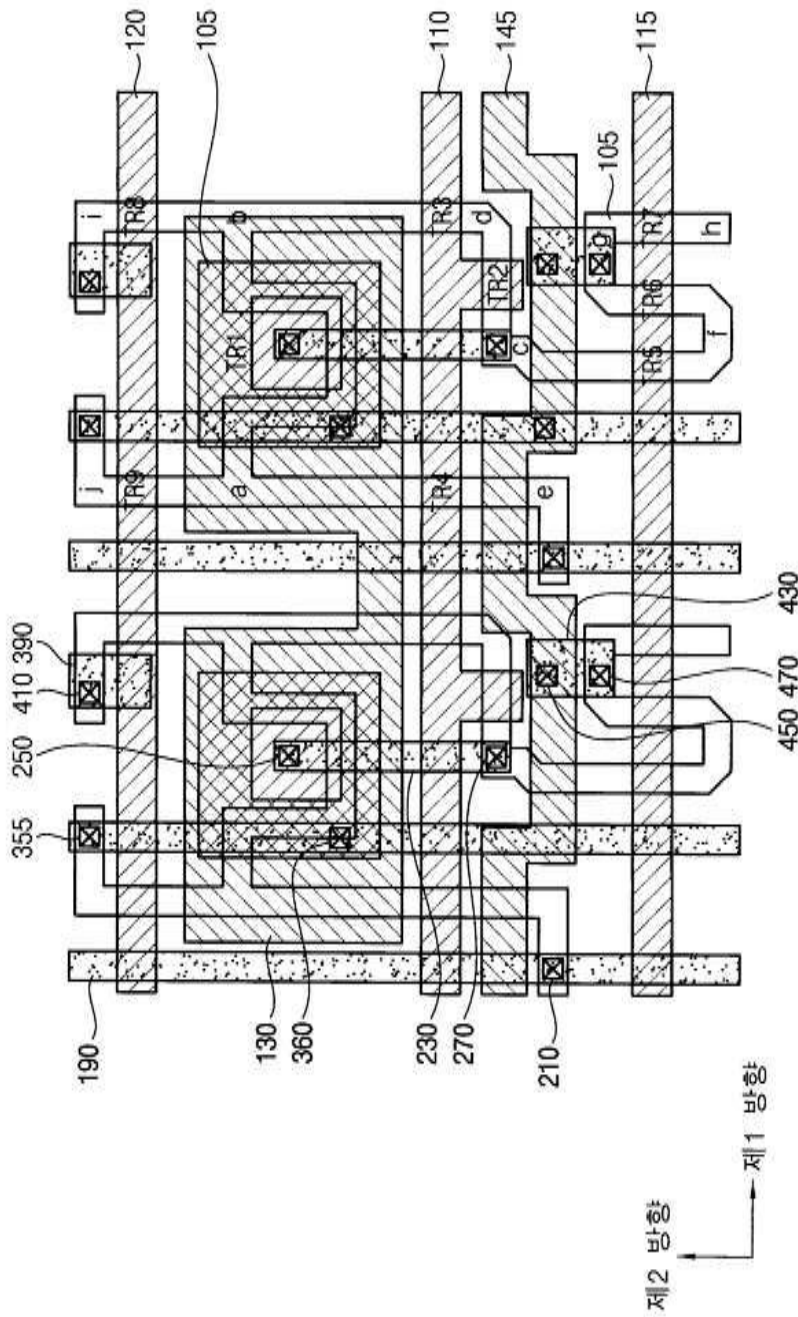
도면12



도면13



도면14



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160105956A	公开(公告)日	2016-09-08
申请号	KR1020150028724	申请日	2015-02-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KWON SUN JA 권선자 LEE JAE YONG 이재용 LEE JI EUN 이지은 KANG SO YOUNG 강소영 SEO SANG HO 서상호		
发明人	권선자 이재용 이지은 강소영 서상호		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3262 H01L2227/32 H01L27/1222 H01L27/124 H01L27/1225 H01L27/1255 H01L27/3258 H01L27/3276		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

有机发光显示装置可以包括有源图案，栅极绝缘层，其布置在基板上，其覆盖有源图案的第一层间绝缘膜，其布置在栅极绝缘层上，其覆盖第二部分和第二栅极构成具有第四区域的第三晶体管，第一栅极和第二栅极布置第二晶体管，第三区域和第四区域布置在第一栅极中，第一栅极布置第一晶体管区域和第二部分，以及与第一栅电极相同的层，它与有源图案部分重叠，它在栅极绝缘层上设置第一电源电压布线，这是提供有第一电源电压，其配置在构成寄生电容器的第一导电图案上，具有第四区域和第三区域的重叠部分，并且第一导电图案位于第四导电图案的第四区域和第三区域的至少一部分上在第一层间绝缘膜上设置与第三晶体管电连接的第一至第一电极的第三区域和第三区域，以及布置在第一电极上的有机发光层和布置在第一电极上的第二电极有机发光层设置在包括基板的第一电源电压布线上，第一区域，第二部分和第三区域布置在基板上，第四电源布线域。

