

전극은 상기 게이트 절연층 상에 배치되며, 상기 제1 영역, 및 상기 제2 영역과 함께 제1 트랜지스터를 구성한다. 상기 제2 게이트 전극은 상기 게이트 절연층 상에 배치되며, 상기 제3 영역 및 상기 제4 영역과 함께 제2 트랜지스터를 구성한다. 상기 제1 층간 절연막은 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 덮으며, 상기 게이트 절연층 상에 배치된다. 상기 도전 패턴은 상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 상기 액티브 패턴의 상기 제1 영역 및 상기 제4 영역과 중첩되도록 위치하고, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성한다. 상기 제1 트랜지스터는 유기 발광 다이오드에 공급되는 구동 전류를 생성하고, 상기 제1 영역은 상기 제4 영역과 접촉한다.

(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되고, 제1 영역, 제2 영역, 제3 영역 및 제4 영역을 포함하는 액티브 패턴;

상기 액티브 패턴을 덮으며, 상기 기관 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 상기 제1 영역, 및 상기 제2 영역과 함께 제1 트랜지스터를 구성하는 제1 게이트 전극;

상기 게이트 절연층 상에 배치되며, 상기 제3 영역 및 상기 제4 영역과 함께 제2 트랜지스터를 구성하는 제2 게이트 전극;

상기 제1 게이트 전극 및 상기 제2 게이트 전극을 덮으며, 상기 게이트 절연층 상에 배치되는 제1 층간 절연막; 및

상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 상기 액티브 패턴의 상기 제1 영역 및 상기 제4 영역과 중첩되도록 위치하고, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성하는 도전 패턴을 포함하고,

상기 제1 트랜지스터는 유기 발광 다이오드에 공급되는 구동 전류를 생성하고, 상기 제1 영역은 상기 제4 영역과 접촉하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 도전 패턴을 덮으며, 상기 제1 층간 절연막 상에 배치되는 제2 층간 절연막; 및

상기 제2 층간 절연막 상에 배치되며, 상기 액티브 패턴의 상기 제4 영역과 중첩되도록 위치하는 데이터 배선을 더 포함하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서, 상기 도전 패턴은 상기 데이터 배선과 상기 액티브 패턴의 상기 제4 영역 사이에서 기생 커패시터가 발생하는 것을 방지하는 유기 발광 표시 장치.

청구항 4

제 2 항에 있어서, 상기 데이터 배선은 상기 액티브 패턴의 상기 제3 영역과 중첩되도록 배치되며, 상기 제3 영역과 접촉하는 유기 발광 표시 장치.

청구항 5

제 2 항에 있어서,

상기 액티브 패턴은 제5 영역 내지 제 14 영역을 더 포함하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 게이트 절연층 상에 배치되며, 상기 제7 영역, 및 상기 제8 영역과 함께 제4 트랜지스터를 구성하는 제3 게이트 전극;

상기 게이트 절연층 상에 배치되며, 상기 제9 영역, 및 상기 제10 영역과 함께 제5 트랜지스터를 구성하고, 상

기 제11 영역, 및 상기 제12 영역과 함께 제6 트랜지스터를 구성하는 제4 게이트 전극; 및

상기 게이트 절연층 상에 배치되며, 상기 제13 영역, 및 상기 제14 영역과 함께 제7 트랜지스터를 구성하는 제5 게이트 전극을 더 포함하고,

상기 제2 게이트 전극은 상기 제5 영역 및 상기 제6 영역과 함께 제3 트랜지스터를 구성하는 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서,

상기 제10 영역은 상기 제1 영역 및 상기 제4 영역과 접촉하고,

상기 제2 영역은 상기 제5 영역 및 상기 제11 영역과 접촉하며,

상기 제6 영역은 상기 제8 영역과 접촉하고,

상기 제12 영역은 상기 제14 영역과 접촉하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서, 상기 제1 영역, 상기 제4 영역 및 상기 제10 영역은 소스 노드로 정의되며,

상기 소스 노드는 상기 제1 트랜지스터의 채널 영역, 상기 제2 트랜지스터의 채널 영역 및 상기 제5 트랜지스터의 채널 영역 사이에 위치하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 도전 패턴은 상기 소스 노드의 면적의 적어도 50% 이상과 중첩되는 유기 발광 표시 장치.

청구항 10

제 8 항에 있어서,

상기 도전 패턴은 상기 소스 노드의 면적의 적어도 80% 이상과 중첩되는 유기 발광 표시 장치.

청구항 11

제 6 항에 있어서,

상기 제2 게이트 전극은 현재 스테이지의 스캔 신호를 공급받고,

상기 제3 게이트 전극 및 상기 제5 게이트 전극은 이전 스테이지의 스캔 신호를 공급받으며,

상기 제4 게이트 전극은 발광 신호를 공급받고,

상기 제7 영역 및 상기 제13 영역은 초기화 전압을 공급받는 유기 발광 표시 장치.

청구항 12

제 6 항에 있어서,

상기 제2 층간 절연막 상에 배치되며, 상기 액티브 패턴의 상기 제9 영역 및 상기 도전 패턴과 접촉하는 전원 배선;

상기 제2 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 및 상기 제8 영역에 접촉하는 제1 연결 패턴; 및

상기 제2 층간 절연막 상에 배치되며, 상기 제12 영역에 접촉하는 제2 연결 패턴을 더 포함하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 데이터 배선은 데이터 신호를 공급받고,

상기 전원 배선은 제1 전원 전압을 공급받는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 12 항에 있어서,

상기 데이터 배선, 상기 전원 배선, 및 상기 제1 연결 패턴 및 상기 제2 연결 패턴을 덮으며, 상기 제2 층간 절연막 상에 배치되는 제3 층간 절연막; 및

상기 제3 층간 절연막 상에 배치되며, 상기 제 2 연결 패턴에 접촉되는 제1 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서,

상기 제3 층간 절연막 상에 배치되는 화소 정의막;

상기 제1 전극 상에 배치되는 유기 발광층; 및

상기 화소 정의막 및 상기 유기 발광층 상에 배치되는 제2 전극을 포함하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 제2 전극은 제2 전원 전압을 공급받는 유기 발광 표시 장치.

청구항 17

제 15 항에 있어서, 상기 제1 전극은 상기 유기 발광층 및 상기 제2 전극과 함께 상기 유기 발광 다이오드를 구성하는 유기 발광 표시 장치.

청구항 18

제 12 항에 있어서, 상기 전원 배선 및 상기 데이터 배선은 상기 기관의 상면에 평행한 제1 방향을 따라 연장하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 도전 패턴은 상기 기관의 상면에 평행하고, 상기 제1 방향에 수직인 제2 방향을 따라 연장하는 유기 발광 표시 장치.

청구항 20

제 1 항에 있어서, 상기 액티브 패턴은 산화물 반도체를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 화소를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 화소가 출력하는 광에 기초하여 영상을 표시할 수 있고, 유기 발광 표시 장치는 유기 발광 다이오드를 갖는 화소를 포함할 수 있다. 유기 발광 다이오드는 유기 발광 다이오드가 포함하는 유기 물질에 상응하는 파장을 갖는 광을 출력할 수 있다. 예를 들어, 유기 발광 다이오드는 적색광, 녹색광, 및 청색광에 상응하는 유기 물질을 포함할 수 있고, 유기 발광 표시 장치는 상기 유기 물질에 의해 출력되는 광을 조합하여 영상을 표시할 수 있다.

[0003] 유기 발광 다이오드는 구동 전류에 기초하여 광을 출력할 수 있다. 일반적으로, 구동 전류는 트랜지스터에 의해 생성될 수 있다. 유기 발광 표시 장치의 해상도가 증가할수록, 화소의 배선들 사이의 기생 커패시터가 형성되어

문제될 수 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 개선된 화질을 가지는 유기 발광 표시 장치를 제공하는 것이다.
- [0005] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 기관, 액티브 패턴, 게이트 절연층, 제1 게이트 전극, 제2 게이트 전극, 제1 층간 절연막 및 도전 패턴을 포함한다. 상기 액티브 패턴은 상기 기관 상에 배치되고, 제1 영역, 제2 영역, 제3 영역 및 제4 영역을 포함한다. 상기 게이트 절연층은 상기 액티브 패턴을 덮으며, 상기 기관 상에 배치된다. 상기 제1 게이트 전극은 상기 게이트 절연층 상에 배치되며, 상기 제1 영역, 및 상기 제2 영역과 함께 제1 트랜지스터를 구성한다. 상기 제2 게이트 전극은 상기 게이트 절연층 상에 배치되며, 상기 제3 영역 및 상기 제4 영역과 함께 제2 트랜지스터를 구성한다. 상기 제1 층간 절연막은 상기 제1 게이트 전극 및 상기 제2 게이트 전극을 덮으며, 상기 게이트 절연층 상에 배치된다. 상기 도전 패턴은 상기 제1 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 상기 액티브 패턴의 상기 제1 영역 및 상기 제4 영역과 중첩되도록 위치하고, 상기 제1 게이트 전극과 함께 스토리지 커패시터를 구성한다. 상기 제1 트랜지스터는 유기 발광 다이오드에 공급되는 구동 전류를 생성하고, 상기 제1 영역은 상기 제4 영역과 접촉한다.
- [0007] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 상기 도전 패턴을 덮으며, 상기 제1 층간 절연막 상에 배치되는 제2 층간 절연막; 및 상기 제2 층간 절연막 상에 배치되며, 상기 액티브 패턴의 상기 제4 영역과 중첩되도록 위치하는 데이터 배선을 더 포함할 수 있다.
- [0008] 일 실시예에 의하면, 상기 도전 패턴은 상기 데이터 배선과 상기 액티브 패턴의 상기 제4 영역 사이에서 기생 커패시터가 발생하는 것을 방지할 수 있다.
- [0009] 일 실시예에 의하면, 상기 데이터 배선은 상기 액티브 패턴의 상기 제3 영역과 중첩되도록 배치되며, 상기 제3 영역과 접촉할 수 있다.
- [0010] 일 실시예에 의하면, 상기 액티브 패턴은 제5 영역 내지 제 14 영역을 더 포함할 수 있다.
- [0011] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 상기 게이트 절연층 상에 배치되며, 상기 제7 영역, 및 상기 제8 영역과 함께 제4 트랜지스터를 구성하는 제3 게이트 전극; 상기 게이트 절연층 상에 배치되며, 상기 제9 영역, 및 상기 제10 영역과 함께 제5 트랜지스터를 구성하고, 상기 제11 영역, 및 상기 제12 영역과 함께 제6 트랜지스터를 구성하는 제4 게이트 전극; 및 상기 게이트 절연층 상에 배치되며, 상기 제13 영역, 및 상기 제14 영역과 함께 제7 트랜지스터를 구성하는 제5 게이트 전극을 더 포함할 수 있다. 상기 제2 게이트 전극은 상기 제5 영역 및 상기 제6 영역과 함께 제3 트랜지스터를 구성할 수 있다.
- [0012] 일 실시예에 의하면, 상기 제10 영역은 상기 제1 영역 및 상기 제4 영역과 접촉할 수 있다. 상기 제2 영역은 상기 제5 영역 및 상기 제11 영역과 접촉할 수 있다. 상기 제6 영역은 상기 제8 영역과 접촉할 수 있다. 상기 제12 영역은 상기 제14 영역과 접촉할 수 있다.
- [0013] 일 실시예에 의하면, 상기 제1 영역, 상기 제4 영역 및 상기 제10 영역은 소스 노드로 정의될 수 있다. 상기 소스 노드는 상기 제1 트랜지스터의 채널 영역, 상기 제2 트랜지스터의 채널 영역 및 상기 제5 트랜지스터의 채널 영역 사이에 위치할 수 있다.
- [0014] 일 실시예에 의하면, 상기 도전 패턴은 상기 소스 노드의 면적의 적어도 50% 이상과 중첩될 수 있다.
- [0015] 일 실시예에 의하면, 상기 도전 패턴은 상기 소스 노드의 면적의 적어도 80% 이상과 중첩될 수 있다.
- [0016] 일 실시예에 의하면, 상기 제2 게이트 전극은 현재 스테이지의 스캔 신호를 공급받을 수 있다. 상기 제3 게이트 전극 및 상기 제5 게이트 전극은 이전 스테이지의 스캔 신호를 공급받을 수 있다. 상기 제4 게이트 전극은 발광 신호를 공급받을 수 있다. 상기 제7 영역 및 상기 제13 영역은 초기화 전압을 공급받을 수 있다.

- [0017] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 상기 제2 층간 절연막 상에 배치되며, 상기 액티브 패턴의 상기 제9 영역 및 상기 도전 패턴과 접촉하는 전원 배선; 상기 제2 층간 절연막 상에 배치되며, 상기 제1 게이트 전극, 및 상기 제8 영역에 접촉하는 제1 연결 패턴; 및 상기 제2 층간 절연막 상에 배치되며, 상기 제12 영역에 접촉하는 제2 연결 패턴을 더 포함할 수 있다.
- [0018] 일 실시예에 의하면, 상기 데이터 배선은 데이터 신호를 공급받을 수 있다. 상기 전원 배선은 제1 전원 전압을 공급받을 수 있다.
- [0019] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 상기 데이터 배선, 상기 전원 배선, 및 상기 제1 연결 패턴 및 상기 제2 연결 패턴을 덮으며, 상기 제2 층간 절연막 상에 배치되는 제3 층간 절연막; 및 상기 제3 층간 절연막 상에 배치되며, 상기 제 2 연결 패턴에 접촉되는 제1 전극을 더 포함할 수 있다.
- [0020] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 상기 제3 층간 절연막 상에 배치되는 화소 정의막; 상기 제1 전극 상에 배치되는 유기 발광층; 및 상기 화소 정의막 및 상기 유기 발광층 상에 배치되는 제2 전극을 더 포함할 수 있다.
- [0021] 일 실시예에 의하면, 상기 제2 전극은 제2 전원 전압을 공급받을 수 있다.
- [0022] 일 실시예에 의하면, 상기 제1 전극은 상기 유기 발광층 및 상기 제2 전극과 함께 상기 유기 발광 다이오드를 구성할 수 있다.
- [0023] 일 실시예에 의하면, 상기 전원 배선 및 상기 데이터 배선은 상기 기관의 상면에 평행한 제1 방향을 따라 연장할 수 있다.
- [0024] 일 실시예에 의하면, 상기 도전 패턴은 상기 기관의 상면에 평행하고, 상기 제1 방향에 수직인 제2 방향을 따라 연장할 수 있다.
- [0025] 일 실시예에 의하면, 상기 액티브 패턴은 산화물 반도체를 포함할 수 있다.

발명의 효과

- [0026] 본 발명의 실시예들에 따른 상기 유기 발광 표시 장치는 데이터 배선과 액티브 패턴의 소스 노드 사이에 배치되는 도전 패턴을 포함할 수 있다. 상기 도전 패턴은 상기 데이터 배선과 상기 액티브 패턴의 상기 소스 노드 사이의 기생 커패시터가 형성되는 것을 방지할 수 있다. 이에 따라, 상기 유기 발광 표시 장치의 화질이 개선될 수 있다.
- [0027] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시예들에 따른 화소를 나타내는 회로도이다.
- 도 2 내지 도 4는 본 발명의 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면이다.
- 도 5는 도 4의 유기 발광 표시 장치에 포함하는 제7 트랜지스터의 단면도이다.
- 도 6는 도 4의 유기 발광 표시 장치에 포함하는 제3 트랜지스터의 단면도이다.
- 도 7은 도 4의 유기 발광 표시 장치에 포함하는 제1 트랜지스터의 단면도이다.
- 도 8은 비교 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면이다.
- 도 9는 본 발명의 실시예들과 비교 실시예들에서, 화소 위치에 따른 전류의 차이를 측정한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0030] 도 1은 본 발명의 실시예들에 따른 화소를 나타내는 회로도이다.

- [0031] 도 1을 참조하면, 화소(10)는 유기 발광 다이오드(OLED), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 제3 트랜지스터(TR3), 스토리지 커패시터(CST), 제4 트랜지스터(TR4), 제5 트랜지스터(TR5), 제6 트랜지스터(TR6), 및 제7 트랜지스터(TR7)를 포함할 수 있다. 실시예에 따라, 화소(10)는 기생 커패시턴스(capacitance)에 의해 형성된 셀 커패시터(CEL)를 더 포함할 수 있다.
- [0032] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 실시예에 따라, 유기 발광 다이오드(OLED)의 제2 단자는 제2 전원 전압(ELVSS)을 공급받을 수 있다. 일 실시예에서, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 제2 단자는 캐소드 단자일 수 있다. 다른 실시예에서, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 제2 단자는 애노드 단자일 수 있다.
- [0033] 제1 트랜지스터(TR1)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0034] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 일 실시예에서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 다른 실시예에서, 제1 트랜지스터는 선형 영역에서 동작할 수 있다. 이 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.
- [0035] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 현재 스테이지의 스캔 신호(Scan[n])를 공급받을 수 있다. 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0036] 제2 트랜지스터(TR2)는 현재 스테이지의 스캔 신호(Scan[n])의 활성화 구간 동안 데이터 신호(DATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.
- [0037] 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 현재 스테이지의 스캔 신호(Scan[n])를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0038] 제3 트랜지스터(TR3)는 현재 스테이지의 스캔 신호(Scan[n])의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이 경우, 제3 트랜지스터(TR3)는 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3)는 현재 스테이지의 스캔 신호(Scan[n])의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 현재 스테이지의 스캔 신호(Scan[n])의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.
- [0039] 스토리지 커패시터(CST)는 제1 전원 전압(ELVDD)과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 스토리지 커패시터(CST)는 현재 스테이지의 스캔 신호(Scan[n])의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 현재 스테이지의 스캔 신호(Scan[n])의 비활성화 구간은 발광 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.
- [0040] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 게이트 단자는 이전 스테이지의 스캔 신호(Scan[n-1])를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

- [0041] 제4 트랜지스터(TR4)는 이전 스테이지의 스캔 신호(Scan[n-1])의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이 경우, 제4 트랜지스터(TR4)는 선형 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4)는 이전 스테이지의 스캔 신호(Scan[n-1])의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 결과적으로, 이전 스테이지의 스캔 신호(Scan[n-1])는 데이터 초기화 신호로 역할을 수행할 수 있다.
- [0042] 일 실시예에서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 실시예에서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.
- [0043] 실시예에 따라, 이전 스테이지의 스캔 신호(Scan[n-1])는 일 스테이지 전의 현재 스테이지의 스캔 신호(Scan[n])와 실질적으로 동일한 신호로 정의될 수 있다. 예를 들어, 표시 패널이 포함하는 복수의 화소들 중 제 n(단, n은 2이상의 정수)행의 화소에 공급되는 이전 스테이지의 스캔 신호(Scan[n-1])는 상기 화소들 중 (n-1)행의 화소에 공급되는 현재 스테이지의 스캔 신호(Scan[n])와 실질적으로 동일한 신호일 수 있다. 즉, 상기 화소들 중 (n-1)행의 화소에 활성화된 현재 스테이지의 스캔 신호(Scan[n])를 공급함으로써, 화소들 중 n행의 화소에 활성화된 이전 스테이지의 스캔 신호(Scan[n-1])를 공급할 수 있다. 그 결과, 화소들 중 (n-1)행의 화소에 데이터 신호(DATA)를 공급함과 동시에 화소들 중 n행의 화소가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0044] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 전원 전압(ELVDD)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0045] 제5 트랜지스터(TR5)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이 경우, 제5 트랜지스터(TR5)는 선형 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 제1 전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.
- [0046] 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0047] 제6 트랜지스터(TR6)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이 경우, 제6 트랜지스터(TR6)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.
- [0048] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 이전 스테이지의 스캔 신호(Scan[n-1])를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0049] 제7 트랜지스터(TR7)는 이전 스테이지의 스캔 신호(Scan[n-1])의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이 경우, 제7 트랜지스터(TR7)는 선형 영역에서 동작할 수

있다. 즉, 제7 트랜지스터(TR7)는 이전 스테이지의 스캔 신호(Scan[n-1])의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 결과적으로, 이전 스테이지의 스캔 신호(Scan[n-1])는 다이오드 초기화 신호로 역할을 수행할 수 있다.

- [0050] 도 2 내지 도 4는 본 발명의 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면이다.
- [0051] 도 2를 참조하면, 유기 발광 표시 장치는 기판(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 및 제5 게이트 전극(125)을 포함할 수 있다.
- [0052] 기판은 절연 물질로 구성될 수 있다. 예를 들면, 기판은 유리 기판, 투명 플라스틱 기판, 투명 금속 산화물 기판 등을 포함할 수 있다. 예시하지는 않았지만, 기판 상에는 적어도 하나의 버퍼층이 제공될 수 있다. 예를 들면, 상기 버퍼층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0053] 액티브 패턴(100)은 기판 상에 배치될 수 있다. 액티브 패턴(100)은 실리콘으로 구성될 수 있다. 다른 실시예에 따라, 액티브 패턴(100)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy), 사성분계 화합물(ABxCyDz) 등을 포함하는 반도체 산화물로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0054] 액티브 패턴(100)은 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n)을 포함할 수 있다. 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n)에는 불순물이 도핑될 수 있으며, 이에 따라 액티브 패턴(100)의 나머지 영역들보다 높은 전기 전도도를 가질 수 있다. 제1 내지 제14 영역들(a, b, c, d, e, f, g, h, i, j, k, l, m, n)은 제1 내지 제7 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6, TR7)의 소스 전극 또는 드레인 전극을 구성하는 영역을 표시하기 위한 것으로, 영역 간 경계가 명확하게 구분되지 않을 수 있고, 서로 전기적으로 연결되어 있을 수 있다. 예를 들어, 도 2와 같이 제2 영역(b)은 제5 영역(e) 및 제11 영역(k)과 명확한 경계를 갖지 않고 서로 전기적으로 연결될 수 있다.
- [0055] 게이트 절연층은 액티브 패턴(100)을 덮으며 기판 상에 배치될 수 있다. 게이트 절연층은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예를 들어, 게이트 절연층은 실리콘 산화물막 및 실리콘 질화물막을 포함하는 다층 구조를 가질 수 있다.
- [0056] 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 및 제5 게이트 전극(125)은 게이트 절연층 상에 배치될 수 있다. 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 및/또는 제5 게이트 전극(125)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 및/또는 제5 게이트 전극(125)은 알루미늄(Al), 은(Ag), 텅스텐(W), 구리(Cu), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 이들의 합금 또는 도전성 질화물을 포함할 수 있다. 이와 달리, 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 및/또는 제5 게이트 전극(125)은 스트론튬 루테튬 산화물(SrRuOy), 아연 산화물(ZnOx), 인듐 주석 산화물(ITO), 주석 산화물(SnOx), 인듐 산화물(InOx), 갈륨 산화물(GaOx), 인듐 아연 산화물(IZO) 등을 포함할 수 있다.
- [0057] 제1 게이트 전극(105)은 제1 영역(a) 및 제2 영역(b)과 함께 제1 트랜지스터(TR1)를 구성할 수 있다. 일 실시예에서, 제1 영역(a)은 소스 영역이고, 제2 영역(b)은 드레인 영역일 수 있다. 다른 실시예에서, 제1 영역(a)은 드레인 영역이고, 제2 영역(b)은 소스 영역일 수 있다. 제1 영역(a) 및 제2 영역(b)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제1 영역(a) 및 제2 영역(b)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제1 게이트 전극(105) 하부에 위치하는 영역은 제1 트랜지스터(TR1)의 채널로 동작할 수 있다. 그 결과, 제1 트랜지스터(TR1)는 유기 발광 다이오드에 공급되는 도 1의 구동 전류(ID)를 생성할 수 있고, 유기 발광 다이오드는 구동 전류(ID)에 기초하여 광을 출력할 수 있다.
- [0058] 제2 게이트 전극(110)은 제3 영역(c) 및 제4 영역(d)과 함께 제2 트랜지스터(TR2)를 구성할 수 있다. 일 실시예에서, 제3 영역(c)은 소스 영역이고, 제4 영역(d)은 드레인 영역일 수 있다. 다른 실시예에서, 제3 영역(c)은

드레인 영역이고, 제4 영역(d)은 소스 영역일 수 있다.

- [0059] 또한, 제2 게이트 전극(110)은 제5 영역(e) 및 제6 영역(f)과 함께 제3 트랜지스터(TR3)를 구성할 수 있다. 일 실시예에서, 제5 영역(e)은 소스 영역이고, 제6 영역(f)은 드레인 영역일 수 있다. 다른 실시예에서, 제5 영역(e)은 드레인 영역이고, 제6 영역(f)은 소스 영역일 수 있다.
- [0060] 이 때, 제4 영역(d)은 제1 영역(a)과 전기적으로 연결될 수 있고, 제5 영역(e)은 제2 영역(b)과 전기적으로 연결될 수 있다. 제3 영역(c), 제4 영역(d), 제5 영역(e), 및 제6 영역(f)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제2 게이트 전극(110) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제3 영역(c), 제4 영역(d), 제5 영역(e), 및 제6 영역(f)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제2 게이트 전극(110) 하부에 위치하는 영역들은 각각 제2 트랜지스터(TR2)의 채널 및 제3 트랜지스터(TR3)의 채널로 동작할 수 있다. 실시예에 따라, 제2 게이트 전극(110)은 도 1의 현재 스테이지의 스캔 신호(Scan[n])를 공급받을 수 있다.
- [0061] 제3 게이트 전극(115)은 제7 영역(g) 및 제8 영역(h)과 함께 제4 트랜지스터(TR4)를 구성할 수 있다. 일 실시예에서, 제7 영역(g)은 소스 영역이고, 제8 영역(h)은 드레인 영역일 수 있다. 다른 실시예에서, 제7 영역(g)은 드레인 영역이고, 제8 영역(h)은 소스 영역일 수 있다.
- [0062] 이 때, 제8 영역(h)은 제6 영역(f)과 전기적으로 연결될 수 있다. 제7 영역(g), 및 제8 영역(h)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제3 게이트 전극(115) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제7 영역(g), 및 제8 영역(h)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제3 게이트 전극(115) 하부에 위치하는 영역은 제4 트랜지스터(TR4)의 채널로 동작할 수 있다. 실시예에 따라, 제3 게이트 전극(115)은 도 1의 이전 스테이지의 스캔 신호(Scan[n-1])를 공급받을 수 있다.
- [0063] 제4 게이트 전극(120)은 제9 영역(i) 및 제10 영역(j)과 함께 제5 트랜지스터(TR5)를 구성할 수 있다. 일 실시예에서, 제9 영역(i)은 소스 영역이고, 제10 영역(j)은 드레인 영역일 수 있다. 다른 실시예에서, 제9 영역(i)은 드레인 영역이고, 제10 영역(j)은 소스 영역일 수 있다.
- [0064] 또한, 제4 게이트 전극(120)은 제11 영역(k) 및 제12 영역(l)과 함께 제6 트랜지스터(TR6)를 구성할 수 있다. 일 실시예에서, 제11 영역(k)은 소스 영역이고, 제12 영역(l)은 드레인 영역일 수 있다. 다른 실시예에서, 제11 영역(k)은 드레인 영역이고, 제12 영역(l)은 소스 영역일 수 있다.
- [0065] 이 때, 제10 영역(j)은 제1 영역(a)과 전기적으로 연결될 수 있고, 제11 영역(k)은 제2 영역(b)과 전기적으로 연결될 수 있다. 제9 영역(i), 제10 영역(j), 제11 영역(k), 및 제12 영역(l)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제4 게이트 전극(120) 하부에 위치하는 영역들은 불순물이 도핑되지 않을 수 있다. 그 결과, 제9 영역(i), 제10 영역(j), 제11 영역(k), 및 제12 영역(l)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제4 게이트 전극(120) 하부에 위치하는 영역들은 각각 제5 트랜지스터(TR5)의 채널 및 제6 트랜지스터(TR6)의 채널로 동작할 수 있다. 실시예에 따라, 제4 게이트 전극(120)은 도 1의 발광 신호(EM)를 공급받을 수 있다.
- [0066] 제5 게이트 전극(125)은 제13 영역(m) 및 제14 영역(n)과 함께 제7 트랜지스터(TR7)를 구성할 수 있다. 일 실시예에서, 제13 영역(m)은 소스 영역이고, 제14 영역(n)은 드레인 영역일 수 있다. 다른 실시예에서, 제13 영역(m)은 드레인 영역이고, 제14 영역(n)은 소스 영역일 수 있다.
- [0067] 이 때, 제14 영역(n)은 제12 영역(l)과 전기적으로 연결될 수 있다. 제13 영역(m), 및 제14 영역(n)은 불순물이 도핑되어 형성될 수 있다. 반면에, 액티브 패턴(100) 중 제5 게이트 전극(125) 하부에 위치하는 영역은 불순물이 도핑되지 않을 수 있다. 그 결과, 제13 영역(m), 및 제14 영역(n)은 도체로 동작할 수 있고, 액티브 패턴(100) 중 제5 게이트 전극(125) 하부에 위치하는 영역은 제7 트랜지스터(TR7)의 채널로 동작할 수 있다. 실시예에 따라, 제5 게이트 전극(125)은 도 1의 이전 스테이지의 스캔 신호(Scan[n-1])를 공급받을 수 있다. 실시예에 따라, 제7 영역(g) 및 제13 영역(m)은 도 1의 초기화 전압(VINT)을 공급받을 수 있다.
- [0068] 한편, 액티브 패턴(100)의 제1 영역(a), 제4 영역(d) 및 제10 영역(j)은 소스 노드로 정의될 수 있다. 즉, 상기 소스 노드는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2) 및 제5 트랜지스터(TR5)의 채널 영역들 사이에 위치할 수 있다.
- [0069] 도 3을 참조하면, 유기 발광 표시 장치는 도 2와 같이 기관(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120),

및 제5 게이트 전극(125)을 포함할 수 있다. 나아가, 상기 유기 발광 표시 장치는 층간 절연막(도시되지 않음), 및 도전 패턴(132)을 더 포함할 수 있다.

- [0070] 상기 층간 절연막은 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 및 제5 게이트 전극(125)을 덮으며, 게이트 절연층 상에 배치될 수 있다. 제2 게이트 전극(110)제3 게이트 전극(115)제4 게이트 전극(120)제5 게이트 전극(125)제2 게이트 전극(110)제3 게이트 전극(115)제4 게이트 전극(120)제5 게이트 전극(125)상기 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 상기 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0071] 도전 패턴(132)은 상기 층간 절연막 상에 배치될 수 있다. 도전 패턴(132)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0072] 도전 패턴(132)은 제1 게이트 전극(105)과 중첩되도록 배치될 수 있다. 이에 따라, 도전 패턴(132)은 제1 게이트 전극(105)과 함께 도 1의 스토리지 커패시터(CST)를 구성할 수 있다.
- [0073] 한편, 도전 패턴(132)은 제1 게이트 전극(105)과 중첩된 부분으로부터, 상기 기관의 상면에 평행한 방향으로 연장할 수 있다. 결과적으로, 도전 패턴(132)은 액티브 패턴(100)의 제1 영역(a), 제4 영역(d) 및 제10 영역(j)과 중첩되도록 배치될 수 있다. 즉, 도전 패턴(132)은 액티브 패턴(100)의 상기 소스 노드와 중첩되도록 배치될 수 있다. 예를 들어, 상기 도전 패턴(132)은 상기 소스 노드의 면적의 적어도 50% 이상과 중첩될 수 있다. 보다 바람직하게, 상기 도전 패턴(132)은 상기 소스 노드의 면적의 적어도 80% 이상과 중첩될 수 있다. 실시예에 따라, 도전 패턴(132)은 이후 설명하는 배선을 통해서, 도 1의 제1 전원 전압(ELVDD)을 공급받을 수 있다.
- [0074] 예시적인 실시예들에 있어서, 도전 패턴(132)은 상기 기관의 상면에 평행한 제2 방향을 따라 연장될 수 있다. 다시 말해서, 하나의 화소에 배치된 도전 패턴(132)은 상기 제2 방향으로 인접하여 배치된 화소에 배치된 도전 패턴(132)과 직접적으로 접촉할 수 있다.
- [0075] 도 4를 참조하면, 유기 발광 표시 장치는 도 3와 같이 기관(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 층간 절연막(도시되지 않음), 및 도전 패턴(132)을 포함할 수 있다. 나아가, 유기 발광 표시 장치는 제1 층간 절연막(도시되지 않음), 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 더 포함할 수 있다. 실시예에 따라, 유기 발광 표시 장치는 제3 연결 패턴(153)을 더 포함할 수 있다.
- [0076] 제1 층간 절연막은 도전 패턴(132)을 덮으며, 층간 절연막 상에 배치될 수 있다. 실시예에 따라, 제1 층간 절연막은 도전 패턴(132)을 충분히 덮을 수 있으며, 도전 패턴(132)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 제1 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제1 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0077] 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 제2 연결 패턴(150) 및 제3 연결 패턴(153)은 제1 층간 절연막 상에 배치될 수 있다. 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 제2 연결 패턴(150) 및 제3 연결 패턴(153)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0078] 데이터 배선(135)은 액티브 패턴(100)의 제3 영역(c)에 전기적으로 접촉될 수 있다. 예를 들어, 데이터 배선(135)은 제1 콘택 홀(165)을 통해 제3 영역(c)에 접촉될 수 있다. 실시예에 따라, 데이터 배선(135)은 도 1의 데이터 신호(DATA)를 공급받을 수 있다. 그 결과, 데이터 배선(135)은 제1 콘택 홀(165)을 통해 제3 영역(c)에 데이터 신호(DATA)를 공급할 수 있다.
- [0079] 데이터 배선(135)은 상기 기관의 상면에 평행한 제1 방향으로 연장할 수 있다. 데이터 배선(135)은 액티브 패턴(100)의 일 부분과 중첩되도록 배치될 수 있다. 예를 들어, 데이터 배선(135)은 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j)과 중첩되도록 배치될 수 있다. 앞서 언급한 바와 같이, 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j)은 불순물로 도핑될 수 있으며, 상대적으로 높은 전기 전도도를 가질 수 있다.
- [0080] 만약, 데이터 배선(135)과 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j) 사이에 불가피하게 기생 커패시터가 발생한다면, 아래에서 설명하는 제1 전극에 인가되는 구동 전류값이 감소되어 문제가 발생할 수 있다. 구체

적으로, 유기 발광 표시 장치에서 저계조를 표현할 때, AID 디밍(AMOLED impulsive driving dimming) 방식을 사용할 수 있다. 상기 AID 디밍 방식에서는, 감마값을 일정하게 유지하고, 발광 신호(EM)의 활성화 시간을 조절하여 계조를 제어할 수 있다. 예를 들어, V255 2nit의 계조를 구현할 때, 감마값은 100nit에 대응하는 값을 이용하고, 발광 신호(EM)의 활성화 시간을 2%로 줄일 수 있다. 다만, 상기 AID 디밍 방식을 사용하고, 앞서 언급한 기생 커패시터가 발생하는 경우에, 상기 유기 발광 표시 장치의 화면에 가로띠가 시인되는 문제점이 있다.

[0081] 반면에 본 발명의 예시적인 실시예들에 있어서, 도전 패턴(132)은 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j) 사이에 배치될 수 있다. 이에 따라, 도전 패턴(132)은 데이터 배선(135)과 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j) 사이에 불가피하게 기생 커패시터가 발생하는 것을 방지할 수 있다. 이에 따라, AID 디밍 방식을 이용하더라도, 상기 유기 발광 표시 장치의 화면에 가로띠가 보이지 않을 수 있으며, 화질이 개선될 수 있다.

[0082] 전원 배선(140)은 액티브 패턴(100)의 제9 영역(i), 및 도전 패턴(132)에 전기적으로 접촉될 수 있다. 예를 들어, 전원 배선(140)은 제2 콘택 홀(170)을 통해 제9 영역(i)에 접촉될 수 있고, 전원 배선(140)은 추가 콘택 홀(190)을 통해 도전 패턴(132)에 접촉될 수 있다. 실시예에 따라, 전원 배선(140)은 도 1의 제1 전원 전압(ELVDD)을 공급받을 수 있다. 그 결과, 전원 배선(140)은 제2 콘택 홀(170)을 통해 제9 영역(i)에 제1 전원 전압(ELVDD)을 공급할 수 있고, 전원 배선(140)은 추가 콘택 홀(190)을 통해 도전 패턴(132)에 제1 전원 전압(ELVDD)을 공급할 수 있다.

[0083] 예시적인 실시예들에 있어서, 전원 배선(140)은 상기 기관의 상면에 평행한 제1 방향으로 연장할 수 있다.

[0084] 제1 연결 패턴(145)은 제1 게이트 전극(105), 및 액티브 패턴(100)의 제8 영역(h)에 전기적으로 접촉될 수 있다. 예를 들어, 제1 연결 패턴(145)은 제3 콘택 홀(175)을 통해 제1 게이트 전극(105)에 접촉될 수 있고, 제1 연결 패턴(145)은 제4 콘택 홀(180)을 통해 제8 영역(h)에 접촉될 수 있다. 그 결과, 제1 연결 패턴(145)은 제3 콘택 홀(175) 및 제4 콘택 홀(180)을 통해 제1 게이트 전극(105)과 제8 영역(h)을 전기적으로 서로 연결시킬 수 있다.

[0085] 제2 연결 패턴(150)은 액티브 패턴(100)의 제12 영역(1)에 전기적으로 접촉될 수 있다. 예를 들어, 제2 연결 패턴(150)은 제5 콘택 홀(185)을 통해 제12 영역(1)에 접촉될 수 있다. 그 결과, 제1 트랜지스터(TR1)가 생성한 도 1의 구동 전류(ID)를 상부에 배치되는 유기 발광 다이오드에 공급할 수 있다.

[0086] 제3 연결 패턴(153)은 제7 영역(g)에 접촉될 수 있다. 예를 들어, 제3 연결 패턴(153)은 제7 콘택 홀(155)을 통해 제7 영역(g)에 접촉될 수 있다. 실시예에 따라, 제3 연결 패턴(153)은 도 1의 초기화 전압(VINT)을 공급받을 수 있다. 그 결과, 제3 연결 패턴(153)은 제7 콘택 홀(155)을 통해 제7 영역(g)에 초기화 전압(VINT)을 공급할 수 있다.

[0087] 도시되지는 않았으나, 액티브 패턴(110)의 제13 영역(m)에 전기적으로 접촉된 추가 연결 패턴을 더 포함할 수 있다. 이에 따라, 제13 영역(m)에 초기화 전압(VINT)을 공급할 수 있다.

[0088] 실시예에 따라, 유기 발광 표시 장치는 제2 층간 절연막(도시되지 않음), 제1 전극(도시되지 않음), 화소 정의막(도시되지 않음), 유기 발광층(도시되지 않음), 및 제2 전극(도시되지 않음)을 더 포함할 수 있다.

[0089] 제2 층간 절연막은 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 덮으며, 제1 층간 절연막 상에 배치될 수 있다. 실시예에 따라, 제2 층간 절연막은 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 충분히 덮을 수 있으며, 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제2 층간 절연막은 실리콘 화합물과 같은 유기 물질이나 투명 절연 수지와 같은 무기 물질을 포함할 수 있다. 예를 들면, 제2 층간 절연막은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등으로 이루어질 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0090] 제1 전극은 제2 층간 절연막 상에 배치될 수 있다. 구체적으로, 제1 전극은 제2 층간 절연막의 일부 상에 배치될 수 있다. 제1 전극은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0091] 제1 전극은 제2 연결 패턴(150)에 전기적으로 접촉될 수 있다. 예를 들어, 제1 전극은 제7 콘택 홀(도시되지 않음)을 통해 제2 연결 패턴(150)에 접촉될 수 있다. 그 결과, 제1 전극은 제7 콘택 홀을 통해 도 1의 구동 전류(ID)를 공급받을 수 있다. 일 실시예에서, 제1 전극은 애노드 단자일 수 있다. 다른 실시예에서, 제1 전극은 캐

소드 단자일 수 있다.

- [0092] 화소 정의막은 제2 층간 절연막 상에 배치될 수 있다. 구체적으로, 화소 정의막은 제2 층간 절연막, 및 제1 전극의 일부 상에 배치될 수 있다. 화소 정의막은 제2 층간 절연막 상에 배치된 제1 전극의 일부에 개구를 형성할 수 있고, 상기 개구에는 유기 발광층이 배치될 수 있다. 유기 발광층은 제1 전극 상에 배치될 수 있다. 구체적으로, 유기 발광층은 화소 정의막의 상기 개구를 통해 노출되는 제1 전극 상에 배치될 수 있다. 유기 발광층은 광을 출력할 수 있는 발광 물질을 포함할 수 있다. 발광 물질은 유기 물질을 포함할 수 있다. 실시예에 따라, 발광 물질은 적색광, 녹색광, 및/또는 청색광의 파장들에 상응하는 유기 물질들을 포함할 수 있다.
- [0093] 제2 전극은 화소 정의막 및 유기 발광층 상에 배치될 수 있다. 실시예에 따라, 제2 전극은 투명 도전성 물질로 구성될 수 있다. 예를 들어, 제2 전극은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다. 일 실시예에서, 제2 전극은 캐소드 단자일 수 있다. 즉, 제2 전극은 상응하는 유기 발광층, 및 상응하는 제1 전극과 함께 도 1의 유기 발광 다이오드(OLED)를 구성할 수 있다. 다른 실시예에서, 제2 전극은 애노드 단자일 수 있다. 실시예에 따라, 제2 전극은 제2 전원 전압을 공급받을 수 있다. 예를 들어, 제2 전극은 도 1의 제2 전원 전압(ELVSS)을 공급받을 수 있다.
- [0094] 결과적으로, 도 4 내지 도 6의 유기 발광 표시 장치는 유기 발광 다이오드의 반응 속도를 향상시킬 수 있는 도 1의 화소를 포함할 수 있다. 앞서 언급한 바와 같이, 도전 패턴(132)의 배치에 따라서, 액티브 패턴(100)과 데이터 배선(135) 사이의 기생 커패시터의 형성을 방지할 수 있다.
- [0095] 도 5는 도 4의 유기 발광 표시 장치에 포함되는 제7 트랜지스터를 I-I'라인을 따라 자른 단면도이다.
- [0096] 도 5를 참조하면, 상기 유기 발광 표시 장치는 기관(50), 액티브 패턴(100), 게이트 절연층(102), 제5 게이트 전극(125), 제1 층간 절연막(131), 제2 연결 패턴(150), 추가 연결 패턴(151), 제2 층간 절연막(133), 제3 층간 절연막(195), 제1 전극(200), 화소 정의막(210), 유기 발광층(220), 및 제2 전극(230)을 포함할 수 있다.
- [0097] 유리, 투명 플라스틱, 투명 세라믹 등과 같은 투명 절연 물질로 구성될 수 있는 기관(50) 상에 액티브 패턴(100)이 배치될 수 있다. 액티브 패턴은 제13 영역(n), 제14 영역(m) 및 제15 영역(o)을 포함할 수 있다. 제15 영역(o)은 제13 영역(n)과 제14 영역(m)의 사이에 배치되며, 이후 설명하는 제5 게이트 전극(125)의 하부에 위치할 수 있다.
- [0098] 액티브 패턴(100)액티브 패턴(100)제5 게이트 전극(125)앞서 언급한 바와 같이, 게이트 절연층(102)은 액티브 패턴(100)을 덮도록 배치될 수 있다.
- [0099] 액티브 패턴(100)액티브 패턴(100)게이트 절연층(102) 상에는 제5 게이트 전극(125)이 배치될 수 있다.
- [0100] 게이트 절연층(102) 상에는 제5 게이트 전극(125)을 덮는 제1 층간 절연막(131) 및 제2 층간 절연막(133)이 형성될 수 있다. 제1 층간 절연막(131) 및 제2 층간 절연막(133)은 제5 게이트 전극(125)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다. 이 경우, 제1 층간 절연막(131) 및 제2 층간 절연막(133)은 실질적으로 평탄한 상면을 가질 수 있다.
- [0101] 제1 층간 절연막(131) 및 제2 층간 절연막(133)을 부분적으로 식각하여, 액티브 패턴(100)의 제14 영역(m) 및 제13 영역(n)을 각기 노출시키는 콘택 홀들을 형성할 수 있다. 다음에, 상기 콘택 홀들을 각기 채우면서 제2 층간 절연막(133) 상에 제2 연결 패턴(150), 및 추가 연결 패턴(151)을 형성할 수 있다.
- [0102] 제2 층간 절연막(133) 상에는 제2 연결 패턴(150), 및 추가 연결 패턴(151)을 덮는 제3 층간 절연막(195)이 형성될 수 있다. 제3 층간 절연막(195)제3 층간 절연막(195)은 제2 연결 패턴(150), 및 추가 연결 패턴(151)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다. 이 경우, 제3 층간 절연막(195)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제3 층간 절연막(195)의 평탄한 상면을 구현하기 위하여 제3 층간 절연막(195)에 대해 평탄화 공정이 추가적으로 수행될 수 있다.
- [0103] 제3 층간 절연막(195)을 부분적으로 식각하여, 제2 연결 패턴(150)의 일부를 노출시키는 제7 콘택 홀을 형성할 수 있다. 다음에, 제7 콘택 홀을 채우면서 제3 층간 절연막(195) 상에 제1 전극(200)을 형성할 수 있다. 제1 전극(200)은 제3 층간 절연막(195)의 일부 상에 형성될 수 있다.
- [0104] 제3 층간 절연막(195) 상에는 제1 전극(200)을 덮는 화소 정의막(210)이 형성될 수 있다.
- [0105] 화소 정의막(210)은 제1 전극(200)의 일부에 개구를 형성할 수 있고, 상기 개구에는 유기 발광층(220)이 형성될 수 있다. 즉, 유기 발광층(220)은 화소 정의막(210)의 상기 개구를 통해 노출되는 제1 전극(200) 상에 배치될

수 있다.

- [0106] 마지막으로, 화소 정의막(210), 및 유기 발광층(220) 상에는 제2 전극(230)이 형성될 수 있다.
- [0107] 도 6는 도 4의 유기 발광 표시 장치에 포함되는 제3 트랜지스터 및 제6 트랜지스터를 II-II' 라인을 따라 자른 단면도이다.
- [0108] 도 6을 참조하면, 유기 발광 표시 장치는 기관(50), 액티브 패턴(100), 게이트 절연층(102), 제2 게이트 전극(110), 제4 게이트 전극(120), 제1 층간 절연막(131), 도전 패턴(132), 제2 층간 절연막(133), 데이터 배선(135), 전원 배선(140), 및 제3 층간 절연막(195)을 포함할 수 있다.
- [0109] 기관(50), 액티브 패턴(100), 게이트 절연층(102), 제2 게이트 전극(110), 제4 게이트 전극(120), 제1 층간 절연막(131) 및 제2 층간 절연막(133)은 도 5를 참조로 설명한 구성들과 실질적으로 동일하거나 유사할 수 있다.
- [0110] 한편, 액티브 패턴(100)은 제3 영역(c), 제4 영역(d), 제9 영역(i), 제 10 영역(j), 제16 영역(p) 및 제17 영역(q)을 포함할 수 있다. 제16 영역(p)은 제2 게이트 전극(110) 아래에 위치할 수 있으며, 제17 영역(q)은 제4 게이트 전극(120) 아래에 위치할 수 있다.
- [0111] 제1 층간 절연막(131)과 제2 층간 절연막(133) 사이에는 도전 패턴(132)이 배치될 수 있다. 앞서 언급한 바와 같이, 도전 패턴(132)은 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j)과 데이터 배선(135) 사이의 기생 커패시터가 형성되는 것을 방지할 수 있다.
- [0112] 도 7은 도 4의 유기 발광 표시 장치에 포함되는 제1 트랜지스터를 III-III' 라인을 따라 자른 단면도이다.
- [0113] 도 7을 참조하면, 유기 발광 표시 장치는 기관(50), 액티브 패턴(100), 게이트 절연층(102), 제1 게이트 전극(105), 제1 층간 절연막(131), 도전 패턴(132), 제2 층간 절연막(133), 데이터 배선(135), 전원 배선(140), 및 제3 층간 절연막(195)을 포함할 수 있다.
- [0114] 앞서 언급한 바와 같이, 제1 게이트 전극(105)과 도전 패턴(132)은 스토리지 커패시터를 형성할 수 있다.
- [0115] 도 8은 비교 실시예들에 따른 화소를 포함하는 유기 발광 표시 장치를 나타내는 레이아웃 도면이다.
- [0116] 유기 발광 표시 장치는 도 4와 같이 기관(도시되지 않음), 액티브 패턴(100), 게이트 절연층(도시되지 않음), 제1 게이트 전극(105), 제2 게이트 전극(110), 제3 게이트 전극(115), 제4 게이트 전극(120), 제5 게이트 전극(125), 층간 절연막(도시되지 않음), 및 도전 패턴(134)을 포함할 수 있다. 나아가, 유기 발광 표시 장치는 제1 층간 절연막(도시되지 않음), 데이터 배선(135), 전원 배선(140), 제1 연결 패턴(145), 및 제2 연결 패턴(150)을 더 포함할 수 있다. 실시예에 따라, 유기 발광 표시 장치는 제3 연결 패턴(153)을 더 포함할 수 있다.
- [0117] 상기 유기 발광 표시 장치는 도전 패턴(134)을 제외하면, 도 1 내지 도 7을 참조로 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사하다. 이에 따라, 반복되는 구성에 대한 설명은 생략한다.
- [0118] 도전 패턴(134)은 층간 절연막 상에 배치될 수 있다. 도전 패턴(132)은 제1 게이트 전극(105)과 중첩되도록 배치될 수 있다. 이에 따라, 도전 패턴(134)은 제1 게이트 전극(105)과 함께 도 1의 스토리지 커패시터(CST)를 구성할 수 있다. 한편, 도전 패턴(134)은 액티브 패턴(100)의 제1 영역(a), 제4 영역(d) 및 제10 영역(j)과 중첩되지 않도록 배치될 수 있다. 이에 따라, 액티브 패턴(100)의 제4 영역(d) 및 제10 영역(j)과 데이터 배선(134) 사이에 기생 커패시터가 형성될 수 있다. 상기 기생 커패시터는 위에서 설명하는 제1 전극에 인가되는 구동 전류값이 감소시킬 수 있다.
- [0119] 도 9는 본 발명의 실시예들과 비교 실시예들에서, 화소 위치에 따른 전류의 차이를 측정한 그래프이다.
- [0120] 그래프에서 X축은 각각의 개별 화소의 위치를 나타내고, Y축은 각각의 개별 화소에 대응하는 제1 전극(즉, 화소 전극)에 인가되는 구동 전류의 값을 나타낸다.
- [0121] 도 9을 참조하면, 비교 실시예들에 따르면, 일부 화소들에서 구동 전류의 값이 떨어지는 것을 확인하였다. 반면에 본 발명에 따르면, 구동 전류의 값이 일정하게 유지되었다. 즉, 본 발명의 도전 패턴의 위치 및 형상에 의해서 기생 커패시터의 형성을 억제할 수 확인하였다. 또한, 구동 전류 저하 방지를 확인하였다.
- [0122] 이상, 본 발명의 실시예들에 따른 화소 및 이를 포함하는 유기 발광 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 상기에서는 PMOS 트랜지스터를

포함하는 화소를 설명하였으나, 화소의 종류는 이에 한정되는 것이 아니다.

산업상 이용가능성

- [0123] 본 발명은 유기 발광 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰, 감시 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템 등에 적용될 수 있다.
- [0124] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

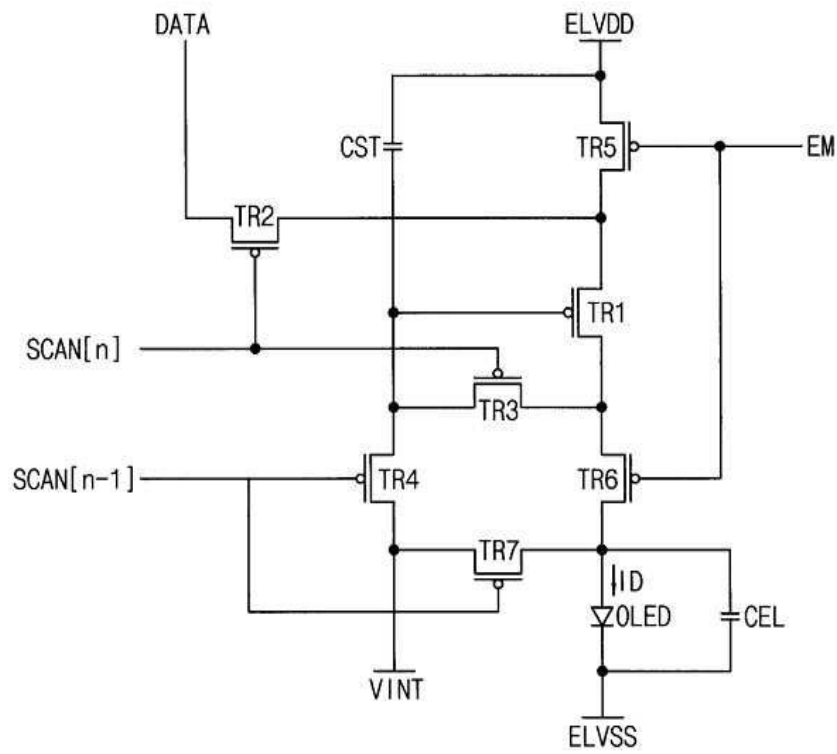
부호의 설명

- [0125] 10: 화소 50: 기판
- 100: 액티브 패턴 102: 게이트 절연층
- 105: 제1 게이트 전극 110: 제2 게이트 전극
- 115: 제3 게이트 전극 120: 제4 게이트 전극
- 125: 제5 게이트 전극 131: 제1 층간 절연막
- 132: 도전 패턴 133: 제2 층간 절연막
- 135: 데이터 배선 140: 전원 배선
- 145: 제1 연결 패턴 150: 제2 연결 패턴
- 195: 제2 층간 절연막 200: 제1 전극
- 210: 화소 정의막 220: 유기 발광층
- 230: 제2 전극

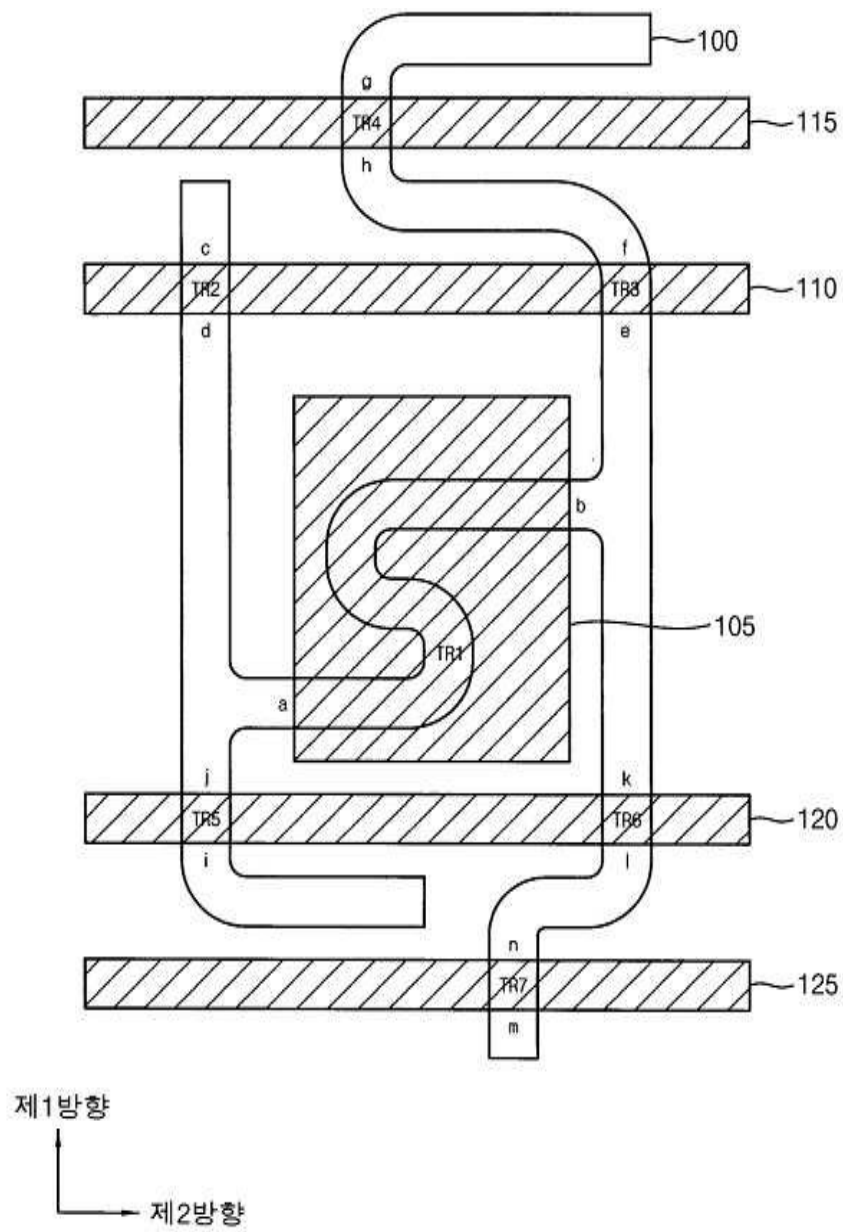
도면

도면1

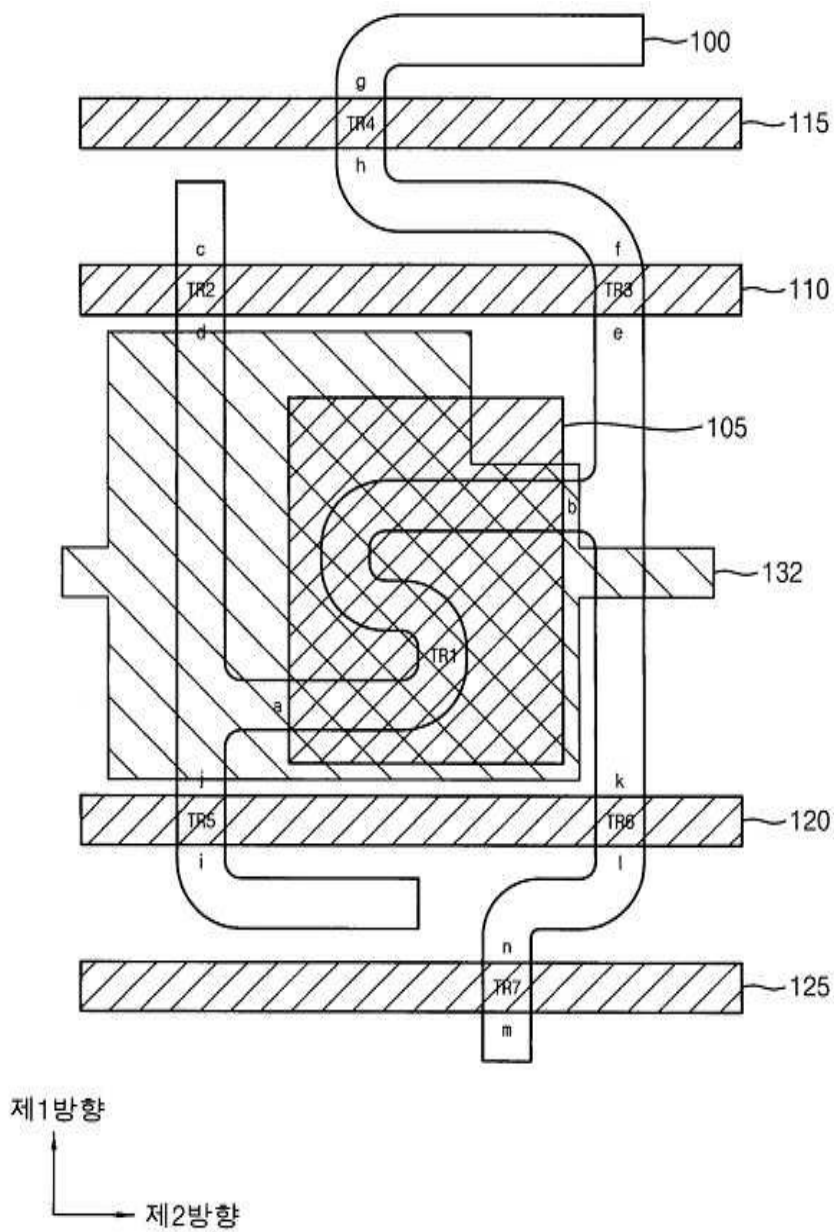
10



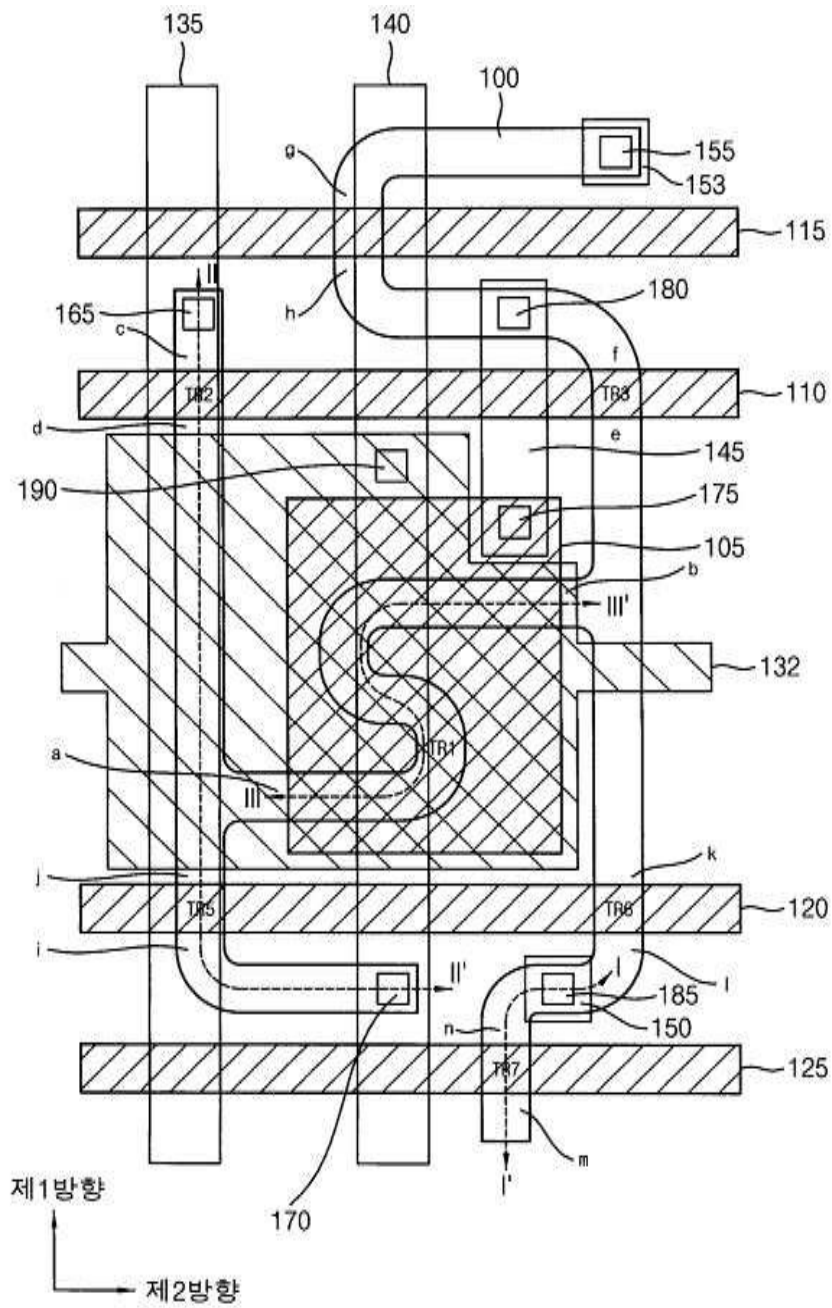
도면2



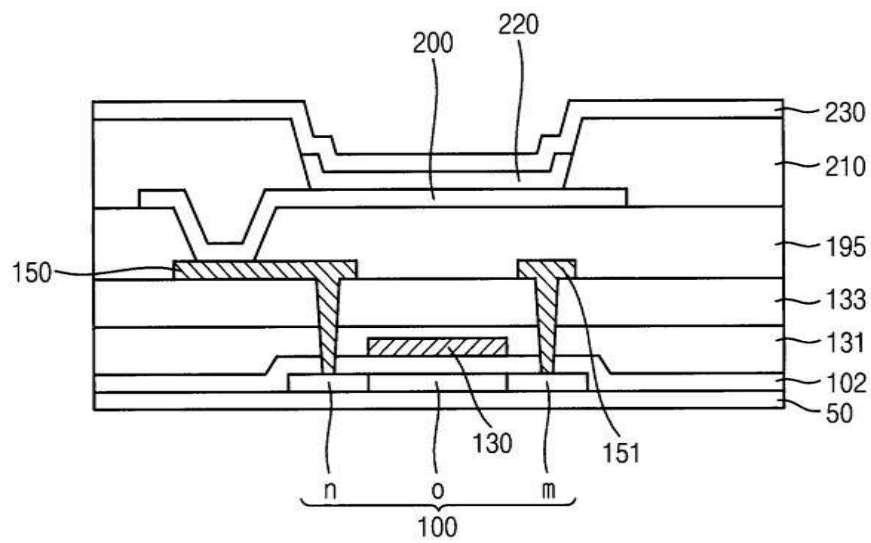
도면3



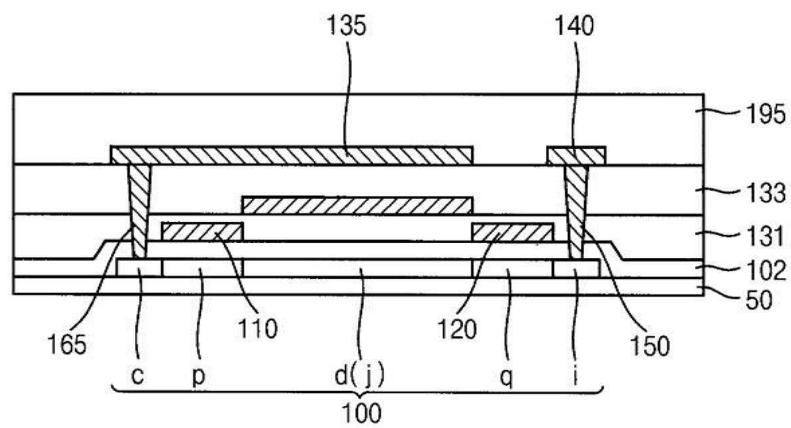
도면4



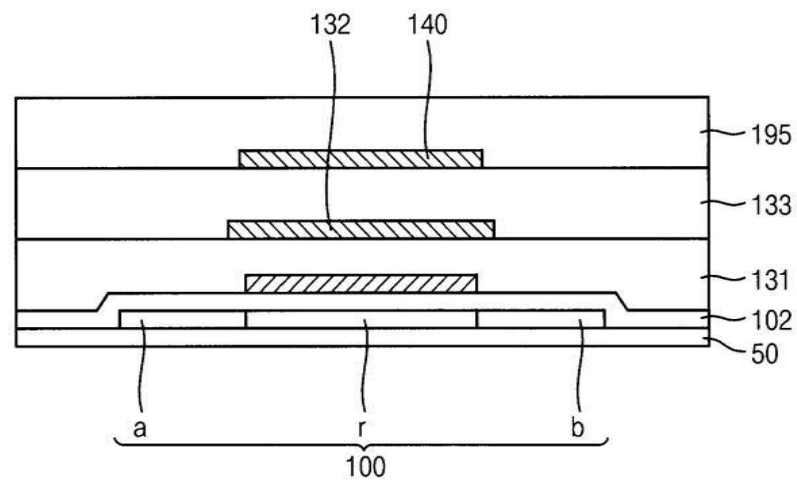
도면5



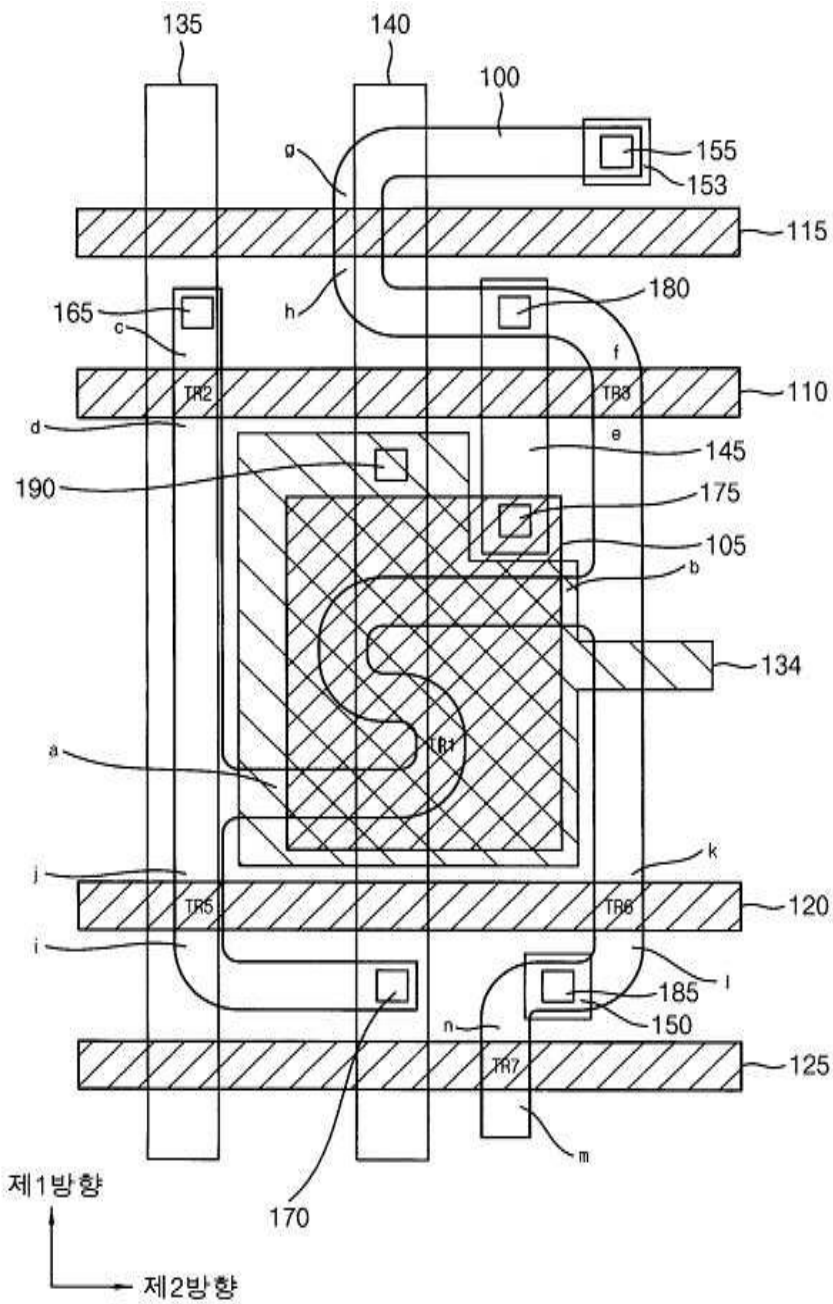
도면6



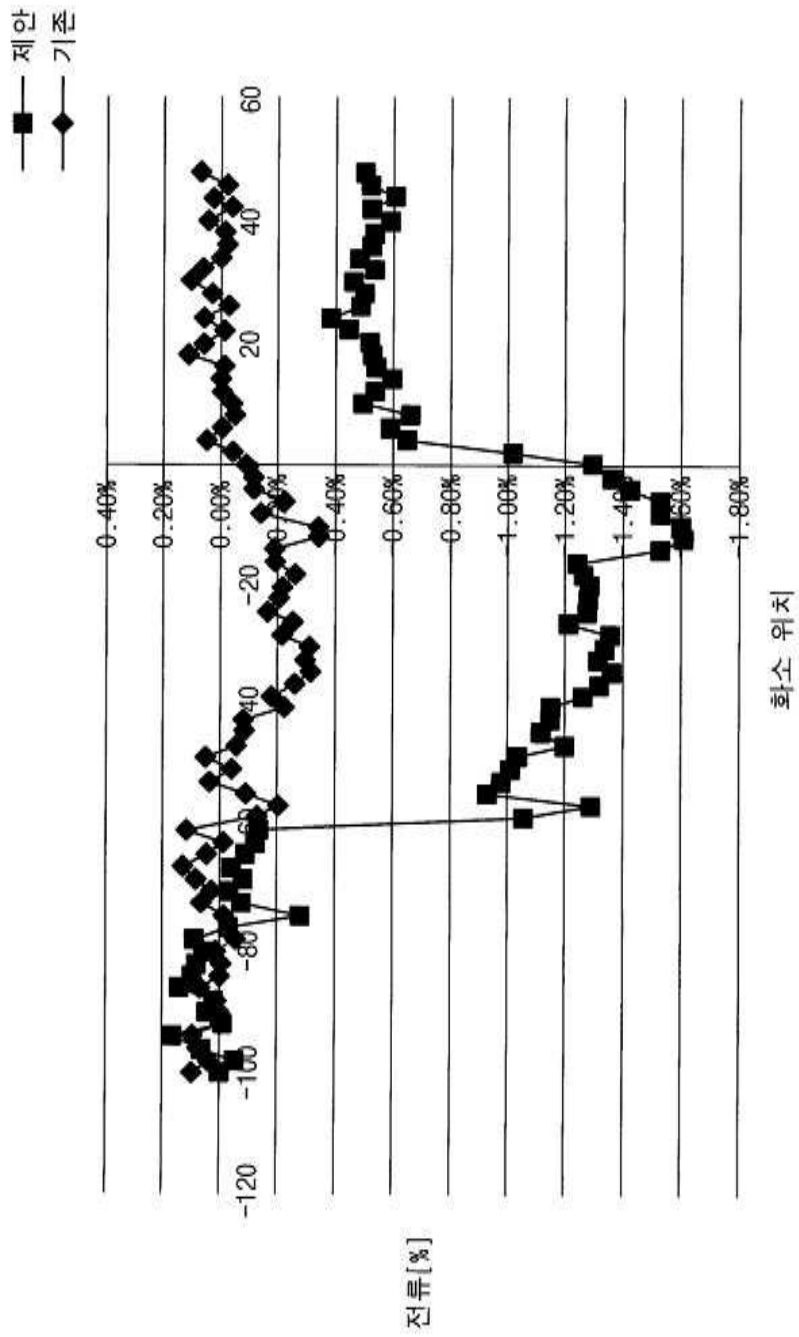
도면7



도면8



도면9



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160090949A	公开(公告)日	2016-08-02
申请号	KR1020150010603	申请日	2015-01-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM MI HAE 김미해 EOM KI MYEONG 엄기명		
发明人	김미해 엄기명		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3258 H01L27/3246 H01L2227/32 G09G3/3225 G09G2300/0819 G09G2300/0847 G09G2310/0262 G09G2320/0219 G09G2320/045 H01L27/3265 H01L27/3276		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括基板，有源图案，栅极绝缘层，第一栅电极，第二栅电极，第一层间绝缘膜和导电图案。有源图案包括其布置在基板，第二部分和第三区域以及第四区域上的第一区域。栅极绝缘层覆盖有源图案并且布置在基板上。第一栅电极布置在栅极绝缘层上，第一晶体管布置在第一区域和第二部分上。第二栅电极布置在栅极绝缘层上，第二晶体管布置有第三区域和第四区域。第一层间绝缘膜覆盖第一栅电极和第二栅电极，并且布置在栅极绝缘层上。导电图案布置在第一层间绝缘膜上并且定位以与第一栅电极重叠，并且有源图案的第一区域和第四区域以及存储电容器配置有第一栅电极。产生第一晶体管被供应到有机发光二极管的驱动电流，并且第一区域接触第四区域。

