



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0089451
(43) 공개일자 2016년07월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G11C 19/28 (2006.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G11C 19/28 (2013.01)
(21) 출원번호 10-2016-7016624
(22) 출원일자(국제) 2014년12월24일
심사청구일자 2016년06월22일
(85) 번역문제출일자 2016년06월22일
(86) 국제출원번호 PCT/CN2014/094751
(87) 국제공개번호 WO 2015/096721
국제공개일자 2015년07월02일
(30) 우선권주장
201310725080.2 2013년12월25일 중국(CN)

(71) 출원인
쿤산 뉴 플랫 패널 디스플레이 테크놀로지 센터
씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 포토일렉트릭 인더스트리얼 파크, 푸 춘 리버 로드, 넘버 320
쿤산 고-비전녹스 옵토-일렉트로닉스 씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 룡텡 로드, 넘버 1, 빌딩 4
(72) 발명자
후, 시밍
중국, 장쑤 215300, 쿤산 뉴 앤드 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드, 넘버 188
주, 후이
중국, 장쑤 215300, 쿤산 뉴 앤드 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드, 넘버 188
(뒷면에 계속)
(74) 대리인
조철현, 황태웅, 김재천

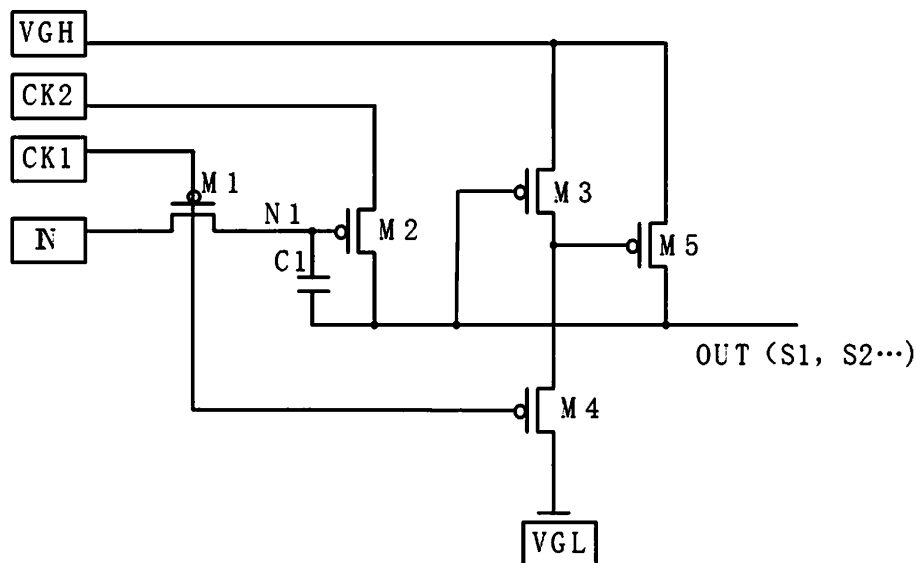
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 스캔 드라이버 및 그 스캔 드라이버를 사용하는 유기발광 디스플레이

(57) 요약

본 발명은 스캔 드라이버 및 그 스캔 드라이버를 사용하는 유기발광 디스플레이를 제공하며, 해당 스캔 드라이버는 역위상을 구비한 제1 타이밍 클록신(CK1)의 신호와 제2 타이밍 클록신(CK2)의 신호를 접수하는 다수의 캐스케이드 접속구조를 포함하며, 캐스케이드 접속구조는 순차적으로 출력신호(스캔신호)를 생성하며, 그가운데 각 캐 (뒷면에 계속)

대표도 - 도4



스캐이드 접속구조는 시작신호선(IN) 혹은 앞쪽 캐스캐이드 접속구조의 스캔 출력선(S1,S2...)과 연결된 제1 트랜지스터(M1); 제2 타이밍 클록선(CK2) 및 스캔 출력선(S1,S2...)과 연결된 제2 트랜지스터(M2); 전원 고레벨 VGH와 연결된 제3 트랜지스터(M3); 전원 저레벨 VGL 및 제3 트랜지스터(M3)의 출력단과 연결된 제4 트랜지스터(M4); 전원 고레벨 VGH 및 스캔 출력선(S1,S2...)과 연결된 제5 트랜지스터(M5); 제1 트랜지스터(M1) 출력단과 스캔 출력선(S1,S2...) 사이에 연결된 제1 콘덴서(C1)를 포함한다. M1의 출력단 및 스캔 출력선(S1,S2...) 사이에 제1 콘덴서(C1)을 추가하여 제2 트랜지스터(M2)의 마이크로 도통이 저지되며, 그리하여 스캔 드라이버의 역방향 전류와 전력소모가 동반 감소된다.

(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

후양, 시우치

중국, 장쑤 215300, 쿤산 뉴 엔드 하이-테크 인터 스트리얼 디벨롭먼트 존, 첸펑 로드, 넘버 188

가오, 시아오유

중국, 장쑤 215300, 쿤산 뉴 엔드 하이-테크 인터 스트리얼 디벨롭먼트 존, 첸펑 로드, 넘버 188

명세서

청구범위

청구항 1

역위상을 구비한 제1 타이밍 클록선의 신호와 제2 타이밍 클록선의 신호를 접수하는 다수의 캐스캐이드 접속구조로서, 상기 캐스캐이드 접속구조는 순차적으로 스캔신호를 생성하며, 상기 각 캐스캐이드 접속구조는,

시작신호선 혹은 상기 캐스캐이드 접속구조의 스캔 출력선과 연결된 제1 트랜지스터, 상기 제1 트랜지스터는 상기 제1 타이밍 클록선과 연결된 그리드를 포함하며;

상기 제2 타이밍 클록선 및 상기 스캔 출력선과 연결된 제2 트랜지스터, 상기 제2 트랜지스터는 상기 제1 트랜지스터의 출력단과 연결된 그리드를 포함하며;

전원 고레벨 VGH와 연결된 제3 트랜지스터, 상기 제3 트랜지스터는 상기 제2 트랜지스터의 출력단과 연결된 그리드를 포함하며;

전원 저레벨 VGL 및 상기 제3 트랜지스터의 출력단과 연결된 제4 트랜지스터, 상기 제4 트랜지스터는 상기 제1 타이밍 클록선과 연결된 그리드를 포함하며;

전원 고레벨 VGH 및 스캔 출력선과 연결된 제5 트랜지스터, 상기 제5 트랜지스터는 상기 제4 트랜지스터의 출력단 및 상기 제3 트랜지스터의 출력단과 연결된 그리드를 포함하며;

상기 제1 트랜지스터 출력단과 상기 스캔 출력선 사이에 연결된 제1 콘덴서를 포함하는 스캔 드라이버.

청구항 2

제1항에 있어서,

상기 각 캐스캐이드 접속구조는 상기 제1 트랜지스터 출력단과 고정전위 사이에 연결된 제2 콘덴서를 더 포함하는 것을 특징으로 하는 스캔 드라이버.

청구항 3

제2항에 있어서,

상기 고정전위는 전원 저레벨 VGL인 것을 특징으로 하는 스캔 드라이버.

청구항 4

제2항에 있어서,

상기 고정전위는 전원 고레벨 VGH인 것을 특징으로 하는 스캔 드라이버.

청구항 5

제1항에 있어서,

홀수의 상기 캐스캐이드 접속구조의 제1 클록단은 상기 제1 타이밍 클록선과 연결되고, 제2 클록단은 상기 제2 타이밍 클록선과 연결되며, 짝수의 상기 캐스캐이드 접속구조의 제1 클록단은 상기 제2 타이밍 클록선과 연결되고, 제2 클록단은 상기 제1 타이밍 클록선과 연결되는 것을 특징으로 하는 스캔 드라이버.

청구항 6

제1항 내지 제5항 중 어느 하나의 항에 있어서,

상기 트랜지스터는 양방향 PMOS관 또는 양방향 P형 필름 전기장효과 트랜지스터인 것을 특징으로 하는 스캔 드라이버.

청구항 7

데이터선과 스캔 출력선을 연결하는 화소 배열;

상기 데이터선에 데이터신호를 제공하는 데이터 드라이버;

제1항 내지 제6항 중의 어느 하나의 항에 있어서의 상기 스캔 출력선에 스캔신호를 제공하는 스캔 드라이버;

상기 스캔 드라이버에 타이밍신호 및 전원 고레벨 VGH와 전원 저레벨 VGL을 제공하는 타이밍 제어기를 포함하는 유기발광 디스플레이.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광관 디스플레이, 특히 스캔 드라이버 전력소모를 감소시킬 수 있는 스캔 드라이버 및 그 스캔 드라이버를 사용하는 유기발광 디스플레이에 관한 것이다.

배경 기술

[0002] 유기발광 디스플레이에 사용되는 발광소자는 유기발광다이오드(Organic Light-Emitting Diode, 이하 'OLED')이다. OLED는 기존 평판디스플레이 기술 트렌드인 박막 필름 트랜지스터(Thin Film Transistor, 이하 'TFT') 액정 디스플레이에 비해 훨씬 높은 명암비, 넓은 시각, 낮은 전력소모, 얇은 부피 등 장점을 구비하여 LCD의 뒤를 이을 차세대 평판디스플레이 기술로 유망한 현존 평판디스플레이 기술 중에서 가장 각광받는 기술의 하나이다.

[0003] 현존 스캔 구동회로는 다수의 트랜지스터, 시작신호선(IN), 타이밍 클록선 (CLK1, CLK2), 전원 고레벨 VGH와 전원 저레벨 VGL로 구성되었다. 타이밍 클록선 (CLK1, CLK2)에 점프현상이 나타나면 트랜지스터에 내장된 기생 캐패시터가 작동하면서, 해당 회로에 미약한 역방향 전류가 생긴다. 이에 따라 전반 스크린패널 N행이 동시에 작동하면 수mA, 심지어는 그보다 훨씬 강한 역방향 전류가 생기면서, 스크린패널 디스플레이 효과가 균일하지 못하고 전력소모가 지나치게 높아진다.

발명의 내용

해결하려는 과제

[0004] 전통적인 기술에 산적한 스캔 드라이버 전력소모가 지나치게 높은 문제점을 해결하기 위해서는 OLED 디스플레이 스캔 드라이버의 역방향 전류를 효과적으로 감소시킬 수 있는 장치가 필수적이다.

과제의 해결 수단

[0005] 상기 과제를 해결하기 위해, 본 발명에 따른 스캔 드라이버는, 역위상을 구비한 제1 타이밍 클록선의 신호와 제2 타이밍 클록선의 신호를 접수하는 다수의 캐스캐이드 접속구조를 포함하며, 캐스캐이드 접속구조는 순차적으로 스캔신호를 생성하며, 그가운데 각 캐스캐이드 접속구조는 시작신호선 혹은 앞쪽 캐스캐이드 접속구조의 스캔 출력선과 연결된 제1 트랜지스터가 있고, 제1 트랜지스터에는 제1 타이밍 클록선과 연결된 그리드가 포함되며; 제2 타이밍 클록선 및 스캔 출력선과 연결된 제2 트랜지스터가 있고, 제2 트랜지스터에는 제1 트랜지스터의 출력단과 연결된 그리드가 포함되며; 전원 고레벨 VGH와 연결된 제3 트랜지스터가 있고, 제3 트랜지스터에는 제2 트랜지스터의 출력단과 연결된 그리드가 포함되며; 전원 저레벨 VGL 및 제3 트랜지스터의 출력단과 연결된 제4 트랜지스터가 있고, 제4 트랜지스터에는 제1 타이밍 클록선과 연결된 그리드가 포함되며; 전원 고레벨 VGH 및 스캔 출력선과 연결된 제5 트랜지스터가 있고, 제5 트랜지스터에는 제4 트랜지스터의 출력단 및 제3 트랜지스터의 출력단과 연결된 그리드가 포함되며; 제1 트랜지스터 출력단과 스캔 출력선 사이에 연결된 제1 콘덴서를 포함한다.

[0006] 바람직하게, 각 캐스캐이드 접속구조에는 제1 트랜지스터 출력단과 고정전위 사이에 연결된 제2 콘덴서를 더 포함한다.

[0007] 바람직하게, 고정전위는 전원 저레벨 VGL이다.

[0008] 바람직하게, 고정전위는 전원 고레벨 VGH이다.

[0009] 바람직하게, 홀수 캐스캐이드 접속구조의 제1 클록단은 제1 타이밍 클록선과 연결되고 제2 클록단은 제2 타이밍 클록선과 연결되며, 짝수 캐스캐이드 접속구조의 제1 클록단은 제2 타이밍 클록선과 연결되고 제2 클록단은 제1

타이밍 클록선과 연결된다.

[0010] 바람직하게, 트랜지스터는 양방향 PMOS관 혹은 양방향 P형 필름 전기장효과 트랜지스터이다.

[0011] 이외 본 발명은 데이터선이 스캔 출력선과 연결된 화소 배열; 데이터선에 데이터신호를 제공하는 데이터 드라이버; 스캔 출력선에 스캔신호를 제공하는 스캔 드라이버; 스캔 드라이버에 타이밍신호, 전원 고레벨 VGH 및 전원 저레벨 VGL를 제공하는 타이밍 제어기가 포함된 유기발광 디스플레이를 제공한다.

발명의 효과

[0012] 본 발명은 M1의 출력단 및 스캔 출력선 사이에 제1 콘덴서(C1)를 추가시켜, 제1 콘덴서(C1)으로 하여금 제2 타이밍 클록선에 점프현상이 발생했을 시 M2 마이크로 도통을 저지해 스캔 드라이버의 역방향 전류를 감소시키고 전력소모를 감소하며, 스크린패널의 디스플레이 질을 개선한다.

도면의 간단한 설명

[0013] 도 1은 본 발명 유기발광 디스플레이 실시예의 회로도이다.

도 2는 유기발광 디스플레이에서 화소 디스플레이유닛의 회로도이다.

도 3은 본 발명 스캔 드라이버의 회로도이다.

도 4는 도 3에서의 캐스케이드 접속구조1의 제1 실시예의 회로도이다.

도 5는 도 4 캐스케이드 접속구조1의 한 프레임 내의 회로 타이밍 차트이다.

도 6은 도 3에서의 캐스케이드 접속구조1의 제2 실시예의 회로도이다.

도 7은 도 3에서의 캐스케이드 접속구조1의 제3 실시예의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 도 1은 본 발명 유기발광 디스플레이 실시예의 회로도이다. 도 1을 보면 해당 유기발광 디스플레이에는 데이터선에 데이터신호를 제공하는 데이터 드라이버(110), 순차적으로 스캔 출력선에 스캔신호를 제공하는 스캔 드라이버(111), 스캔 드라이버(111)에 타이밍신호와 전원 고레벨 VGH, 전원 저레벨 VGL을 제공하는 타이밍 제어기(112) 및 다수의 화소 디스플레이유닛(113)이 포함되어 있음을 알 수 있다. 스캔 구동회로의 역할은 순차적으로 디스플레이패널에 제공하는 스캔신호를 생성하여 디스플레이패널의 화소를 구동하는 것이다.

[0015] 도 2는 유기발광 디스플레이에서 화소 디스플레이유닛의 회로도이다. 도 2를 보면 해당 화소회로는 트랜지스터(T1), 트랜지스터(T2), 콘덴서(C0)를 포함함을 알 수 있다. 그 가운데 T1의 그리드는 스캔 드라이버의 스캔 출력선과 연결되고, T1의 소스는 데이터 드라이버의 데이터선과 연결된다. 콘덴서(C0)의 한개 단은 고정전원과 연결되고, 다른 단은 T1의 드레인과 연결된다. T2의 그리드는 T1의 드레인과 연결되고 그 소스는 고정전원과 연결되며, 드레인은 OLED와 연결된다.

[0016] 상기 회로 작동원리: 스캔 드라이버는 스캔 출력선을 통해 T1에 스캔신호를 제공하며, 데이터 드라이버는 T1에 데이터신호를 제공한다. T1이 도통되면 데이터전압은 T2 그리드에 전송되며, TFT T2는 대응하는 전류를 생성해 OLED에 흘러들게 함으로써 OLED 발광을 실현한다.

[0017] 스캔 드라이버(111)은 하기 실시예 중의 스캔 드라이버를 적용한다.

[0018] 도 3은 본 발명 스캔 드라이버의 회로도이다. 도 3을 보면 스캔 드라이버에 다수의 캐스케이드 접속구조를 갖고 있음을 알 수 있다. 각 캐스케이드 접속구조는 모두 역위상을 구비한 타이밍 클록선 CLK1과 CLK2에 연결되어 있으며, 각 캐스케이드 접속구조는 순차적으로 출력신호(스캔신호)를 생성하여 스캔 출력선 S1 내지 SN에 전송한다.

[0019] 바람직하게, 홀수 캐스케이드 접속구조의 제1 클록단은 제1 타이밍 클록선과 연결되고, 제2 클록단은 제2 타이밍 클록선과 연결되며, 짝수 캐스케이드 접속구조의 제1 클록단은 제2 타이밍 클록선과 연결되고, 제2 클록단은 제1 타이밍 클록선과 연결된다.

[0020] 혹은 홀수 캐스케이드 접속구조의 제1 클록단은 제2 타이밍 클록선과 연결되고, 제2 클록단은 제1 타이밍 클록선과 연결되며, 짝수 캐스케이드 접속구조의 제1 클록단은 제1 타이밍 클록선과 연결되고, 제2 클록단은 제2 타이밍 클록선과 연결된다.

이밍 클록선과 연결된다.

- [0021] 도 4는 도 3에서의 캐스캐이드 접속구조1의 제1 실시예의 회로도이다. 도 4를 보면 캐스캐이드 접속구조1에는 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제1 콘덴서(C1), 시작신호선(IN), 제1 타이밍 클록선(CLK1), 제2 타이밍 클록선(CLK2), 전원 고레벨 VGH 및 전원 저레벨 VGL이 포함되어 있음을 알 수 있다.
- [0022] 그중 제1 트랜지스터(M1)의 그리드는 제1 타이밍 클록선(CLK1)과 연결되고, M1의 소스는 시작신호선(IN)과 연결되며, 드레인은 제2 트랜지스터(M2)의 그리드와 연결된다. 제2 트랜지스터(M2)의 소스는 제2 타이밍 클록선(CLK2)에 연결되고, 드레인은 스캔 출력선과 연결된다. 제3 트랜지스터(M3)의 그리드는 제2 트랜지스터의 드레인과 연결되고, 소스는 전원 고레벨 VGH와 연결되고, 드레인은 제4 트랜지스터(M4)의 소스와 연결된다. 제4 트랜지스터(M4)의 그리드는 제1 타이밍 클록선(CLK1)과 연결되고, 소스는 M3의 드레인과 연결되며, M4의 드레인은 전원 저레벨 VGL과 연결된다. 제5 트랜지스터(M5)의 그리드는 M4의 소스와 연결되고, M5의 소스는 전원 고레벨 VGH와 연결되며, M5의 드레인은 스캔 출력선과 연결된다. 제1 콘덴서(C1)의 한개 단은 M1의 드레인과 연결되고, 다른 단은 스캔 출력선과 연결된다.
- [0023] 바람직하게, 트랜지스터 M1, M2, M3, M4, M5는 양방향 PMOS관 혹은 양방향 P형 필름 전기장효과 트랜지스터를 적용하며, 그 소스는 드레인과 호환이 가능하다.
- [0024] 도 5는 도 4 캐스캐이드 접속구조의 한개 프레임 내에서의 회로 타이밍 차트이다. 도 5를 보면 IN은 시작신호선의 타이밍 차트이고, CLK1은 제1 타이밍 클록선의 타이밍 차트이며, CLK2는 제2 타이밍 클록선의 타이밍 차트이고, N1은 M1의 출력단의 타이밍 차트이며, S1 내지 SN은 각각 캐스캐이드 접속구조1 내지 캐스캐이드 접속구조n 스캔 출력선 신호의 타이밍 차트임을 알 수 있다. 캐스캐이드 접속구조1의 회로 작동원리는 하기와 같다.
- [0025] 시작신호선(IN)신호가 점프하여 저레벨이고 CLK1이 저레벨이며 CLK2가 고레벨을 유지할 경우 M1이 도통되며, 그 출력전압N1은 저레벨 $V_{GL}+V_{th}$ (V_{th} 는 M1의 문턱전압 절대치)이고, 콘덴서(C1)은 충전된다. M2의 그리드는 저레벨이고 그 소스는 고레벨이어서 M2는 도통되며, 이에 따라 S1이 고레벨을 출력한다. 한편 CLK1이 저레벨이어서 M4 역시 도통되며 M5의 그리드에 저레벨을 출력한다. 이에 따라 M5가 도통되며, 이에 따라 M5는 고레벨 VGH를 S1에 출력한다.
- [0026] 시작신호선(IN)신호 점프가 고레벨이고, CLK1이 고레벨이며, CLK2가 저레벨을 유지할 경우 M1은 차단된다. CLK2가 고레벨을 유지할 경우 N1은 콘덴서(C1)방전으로 인해 잠시적으로 저레벨 $V_{GL}+V_{th}$ (V_{th} 는 M1의 문턱전압 절대치)를 유지하고, M2는 도통상태를 유지하며; CLK2가 고레벨에서 저레벨로 변환되면 콘덴서(C1)의 결합역할로 인해, N1단전압은 $V_{GL}+V_{th}$ 에서 $2V_{GL}+V_{th}$ (V_{th} 는 M1의 문턱전압 절대치)로 하강되며, M2는 여전히 도통상태를 유지한다. 이에 따라 M2의 드레인은 저레벨을 S1에 출력한다. M3의 그리드는 저레벨이고 그 소스는 고레벨 VGH이기 M3은 도통되면서 고레벨을 출력한다. M5의 그리드가 고레벨화되면서 M5가 차단된다. 그리하여 S1은 안정적으로 저레벨을 출력할 수 있다.
- [0027] 시작신호선(IN)이 지속적으로 고레벨을 유지하고 CLK1이 저레벨을 유지하며 CLK2가 고레벨을 유지할 경우 M1은 도통되며, N1단은 고레벨화되고, C1은 또다시 충전된다. M2의 그리드가 고레벨화되면서 차단로 이어진다. M4는 CLK1의 저레벨화로 인해 도통되면서 저레벨을 M5의 그리드에 출력한다. M5는 도통되면서 고레벨 VGH를 S1에 출력한다. CLK1이 고레벨을 유지하고 CLK2가 저레벨을 유지할 경우 M1은 차단되고, N1단은 고레벨을 유지하면서 M2 역시 차단된다. 한편 C1의 방전으로 인해 M2의 마이크로 도통이 저지된다. CLK1의 고레벨로 인해 M4는 차단된다. M4 드레인이 저전압을 유지하면서 M5는 지속적으로 도통되고, S1은 지속적으로 고레벨을 출력한다.
- [0028] 상기 유추방식에 따라 시작신호선(IN)이 한개 프레임 내에서 고레벨을 유지할 경우, S1은 지속적으로 고레벨을 출력한다.
- [0029] 콘덴서(C1)이 존재하지 않을 시 CLK1이 고레벨로 되면 M1은 차단되고, N1단전압은 급강하한다. M2에 기생 캐패시터가 존재하므로 CLK2가 고레벨에서 저레벨로 변환되는 과정에 M2가 마이크로 도통되며, 본래 도통되었던 M5에 $V_{GH} \rightarrow OUT$ 단, 다시 $OUT \rightarrow CLK2$ 순의 역방향 전류가 생성된다. 다수의 캐스캐이드 접속구조가 동시에 작동할 경우, 수mA십지어는 더욱 강한 역방향 전류가 생성되며, CLK2와 CLK1의 낮은 전위가 높아지면서 스캔 드라이버 전력소모가 지나치게 커진다. 이에 따라 스크린패널 디스플레이가 불균일해지면서 스크린패널의 디스플레이 질을 크게 떨어뜨린다.
- [0030] 콘덴서(C1)이 존재할 경우, M1이 차단되면 콘덴서(C1)은 N1단의 기존 고전위를 지속적으로 유지할 수 있으며, 이에 따라 M2의 마이크로 도통이 저지되고, 스캔 드라이버의 전력소모가 감소되면서, 스크린패널의 디스플레이

질이 향상된다.

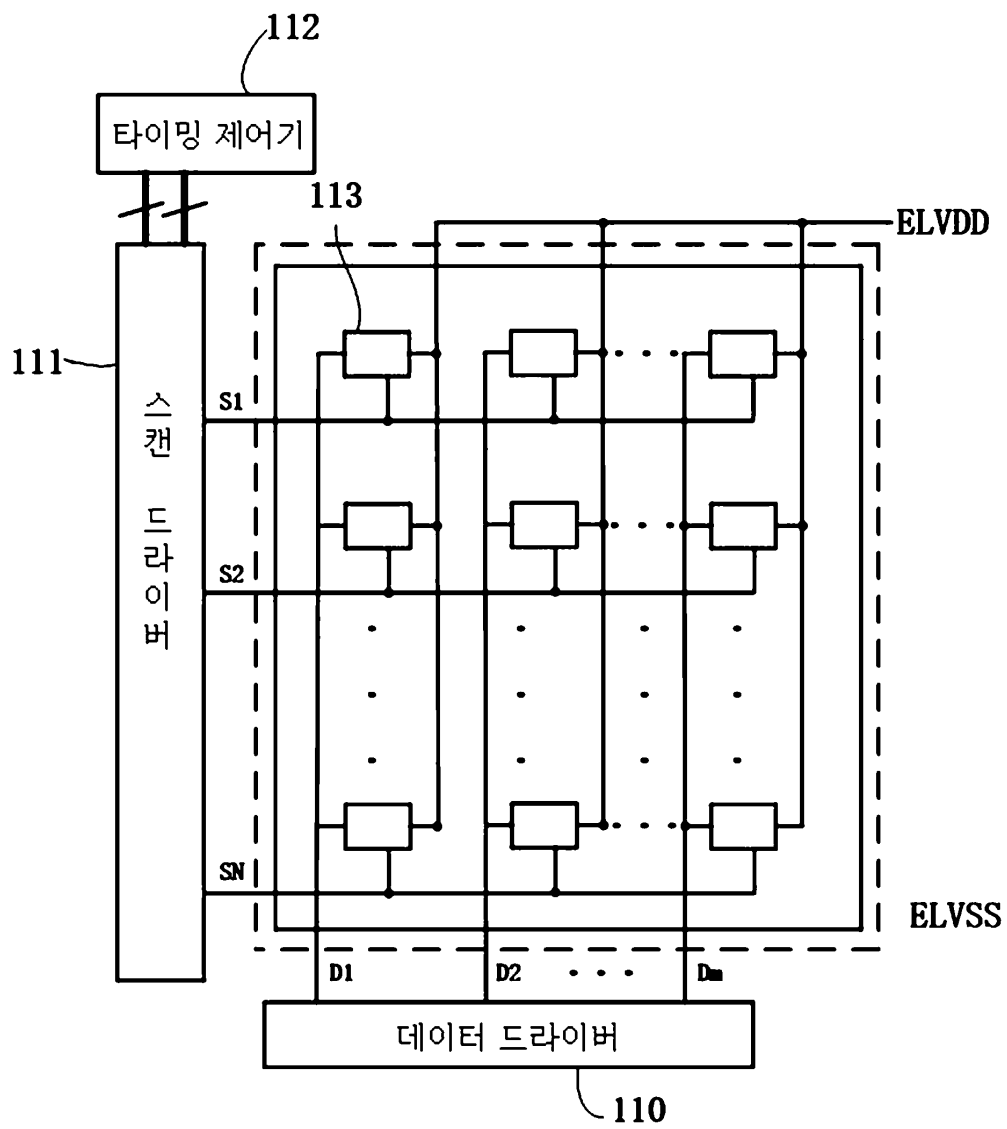
- [0031] 바람직하게, 트랜지스터는 양방향 PMOS관 혹은 양방향 P형 필름 전기장효과 트랜지스터이다.
- [0032] 마찬가지로 캐스케이드 접속구조2 내지 캐스케이드 접속구조n는 순차적으로 앞쪽 연결구조 스캔 출력선의 신호를 접수하며, 그 타이밍 차트 점프현상은 도 5와 같다.
- [0033] 본 실시예의 과제 해결 수단을 보면 M1의 출력단 및 스캔 출력선 사이에 제1 콘덴서(C1)를 추가해 제1 콘덴서(C1)의 제2 타이밍 클록선에 점프현상이 나타나게 해 M2의 마이크로 도통을 저지시키고, 그리하여 스캔 드라이버의 역방향 전류와 전력소모를 동반 감소시켜, 스크린패널의 디스플레이 질을 향상시켰다.
- [0034] 도 6은 도 3에서의 캐스케이드 접속구조1의 제2 실시예의 회로도이며, 해당 회로는 제1 트랜지스터(M1) 출력단과 고정전위 사이에 연결된 제2 콘덴서 C2를 더 포함한다.
- [0035] 해당 고정전위는 전원 저레벨 VGL이다.
- [0036] 본 실시예의 과제 해결 수단을 보면 제2 콘덴서 C2는 N1단의 전압 안정성을 진일보 유지할 수 있을 뿐만 아니라 제1 콘덴서(C1)의 전압차와 누전량의 극소화가 가능하게 한다.
- [0037] 도 7은 도 3에서의 캐스케이드 접속구조1의 제3 실시예의 회로도이며, 해당 회로는 제1 트랜지스터(M1) 출력단과 고정전위 사이에 연결된 제2 콘덴서 C2를 더 포함한다.
- [0038] 상기 고정전위는 전원 고레벨 VGH이다.
- [0039] 본 실시예의 과제 해결 수단을 보면 제2 콘덴서 C2는 N1단의 전압 안정성을 진일보 유지할 수 있을 뿐만 아니라 제1 콘덴서(C1)의 전압차와 누전량의 극소화가 가능하게 한다.
- [0040] 본 발명 유기발광 디스플레이의 또 다른 실시예를 보면 해당 유기발광 디스플레이는 데이터선에 데이터신호를 제공하는 데이터 드라이버, 순차적으로 스캔 출력선에 스캔신호를 제공하는 스캔 드라이버, 스캔 드라이버에 타이밍신호와 전원 고레벨 VGH, 전원 저레벨 VGL을 제공하는 타이밍 제어기 및 다수의 화소 디스플레이유닛을 포함한다. 스캔 구동회로의 역할은 순차적으로 디스플레이패널에 제공하는 스캔신호를 생성하여 디스플레이패널의 화소를 구동하는 것이다.
- [0041] 그중 스캔 드라이버에 다수의 캐스케이드 접속구조를 갖고 있음을 알 수 있다. 각 캐스케이드 접속구조는 모두 역위상을 구비한 타이밍 클록선 CLK1과 CLK2에 연결되어 있으며, 각 캐스케이드 접속구조는 순차적으로 출력신호(스캔신호)를 생성하여 스캔 출력선 S1 내지 SN에 전송한다.
- [0042] 그중 각 캐스케이드 접속구조는 구체적으로 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제1 콘덴서(C1), 시작신호선(IN), 제1 타이밍 클록선(CLK1), 제2 타이밍 클록선(CLK2), 전원 고레벨 VGH 및 전원 저레벨 VGL을 포함한다.
- [0043] 바람직하게, 상기 홀수 캐스케이드 접속구조의 제1 클록단은 제1 타이밍 클록선과 연결되고, 제2 클록단은 제2 타이밍 클록선과 연결되며, 짝수 캐스케이드 접속구조의 제1 클록단은 제2 타이밍 클록선과 연결되고, 제2 클록단은 제1 타이밍 클록선과 연결된다.
- [0044] 바람직하게, 트랜지스터는 양방향 PMOS관 혹은 양방향 P형 필름 전기장효과 트랜지스터이다.
- [0045] 구체적인 회로구조는 상기 실시예와 동일하기에 생략하기로 한다.
- [0046] 본 실시예의 과제 해결 수단을 보면 M1의 출력단 및 스캔 출력선 사이에 제1 콘덴서(C1)를 추가시켜, 제1 콘덴서(C1)의 제2 타이밍 클록선에 점프현상이 발생했을 시 M2의 마이크로 도통을 저지시키고, 그리하여 스캔 드라이버의 역방향 전류와 전력을 동반 감소시켜, 스크린패널의 디스플레이 질을 향상시켰다.
- [0047] 본 발명 유기발광 디스플레이의 또 다른 실시예를 보면 해당 유기발광 디스플레이는 데이터선에 데이터신호를 제공하는 데이터 드라이버, 순차적으로 스캔 출력선에 스캔신호를 제공하는 스캔 드라이버, 스캔 드라이버에 타이밍신호와 전원 고레벨 VGH, 전원 저레벨 VGL의 타이밍 제어기 및 다수의 화소를 제공하는 디스플레이유닛을 포함한다. 스캔 구동회로의 역할은 순차적으로 디스플레이패널에 제공하는 스캔신호를 생성하여 디스플레이패널의 화소를 구동하는 것이다.
- [0048] 그중 스캔 드라이버에 다수의 캐스케이드 접속구조를 갖고 있음을 알 수 있다. 각 캐스케이드 접속구조는 모두 역위상을 구비한 타이밍 클록선 CLK1과 CLK2에 연결되어 있으며, 각 캐스케이드 접속구조는 순차적으로 출력신

호(스캔신호)를 생성해 스캔 출력선S1 내지 SN에 전달한다.

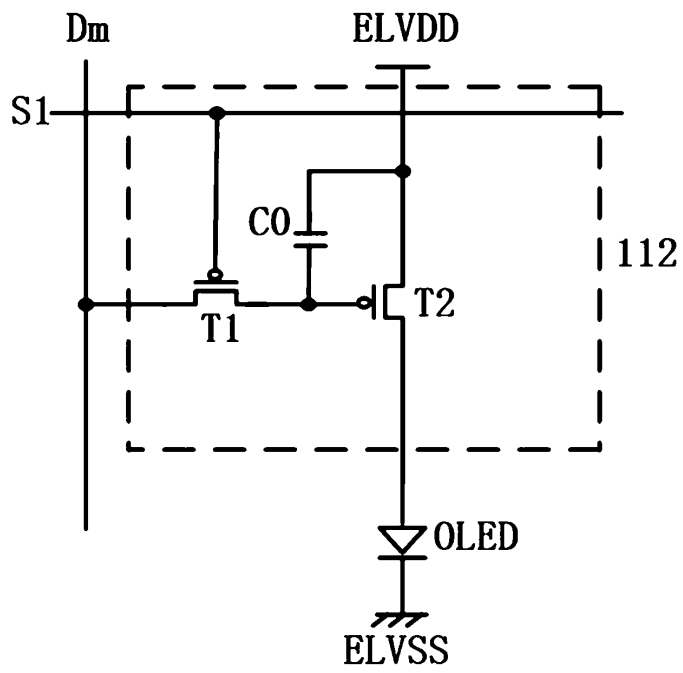
- [0049] 그중 각 캐스캐이드 접속구조는 구체적으로 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제1 콘덴서(C1), 시작신호선(IN), 제1 타이밍 클록선(CLK1), 제2 타이밍 클록선(CLK2), 전원 고레벨 VGH 및 전원 저레벨 VGL을 포함한다. 이외 해당 회로는 제1 트랜지스터(M1) 출력단과 고정전위 사이에 연결된 제2 콘덴서 C2도 포함한다. 해당 고정전위는 전원 저레벨 VGL이다.
- [0050] 구체적인 회로구조는 상기 실시예와 동일하기에 생략하기로 한다.
- [0051] 본 실시예의 과제의 해결 수단을 보면 제2 콘덴서 C2는 N1단의 전압 안정성을 진일보 유지할 수 있을 뿐만 아니라 제1 콘덴서(C1)의 전압차와 누전량의 극소화가 가능하게 한다.
- [0052] 본 발명 유기발광 디스플레이의 또 다른 실시예를 보면 해당 유기발광 디스플레이는 데이터선에 데이터신호를 제공하는 데이터 드라이버, 순차적으로 스캔 출력선에 스캔신호를 제공하는 스캔 드라이버, 스캔 드라이버에 타이밍신호와 전원 고레벨 VGH, 전원 저레벨 VGL을 제공하는 타이밍 제어기 및 다수의 화소의 디스플레이유닛을 포함한다. 스캔 구동회로의 역할은 순차적으로 디스플레이패널에 제공하는 스캔신호를 생성하여 디스플레이패널의 화소를 구동하는 것이다.
- [0053] 그중 스캔 드라이버에 다수의 캐스캐이드 접속구조를 갖고 있음을 알 수 있다. 각 캐스캐이드 접속구조는 모두 역위상을 구비한 타이밍 클록선 CLK1과 CLK2에 연결되어 있으며, 각 캐스캐이드 접속구조는 순차적으로 출력신호(스캔신호)를 생성하여 스캔 출력선 S1 내지 SN에 전송한다.
- [0054] 그중 각 캐스캐이드 접속구조는 구체적으로 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제1 콘덴서(C1), 시작신호선(IN), 제1 타이밍 클록선(CLK1), 제2 타이밍 클록선(CLK2), 전원 고레벨 VGH 및 전원 저레벨 VGL를 포함한다. 이외 해당 회로는 제1 트랜지스터(M1) 출력단과 고정전위 사이에 연결된 제2 콘덴서 C2도 포함한다. 해당 고정전위는 전원 고레벨 VGH이다.
- [0055] 구체적인 회로구조는 상기 실시예와 동일하기에 생략하기로 한다.
- [0056] 본 실시예의 과제의 해결 수단을 보면 제2 콘덴서 C2는 N1단의 전압 안정성을 진일보 유지할 수 있을 뿐만 아니라 제1 콘덴서(C1)의 전압차와 누전량의 극소화가 가능하게 한다.
- [0057] 부언적으로 설명할 것은, 상기 실시예가 규제가 아닌 본 발명 설명 목적으로만 쓰이며, 본 발명 또한 상기 실시예에만 국한되지 않으며, 본 발명의 정신과 범위와 괴리되지 않는 모든 과제의 해결 수단 및 개선책은 전부 본 발명의 청구범위에 포함되는 것이다.

도면

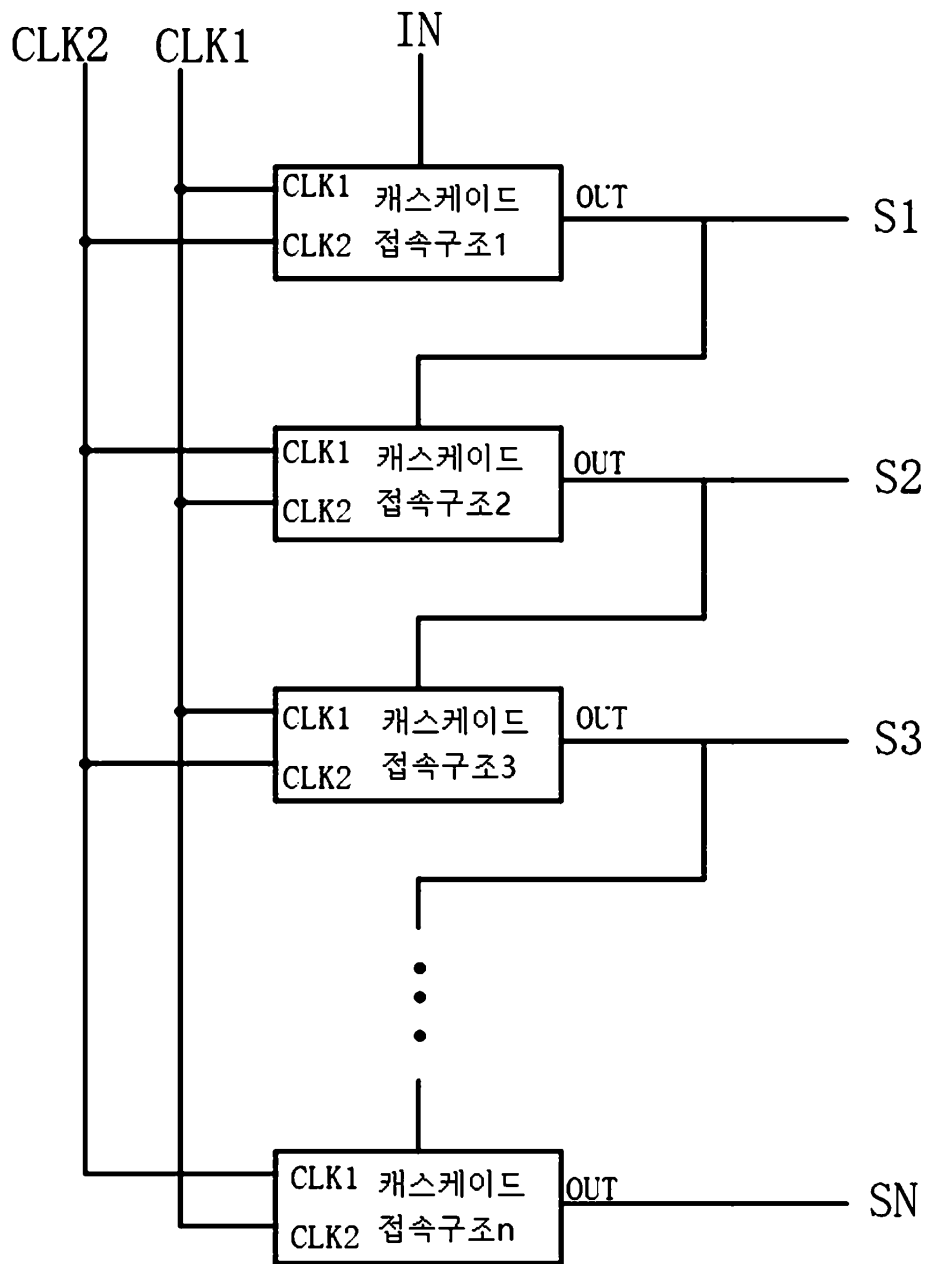
도면1



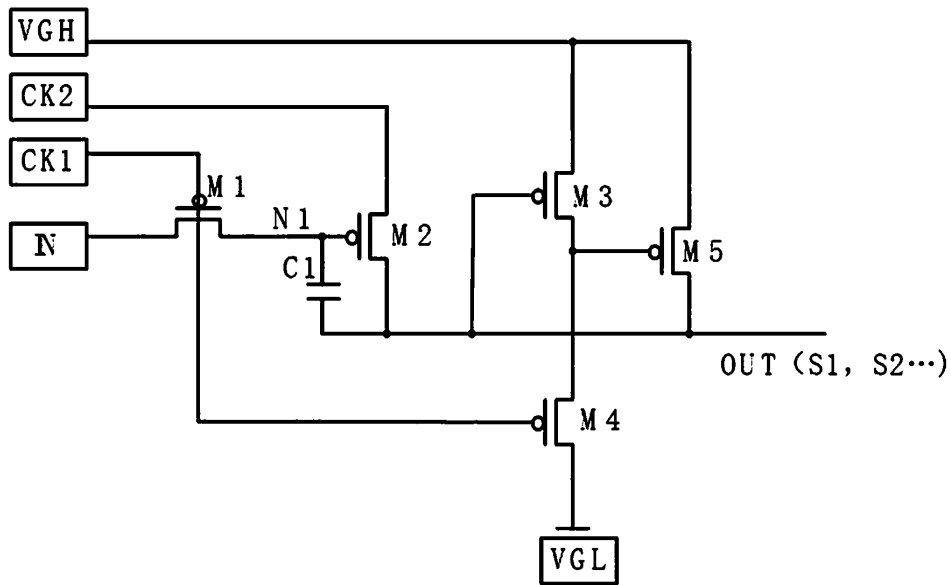
도면2



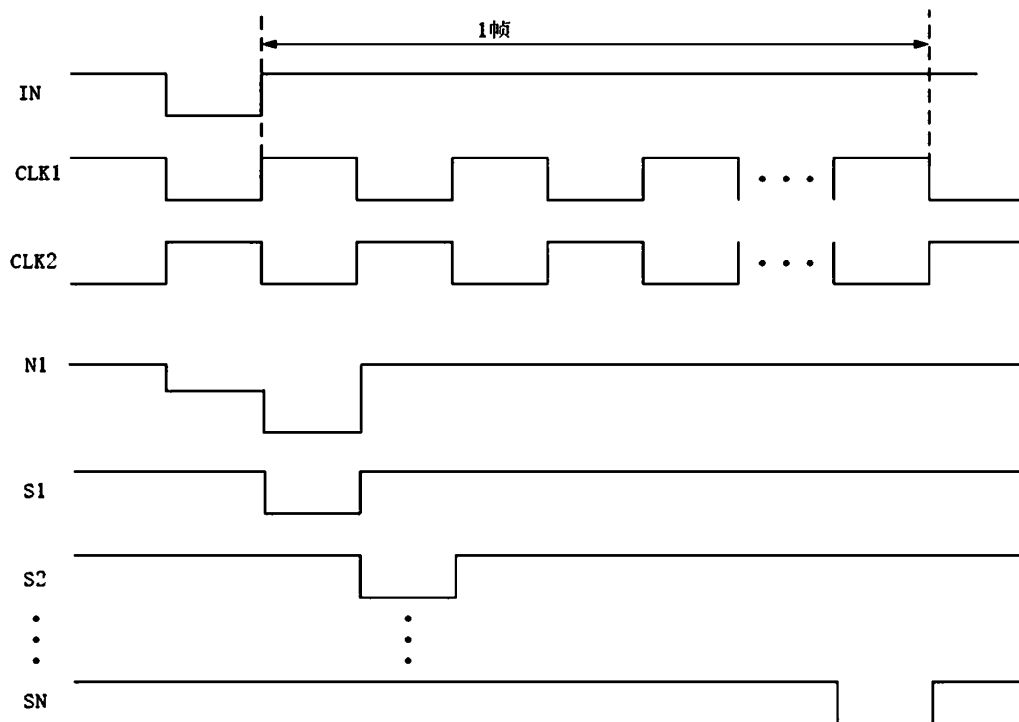
도면3



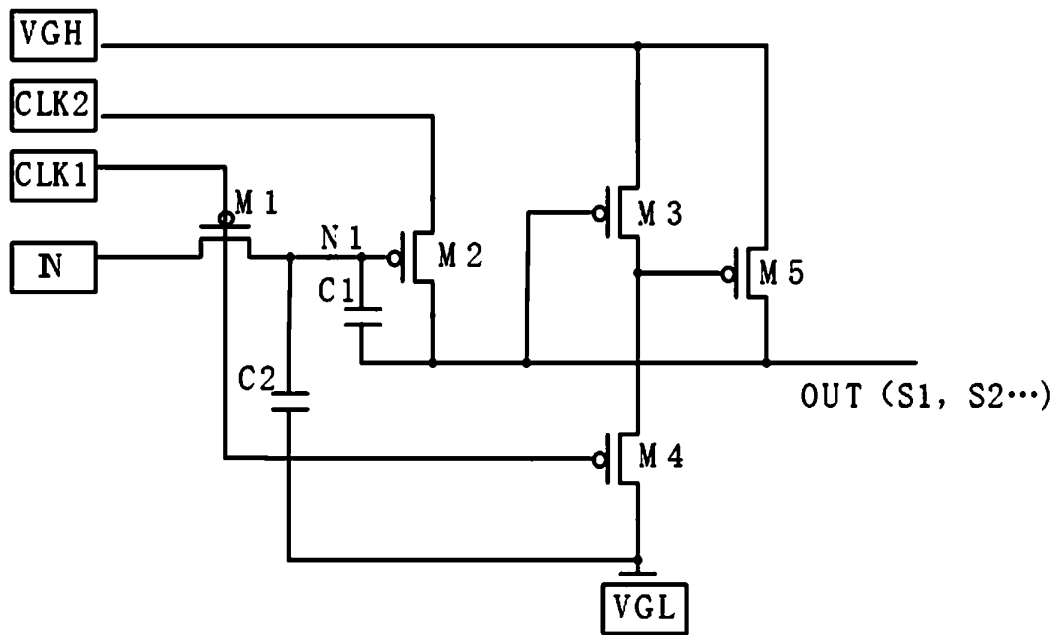
도면4



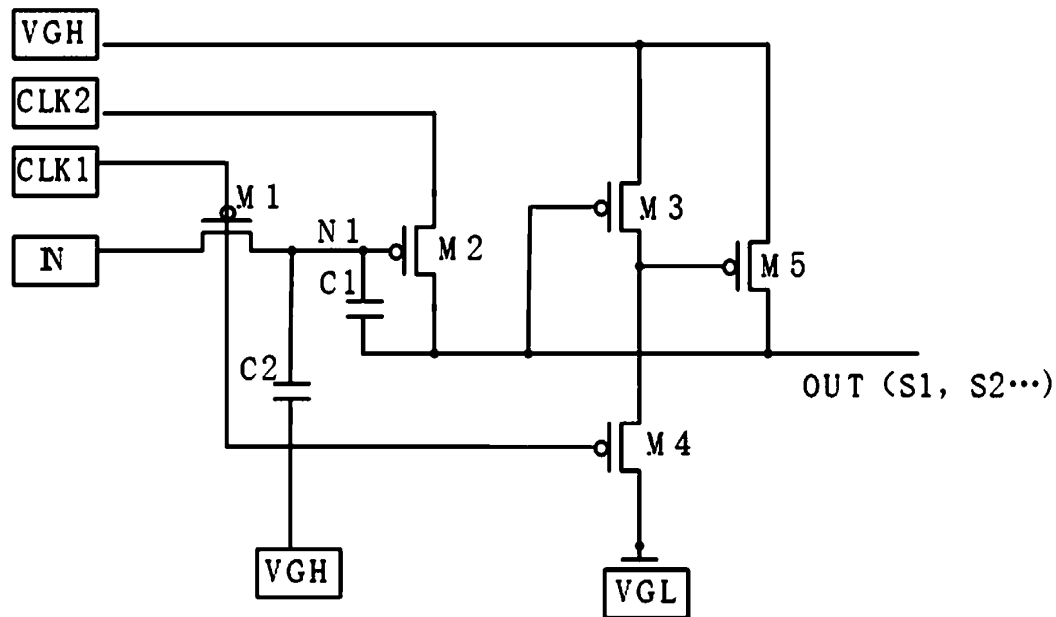
도면5



도면6



도면7



专利名称(译)	使用扫描驱动器扫描驱动器和有机发光显示器		
公开(公告)号	KR1020160089451A	公开(公告)日	2016-07-27
申请号	KR1020167016624	申请日	2014-12-24
[标]申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司 昆山国显光电有限公司		
申请(专利权)人(译)	昆山新型平板显示技术中心ssioh，萨尔瓦多孵化园. 诺克斯光电昆山高清ssioh，萨尔瓦多孵化园.		
当前申请(专利权)人(译)	昆山新型平板显示技术中心ssioh，萨尔瓦多孵化园. 诺克斯光电昆山高清ssioh，萨尔瓦多孵化园.		
[标]发明人	HU SIMING 후시밍 ZHU HUI 주후이 HUANG XIUQI 후앙시우치 GAO XIAOYU 가오시아오유		
发明人	후,시밍 주,후이 후앙,시우치 가오,시아오유		
IPC分类号	G09G3/3266 G11C19/28		
CPC分类号	G09G3/3266 G11C19/28 G09G2310/0286 G09G2330/021 G09G3/3291 G09G2310/0283 G09G2310/08 G09G2320/0219		
代理人(译)	Jocheolhyeon Gimjaecheon 黄某大雄		
优先权	201310725080.2 2013-12-25 CN		
其他公开文献	KR101844701B1		
外部链接	Espacenet		

摘要(译)

本发明包括扫描驱动器和使用扫描驱动器提供有机发光显示器的第一电容器 (C1)，并且它包括接收第一定时时钟线 (CK1) 的信号的多级级联连接结构，其中相应的扫描驱动器包括第二时序线 (CK2) 的反相和信号以及连续的级联连接结构产生输出信号 (扫描信号) 并连接在第四晶体管 (M4)：第五晶体管 (M5)：第一晶体管 (M1) 之间输出端子连接到电源高电平VGH和扫描输出线 (S1，S2。) 和扫描输出线 (S1，S2。)。连接到输出第三晶体管 (M3) 和第二晶体管 (M2) 的端子：第三晶体管 (M3)：连接到连接到第一晶体管 (M1) 的电源高电平VGH的电源低电平VGL：第二定时时钟线 (CK2) 其中，每个级联连接结构连接到起始信号线 (IN) 或前级级联连接结构和扫描输出线 (S1，S2。) 的扫描输出线 (S1，S2。)。第一电容器 (C1) 被添加在M1的输出端子和扫描输出线 (S1，S2。) 之间，并且第二晶体管 (M2) 的微传导被中断，并且扫描驱动器的反向电流和功耗是并夹带减少。

