(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0066112
(43) 공개일자 2016년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(21) 출원번호 10-2014-0169851
(22) 출원일자 2014년12월01일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이승규
충청남도 아산시 탕정면 탕정면로 37, 201동 1701호
현채한
경기도 수원시 장안구 서부로2198번길 44-19, 101호 (천천동,스마일빌)
(74) 대리인
팬코리아특허법인

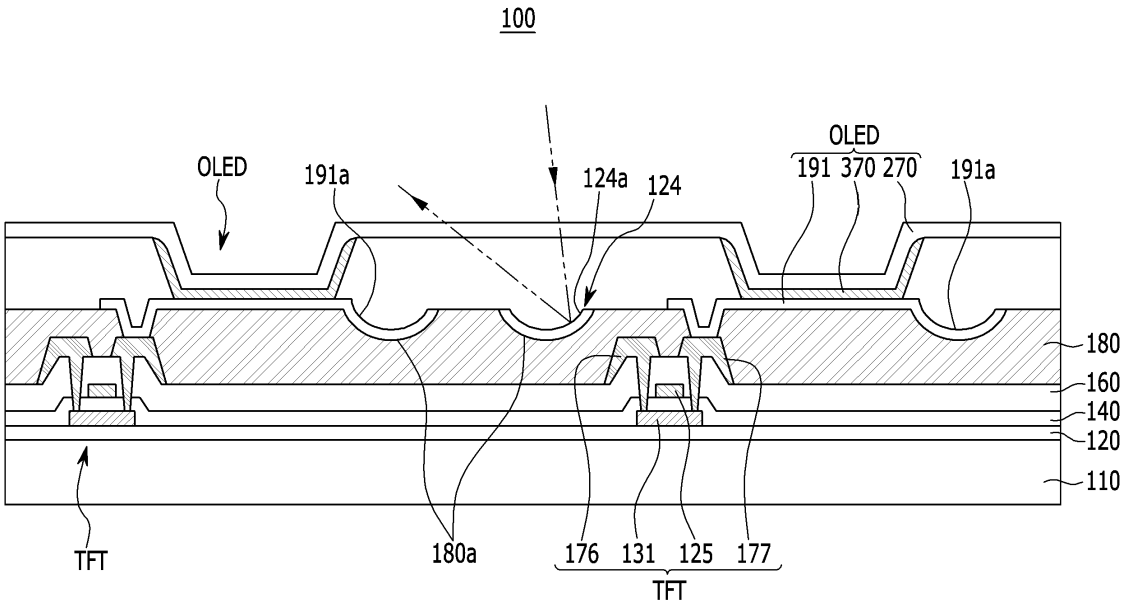
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **유기 발광 표시 장치**

(57) 요 약

외광 반사를 최소화하여 야외 시인성을 높이기 위한 유기 발광 표시 장치를 제공한다. 유기 발광 표시 장치는 기판과, 기판 위에 형성되는 복수의 트랜지스터와, 복수의 트랜지스터를 덮는 보호막과, 보호막 위에 형성되며 화소 전극과 유기 발광층 및 공통 전극을 포함하는 유기 발광 다이오드를 포함한다. 화소 전극은 유기 발광층과 중첩되지 않는 영역에 위치하는 제1 곡면부를 포함한다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

기판;

상기 기판 위에 형성되는 복수의 트랜지스터;

상기 복수의 트랜지스터를 덮는 보호막; 및

상기 보호막 위에 형성되며, 화소 전극과 유기 발광층 및 공통 전극을 포함하는 유기 발광 다이오드

를 포함하고,

상기 화소 전극은 상기 유기 발광층과 중첩되지 않는 영역에 위치하는 제1 곡면부를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 화소 전극은 금속 반사막을 포함하고,

상기 공통 전극은 투명 도전막과 반투명 도전막 중 어느 하나를 포함하는 유기 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 보호막 위에 상기 화소 전극과 같은 물질로 형성되는 초기화 전압선을 더 포함하며,

상기 초기화 전압선은 제2 곡면부를 포함하는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 곡면부와 상기 제2 곡면부는 상기 공통 전극을 향해 오목하게 형성되는 유기 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 보호막의 표면은 복수의 오목부를 포함하고,

상기 제1 곡면부와 상기 제2 곡면부는 상기 복수의 오목부 위에 일정한 두께로 형성되어 있는 유기 발광 표시 장치.

청구항 6

제3항에 있어서,

상기 제1 곡면부와 상기 제2 곡면부는 상기 공통 전극을 향해 볼록하게 형성되는 유기 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 보호막의 표면은 복수의 볼록부를 포함하고,

상기 제1 곡면부와 상기 제2 곡면부는 상기 복수의 볼록부 위에 일정한 두께로 형성되어 있는 유기 발광 표시 장치.

청구항 8

제3항에 있어서,

상기 제2 곡면부는 상기 초기화 전압선 중 접촉 구멍과 중첩되는 부분을 제외한 나머지 부분에 형성되어 있는 유기 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 야외 시인성을 높이기 위한 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치는 정공 주입 전극, 유기 발광층, 및 전자 주입 전극으로 구성된 유기 발광 다이오드를 포함한다. 유기 발광층 내부에서 전자와 정공이 결합하여 여기자가 생성되고, 여기자가 여기 상태로부터 기저 상태로 떨어질 때 발생하는 에너지에 의해 빛이 방출된다. 유기 발광 표시 장치는 이러한 발광을 이용하여 소정의 영상을 표시한다.

[0003] 정공 주입 전극과 전자 주입 전극 중 어느 하나는 화소 전극이 되고, 다른 하나는 공통 전극이 된다. 화소 전극과 유기 발광층은 부화소마다 하나씩 구비되며, 화소 전극은 해당 부화소의 박막 트랜지스터와 전기적으로 연결된다. 공통 전극은 표시 영역 전체에 형성된다. 화소는 적색 부화소와 녹색 부화소 및 청색 부화소를 포함할 수 있고, 백색 부화소를 더 포함할 수 있다.

[0004] 유기 발광 표시 장치가 전면 발광형인 경우, 화소 전극은 금속 반사막으로 형성되고, 공통 전극은 투명 도전막 또는 반투명 도전막으로 형성된다. 유기 발광층에서 방출된 빛은 화소 전극에서 반사되며, 공통 전극을 투과해 외부로 방출된다. 그런데 유기 발광 표시 장치를 야외에서 관찰하면 외광이 화소 전극에 의해 반사되므로 화면의 콘트라스트비와 야외 시인성이 저하된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 화소 전극과 같은 금속 반사막에 의해 외광이 반사되는 것을 최소화하여 야외 시인성과 화면의 콘트라스트비를 높일 수 있는 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판과, 기판 위에 형성되는 복수의 트랜지스터와, 복수의 트랜지스터를 덮는 보호막과, 보호막 위에 형성되며 화소 전극과 유기 발광층 및 공통 전극을 포함하는 유기 발광 다이오드를 포함한다. 화소 전극은 유기 발광층과 중첩되지 않는 영역에 위치하는 제1 곡면부를 포함한다.

[0007] 화소 전극은 금속 반사막을 포함할 수 있고, 공통 전극은 투명 도전막과 반투명 도전막 중 어느 하나를 포함할 수 있다. 유기 발광 표시 장치는 보호막 위에 화소 전극과 같은 물질로 형성되는 초기화 전압선을 더 포함할 수 있고, 초기화 전압선은 제2 곡면부를 포함할 수 있다.

[0008] 제1 곡면부와 제2 곡면부는 공통 전극을 향해 오목하게 형성될 수 있다. 보호막의 표면은 복수의 오목부를 포함할 수 있고, 제1 곡면부와 제2 곡면부는 복수의 오목부 위에 일정한 두께로 형성되어 있을 수 있다.

[0009] 다른 한편으로, 제1 곡면부와 제2 곡면부는 공통 전극을 향해 볼록하게 형성될 수 있다. 보호막의 표면은 복수의 볼록부를 포함할 수 있고, 제1 곡면부와 제2 곡면부는 복수의 볼록부 위에 일정한 두께로 형성될 수 있다.

[0010] 제2 곡면부는 초기화 전압선 중 접촉 구멍과 중첩되는 부분을 제외한 나머지 부분에 형성되어 있을 수 있다.

발명의 효과

[0011] 화소 전극과 초기화 전압선에 형성된 곡면부는 외광을 산란시켜 외광 반사를 최소화한다. 본 실시예의 유기 발

광 표시 장치는 외광 반사를 최소화함에 따라 화면의 콘트라스트비와 야외 시인성을 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 부분 확대 단면도이다.

도 2는 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치의 부분 확대 단면도이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치 중 화소 하나의 등가 회로도이다.

도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 중 복수개 화소의 개략적인 배치도이다.

도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 중 복수의 트랜지스터와 복수의 신호선을 나타낸 개략 평면도이다.

도 6은 도 5의 구체적인 배치도이다.

도 7은 도 6의 Ⅶ-Ⅶ'선을 따라 자른 단면도이다.

도 8은 도 6의 Ⅷ-Ⅷ'선 및 Ⅷ'-Ⅷ"선을 따라 자른 단면도이다.

도 9는 도 6의 Ⅸ-Ⅸ'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0014] 명세서 전체에서 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때 이는 다른 부분의 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 그리고 "~위에"라 함은 대상 부분의 위 또는 아래에 위치하는 것을 의미하며, 반드시 중력 방향을 기준으로 상측에 위치하는 것을 의미하지 않는다.

[0015] 명세서 전체에서 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 도면에 나타난 각 구성의 크기 및 두께 등은 설명의 편의를 위해 임의로 나타낸 것이므로, 본 발명은 도시한 바로 한정되지 않는다.

[0016] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 부분 확대 단면도이다.

[0017] 도 1을 참고하면, 유기 발광 표시 장치(100)는 기판(110)과, 기판(110) 위에 형성되는 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)를 덮는 보호막(180)과, 보호막(180) 위에 형성되는 유기 발광 다이오드(OLED)를 포함한다.

[0018] 기판(110)은 유리, 석영, 금속과 같은 단단한 기판이거나, 플라스틱 필름과 같은 가요성(flexible) 기판일 수 있다. 후자의 경우 기판(110)은 폴리이미드, 폴리카보네이트과 같이 내열성 및 내구성이 우수한 고분자 소재로 형성될 수 있다.

[0019] 기판(110) 위에 버퍼층(120)이 형성될 수 있다. 버퍼층(120)은 기판(110)을 통한 불순물의 침투를 방지하며, 기판(110)의 상부에 평탄면을 제공하는 기능을 한다. 버퍼층(120)은 SiO2, SiNx 등의 무기물 또는 폴리이미드, 폴리에스테르, 아크릴 등의 유기물을 포함할 수 있다.

[0020] 버퍼층(120) 위에 박막 트랜지스터(TFT)가 형성된다. 박막 트랜지스터(TFT)는 반도체층(131), 게이트 전극(125), 소스 전극(176), 및 드레인 전극(177)을 포함한다. 반도체층(131)은 폴리실리콘 또는 산화물 반도체로 형성될 수 있으며, 산화물 반도체의 경우 반도체층(131) 위에 별도의 보호층이 추가될 수 있다. 반도체층(131)은 채널 영역과, 채널 영역의 양측에 위치하며 불순물이 도핑된 소스 영역 및 드레인 영역을 포함한다.

[0021] 반도체층(131) 위에 게이트 절연막(140)이 형성된다. 게이트 절연막(140)은 반도체층(131)과 게이트 전극(125)을 절연시키기 위한 것으로서, SiO_2, SiNx와 같은 무기물 또는 유기물을 포함할 수 있다. 게이트 절연막(140) 위에 게이트 전극(125)이 형성된다. 게이트 전극(125)은 반도체층(131)의 채널 영역과 중첩되며, Au, Ag, Cu, Ni, Pt, Pd, Al, 및 Mo 등을 포함할 수 있다.

[0022] 게이트 전극(125) 위에 층간 절연막(160)이 형성된다. 층간 절연막(160)은 게이트 전극(125)과 소스 전극(176)

사이 및 게이트 전극(125)과 드레인 전극(177) 사이에 배치되어 이들을 절연시킨다. 층간 절연막(160)은 SiO_2, SiNx와 같은 무기물을 포함하며, SiO_2층과 SiNx층의 2층 구조로 형성될 수 있다.

[0023] 층간 절연막(160) 위에 소스 전극(176)과 드레인 전극(177)이 형성된다. 이때 층간 절연막(160)과 게이트 절연막(140)에 접촉 구멍이 형성되어 반도체층(131)의 소스 영역과 드레인 영역을 노출시키며, 접촉 구멍을 통해 소스 전극(176)은 소스 영역과 접하고, 드레인 전극(177)은 드레인 영역과 접한다.

[0024] 도 1에서는 탑 게이트 방식의 박막 트랜지스터(TFT)를 예로 들어 도시하였으나, 박막 트랜지스터(TFT)의 구조는 도시한 예로 한정되지 않는다. 박막 트랜지스터(TFT)는 보호막(180)으로 덮여 보호되며, 유기 발광 다이오드(OLED)와 전기적으로 연결되어 유기 발광 다이오드(OLED)를 구동시킨다.

[0025] 보호막(180)은 무기 절연막 또는 유기 절연막으로 형성되며, 무기 절연막과 유기 절연막의 적층 구조로 형성될 수 있다. 무기 절연막은 SiO_2, SiNx, Al_2O_3, TiO_2, Ta_2O_5, HfO_2, ZrO_2 등을 포함할 수 있고, 유기 절연막은 폴리메타크릴산 메틸(PMMA), 폴리스티렌(PS), 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자 등을 포함할 수 있다.

[0026] 유기 발광 다이오드(OLED)는 보호막(180) 위에 형성되며, 화소 전극(191)과 유기 발광층(370) 및 공통 전극(270)을 포함한다. 화소 전극(191)은 화소마다 하나씩 제공되고, 보호막(180)에 형성된 접촉 구멍을 통해 드레인 전극(177)과 접한다. 공통 전극(270)은 표시 영역 전체에 형성된다. 유기 발광층(370)은 발광층을 포함하며, 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층 가운데 적어도 하나를 포함할 수 있다.

[0027] 화소 전극(191)과 공통 전극(270) 중 어느 하나는 유기 발광층(370)으로 정공을 주입하는 애노드(anode)로 기능하고, 다른 하나는 전자를 주입하는 캐소드(cathode)로 기능한다. 정공과 전자는 유기 발광층(370)에서 결합하여 여기자(exciton)를 생성하고, 여기자가 여기 상태로부터 기저 상태로 떨어질 때 발생하는 에너지에 의해 빛이 방출된다.

[0028] 유기 발광 표시 장치(100)가 전면 발광형인 경우, 화소 전극(191)은 금속 반사막으로 형성되고, 공통 전극(270)은 투명 도전막 또는 반투명 도전막으로 형성된다. 유기 발광층(370)에서 방출된 빛은 화소 전극(191)에서 반사되며, 공통 전극(270)을 투과해 외부로 방출된다.

[0029] 금속 반사막은 Au, Ag, Mg, Al, Pt, Pd, Ni, Nd, Ir, Cr 등을 포함할 수 있다. 투명 도전막은 ITO(indium tin oxide), IZO(indlum zinc oxide), ZnO, In_2O_3 등을 포함할 수 있다. 반투명 도전막은 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 등을 포함하는 금속 박막으로 형성될 수 있고, 반투명 도전막 위에 ITO, IZO, ZnO, In_2O_3 등의 투명막이 적층될 수 있다.

[0030] 공통 전극(270) 위에 캡핑층(도시하지 않음)이 형성될 수 있다. 캡핑층은 유기 발광 다이오드(OLED)를 보호하고, 전면 발광형의 경우 굴절률 매칭을 통해 광 효율을 최적화하는 기능을 한다. 캡핑층은 α-NPD, NPB, TPD, m-MTDATA, Alq3, 또는 CuPc 등의 유기물을 포함할 수 있다.

[0031] 캡핑층 위에 차단층(도시하지 않음)이 형성될 수 있다. 차단층은 LiF, MgF_2, CaF_2 등의 무기물을 포함할 수 있으며, 박막 봉지의 무기막을 형성하는 과정에서 사용되는 플라즈마에 의해 유기 발광 다이오드(OLED)가 손상되는 것을 방지할 수 있다. 또한, 차단층은 캡핑층과 마찬가지로 전면 발광형의 경우 굴절률 매칭을 통해 광 효율을 최적화하는 기능을 가질 수 있다.

[0032] 차단층 위에는 유기 발광 다이오드(OLED)를 밀봉시키는 봉지부(도시하지 않음)가 형성된다. 봉지부는 적어도 제1 무기막과 제1 유기막 및 제2 무기막을 포함하는 박막 봉지(thin film encapsulation)로 구성될 수 있다. 유기 발광 다이오드(OLED)는 외부의 수분이나 산소 등에 의해 쉽게 열화되므로, 박막 봉지가 유기 발광 다이오드(OLED)를 밀봉시켜 외기와의 접촉을 차단한다.

[0033] 한편, 유기 발광 표시 장치(100)는 초기화 전압을 전달하는 초기화 전압선(124)을 더 포함할 수 있다. 초기화 전압선(124)은 보호막(180) 위에서 화소 전극(191)과 같은 물질(금속 반사막)로 형성될 수 있다.

[0034] 제1 실시예에서, 화소 전극(191)은 유기 발광층(370)과 중첩되지 않는 영역에 위치하는 제1 곡면부(191a)를 포함한다. 제1 곡면부(191a)는 유기 발광층(370)을 둘러싸는 화소 전극(191)의 가장자리 영역일 수 있다. 그리고 초기화 전압선(124)은 제2 곡면부(124a)를 포함한다. 여기서, 제1 곡면부(191a)와 제2 곡면부(124a)는 단면에서 관찰되는 곡면 형상을 가지며, 공통 전극(270)을 향해 오목하게 형성될 수 있다.

[0035] 보호막(180)은 그 표면이 패터닝되어 화소 전극(191)의 가장자리와 초기화 전압선(124)이 위치할 영역에 복수의 오목부(180a)를 형성할 수 있다. 그리고 화소 전극(191)의 제1 곡면부(191a)와 초기화 전압선(124)의 제2 곡면부(124a)는 복수의 오목부(180a) 위에 일정한 두께로 형성될 수 있다.

[0036] 화소 전극(191)의 제1 곡면부(191a)와 초기화 전압선(124)의 제2 곡면부(124a)는 외부에서 입사되는 빛(외광)을 직반사시키지 않고 산란시켜 외광 반사를 최소화한다. 따라서 제1 실시예의 유기 발광 표시 장치(100)는 화면의 콘트라스트비와 야외 시인성을 높일 수 있다.

[0037] 도 2는 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치의 부분 확대 단면도이다.

[0038] 도 2를 참고하면, 유기 발광 표시 장치(101)는 화소 전극(191)의 제1 곡면부(191a)와 초기화 전압선(124)의 제2 곡면부(124a)가 공통 전극(270)을 향해 볼록하게 형성되는 것을 제외하고 전술한 제1 실시예와 같은 구성으로 이루어진다. 제1 실시예와 같은 부재에 대해서는 같은 도면 부호를 사용하며, 중복되는 설명은 생략한다.

[0039] 보호막(180)은 그 표면이 패터닝되어 화소 전극(191)의 가장자리와 초기화 전압선(124)이 위치할 영역에 복수의 볼록부(180b)를 형성할 수 있다. 그리고 화소 전극(191)의 제1 곡면부(191a)와 초기화 전압선(124)의 제2 곡면부(124a)는 복수의 볼록부(180b) 위에 일정한 두께로 형성될 수 있다.

[0040] 화소 전극(191)의 제1 곡면부(191a)와 초기화 전압선(124)의 제2 곡면부(124a)는 외부에서 입사되는 빛(외광)을 직반사시키지 않고 산란시켜 외광 반사를 최소화한다. 따라서 제2 실시예의 유기 발광 표시 장치(101) 또한 화면의 콘트라스트비와 야외 시인성을 높일 수 있다.

[0041] 제1 및 제2 실시예의 유기 발광 표시 장치(100, 101)는 펜타일 매트릭스(pentile matrix) 방식의 화소 구조를 포함할 수 있으며, 이웃한 화소를 공유하여 색상을 표현하는 렌더링(rendering) 구동을 적용할 수 있다. 이러한 유기 발광 표시 장치(100, 101)는 적은 수의 화소로 고해상도를 구현할 수 있다. 다음으로, 펜타일 매트릭스 방식의 화소 구조에 대해 구체적으로 설명한다.

[0042] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치 중 화소 하나의 등가 회로도이다.

[0043] 도 3을 참고하면, 유기 발광 표시 장치의 화소(1)는 복수의 신호선(121, 122, 123, 124, 128, 171, 172), 복수의 신호선에 연결되는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, Cst), 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0044] 트랜지스터는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 및 바이패스 트랜지스터(T7)를 포함할 수 있다. 신호선은 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 바이패스 제어선(128), 데이터선(171), 및 구동 전압선(172)을 포함할 수 있다.

[0045] 스캔선(121)은 스캔 신호(Sn)를 전달하고, 이전 스캔선(122)은 초기화 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달한다. 발광 제어선(123)은 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)에 발광 제어 신호(En)를 전달한다. 초기화 전압선(124)은 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하며, 바이패스 제어선(128)은 바이패스 트랜지스터(T7)에 바이패스 신호(BP)를 전달한다. 데이터선(171)은 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달한다. 구동 전압선(172)은 데이터선(171)과 거의 평행하게 형성되며 구동 전압(ELVDD)을 전달한다.

[0046] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결된다. 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결된다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.

[0047] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결된다. 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되며, 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결된다. 스위칭 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온(turn on)되어 데이터선(171)에 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0048] 보상 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)과 직접 연결된다. 보상 트랜지스터(T3)의 소스 전극(S

3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되며, 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결된다. 보상 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 일단(Cst1), 초기화 트랜지스터(T4)의 드레인 전극(D4), 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결된다. 보상 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되며, 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킨다.

[0049] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결된다. 초기화 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 일단(Cst1), 보상 트랜지스터(T3)의 드레인 전극(D3), 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결된다. 초기화 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되며, 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0050] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)에 연결된다. 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)에 연결된다.

[0051] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결된다. 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 전기적으로 연결된다. 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되며, 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)로 전달되어 유기 발광 다이오드(OLED)에 발광 전류(Ioled)가 흐르게 된다.

[0052] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(128)과 연결되고, 바이패스 트랜지스터(T7)의 소스 전극(S8)은 발광 제어 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드와 연결된다. 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(124) 및 초기화 트랜지스터(T4)의 소스 전극(S4)과 연결된다.

[0053] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVDD)과 연결된다. 유기 발광 다이오드(OLED)는 구동 트랜지스터(T1)로부터 발광 전류(Ioled)를 전달받아 발광한다.

[0054] 다음으로, 화소 하나의 동작 과정에 대해 설명한다.

[0055] 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온되며, 초기화 전압선(124)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.

[0056] 이어서 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2)와 보상 트랜지스터(T3)가 턴 온된다. 이때 구동 트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스된다. 그러면 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다.

[0057] 스토리지 커패시터(Cst)의 에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단의 전압 차에 대응하는 전하가 저장된다. 이후 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 트랜지스터(T5)와 발광 제어 트랜지스터(T6)가 턴 온된다.

[0058] 그러면 구동 트랜지스터(T1)의 게이트 전극(G1) 전압과 구동 전압(ELVDD) 간의 전압 차에 비례하는 구동 전류(Id)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간 동안 스토리지 커패시터(Cst)에 의해 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Dm+Vth)-ELVDD'로 유지된다. 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 게이트-소스 전압(Vgs)에서 문턱 전압(Vth)을 차감한 값의 제곱인 '$(Dm-ELVDD)^2$'에 비례한다. 따라서 구동 전류(Id)는 구동 트랜지스

터(T1)의 문턱 전압(Vth)에 관계없이 결정된다.

[0059] 이때 바이패스 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압이다. 바이패스 트랜지스터(T7)의 게이트 전극(G7)이 트랜지스터 오프 레벨의 전압을 전달받음에 따라, 바이패스 트랜지스터(T7)는 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나간다.

[0060] 따라서 블랙 영상을 표시하는 구동 전류가 흐를 경우, 유기 발광 다이오드(OLED)의 발광 전류(Ioled)는 구동 전류(Id)로부터 바이패스 트랜지스터(T7)를 통해 빠져 나온 바이패스 전류(Ibp)의 전류량만큼 감소하며, 이는 블랙 영상을 확실하게 표현할 수 있는 수준으로서 최소의 전류량이 된다. 따라서 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 화면의 콘트라스트비를 향상시킬 수 있다.

[0061] 다음으로, 복수의 화소 배치 구조에 대해 설명한다.

[0062] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 중 복수개 화소의 개략적인 배치도이다.

[0063] 도 4를 참고하면, 제1행(1N)에는 복수의 녹색 화소(G)가 서로간 거리를 두고 배치되고, 제2행(2N)에는 적색 화소(R)와 청색 화소(B)가 교대로 배치된다. 제3행(3N)에는 복수의 녹색 화소(G)가 서로간 거리를 두고 배치되며, 제4행(4N)에는 청색 화소(B)와 적색 화소(R)가 교대로 배치된다. 이러한 화소 배치는 제N행까지 반복된다.

[0064] 제1행(1N)에 배치된 복수의 녹색 화소(G)와 제2행(2N)에 배치된 적색 화소(R) 및 청색 화소(B)는 서로 엇갈리게 위치한다. 따라서 제1열(1M)에는 적색 화소(R)와 청색 화소(B)가 교대로 배치되고, 제2열(2M)에는 복수의 녹색 화소(G)가 서로간 거리를 두고 배치된다. 제3열(3M)에는 청색 화소(B)와 적색 화소(R)가 교대로 배치되며, 제4열(4M)에는 복수의 녹색 화소(G)가 서로간 거리를 두고 배치된다. 이러한 화소 배치는 제M열까지 반복된다.

[0065] 다음으로, 도 3에 도시한 화소의 상세 구조에 대해 설명한다.

[0066] 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 중 복수의 트랜지스터와 복수의 신호선을 나타낸 개략 평면도이다.

[0067] 도 5를 참고하면, 스캔 신호(Sn)를 인가하는 스캔선(121), 이전 스캔 신호(Sn-1)를 인가하는 이전 스캔선(122), 발광 제어 신호(En)를 인가하는 발광 제어선(123), 및 바이패스 신호(BP)를 인가하는 바이패스 제어선(128)은 행 방향과 나란하게 형성될 수 있다. 데이터 신호(Dm)를 인가하는 데이터선(171)과, 구동 전압(ELVDD)을 인가하는 구동 전압선(172)은 열 방향과 나란하게 형성될 수 있다. 초기화 전압(Vint)을 인가하는 초기화 전압선(124)은 대략적으로 행 방향과 나란하게 형성되나, 스캔선(121)과 교차하는 부분을 포함할 수 있다.

[0068] 또한, 화소에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 스토리지 커패시터(Cst), 및 유기 발광 다이오드(OLED)가 형성된다.

[0069] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 및 바이패스 트랜지스터(T7)는 반도체층(131)을 따라 형성된다. 반도체층(131)은 다양한 형상으로 굴곡될 수 있으며, 폴리실리콘 또는 산화물 반도체로 형성될 수 있다. 반도체층(131)이 산화물 반도체를 포함하는 경우 반도체층을 보호하기 위한 별도의 보호층이 추가될 수 있다.

[0070] 도 6은 도 5의 구체적인 배치도이고, 도 7은 도 6의 Ⅶ-Ⅶ'선을 따라 자른 단면도이다. 도 8은 도 6의 Ⅷ-Ⅷ'선 및 Ⅷ'-Ⅷ"선을 따라 자른 단면도이며, 도 9는 도 6의 Ⅸ-Ⅸ'선을 따라 자른 단면도이다.

[0071] 도 5 내지 도 9를 참고하면, 반도체층(131)은 구동 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 반도체층(131e), 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 반도체층(131f), 및 바이패스 트랜지스터(T7)에 형성되는 바이패스 반도체층(131g)을 포함한다.

[0072] 구동 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a), 및 구동 드레인 전극(177d)을 포함한다. 구동 반도체층(131a)을 굴곡되어 있으며, 사행 또는 지그재그 형상을 가질 수 있다. 이 경우 좁은 공간 내에 구동 반도체층(131a)을 길게 형성할 수 있으며, 구동 반도체층(131a)의 구동 채널 영역(131a1)이 큰 길이로 형성되어 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)를

넓힐 수 있다. 따라서 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있다.

[0073] 구동 소스 전극(176a)과 구동 드레인 전극(177a)은 각각 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a) 및 구동 드레인 영역(177a)에 해당한다. 편의상, 전극과 영역에 같은 도면 부호를 적용한다. 구동 게이트 전극(125a)은 구동 반도체층(131a)과 중첩되며, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 스위칭 게이트 전극(125b), 보상 게이트 전극(125c), 초기화 게이트 전극(125d), 동작 제어 게이트 전극(125e), 및 발광 제어 게이트 전극(125f)과 같은 물질로 같은 층에 형성될 수 있다.

[0074] 스위칭 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b), 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 게이트 전극(125b)은 스캔선(121)의 일부이다. 데이터선(171)의 일부는 스위칭 소스 전극(176b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 소스 영역(132b)과 연결되며, 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.

[0075] 보상 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c), 및 보상 드레인 전극(177c)을 포함한다. 보상 소스 전극(176c)과 보상 드레인 전극(177c)은 각각 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역(176c) 및 보상 드레인 영역(177c)에 해당한다.

[0076] 초기화 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d), 및 초기화 드레인 전극(177d)을 포함한다. 초기화 드레인 전극(177d)은 초기화 반도체층(131d)에서 불순물이 도핑된 초기화 드레인 영역(177d)에 해당한다. 초기화 소스 전극(176d)은 초기화 반도체층(131d)에서 불순물이 도핑된 초기화 소스 영역(132d)과 접촉 구멍(64)을 통해 연결된다. 초기화 전압선(124)은 초기화 소스 전극(176d)과 접촉 구멍(82)을 통해 연결되며, 초기화 소스 전극(176d)을 통해 초기화 반도체층(131d)과 연결된다.

[0077] 동작 제어 트랜지스터(T5)는 동작 제어 반도체층(131e), 동작 제어 게이트 전극(125e), 동작 제어 소스 전극(176e), 및 동작 제어 드레인 전극(177e)을 포함한다. 구동 전압선(172)의 일부인 동작 제어 소스 전극(176e)은 동작 제어 반도체층(131e)과 연결되며, 동작 제어 드레인 전극(177e)은 동작 제어 반도체층(131e)에서 불순물이 도핑된 동작 제어 드레인 영역(177e)에 해당한다.

[0078] 발광 제어 트랜지스터(T6)는 발광 제어 반도체층(131f), 발광 제어 게이트 전극(125f), 발광 제어 소스 전극(176f), 및 발광 제어 드레인 전극(177f)을 포함한다. 발광 제어 소스 전극(176f)은 발광 제어 반도체층(131f)에서 불순물이 도핑된 발광 제어 소스 영역(176f)에 해당하고, 발광 제어 드레인 전극(177f)은 발광 제어 반도체층(131f)의 발광 제어 드레인 영역(133f)과 연결된다.

[0079] 바이패스 트랜지스터(T7)는 바이패스 반도체층(131g), 바이패스 게이트 전극(125g), 바이패스 소스 전극(176g), 및 바이패스 드레인 전극(177g)을 포함한다. 바이패스 소스 전극(176g)과 바이패스 드레인 전극(177g)은 각각 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 소스 영역(176g) 및 바이패스 드레인 영역(177g)에 해당한다. 바이패스 소스 전극(176g)은 발광 제어 드레인 영역(133f)과 직접 연결된다.

[0080] 구동 반도체층(131a)의 일단은 스위칭 반도체층(131b) 및 동작 제어 반도체층(131e)과 연결되며, 구동 반도체층(131a)의 타단은 보상 반도체층(131c) 및 발광 제어 반도체층(131f)과 연결된다. 따라서 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 동작 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 발광 제어 소스 전극(176f)과 연결된다.

[0081] 스토리지 커패시터(Cst)는 제2 게이트 절연막(142)을 사이에 두고 배치되는 제1 스토리지 축전판과 제2 스토리지 축전판(126)을 포함한다. 구동 게이트 전극(125a)이 제1 스토리지 축전판이 되고, 제2 게이트 절연막(142)은 유전체가 된다. 스토리지 커패시터(Cst)에 축전된 전하와 양 축전판(125a, 126) 사이의 전압에 의해 스토리지 커패시턴스(storage capacitance)가 결정된다.

[0082] 연결 부재(174)는 데이터선(171)과 평행을 이루며 데이터선(171)과 같은 층에 형성될 수 있다. 연결 부재(174)는 일단에서 제1 스토리지 축전판(구동 게이트 전극)(125a)과 연결되고 타단에서 보상 드레인 전극(177c)과 연결되어 구동 게이트 전극(125a)과 보상 드레인 전극(177c)을 연결한다. 따라서 스토리지 커패시터(Cst)는 구동 전압선(172)을 통해 제2 스토리지 축전판(126)에 전달된 구동 전압(ELVDD)과 구동 게이트 전극(125a)의 게이트 전압 간의 차에 대응하는 스토리지 커패시턴스를 저장할 수 있다.

[0083] 스위칭 트랜지스터(T2)는 발광하고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125

b)은 스캔선(121)에 연결되고, 스위칭 소스 전극(176b)은 데이터선(171)에 연결되며, 스위칭 드레인 전극(177b)은 구동 트랜지스터(T1) 및 동작 제어 트랜지스터(T5)와 연결된다. 발광 제어 트랜지스터(T6)의 발광 제어 드레인 전극(177f)은 유기 발광 다이오드(OLED)의 화소 전극(애노드)(191)과 직접 연결된다.

[0084] 연결 부재(174)는 화소 전극(191)과 평면상 간격(d)(도 5 참조)을 두고 위치할 수 있다. 이 경우 연결 부재(174)는 화소 전극(191)과 중첩되지 않으므로 연결 부재(174)와 화소 전극(191) 간에 기생 커패시터가 발생하지 않는다.

[0085] 따라서 유기 발광 다이오드(OLED)는 연결 부재(174)의 전압 변화의 영향을 받지 않게 되므로, 공통 전압(ELVSS)의 변경이 있는 경우에도 유기 발광 다이오드(OLED)를 흐르는 구동 전류(Id)의 크기는 거의 변하지 않는다. 그 결과, 유기 발광 다이오드(OLED)의 휘도와 색을 일정하게 유지할 수 있으며, 이러한 특징을 이용하여 공통 전압(ELVSS)을 변경함으로써 소비 전력을 낮출 수도 있다.

[0086] 다음으로, 도 7 내지 도 9를 참고하여 적층 순서에 따른 구조에 대해 설명한다. 이때 동작 제어 트랜지스터(T5)의 적층 구조는 발광 제어 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.

[0087] 기판(110) 위에 버퍼층(120)이 형성된다. 그리고 버퍼층(120) 위에 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f), 및 바이패스 반도체층(131g)이 형성된다.

[0088] 구동 반도체층(131a)은 구동 채널 영역(131a1)과 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함한다. 스위칭 반도체층(131b)은 스위칭 채널 영역(131b1)과 스위칭 소스 영역(132b) 및 스위칭 드레인 영역(177b)을 포함한다. 보상 반도체층(131c)은 보상 채널 영역(131c)과 보상 소스 영역(176c) 및 보상 드레인 영역(177c)을 포함한다. 편의상, 반도체층과 채널 영역에 같은 도면 부호를 적용한다.

[0089] 초기화 반도체층(131d)은 초기화 채널 영역(131d1)과 초기화 소스 영역(132d) 및 초기화 드레인 영역(177d)을 포함한다. 발광 제어 반도체층(131f)은 발광 제어 채널 영역(131f1)과 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함한다. 바이패스 반도체층(131g)은 바이패스 채널 영역(131g)과 바이패스 소스 영역(176g) 및 바이패스 드레인 영역(177g)을 포함한다.

[0090] 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f), 및 바이패스 반도체층(131g) 위에 제1 게이트 절연막(141)이 형성된다. 제1 게이트 절연막(141) 위에는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(128)을 포함하는 게이트 배선이 형성된다.

[0091] 스캔선(121)은 스위칭 게이트 전극(125b)과 보상 게이트 전극(125c)을 포함하며, 이전 스캔선(122)은 초기화 게이트 전극(125d)을 포함한다. 발광 제어선(123)은 동작 제어 게이트 전극(125e)과 발광 제어 게이트 전극(125f)을 포함하며, 바이패스 제어선(128)은 구동 게이트 전극(제1 스토리지 축전판)(125a)과 바이패스 게이트 전극(125g)을 포함한다. 게이트 배선과 제1 게이트 절연막(141) 위에 제2 게이트 절연막(142)이 형성된다.

[0092] 제2 게이트 절연막(142) 위에 제1 스토리지 축전판(125a)과 중첩하는 제2 스토리지 축전판(126)이 형성된다. 제2 스토리지 축전판(126)은 제1 스토리지 축전판(125a)보다 넓게 형성되므로 구동 게이트 전극(125a)을 모두 덮는다. 따라서 제2 스토리지 축전판(126)은 구동 게이트 전극(125a)의 전압 변화가 구동 게이트 전극(125a)과 중첩하는 화소 전극(191)의 전압에 영향을 미치는 것을 차단할 수 있다.

[0093] 제2 게이트 절연막(142)과 제2 스토리지 축전판(126) 위에 층간 절연막(160)이 형성된다. 층간 절연막(160) 위에는 데이터 배선이 형성된다. 데이터 배선은 스위칭 소스 전극(176b)을 포함하는 데이터선(171), 구동 전압선(172), 연결 부재(174), 초기화 소스 전극(176d), 및 발광 제어 드레인 전극(177f)을 포함한다.

[0094] 스위칭 소스 전극(176b)은 제1 및 제2 게이트 절연막(141, 142)과 층간 절연막(160)에 형성된 접촉 구멍(62)을 통해 스위칭 소스 영역(132b)과 연결되며, 구동 전압선(172)은 층간 절연막(160)에 형성된 접촉 구멍(67)을 통해 제2 스토리지 축전판(126)과 연결된다. 구동 전압선(172)은 제1 및 제2 게이트 절연막(141, 142)에 형성된 접촉 구멍(65)을 통해 동작 제어 소스 전극(176e)과 연결된다.

[0095] 연결 부재(174)의 일단은 제2 게이트 절연막(142)과 층간 절연막(160)에 형성된 접촉 구멍(61)을 통해 구동 게이트 전극(125a)과 연결되며, 연결 부재(174)의 타단은 제1 및 제2 게이트 절연막(141, 142)과 층간 절연막(160)에 형성된 접촉 구멍(63)을 통해 보상 드레인 전극(177c)과 연결된다. 이때 연결 부재(174)의 일단은 제2

스토리지 축전판(126)에 형성된 축전 홈(68) 내부에 위치한다.

[0096] 초기화 소스 전극(176d)은 제1 및 제2 게이트 절연막(141, 142)과 층간 절연막(160)에 형성된 접촉 구멍(64)을 통해 초기화 반도체층(131d)과 연결된다. 발광 제어 드레인 전극(177f)은 제1 및 제2 게이트 절연막(141, 142)과 층간 절연막(160)에 형성된 접촉 구멍(66)을 통해 발광 제어 반도체층(131f)과 연결된다.

[0097] 층간 절연막(160) 위에 데이터 배선을 덮는 보호막(180)이 형성되며, 보호막(180) 위에 화소 전극(191)과 초기화 전압선(124)이 형성된다. 발광 제어 드레인 전극(177f)은 보호막(180)에 형성된 접촉 구멍(81)을 통해 화소 전극(191)의 확장부(191b)와 연결되고, 초기화 소스 전극(176d)은 보호막(180)에 형성된 접촉 구멍(82)을 통해 초기화 전압선(124)과 연결된다.

[0098] 화소 전극(191)의 가장자리와 보호막(180) 위에 격벽(350)이 형성된다. 격벽(350)은 화소 전극(191)을 드러내는 개구부(351)를 형성한다. 보호막(180)과 격벽(350)은 플리아크릴계 수지 또는 폴리이미드계 수지와 같은 유기물로 형성될 수 있다. 개구부(351)로 노출된 화소 전극(191) 위에 유기 발광층(370)이 형성되고, 유기 발광층(370) 위에 공통 전극(270)이 형성된다.

[0099] 도 4에 도시한 적색 화소(R)와 녹색 화소(G) 및 청색 화소(B) 각각에 적색 유기 발광층과 녹색 유기 발광층 및 청색 유기 발광층이 형성될 수 있다. 다른 한편으로, 적색 화소(R)와 녹색 화소(G) 및 청색 화소(B) 모두에 적색 유기 발광층과 녹색 유기 발광층 및 청색 유기 발광층이 모두 적층되고, 적색 화소(R)와 녹색 화소(G) 및 청색 화소(B) 각각에 적색 필터와 녹색 필터 및 청색 필터가 형성될 수 있다.

[0100] 다른 한편으로, 적색 화소(R)와 녹색 화소(G) 및 청색 화소(B) 모두에 백색 유기 발광층이 형성되고, 적색 화소(R)와 녹색 화소(G) 및 청색 화소(B) 각각에 적색 필터와 녹색 필터 및 청색 필터가 형성될 수 있다. 예를 들어, 백색 유기 발광층은 옐로우 유기 발광층과 청색 유기 발광층을 포함하거나, 시안 유기 발광층과 적색 유기 발광층을 포함하거나, 마젠타 유기 발광층과 녹색 유기 발광층을 포함할 수 있다.

[0101] 공통 전극(270) 위에는 유기 발광 다이오드(OLED)를 밀봉시키는 봉지 부재(도시하지 않음)가 형성된다. 봉지 부재는 기판의 형태로서 실런트에 의해 기판(110)에 밀봉되거나, 공통 전극(270) 위에 무기막과 유기막을 증착한 박막 봉지(thin film encapsulation)로 구성될 수 있다.

[0102] 도 4에서 적색 화소(R)와 녹색 화소(G) 및 청색 화소(B)는 해당 화소의 화소 전극(191)과 같은 형상을 가질 수 있다. 즉 상기에서는 화소 전극(191)의 평면 형상을 해당 화소의 형상으로 가정하여 설명하였다. 화소 전극(191)은 유기 발광층(370)보다 크게 형성되어 유기 발광층(370)과 중첩되지 않는 가장자리를 포함하며, 접촉 구멍(81)과 중첩되는 확장부(191b)를 포함한다. 초기화 전압선(124)은 2행(2N)의 화소들과 3행(3N)의 화소들 사이에 위치하며, 반복적인 굴곡 패턴으로 형성될 수 있다.

[0103] 화소 전극(191)은 유기 발광층(370)과 중첩되지 않는 영역, 예를 들어 화소전극(191)의 가장자리에 형성된 오목 또는 볼록한 제1 곡면부(191a)를 포함한다. 제1 곡면부(191a)는 외부에서 입사되는 빛(외광)을 직반사시키지 않고 산란시켜 외광 반사를 최소화한다. 초기화 전압선(124) 또한 공통 전극(270)을 향해 오목 또는 볼록한 제2 곡면부(124a)를 형성하여 외광을 산란시킬 수 있다. 이때 초기화 전압선(124)은 접촉 구멍(82)과 중첩되는 부분을 제외한 나머지 부분에 제2 곡면부(124a)를 형성할 수 있다.

[0104] 도 7 내지 도 9에서는 보호막(180)의 표면이 복수의 오목부(180a)를 포함하고, 제1 곡면부(191a)와 제2 곡면부(124a)가 오목하게 형성된 경우를 예로 들어 도시하였다. 다른 한편으로, 보호막(180)의 표면은 복수의 볼록부를 포함할 수 있고, 제1 곡면부와 제2 곡면부는 볼록하게 형성될 수 있다.

[0105] 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

부호의 설명

[0106] 1: 화소 110: 기판

121: 스캔선 122: 이전 스캔선

123: 발광 제어선 124: 초기화 전압선

124a: 제2 곡면부 128: 바이패스 제어선

171: 데이터선　　172: 구동 전압선

174: 연결 부재　　180: 보호막

191: 화소 전극　　191a: 제1 곡면부

270: 공통 전극　　370: 유기 발광층

T1: 구동 트랜지스터　　T2: 스위칭 트랜지스터

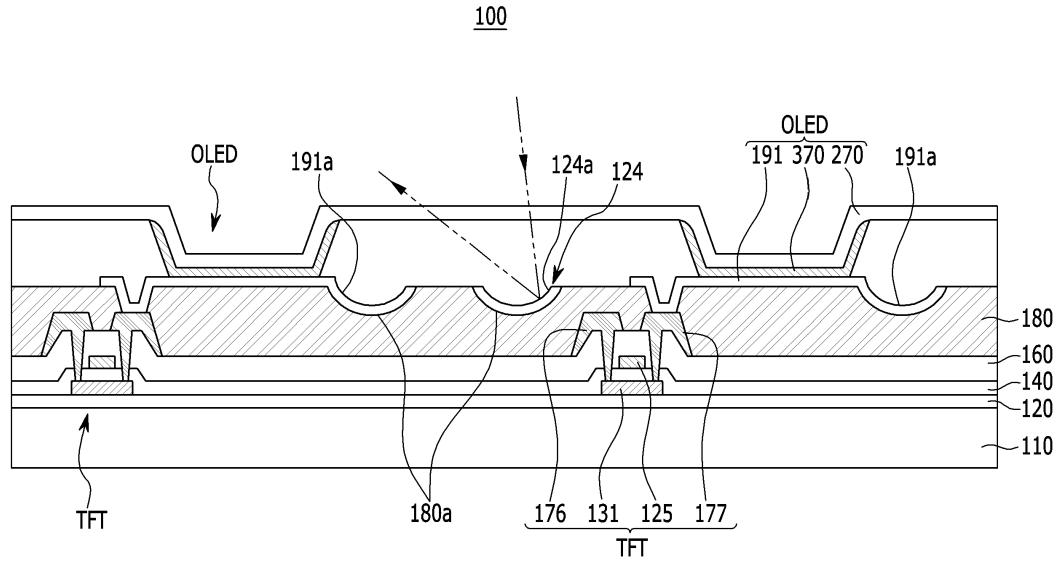
T3: 보상 트랜지스터　　T4: 초기화 트랜지스터

T5: 동작 제어 트랜지스터　　T6: 발광 제어 트랜지스터

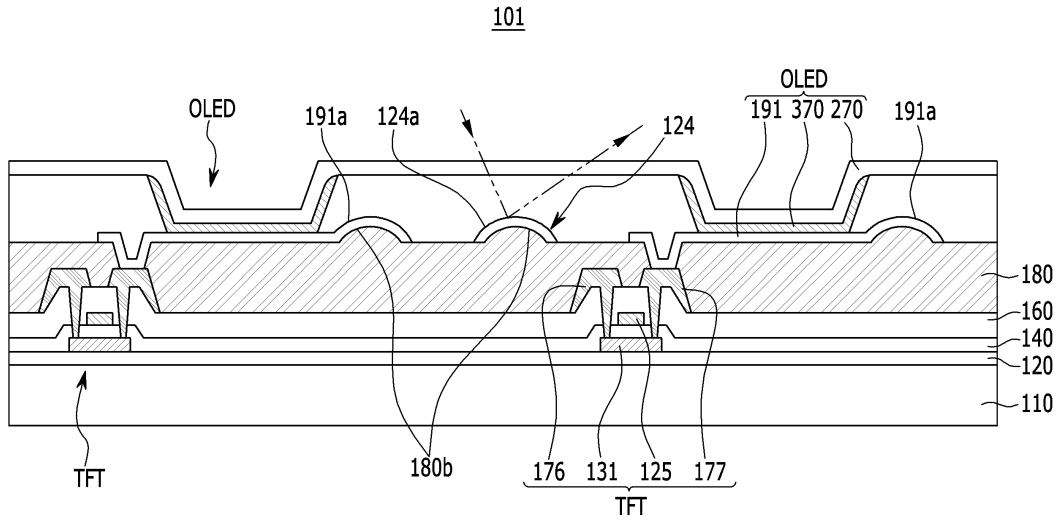
T7: 바이패스 트랜지스터

도면

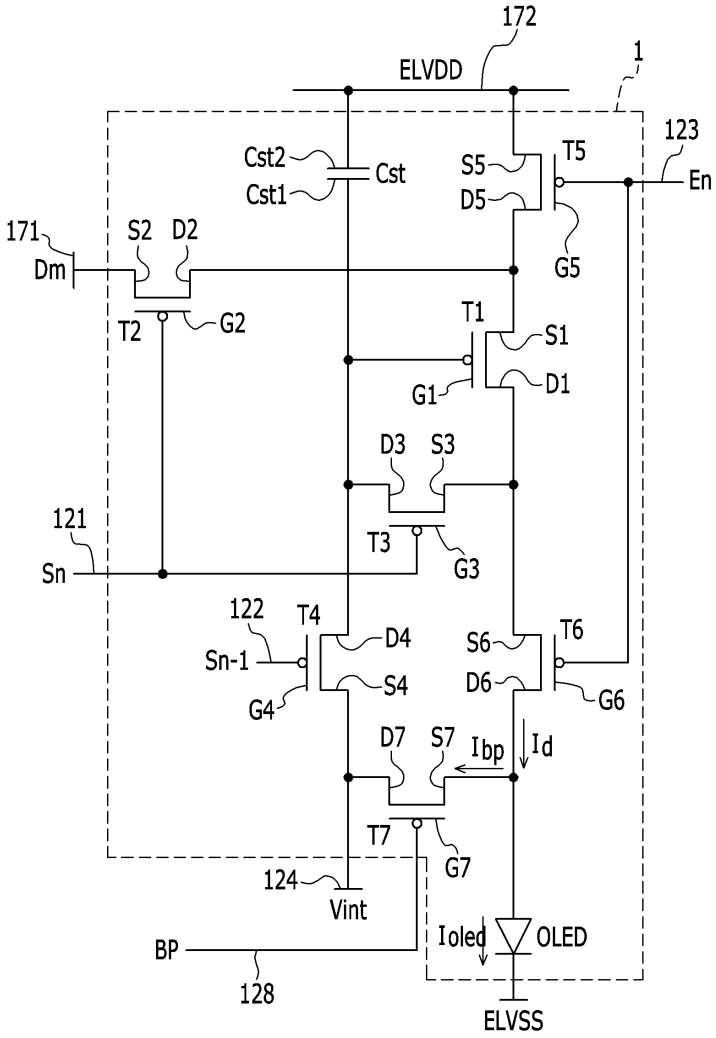
도면1



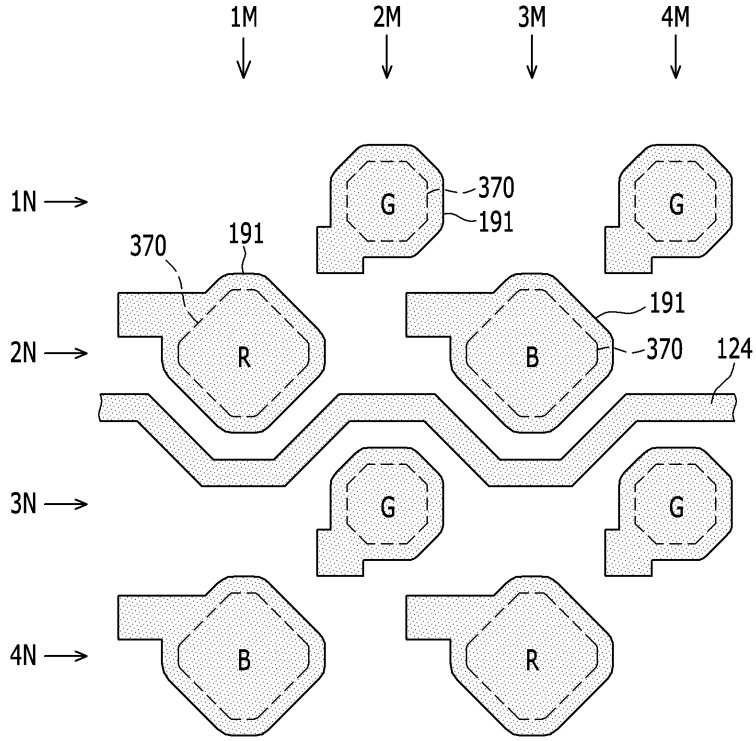
도면2



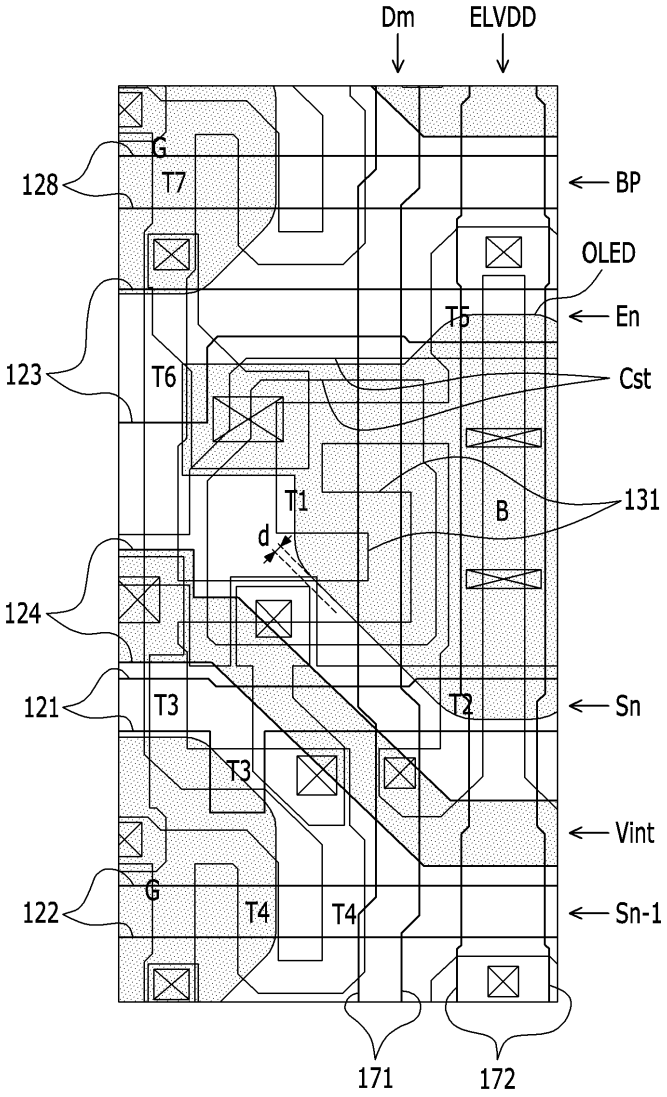
도면3


172
ELVDD
1
123
En
Cst2
Cst
Cst1
S5
D5
T5
G5
171
Dm
S2
D2
T2
G2
T1
S1
D1
G1
D3
S3
T3
G3
121
Sn
122
Sn-1
T4
D4
S4
G4
S6
D6
T6
G6
D7
S7
Ibp
Id
T7
G7
124
Vint
BP
128
Ioled
OLED
ELVSS

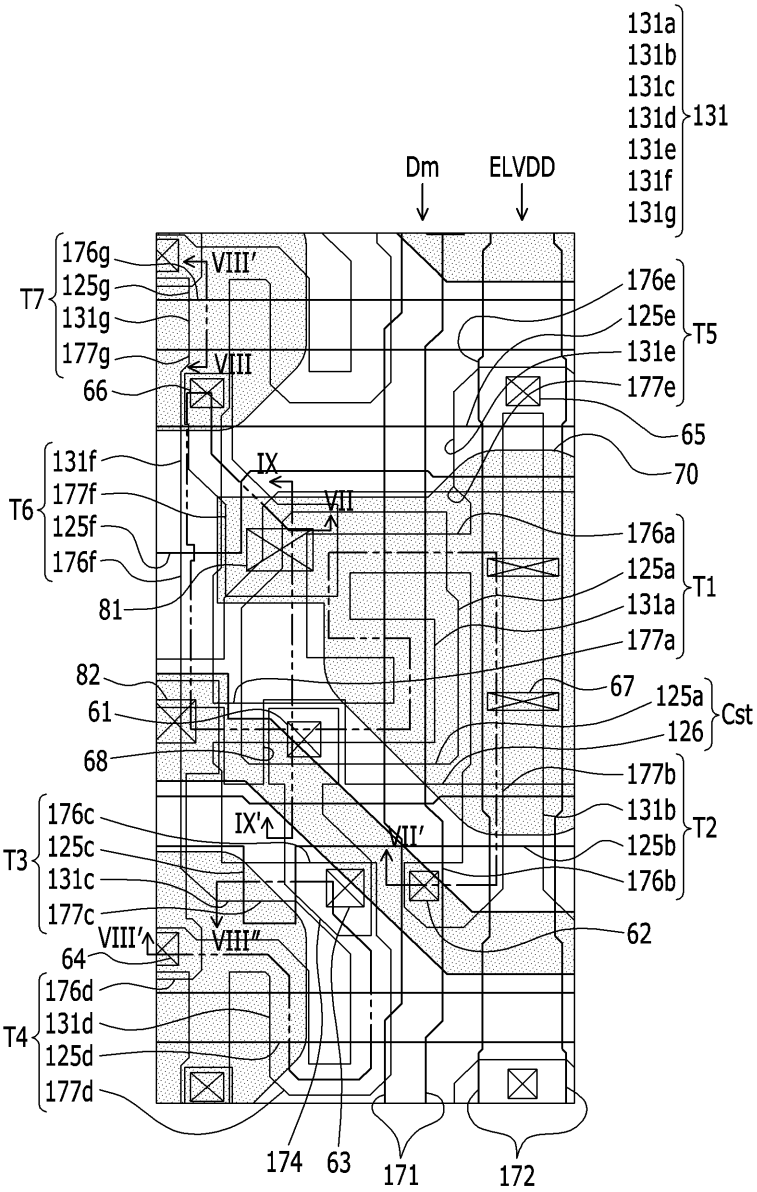
도면4



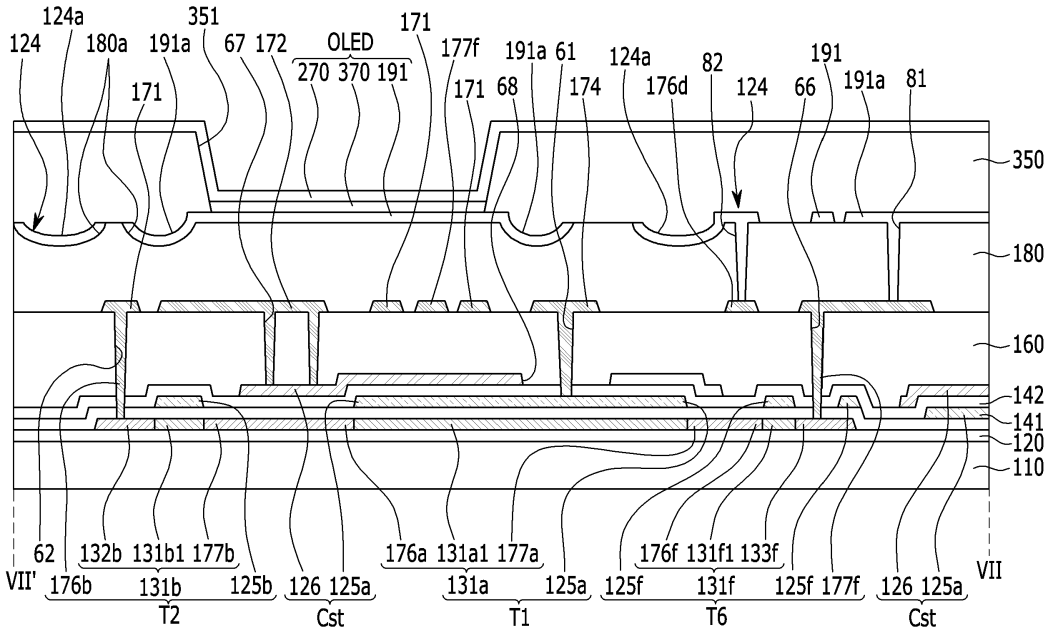
도면5


Dm
ELVDD
G
128
T7
BP
OLED
T5
En
123
T6
Cst
T1
131
B
d
124
121
T3
T2
Sn
T3
Vint
G
122
T4
T4
Sn-1
171
172

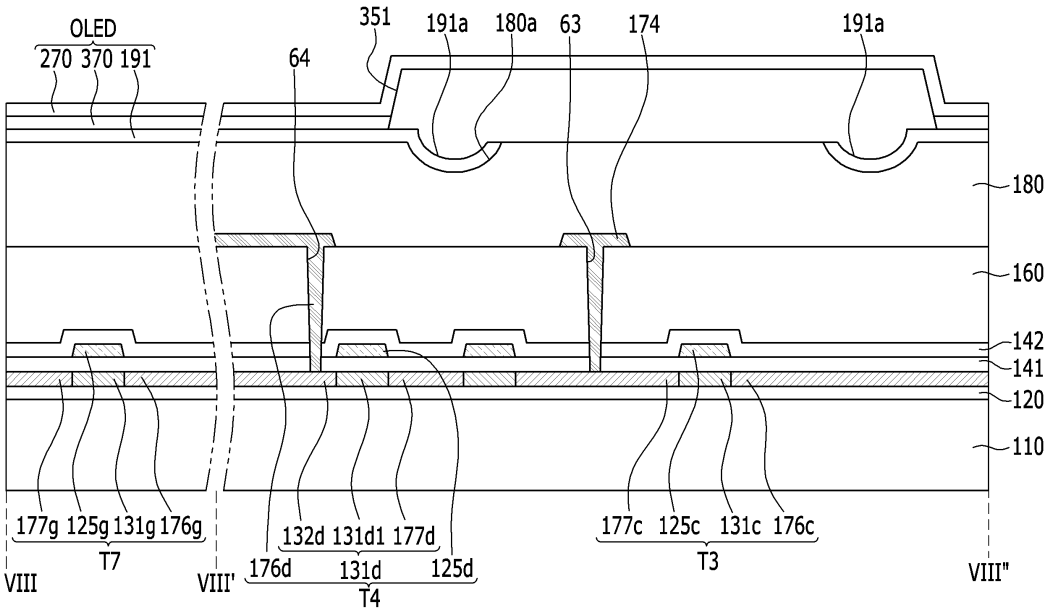
도면6


131a
131b
131c
131d
131
131e
131f
131g
Dm
ELVDD
176g
125g
131g
177g
66
T7
VIII′
VIII
176e
125e
131e
177e
T5
65
70
131f
177f
125f
176f
T6
IX
VII
176a
125a
131a
177a
T1
81
82
61
68
67
125a
126
Cst
177b
131b
125b
176b
T2
176c
125c
131c
177c
T3
IX′
VII′
VIII′
VIII″
64
62
176d
131d
125d
177d
T4
174
63
171
172

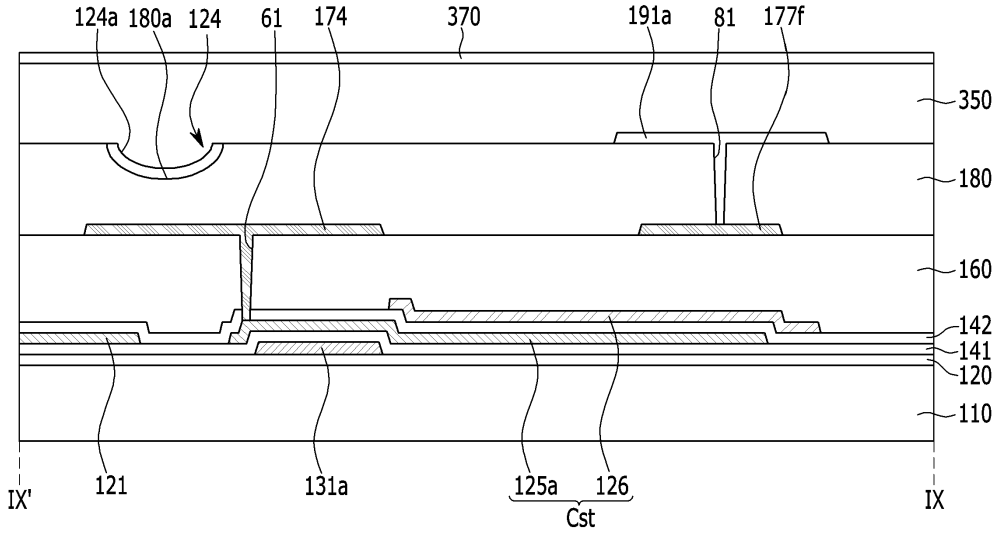
도면7


124a
124
180a
351
191a
67
172
OLED
270 370 191
171
171
177f
171
191a
61
68
174
124a
176d
82
124
66
191
191a
81
350
180
160
142
141
120
110
62
132b
131b1
177b
176b
131b
125b
T2
126 125a
Cst
176a
131a1
177a
131a
125a
T1
176f
131f1
133f
125f
131f
125f
177f
T6
126 125a
Cst
VII'
VII

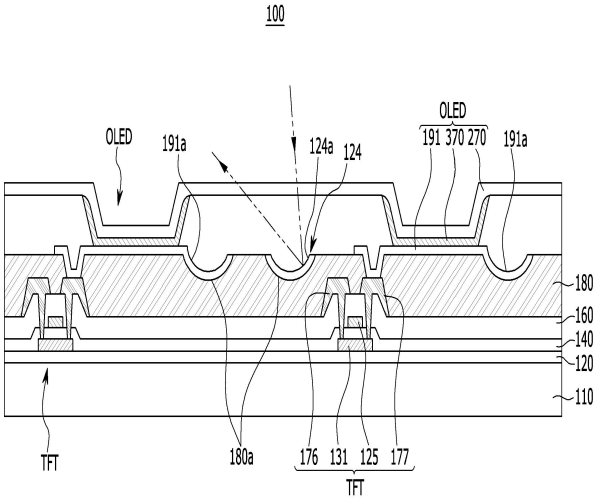
도면8


OLED
270 370 191
351
64
191a
180a
63
174
191a
180
160
142
141
120
110
177g
125g
131g
176g
T7
VIII
VIII'
132d
131d1
177d
176d
131d
125d
T4
177c
125c
131c
176c
T3
VIII"

도면9


124a
180a
124
61
174
370
191a
81
177f
350
180
160
142
141
120
110
IX'
121
131a
125a
126
Cst
IX

专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160066112A	公开(公告)日	2016-06-10
申请号	KR1020140169851	申请日	2014-12-01
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEUNG KYU 이승규 HYUN CHAE HAN 현채한		
发明人	이승규 현채한		
IPC分类号	H01L27/32		
CPC分类号	H01L27/32 H01L27/3202 H01L27/3204 H01L51/5209 H01L27/3216 H01L27/3218 H01L51/5268 H01L51/5281		
外部链接	Espacenet		

摘要(译)

提供了一种用于使外部反射最小化并增强室外可视性的有机发光显示装置。有机发光显示装置包括：有机发光二极管，包括基板，多个晶体管，形成在基板和保护膜上，覆盖多个晶体管和像素电极，其形成在保护膜上，并且有机发光层和公共电极。像素电极包括有机发光层和位于不重叠的区域中的第一弯曲部分。