



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0019627

(43) 공개일자 2016년02월22일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0103984

(22) 출원일자 2014년08월11일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

나세환

경기 파주시 가람로116번길 130, 706동 1904호 (와동동, 가람마을7단지한라비발디)

오충완

경기 오산시 은여울로17번길 8, 205호 (결동, 신흥연립)

박영주

서울 성동구 성수일로8길 47, 102동 2201호 (성수동2가, 성수롯데캐슬파크)

(74) 대리인

특허법인로알

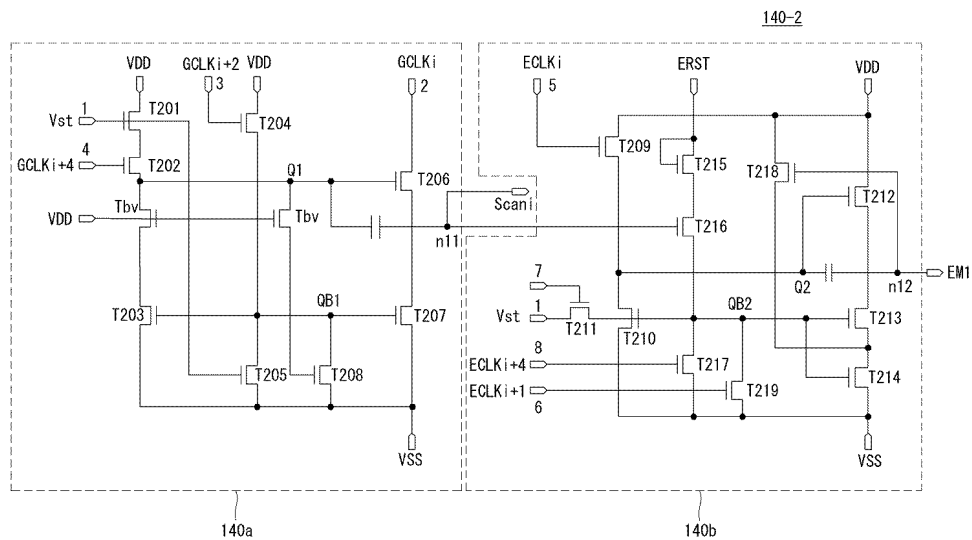
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명의 유기발광다이오드 표시장치는 스토리지 커패시터에 데이터전압을 저장하고 구동트랜지스터의 전위에 따라서 상기 데이터전압을 출력하여 유기발광다이오드를 발광시키는 화소들이 형성되는 표시패널, 제1 Q노드 및 제1 QB노드의 전위에 따라서 스토리지 커패시터에 데이터전압이 저장되는 기간을 제어하는 스캔신호를 제1 출력단으로 출력하는 스캔신호 출력부 및 제2 Q노드 및 제2 QB노드의 전위에 따라서 스토리지 커패시터에 저장된 데이터전압을 유기발광다이오드로 출력하는 발광기간의 시작시점을 제어하는 발광제어신호를 제2 출력단으로 출력하는 발광제어신호 출력부를 포함하되, 발광제어신호 출력부는 발광기간 이전에 스캔신호 출력부로부터 제공받는 스캔신호에 응답하여, 에미션리셋을 제2 QB노드에 제공하는 스캔동기화 트랜지스터를 포함한다.

대표도



명세서

청구범위

청구항 1

스토리지 커패시터에 데이터전압을 저장하고, 구동트랜지스터의 전위에 따라서 상기 데이터전압을 출력하여 유기발광다이오드를 발광시키는 화소들이 형성되는 표시패널;

제1 Q노드 및 제1 QB노드의 전위에 따라서, 상기 스토리지 커패시터에 데이터전압이 저장되는 기간을 제어하는 스캔신호를 제1 출력단으로 출력하는 스캔신호 출력부; 및

제2 Q노드 및 제2 QB노드의 전위에 따라서, 상기 스토리지 커패시터에 저장된 상기 데이터전압을 상기 유기발광다이오드로 출력하는 발광기간의 시작시점을 제어하는 발광제어신호를 제2 출력단으로 출력하는 발광제어신호 출력부를 포함하되,

상기 발광제어신호 출력부는

상기 발광기간 이전에 상기 스캔신호 출력부로부터 제공받는 상기 스캔신호에 응답하여, 에미션리셋을 상기 제2 QB노드에 제공하는 스캔동기화 트랜지스터를 포함하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 QB노드는 전위가 높아질 경우에 턴-온되어서, 상기 제1 출력단과 저전위전압원을 연결하는 풀다운 트랜지스터를 포함하고,

스캔동기화 트랜지스터는 게이트전극이 상기 스캔신호 출력부의 출력단과 연결되고, 제1 전극이 에미션리셋 입력단과 연결되며, 제2 전극이 상기 제2 QB노드와 연결되어서,

고전위전압레벨의 상기 스캔신호에 동기되는 고전위전압레벨의 상기 에미션리셋을 상기 제2 QB노드에 제공하여 상기 풀다운 트랜지스터를 턴-온시킴으로써, 상기 발광제어신호 출력부의 출력단을 상기 저전위전압원으로 방전시키는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 에미션리셋 입력단은 각 수평라인마다 형성되는 스테이지들 각각에 형성되는 유기발광다이오드 표시장치.

청구항 4

제 2 항에 있어서,

상기 스캔동기화 트랜지스터와 상기 에미션리셋 입력단 사이에 형성되며, 상기 에미션리셋을 상기 스캔동기화 트랜지스터로 전달하는 리셋스위칭 트랜지스터를 더 포함하는 유기발광다이오드 표시장치.

청구항 5

제 2 항에 있어서,

상기 발광기간 동안에 동일한 수평라인에 제공되는 상기 스캔신호 및 상기 발광제어신호는 서로 반대의 전압레벨을 유지하며,

상기 제2 QB노드 및 상기 저전위전압원 사이에는, 상기 발광기간 동안에 입력받는 클럭신호에 응답하여 상기 풀다운 트랜지스터를 턴-오프 상태로 유지하기 위한 하나 이상의 트랜지스터가 더 형성되는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002]

평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라스마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003]

이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 회도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 구동트랜지스터에 공급되는 데이터전압을 스토리지 커패시터에 충전한다. 그리고 발광제어신호를 이용하여 스토리지 커패시터에 충전된 데이터전압을 출력함으로써 유기발광다이오드를 발광시킨다. 이처럼 유기발광다이오드의 표시장치를 구동하기 위해서 스캔신호 및 발광제어신호를 구분하는 이유는 각각의 신호들이 서로 다른 타이밍에 화소에 제공되기 때문이다.

[0004]

그리고 스캔신호 및 발광제어신호를 생성하는 스캔구동부는 표시패널에서 비표시영역인 베젤 영역에 박막 트랜지스터들의 조합으로 이루어지는 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. 언급한 바와 같이, 스캔구동부가 스캔신호 및 발광제어신호를 출력할 경우에, 각 신호들은 서로 독립적으로 동작하는 회로를 이용하여 생성된다. 이는 스캔신호 및 발광제어신호의 출력 타이밍 및 위상이 서로 상이하기 때문이다.

[0005]

스캔신호 및 발광제어신호를 개별적으로 출력하기 위한 회로들을 개별적으로 제작하기 위해서는 트랜지스터들의 개수가 많이 필요할 뿐만 아니라, 베젤의 크기도 증가할 수밖에 없는 단점이 있다.

발명의 내용

해결하려는 과제

[0006]

상술한 배경기술의 문제점을 해결하기 위한 본 발명은 회로구성에 필요한 트랜지스터들의 개수를 줄이고 베젤의 크기를 감소시킬 수 있는 유기발광다이오드 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0007]

상술한 과제 해결 수단으로 본 발명의 유기발광다이오드 표시장치는 스토리지 커패시터에 데이터전압을 저장하고 구동트랜지스터의 전위에 따라서 상기 데이터전압을 출력하여 유기발광다이오드를 발광시키는 화소들이 형성되는 표시패널, 제1 Q노드 및 제1 QB노드의 전위에 따라서 스토리지 커패시터에 데이터전압이 저장되는 기간을 제어하는 스캔신호를 제1 출력단으로 출력하는 스캔신호 출력부 및 제2 Q노드 및 제2 QB노드의 전위에 따라서 스토리지 커패시터에 저장된 데이터전압을 유기발광다이오드로 출력하는 발광기간의 시작시점을 제어하는 발광제어신호를 제2 출력단으로 출력하는 발광제어신호 출력부를 포함하되, 발광제어신호 출력부는 발광기간 이전에 스캔신호 출력부로부터 제공받는 스캔신호에 응답하여, 에미션리셋을 제2 QB노드에 제공하는 스캔동기화 트랜지스터를 포함한다.

발명의 효과

- [0008] 본 발명은 하나의 회로를 이용하여 스캔신호 및 발광제어신호를 출력함으로써, 베젤의 크기를 줄일 수 있는 유기발광다이오드 표시장치를 제공한다.
- [0009] 또한 본 발명은 발광제어신호를 출력하기 이전에 발광제어신호의 출력단을 초기화함으로써 구동의 신뢰성을 높일 수 있고, 발광제어신호의 출력단의 초기화 과정에서 패널의 부하로 인한 지연현상을 개선하여 수평방향의 뒤틀 현상이 발생하는 것을 개선할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명에 의한 유기발광다이오드 표시장치의 구성을 나타내는 도면.
- 도 2는 도 1에 도시된 화소구조의 일례를 나타내는 도면.
- 도 3은 도 2에 도시된 화소를 구동하기 위한 스캔신호 및 발광제어신호의 타이밍을 나타내는 도면.
- 도 4는 본 발명에 의한 쉬프트 레지스터의 구성을 나타내는 도면.
- 도 5는 제1 실시 예에 의한 제i 스테이지의 회로 구성도.
- 도 6은 도 5에 도시된 제i 스테이지의 동작 타이밍도.
- 도 7은 본 발명의 제2 실시 예에 따른 제i 스테이지의 회로 구성도.
- 도 8은 제1 실시 예에 의한 스테이지들에서 리셋스위칭 트랜지스터들의 연결관계에 의한 등가회로도.
- 도 9는 발광제어신호의 딜레이 현상을 나타내는 도면.
- 도 10은 제2 실시 예에 의한 제i 스테이지의 회로 구성도.
- 도 11은 제3 실시 예에 의한 스테이지들에서 리셋스위칭 트랜지스터들의 연결관계에 의한 등가회로도.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다
- [0012] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 블록도이다.
- [0013] 도 1을 참조하면, 본 발명에 의한 표시장치는 표시패널(100), 타이밍 콘트롤러(T110), 데이터 구동부(120) 및 스캔 구동부(130,140)가 포함된다.
- [0014] 표시패널(10)은 서브 픽셀들이 형성되는 표시영역(100A)과 표시영역(100A)의 외측으로 각종 신호라인들이나 패드 등이 형성되는 비표시영역(100B)을 포함한다. 표시영역(100A)은 복수 개의 화소(P)를 포함하고, 각각의 화소(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 화소(P)들은 수평라인들 각각에 복수 개가 매트릭스 형태로 배치된다. 각각의 화소(P)들은 서로 직교하는 데이터라인부(DL) 및 게이트라인부(GL)와 접속한다. 각 화소(P)에 접속하는 데이터라인부(DL)는 초기화라인(14a) 및 데이터라인(14b)을 포함하고, 게이트라인부(GL)는 이전단 게이트라인(15a), 현재단 게이트라인(15b) 및 에미션라인(15c)을 포함한다. 화소(P)들 각각은 유기발광다이오드(OLED), 구동트랜지스터(DT) 및 제1 내지 제3 트랜지스터(T1,T2,T3), 스토리지 커패시터(Cst) 및 보조커패시터(Csub) 포함한다. 구동트랜지스터(DT) 및 제1 내지 제3 트랜지스터(T1,T2,T3)는 산화물 반도체층을 포함한 산화물 박막트랜지스터(Thin Film Transistor;이하, TFT)로 구현될 수 있다.
- [0015] 타이밍 콘트롤러(T110)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 수신회로 등을 통해 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DLCK) 등의 타이밍신호를 입력받는다. 타이밍 콘트롤러(T110)는 입력된 타이밍신호를 기준으로 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데

이터제어신호(DDC) 및 스캔구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트제어신호(GDC)를 생성한다.

[0016] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(T110)로부터 디지털 비디오 데이터들(RGB)과 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 디지털 비디오 데이터들(RGB)을 감마전압으로 변환하여 데이터전압을 생성하고, 데이터전압을 표시패널(100)의 데이터 라인들(DL)을 통해 공급한다.

[0017] 스캔 구동부(130,140)는 레벨 시프터(130) 및 쉬프트 레지스터(140)를 포함한다. 스캔 구동부(130)는 레벨 시프터(130)와 쉬프트 레지스터(140)가 구분되고, 쉬프트 레지스터(140)가 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.

[0018] 레벨 시프터(130)는 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성된다. 레벨 시프터(130)는 타이밍 콘트롤러(11)의 제어하에 클럭신호들(CLK) 및 스타트신호(VST)를 레벨 쉬프팅한 후 쉬프트 레지스터(140)에 공급한다. 쉬프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에서 다수의 박막 트랜지스터(이하 TFT)조합으로 형성된다. 쉬프트 레지스터(140)는 클럭신호들(CLK) 및 스타트신호(VST)에 대응하여 스캔 신호를 시프트하고 출력하는 스테이지들로 구성된다. 쉬프트 레지스터(140)에 포함된 스테이지들은 출력단들을 통해 스캔 신호(Scan) 및 발광제어신호(EM)를 순차적으로 출력한다.

[0019] 도 2는 도 1에 도시된 화소(P)의 일례를 나타내는 도면이다.

[0020] 도 2를 참조하면, 본 발명의 일 실시 예에 따른 화소(P)는 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1 내지 제3 트랜지스터(ST1~ST3), 스토리지 커패시터(Cst) 및 보조 커패시터(Csub)를 구비한다.

[0021] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)의 애노드전극은 구동트랜지스터(DT)의 소스전극에 접속되고, 캐소드전극은 접지단(VSS)에 연결된다.

[0022] 구동트랜지스터(DT)는 자신의 게이트-소스 간의 전압으로 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 이를 위해서 구동트랜지스터(DT)의 게이트전극은 데이터전압(Vdata)의 입력단에 연결되고, 드레인전극은 구동전압(VDD)의 입력단에 연결되며, 소스전극은 저전압구동전압(VSS)과 연결된다.

[0023] 제1 트랜지스터(ST1)는 발광제어신호(EM)에 응답하여, 구동전압(VDD) 입력단과 구동트랜지스터(DT) 간의 전류 경로를 제어한다. 이를 위해서 제1 트랜지스터(ST1)의 게이트 전극은 에미션라인(15c)에, 드레인전극은 구동전압(VDD) 입력단에, 소스전극은 구동트랜지스터(DT)에 연결된다.

[0024] 제2 트랜지스터(T2)는 이전단 스캔신호(Scan(n-1))에 응답하여, 초기화라인(14a)으로부터 제공받는 초기화전압(Vini)을 제2 노드(n2)로 제공한다. 이를 위해서 제2 트랜지스터(T2)의 게이트 전극은 이전단 게이트라인(15a)에, 드레인전극은 초기화라인(14a)에 소스전극은 제2 노드(n2)에 연결된다.

[0025] 제3 트랜지스터(ST3)는 현재단 스캔신호(Scan(n))에 응답하여, 데이터라인(14b)으로부터 제공받는 기준전압(Vref) 또는 데이터전압(Vdata)을 구동트랜지스터(DT)에 제공한다. 이를 위해서, 제3 트랜지스터(T3)의 게이트 전극은 현재단 게이트라인(15b)에, 드레인전극은 데이터라인(14b)에, 소스전극은 구동트랜지스터(DT)에 연결된다.

[0026] 스토리지 커패시터(Cst)는 데이터라인(14b)으로부터 제공받는 데이터전압(Vdata)을 한 프레임동안 유지하여 구동트랜지스터(DT)가 일정한 전압을 유지하도록 한다. 이를 위해서 스토리지 커패시터(Cst)는 구동트랜지스터(DT)의 게이트 전극과 소스 전극에 연결된다. 보조커패시터(Csub)는 제2 노드(n2)에서 스토리지 커패시터(Cst)와 직렬로 연결되어, 데이터전압(Vdata)의 효율을 높여준다.

[0027] 상술한 바와 같은 구조를 갖는 화소(P)의 동작을 살펴보면 다음과 같다. 도 3은 도 2의 화소(P)에 인가되는 신호들(EM, SCAN, INIT, DATA)과, 그에 따른 구동트랜지스터(DT)의 게이트전극과 소스전극의 전위변화를 나타내는 파형도이다.

[0028] 도 3을 참조하면, 본 발명에 따른 화소(P)의 동작은 구동트랜지스터(DT)의 게이트-소스 전위를 특정 전압으로

초기화하는 초기화기간(T_i), 구동트랜지스터(DT)의 문턱전압을 검출 및 저장하는 샘플링기간(T_s), 데이터전압(V_{data})을 인가하는 라이팅 기간(T_w), 문턱전압과 데이터전압(V_{data})을 이용하여 유기발광다이오드(OLED)에 인가되는 구동 전류를 문턱전압과 무관하게 보상하여 발광하는 발광기간(T_e)을 포함한다.

[0029] 초기화기간(T_i) 동안에 제2 트랜지스터(T_2)는 이전단 스캔신호($Scan[n-1]$)에 응답하여 초기화라인(14a)으로부터 제공받는 초기화전압(V_{ini})을 제2 노드(n_2)에 공급한다. 따라서, 제2 노드(n_2)의 전압인 구동트랜지스터(DT)의 소스전압(V_s)은 초기화전압(V_{ini})의 전위를 갖는다. 그리고 제3 트랜지스터(T_3)는 현재단 스캔신호($Scan[n]$)에 응답하여 데이터라인(14b)으로부터 제공받는 기준전압(V_{ref})을 구동트랜지스터(DT)의 게이트전극의 제1 노드(n_1)에 공급한다. 따라서, 제1 노드(n_1)의 전압인 구동트랜지스터(DT)의 게이트전압(V_g)은 기준전압(V_{ref})의 전위를 갖는다.

[0030] 초기화기간(T_i)에서 제2 노드(n_2)에 공급되는 초기화전압(V_{ini})은 화소(P)를 일정 수준으로 초기화하기 위한 것으로서, 이때 초기화전압(V_{ini})의 크기는 유기발광다이오드(OLED)가 발광하지 않도록 유기발광다이오드(OLED)의 동작전압 보다 작은 전압값으로 설정된다. 예컨대, 초기화전압(V_{ini})은 -1 내지 $+1(V)$ 의 크기를 갖는 전압으로 설정할 수 있다.

[0031] 샘플링기간(T_s) 동안에, 제3 트랜지스터(T_3)는 현재단 스캔신호($Scan[n]$)에 응답하여 데이터라인(14b)으로부터 제공받는 기준전압(V_{ref})을 제1 노드(n_1)로 공급한다. 그리고 제1 트랜지스터(T_1)는 발광제어신호(EM)에 응답하여 구동전압($EVDD$)을 구동트랜지스터(DT)로 공급한다. 이때, 구동트랜지스터 게이트전극전압(V_g)은 기준전압(V_{ref})을 유지한다. 그리고 제2 노드(n_2)가 플로팅(floating) 상태임에 따라서, 제2 노드(n_2)의 전압은 구동전압($EVDD$)에서 제1 트랜지스터(T_1)와 구동트랜지스터(DT)를 통해 흐르는 전류가 축적된다. 샘플링기간(T_s)을 통해서 상승한 전압은 기준전압(V_{ref})과 구동트랜지스터(DT)의 문턱전압(V_{th}) 간의 차이에 해당하는 크기를 갖는 전압으로 포화(saturation)된다. 즉, 샘플링 기간(T_s)을 통해서, 구동트랜지스터(DT)의 게이트-소스 간의 전위차는 문턱전압(V_{th})의 크기가 된다.

[0032] 라이팅 기간(T_w) 동안에 제1 및 제2 트랜지스터(T_1, T_2)는 턴-오프 된다. 그리고 제3 트랜지스터(T_3)는 턴-온되면서 데이터라인(14b)으로부터 제공받는 데이터전압(V_{data})을 제1 노드(n_1)로 공급한다. 이때, 플로팅(floating) 상태인 제2 노드(n_2) 전압은 스토리지 커패시터(C_s) 및 보조커패시터(C_1)의 비율에 의해서 커플링(Coupling)되어서 상승하거나 하강한다.

[0033] 발광기간(T_e) 동안에 제2 트랜지스터(T_2)는 턴-오프 상태를 유지하고, 제3 트랜지스터(T_3)는 턴-오프되며, 제1 트랜지스터(T_1)는 턴-온된다. 발광기간 동안에 스토리지 커패시터(C_s)에 저장된 데이터전압(V_{data})은 유기발광다이오드(OLED)로 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압(V_{data})에 비례하는 밝기로 발광한다. 이때, 라이팅 기간(T_w)에서 결정된 제1 노드(n_1) 및 제2 노드(n_2)의 전압에 의해서 구동트랜지스터(DT)에 전류가 흐르게 되어 유기발광다이오드(OLED)로 원하는 전류가 공급되고, 이에 따라서 유기발광다이오드(OLED)는 데이터전압(V_{data})에 의해 밝기를 조절할 수 있다.

[0034] 위와 같이, 실시 예에 의한 유기발광다이오드 표시장치는 발광제어신호(EM) 및 스캔신호(Scan)를 이용하여 데이터기입 및 발광타이밍을 제어한다. 발광기간(T_e) 동안에는 스캔신호(Scan)가 출력되지 않아야 하기 때문에, 발광제어신호(EM) 및 스캔신호(Scan)는 개별적인 회로를 이용하여 각각의 펄스를 출력하는 것이 일반적이다. 즉, 종래의 표시장치는 하나의 수평라인에 두 개의 쉬프트레지스터(140)를 포함하기 때문에 비표시영역(100B)에 속하는 베젤의 크기가 커질 수밖에 없다.

[0035] 본 발명의 실시 예는 베젤의 크기를 줄이기 위해서 발광제어신호(EM) 및 스캔신호(Scan)를 하나의 회로를 이용하여 출력하고, 이에 대한 자세한 내용을 살펴보면 다음과 같다.

[0036] 도 4는 본 발명의 제1 실시 예에 따른 쉬프트 레지스터의 블록 구성도이고, 도 5는 본 발명의 제1 실시 예에 따른 제*i* 스테이지의 회로 구성도이다.

[0037] 도 4를 참조하면, 제1 실시 예에 의한 쉬프트 레지스터(140)는 다수의 스테이지들(STG[1]~STG[i])을 포함한다. 각 스테이지들(STG[1] ~ STG[i])은 5상의 게이트클록들(GCLK1 ~ GCLK5), 5상의 에미션클록들(ECLK1 ~ ECLK4), 저전위전압 및 스타트신호(VST)를 이용하여 스캔신호(Scan) 및 발광제어신호(EM)를 출력한다.

[0038] 제*i* 스테이지(STG[i])는 제1 내지 제9 단자(1~9)를 통해서 스타트신호(VST), 게이트클럭(GCLK), 에미션클럭(ECLK) 및 에미션리셋(ERST)을 입력받고, 제*i* 스캔신호(Scani) 및 발광제어신호(EM)를 출력한다. 제1 단자(1)는 스타트신호(VST)를 입력받는다. 제2 단자(2)는 제*i* 게이트클럭(GCLK_i)을 입력받고, 제3 단자(3)는 제(*i*+2) 게이트클럭(GCLK[*i*+2])을 입력받으며, 제4 단자(4)는 제(*i*+4) 게이트클럭(GCLK[*i*+4])을 입력받는다. 제5 단자

(5)는 제i 에미션클럭(ECLKi)을 입력받고, 제6 단자(6)는 제(i+1) 에미션클럭(ECLK[i+1])을 입력받으며, 제7 단자(7)는 제(i+2) 에미션클럭(ECLK[i+2])을 입력받고, 제8 단자(8)는 제(i+4) 에미션클럭(ECLK[i+4])을 입력받는다. 그리고 제9 단자(9)는 에미션리셋(ERST)을 입력받는다.

[0039] 제i 스테이지(STG[i])의 스캔신호 생성부(140a)는 스타트신호(VST or G[i-1]) 및 제i 게이트클럭(GCLKi), 제(i+2) 게이트클럭(GCLK[i+2]) 및 제(i+3) 게이트클럭(GCLK[i+3])을 이용하여 제i 스캔신호(Scani)를 생성한다.

[0040] 제i 스테이지(STG[i])에 입력되는 제i 게이트클럭(GCLKi)은 제i 스캔신호(Scani)의 출력기간을 결정한다. 제(i+2) 게이트클럭(GCLK[i+2])은 제i 스캔신호(Scani)의 종료시점을 결정하고, 제(i+4) 게이트클럭(GCLK[i+4])은 제i 스캔신호(Scani)의 출력 이전에 제1 Q노드(Q)를 충전시키는 동작을 수행한다.

[0041] 제i 스테이지(STG[i])의 발광제어신호 생성부(140b)는 제i 스캔신호(Scani), 제i 에미션클럭(ECLKi), 제(i+2) 에미션클럭(ECLK[i+2]), 제(i+1) 에미션클럭(ECLK[i+1]) 및 제(i+4) 에미션클럭(ECLK[i+4])을 이용하여 제i 발광제어신호(EMi)를 생성한다.

[0042] 제i 스테이지(STG[i])에 입력되는 제i 에미션클럭(ECLKi)은 제i 발광제어신호(EMi)의 출력 타이밍을 결정한다. 제(i+2) 에미션클럭(ECLK[i+2])은 이전 프레임에 출력되던 발광제어신호(EM)의 종료시점을 결정한다. 제(i+1) 에미션클럭(ECLK[i+1]) 및 제(i+4) 에미션클럭(ECLK[i+4])은 제i 발광제어신호(EMi)가 하イレ벨을 유지하도록 제어한다.

[0043] 본 발명의 실시 예에서 게이트클럭(GCLK) 및 에미션클럭(ECLK)은 5상으로 구현되고, 각 클럭신호들은 연속적이다. 따라서, (i+k)(k는 1<k<5인 자연수)가 5보다 큰 클럭신호는 5를 감산한 서수의 클럭신호를 이용한다. 예컨대, 제3 스테이지(STG3)에서 제(i+4) 게이트클럭(GCLK[i+4])은 제2 게이트클럭(GCLK2)에 해당한다.

[0044] 이와 같은 규칙성에 의해서, 제1 스테이지(STG1)의 스캔신호 생성부(140a)는 스타트신호(VST), 제1 게이트클럭(GCLK1), 제3 게이트클럭(GCLK3) 및 제5 게이트클럭(GCLK5)을 이용하여 제1 스캔신호(Scan1)를 출력한다. 그리고 제1 스테이지(STG1)의 발광제어신호 생성부(140b)는 제1 스캔신호(Scan1), 제1 에미션클럭(ECLK1), 제2 에미션클럭(ECLK2), 제3 에미션클럭(ECLK3) 및 제5 에미션클럭(ECLK5)을 이용하여 제1 발광제어신호(EM1)를 출력한다. 또한, 제1 스테이지(STG1)의 발광제어신호 생성부(140b)는 에미션리셋(ERST)을 이용하여 제1 발광제어신호(EM1)를 초기화한다.

[0045] 다수의 스테이지들(STG[1] ~ STG[i])은 전단의 출력단으로부터 출력되는 스캔 신호를 후단이 이용하도록 종속적으로 접속된다. 예컨대, 제i 스테이지(STG[i])로부터 출력되는 스캔 신호(G[i])는 제(i+1) 스테이지(STG[i+1])의 스타트신호 입력단자인 제1 단자(1)에 공급된다.

[0046] 도 5를 참조하여, 제i 스테이지(STG[i])의 회로 구성을 살펴보면 다음과 같다. 도 5에서 고전위전압(VDD)에 의해서 항상 턴-온 상태를 유지하는 보조트랜지스터(Tbv)들은 회로의 안정화를 위한 것으로, 보조트랜지스터(Tbv)들은 항상 턴-온 상태를 유지하기 때문에 등가회로적으로 쇼트 상태인 것으로 간주하여 설명하기로 한다.

[0047] 제i 스테이지(STG[i])의 스캔신호 생성부(140a)는 제1 내지 제4 단자(4)를 통해서 입력받는 클럭신호들을 이용하여 제i 스캔신호(Scani)로 출력하기 위한 제1 내지 제8 트랜지스터(T101~T108)를 포함한다.

[0048] 제1 트랜지스터(T101)의 제1 전극은 고전위전압원(VDD)과 연결되고, 제2 전극은 제2 트랜지스터(T102)의 제1 전극과 연결되며, 게이트전극은 제1 단자(1)와 연결된다. 제2 트랜지스터(T102)의 제2 전극은 제1 Q노드(Q1)와 연결되고, 게이트전극은 제4 단자(4)와 연결된다. 제1 및 제2 트랜지스터(T102)는 서로 직렬로 연결되기 때문에, 제1 및 제2 트랜지스터(T102)는 동시에 턴-온 될 때, 고전위전압(VDD)을 제1 Q노드(Q1)에 충전한다. 즉, 제1 및 제2 트랜지스터(T102)는 스타트신호(VST)(또는 제(i-1) 스캔신호(Scan[i-1])) 및 제(i+4) 게이트클럭(GCLK[i+4])이 동기될 때에 제1 Q노드(Q1)를 충전한다.

[0049] 제3 트랜지스터(T103)의 제1 전극은 제1 Q노드(Q1)와 연결되고, 제2 전극은 저전위전압(VSS)과 연결되며, 게이트전극은 제1 QB노드(QB1)에 연결된다. 따라서, 제3 트랜지스터(T103)는 제1 QB노드(QB1)의 전위에 대응하여 Q노드의 전위를 저전위전압(VSS)으로 방전한다.

[0050] 제4 트랜지스터(T104)는 제1 전극을 통해서 고전위전압(VDD)을 제공받고, 제2 전극은 제1 QB노드(QB1)와 연결되며, 게이트전극은 제(i+2) 게이트클럭(GCLK[i+2])과 연결된다. 이에 따라서, 제4 트랜지스터(T104)는 제(i+2) 게이트클럭(GCLK[i+2])에 응답하여, 제1 QB노드(QB1)를 충전한다. 즉, 제4 트랜지스터(T104)는 제(i+2) 게이트

클럭(GCLK[i+2])에 응답하여, 제1 출력단(n11)을 방전시켜서, 저전위레벨의 제i 스캔신호(Scani)를 출력한다.

- [0051] 제5 트랜지스터(T105)의 제1 전극은 제1 QB노드(QB1)에 연결되고, 제2 전극은 저전위전압(VSS)에 연결되며, 게이트전극은 제1 단자(1)를 통해서 스타트신호를 입력받는다. 제5 트랜지스터(T105)는 스타트신호(VST) 또는 제(i-1) 스캔신호(Scan[i+1])에 응답하여 제1 QB노드(QB1)를 저전위전압으로 충전한다.
- [0052] 제6 트랜지스터(T106)의 게이트전극은 제1 Q노드(Q)에 연결되고, 제1 전극이 제2 단자(2)에 연결되며, 제2 전극이 제1 출력단(n11)에 연결된다. 이에 따라서, 제6 트랜지스터(T106)는 제1 Q노드(Q1)의 전위에 대응하여 제i 게이트클럭(GCLKi)을 출력한다.
- [0053] 제7 트랜지스터(T107)는 제1 QB노드(QB)에 게이트전극이 연결되고 제1 전극을 통해서 저전위전압(VSS)을 제공받으며, 제2 전극이 제1 출력단(n11)에 연결된다. 이에 따라서, 제7 트랜지스터(T107)는 제1 QB노드(QB1)의 전위에 대응하여 제1 출력단(n11)의 전위를 저전위전압(VSS)으로 방전한다.
- [0054] 제8 트랜지스터(T108)는 제1 전극이 제1 QB노드(QB1)에 연결되고, 제2 전극이 저전위전압(VSS)에 연결되며, 게이트전극이 제1 Q노드(Q1)에 연결된다. 이에 따라서, 제8 트랜지스터(T108)는 제1 Q노드(Q1)의 전위에 대응하여 제1 Q노드(Q1)의 전위를 저전위전압(VSS)으로 방전한다.
- [0055] 제i 스테이지(STG[i])의 발광제어신호 생성부(140b)는 제5 내지 제9 단자(9)를 통해서 입력받는 클럭신호들을 이용하여 제i 발광제어신호(EMi)를 출력하기 위한 제9 내지 제19 트랜지스터(T119)를 포함한다.
- [0056] 제9 트랜지스터(T109)의 제1 전극은 고전위전압(VDD)에 연결되고, 제2 전극은 제2 Q노드(Q2)에 연결되며, 게이트전극은 제i 에미션클럭(ECLKi)에 연결된다. 이에 따라서, 제9 트랜지스터(T109)는 제i 에미션클럭(ECLKi)에 응답하여, 제2 Q노드(Q2)를 충전한다.
- [0057] 제10 트랜지스터(T110)의 제1 전극은 제2 Q노드(Q2)에 연결되고 제2 전극은 저전위전압(VSS)에 연결되며, 게이트전극은 제2 QB노드(QB2)에 연결된다. 이에 따라서, 제10 트랜지스터(T110)는 제2 QB노드(QB2)의 전위에 대응하여, 제2 Q노드(Q2)의 전위를 저전위전압(VSS)으로 방전한다.
- [0058] 제11 트랜지스터(T111)의 제1 전극은 제2 QB노드(QB2)에 연결되고, 제1 전극은 스타트신호(VST)의 입력단인 제1 단자(1)에 연결되며, 게이트전극은 제(i+2) 에미션클럭(ECLK[i+2])에 연결된다. 이에 따라서, 제11 트랜지스터(T111)는 제(i+2) 에미션클럭(ECLK[i+2])에 응답하여, 스타트신호(VST)이 전위를 제2 QB노드(QB2)에 제공한다.
- [0059] 제12 트랜지스터(T112)의 제1 전극은 고전위전압(VDD)에 연결되고, 제2 전극은 제2 출력단(n12)에 연결되며, 게이트전극은 제2 Q노드(Q2)에 연결된다. 이에 따라서, 제12 트랜지스터(T112)는 제2 Q노드(Q2)의 전위에 대응하여, 제2 출력단(n12)으로 고전위전압(VDD)에 대응하는 제i 발광제어신호(EMi)를 출력한다.
- [0060] 풀다운 트랜지스터들인 제13 및 제14 트랜지스터(T114)들은 서로 직렬로 연결되며, 제13 및 제14 트랜지스터(T114)들 각각의 게이트전극은 제2 QB노드(QB2)에 연결되고, 제13 트랜지스터(T113)의 제1 전극은 제2 출력단(n12)에 연결되며, 제14 트랜지스터(T114)의 제2 전극은 저전위전압(VSS)에 연결된다. 이에 따라서, 제13 및 제14 트랜지스터(T114)는 제2 QB노드(QB2)의 전위에 대응하여, 제2 출력단(n12)의 전위를 저전위전압(VSS)으로 방전한다.
- [0061] 리셋스위칭 트랜지스터(T115)의 제1 전극은 고전위전압(VDD)에 연결되고, 제2 전극은 제2 QB노드(QB2)에 연결되며, 게이트전극은 에미션리셋(ERST)을 입력받는 제9 단자(9)에 연결된다. 이에 따라서, 리셋스위칭 트랜지스터(T115)는 에미션리셋(ERST)에 응답하여, 제2 QB노드(QB2)를 고전위전압(VDD)으로 충전한다.
- [0062] 스캔동기화 트랜지스터(T116)는 리셋스위칭 트랜지스터(T115)와 제2 QB노드(QB2) 사이에 형성되고, 게이트전극은 제1 출력단(n11)에 연결된다. 이에 따라서 스캔동기화 트랜지스터(T116)는 제1 출력단(n11)을 통해서 제i 스캔신호(Scani)가 제공될 때에, 리셋스위칭 트랜지스터(T115)를 경유하는 고전위전압(VDD)을 제2 QB노드(QB2)에 충전한다.
- [0063] 제17 트랜지스터(T117)의 제1 전극은 제2 QB(QB)에 연결되고, 제2 전극은 저전위전압(VSS)에 연결되며, 게이트전극은 제(i+4) 에미션클럭(ECLK[i+4])을 입력받는 제8 단자(8)에 연결된다. 제19 트랜지스터(T119)는 제1 전극은 제2 QB노드(QB2)에 연결되고, 제2 전극은 저전위전압(VSS)에 연결되며, 게이트전극은 제(i+1) 에미션클럭(ECLK[i+1])을 입력받는 제6 단자(6)에 연결된다. 이에 따라서, 제17 및 제19 트랜지스터(T119)는 각각 제(i+4) 에미션클럭(ECLK[i+4]) 및 제(i+1) 에미션클럭(ECLK[i+1])에 응답하여 제13 트랜지스터(T113) 및 제14 트랜지스터(T114)를 턴-오프한다.

- [0064] 제18 트랜지스터(T118)의 제1 전극은 고전위전압(VDD)에 연결되고, 제2 전극은 제13 트랜지스터(T113)의 제2 전극에 연결되며, 게이트전극은 제2 출력단(n12)에 연결된다.
- [0065] 도 6은 도 4에 도시된 제1 스테이지의 동작 타이밍도이다. 제1 스테이지(STG1)의 동작 과정을 도 4 내지 도 6을 참조하여 살펴보면 다음과 같다.
- [0066] 먼저, 스캔신호 생성부(140a)가 제1 스캔신호(Scan1)를 출력하는 과정을 살펴보면 다음과 같다.
- [0067] 스타트신호(VST)는 제1 내지 제5 게이트클럭(GCLK1~GCLK5)과 동일한 위상을 갖는다. 현재 프레임이 시작되는 제1 기간(t1) 동안에, 제1 및 제2 트랜지스터(T102)는 각각 하이레벨의 스타트신호(VST) 및 제5 게이트클럭(GCLK5)에 응답하여 턴-온되어서, 제1 Q노드(Q1)를 충전한다.
- [0068] 제1 과도기 기간(t2) 이후에 제3 및 제4 기간(t4) 동안에, 제1 및 제2 트랜지스터(T102)는 다시 턴-온되고, 제1 Q노드(Q1)는 다시 충전된다. 제1 Q노드(Q1)는 제1 기간(t1)에 이어서 제3 및 제4 기간(t4) 동안에 충분히 충전되어서, 제3 게이트클럭(GCLK3)에 의해서 제1 Q노드(Q1)가 방전되기 이전까지 제6 트랜지스터(T106)는 턴-온 상태를 유지한다. 따라서 제6 트랜지스터(T106)는 제6 기간(t6) 이전까지 제1 게이트클럭(GCLK1)을 제1 출력단(n11)으로 출력한다. 제1 게이트클럭(GCLK1)은 제3 기간(t3), 제5 및 제6 기간(t6) 동안 하이레벨을 유지하고, 이에 따라서 제3 기간(t3), 제5 및 제6 기간(t6) 동안 제1 스캔신호(Scan1)는 하이레벨을 유지한다.
- [0069] 제3 기간(t3)은 제1 게이트라인(GL1)의 초기화 기간(Ti)이고, 제5 기간(t5)은 제1 게이트라인(GL1)의 샘플링 기간(Ts)이며, 제6 기간(t6)은 제1 게이트라인(GL1)의 데이터기입 기간(Tw)이다.
- [0070] 제6 기간(t6) 이후에, 제3 게이트클럭(GCLK3)은 하이레벨의 전위로 스위칭되어서, 제4 트랜지스터(T104)는 턴-온된다. 따라서 제4 트랜지스터(T104)는 고전위전압(VDD)을 제1 QB노드(QB1)로 제공한다. 제1 QB노드(QB1)가 충전되어서 제7 트랜지스터(T107)는 턴-온되고, 제1 출력단(n11)의 전압은 저전위전압(VSS)으로 방전된다. 즉, 제7 기간(t7) 동안에 제1 출력단(n11)은 저전위전압(VSS)의 제1 스캔신호(Scan1)를 출력한다. 제7 기간(t7)은 제1 게이트라인(GL1)의 발광기간(Te)이다.
- [0071] 발광제어신호 생성부(140b)가 제1 발광제어신호(EM1)를 출력하는 과정을 살펴보면 다음과 같다.
- [0072] 제1 기간(t1) 동안에, 제11 트랜지스터(T111)는 제3 에미션클럭(ECLK3)에 의해서 턴-온되어서 스타트신호(VST)를 제13 및 제14 트랜지스터(T114)에 제공한다. 제1 기간(t1) 동안에 스타트신호(VST)는 하이레벨을 유지하기 때문에, 제13 및 제14 트랜지스터(T114)는 턴-온된다. 즉, 이전 프레임 기간의 발광기간(Te) 동안에 하이레벨을 유지하던 제2 출력단(n12)이 전위는 저전위전압(VSS)으로 방전된다. 따라서, 제j 프레임의 시작인 제1 기간(t1) 동안에는 저전위전압의 제1 발광제어신호(EM1)가 출력된다.
- [0073] 제1 과도기 기간(t2)이 이후에 제3 기간(t3) 동안에 제17 트랜지스터(T117)는 제5 에미션클럭(ECLK5)에 응답하여 턴-온되고, 제17 트랜지스터(T117)가 턴-온되어서 제2 QB노드(QB2)는 저전위전압(VSS)이 유지된다.
- [0074] 제5 기간(t5) 동안에, 제9 트랜지스터(T109)는 제1 에미션클럭(ECLK1)에 의해서 턴-온된다. 즉, 제9 트랜지스터(T109)는 하이레벨의 제1 에미션클럭(ECLK1)에 응답하여 고전위전압(VDD)을 제공받아서 제2 Q노드(Q2)를 충전한다. 제2 Q노드(Q2)가 충전됨에 따라서, 제12 트랜지스터(T112)는 턴-온되고, 고전위전압(VDD)은 제12 트랜지스터(T112)를 경유하여 제2 출력단(n12)으로 출력된다. 즉, 제5 기간(t5) 동안에 제2 출력단(n12)은 고전위전압(VDD)의 전압레벨을 갖는 제1 발광제어신호(EM1)를 출력한다.
- [0075] 제6 기간(t6) 동안에, 제15 및 스캔동기화 트랜지스터(T115, T116) 각각은 에미션리셋(ERST) 및 고전위의 제1 스캔신호(Scan1)에 응답하여 턴-온된다. 따라서, 제2 QB노드(QB2)는 충전되고, 이에 따라서 제13 및 제14 트랜지스터(T113, T114)는 턴-온된다. 제13 및 제14 트랜지스터(T113, T114)가 턴-온 되어서, 제5 기간(t5) 동안에 고전위전압(VDD)의 전압레벨을 출력하던 제2 출력단(n12)은 저전위전압(VSS)으로 방전된다. 즉, 제6 기간(t6) 동안에, 고전위의 에미션리셋(ERST) 및 고전위의 제1 스캔신호(Scan1)는 제1 발광제어신호(EM1)를 저전위로 방전하면서, 제2 출력단(n12)을 초기화한다.
- [0076] 제7 기간(t7) 동안에, 제9 트랜지스터(T109)는 다시 고전위 전압레벨의 제1 에미션클럭(ECLK1)에 응답하여 고전위전압(VDD)을 제2 출력단(n12)으로 출력한다.
- [0077] 또한, 제7 기간(t7) 동안에, 제19 트랜지스터(T119)는 고전위 전압레벨의 제2 에미션클럭(ECLK2)에 응답하여 턴-온되고 제2 QB노드(QB2)를 저전위로 유지한다. 즉, 제7 기간(t7) 동안에 제19 트랜지스터(T119)는 제13 및 제14 트랜지스터(T114)를 턴-오프 상태로 유지시킨다.

- [0078] 그리고 발광기간(Te)동안에 제6 단자(6) 및 제8 단자(8)는 각각 일정한 간격으로 제2 에미션클럭(ECLK2) 및 제5 에미션클럭(ECLK5)을 입력받는다. 즉, 발광기간(Te) 동안에 제17 트랜지스터(T117) 및 제19 트랜지스터(T119)는 교번적으로 턴-온되어서, 제2 QB노드(QB2)를 저전위전압으로 유지하고, 이에 따라서 제13 및 제14 트랜지스터(T114)가 턴-온되는 것을 억제한다. 즉, 제2 및 제5 에미션클럭(ECLK2, ECLK5)은 발광기간(Te) 동안에 제2 출력단(n12)을 통해서 안정적으로 고전위의 제1 발광제어신호(EM1)가 출력되도록 한다.
- [0079] 발광기간(Te) 동안에 제1 스캔신호(Scan1)는 저전위를 유지하기 때문에 제2 QB노드(QB2)는 플로팅(floating) 상태가 된다. 따라서 발광기간(Te) 동안에 제2 QB노드(QB2)의 전위는 불안정한 상태일 수 있는데, 제1 실시 예의 쉬프트 레지스터(140)는 제2 및 제5 에미션클럭(ECLK2-ECLK5)을 이용하여 발광기간(Te) 동안에 제2 QB노드(QB2)의 전위를 안정화시킬 수 있다. 따라서, 제1 실시 예의 쉬프트 레지스터(140)는 발광기간(Te) 동안에 제2 출력단(n12)을 통해서 안정적으로 고전위의 제1 발광제어신호(EM1)를 출력한다.
- [0080] <제2 실시 예>
- [0081] 도 7은 제2 실시 예에 의한 제i 스테이지(STG[i])의 회로 구성을 나타내는 도면이다. 제2 실시 예에서, 각 스테이지들의 종속적인 연결관계는 도 4에 도시된 제1 실시 예와 동일하고, 이에 자세한 설명은 생략하기로 한다. 또한, 제2 실시 예의 제1 내지 제14 트랜지스터(T201~T214), 제17 내지 제19트랜지스터(T207~T219)들은 각각 제1 실시 예의 제1 내지 제14 트랜지스터(T101~T114), 제17 내지 제19트랜지스터(T117~T119)들과 동일한 연결 관계를 갖고 동일하거나 매우 유사한 기능을 수행하기 때문에 자세한 설명을 생략하기로 한다.
- [0082] 리셋스위칭 트랜지스터(T215)의 제1 전극 및 게이트전극은 에미션리셋(ERST)을 입력받는 제9 단자(9)에 연결되고, 제2 전극은 제2 QB노드(QB2)에 연결된다. 이에 따라서, 리셋스위칭 트랜지스터(T215)는 하이레벨 전압의 에미션리셋(ERST)이 입력될 때에, 제2 QB노드(QB2)를 고전위전압(VDD)으로 충전한다.
- [0083] 스캔동기화 트랜지스터(T216)는 리셋스위칭 트랜지스터(T215)와 제2 QB노드(QB2) 사이에 형성되고, 게이트전극은 제1 출력단(n11)에 연결된다. 이에 따라서 스캔동기화 트랜지스터(T216)는 제1 출력단(n11)을 통해서 제i 스캔신호(Scan_i)가 제공될 때에, 리셋스위칭 트랜지스터(T215)를 경유하는 고전위전압(VDD)을 제2 QB노드(QB2)에 충전한다.
- [0084] 이와 같이, 제2 실시 예에서 리셋스위칭 트랜지스터(T215)의 제1 전극, 즉 소스전극(또는 드레인전극)은 에미션리셋(ERST)을 제공하는 제9 단자(9)에 연결된다. 즉, 제1 실시 예에서 에미션리셋(ERST)은 리셋스위칭 트랜지스터(T115)의 게이트전극에 연결되는 데에 반해서, 제2 실시 예에서 에미션리셋(ERST)은 리셋스위칭 트랜지스터(T215)의 제1 전극에 연결된다.
- [0085] 제1 실시 예에서, 제1 내지 제n 수평라인들(HL1~HL_n) 각각에 형성되는 리셋스위칭 트랜지스터(T115-1 ~ T115-n)들 연결관계는 도 8과 같다.
- [0086] 리셋스위칭 트랜지스터들(T115-1 ~ T115-n)은 게이트전극, 소스(드레인)전극 및 게이트전극과 소스(드레인)전극 사이에 개재되는 절연막을 포함하는 구조로 형성된다. 따라서 리셋스위칭 트랜지스터들(T115-1 ~ T115-n)의 소스전극은 항상 고전위전압(VDD)을 제공받기 때문에, 각각의 리셋스위칭 트랜지스터들(T115-1 ~ T115-n)이 턴-온되는 순간에 게이트전극과 소스(드레인)전극 간에는 기생 커패시터(Coxide)가 형성된다. 에미션리셋(ERST)은 제1 수평라인(HL1)부터 제n 수평라인(HL_n)까지 순차적으로 제공되면서 리셋스위칭 트랜지스터들(T115-1 ~ T115-n)을 순차적으로 턴-온시킨다. 이러한 과정에서, 제n 수평라인(HL_n)에 형성되는 리셋스위칭 트랜지스터(T115)는 제1 내지 제(n-1) 수평라인들(HL1~HL[n-1])에 형성된 리셋스위칭 트랜지스터들(T115-1~T114-[n-1])의 누적된 RC딜레이(RC delay)의 영향을 받는다.
- [0087] 이처럼 RC 딜레이에 의해서 각 수평라인들에 형성되는 리셋스위칭 트랜지스터들 간의 동작특성은 도 9에서와 같이 달라진다. 도 9에서 제1 그래프(①)는 제1 스테이지(STG1)에서 출력하는 제1 발광제어신호(EM1)를 나타내는 그래프이고, 제2 그래프(②)는 중간 스테이지에서 출력하는 발광제어신호를 나타내는 그래프이고, 제3 그래프(③)는 제n 스테이지(STG_n)에서 출력하는 제n 발광제어신호(EM_n)를 나타내는 그래프이다. 즉, 도 9에서 보는 바와 같이, 제1 실시 예에서는 마지막단인 제n 스테이지(STG_n)로 갈수록 RC딜레이에 의해서 발광제어신호의 전위가 떨어지는(falling) 시점이 늦춰진다.
- [0088] 발광제어신호(EM)는 샘플링 기간(Ts)에 고전위를 유지하고, 데이터기입 기간(Tw) 동안에는 저전위를 유지한다. 그런데 도 9에서와 같이, RC딜레이에 의해서 발광제어신호(EM)의 전위가 떨어지는 시점이 지연되면, 데이터기입 기간(Tw)이 짧아진다. 데이터기입 기간(Tw)이 짧아지면 화소(P)에 형성되는 스토리지 커패시터(Cst)에 데이터

전압을 충전하는 시간이 짧아지고, 이에 따라서 화소에 원하는 데이터전압이 충전되지 못한다. 따라서, 실질적으로 동일한 휘도를 표시하여야하는 인접하는 수평라인들에 동일한 데이터전압이 충전되지 못해서, 수평방향으로 뒸(Dim) 현상이 발생한다.

[0089] 이에 반해서, 제2 실시 예의 리셋스위칭 트랜지스터들(T215)은 소스전극(드레인전극)이 에미션리셋(ERST)을 입력하는 단자에 연결되기 때문에 각 수평라인들에 형성되는 리셋스위칭 트랜지스터들(T215-1 ~ T215-n)은 서로 병렬로 연결된다. 그리고 각 수평라인에 형성되는 리셋스위칭 트랜지스터들(T215-1 ~ T215-n)은 에미션리셋(ERST)에 의해서 순차적으로 턴-온되기 때문에 제n 수평라인(HLn)에 위치한 리셋스위칭 트랜지스터(T215-n)는 이전 수평라인(HL[n-1])에 위치한 리셋스위칭 트랜지스터(T215-[n-1])의 RC영향을 받지 않는다. 따라서, 제2 실시 예는 리셋스위칭 트랜지스터들의 RC딜레이에 의해서 발광제어신호(EM)가 지연되는 것을 방지할 수 있고, 이에 따라서 수평라인들 간에 휘도 차이에 의해 뒸 현상이 발생하는 것을 개선할 수 있다.

[0090] 도 10은 제3 실시 예에 의한 제i 스테이지(STG[i])의 회로 구성을 나타내는 도면이다. 제3 실시 예에서, 각 스테이지들의 종속적인 연결관계는 도 4에 도시된 제1 실시 예와 동일하고, 이에 자세한 설명은 생략하기로 한다. 또한, 제3 실시 예의 제1 내지 제14 트랜지스터(T301~T214), 제17 내지 제19트랜지스터(T307~T319)들은 각각 제1 실시 예의 제1 내지 제14 트랜지스터(T101~T114), 제17 내지 제19트랜지스터(T117~T119)들과 동일한 연결 관계를 갖고 동일하거나 매우 유사한 기능을 수행하기 때문에 자세한 설명을 생략하기로 한다.

[0091] 스캔동기화 트랜지스터(T216)의 제1 전극은 에미션리셋(ERST)을 입력받는 제9 단자(9)에 연결되고, 제2 전극은 제2 QB노드(QB2)에 연결되며, 게이트전극은 제1 출력단(n11)에 연결된다. 이에 따라서 스캔동기화 트랜지스터(T216)는 제1 출력단(n11)을 통해서 제i 스캔신호(Scani)가 제공될 때에, 에미션리셋(ERST)을 제2 QB노드(QB2)에 제공한다. 따라서, 제i 스캔신호(Scani) 및 에미션리셋(ERST)이 고전위전압 레벨인 제6 기간(t6) 동안에 제2 QB노드(QB2)를 충전한다.

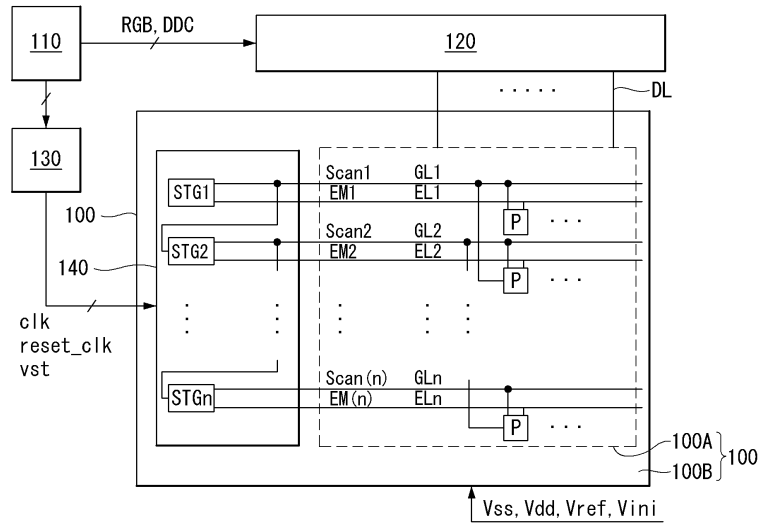
[0092] 이처럼 제3 실시 예는 게이트전극이 제1 출력단(n11)과 연결되는 스캔동기화 트랜지스터(T316)의 소스전극(드레인전극)을 통해서 입력받는다. 즉, 제2 실시 예의 리셋스위칭 트랜지스터(T215)를 생략하고, 스캔동기화 트랜지스터(T316)에 제1 출력단(n11)의 고전위의 스캔신호(Scan)와 에미션리셋(ERST)이 동기되는 기간에 제2 QB노드(QB2)를 충전한다.

[0093] 이러한 제3 실시 예에 의한 리셋스위칭 트랜지스터들(T215) 간의 등가회로는 도 11과 같이 표현된다. 도 11에서 보는 것처럼, 리셋스위칭 트랜지스터들(T315)은 소스전극(드레인전극)이 에미션리셋(ERST)을 입력하는 단자에 연결되고, 드레인전극(소스전극)이 제2 QB노드(QB2)에 연결되며, 게이트전극은 제1 출력단(n11)과 연결되어 스캔신호(Scan)를 입력받는다. 따라서 각 수평라인에 형성되는 리셋스위칭 트랜지스터들(T315-1 ~ T315-n)은 에미션리셋(ERST)과 스캔신호(Scan)가 동기되는 순간에 턴-온되기 때문에 제n 수평라인(HLn)에 위치한 리셋스위칭 트랜지스터(T315-n)는 이전 수평라인(HL[n-1])에 위치한 리셋스위칭 트랜지스터(T315-[n-1])의 RC영향을 받지 않는다.

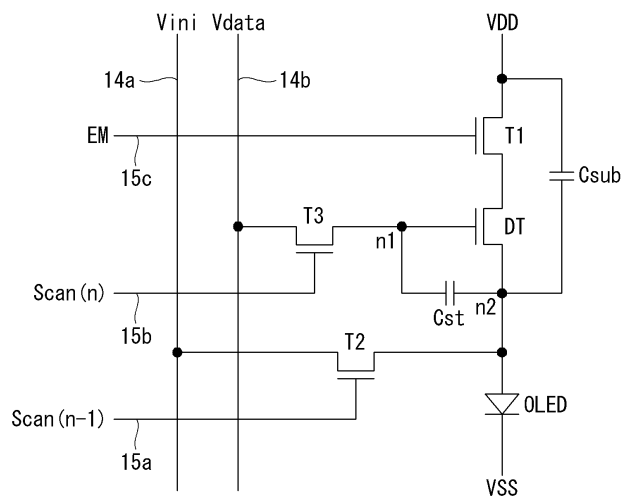
[0094] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

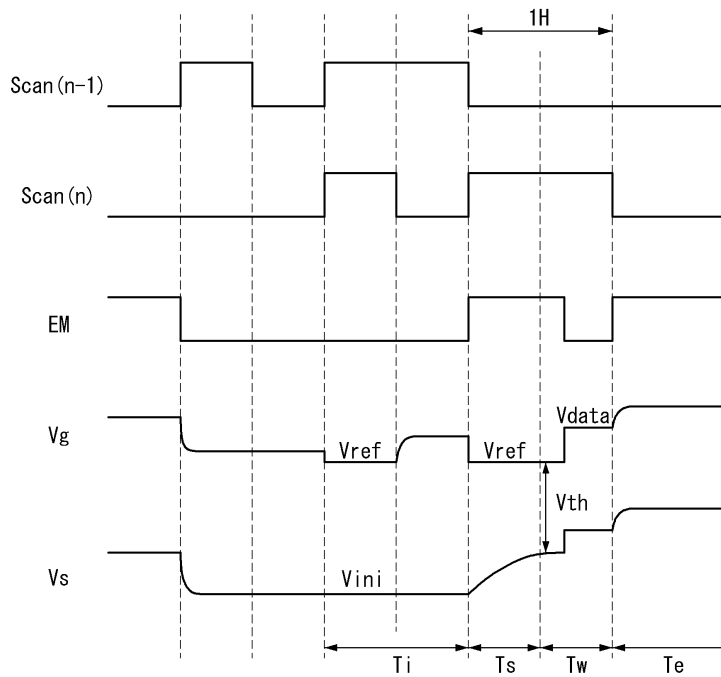
도면1



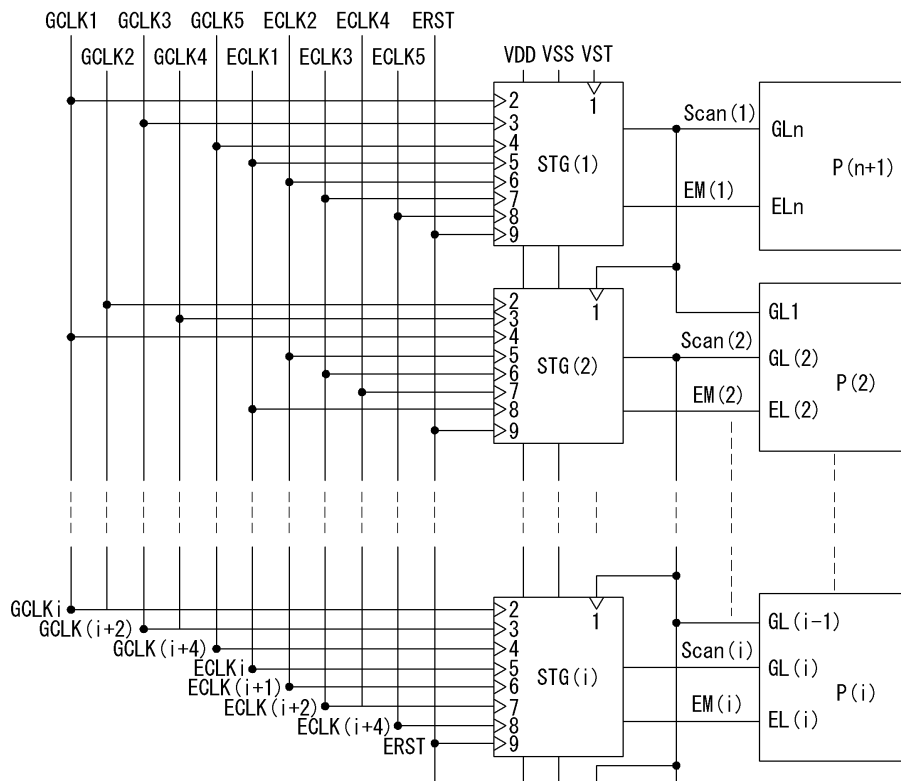
도면2



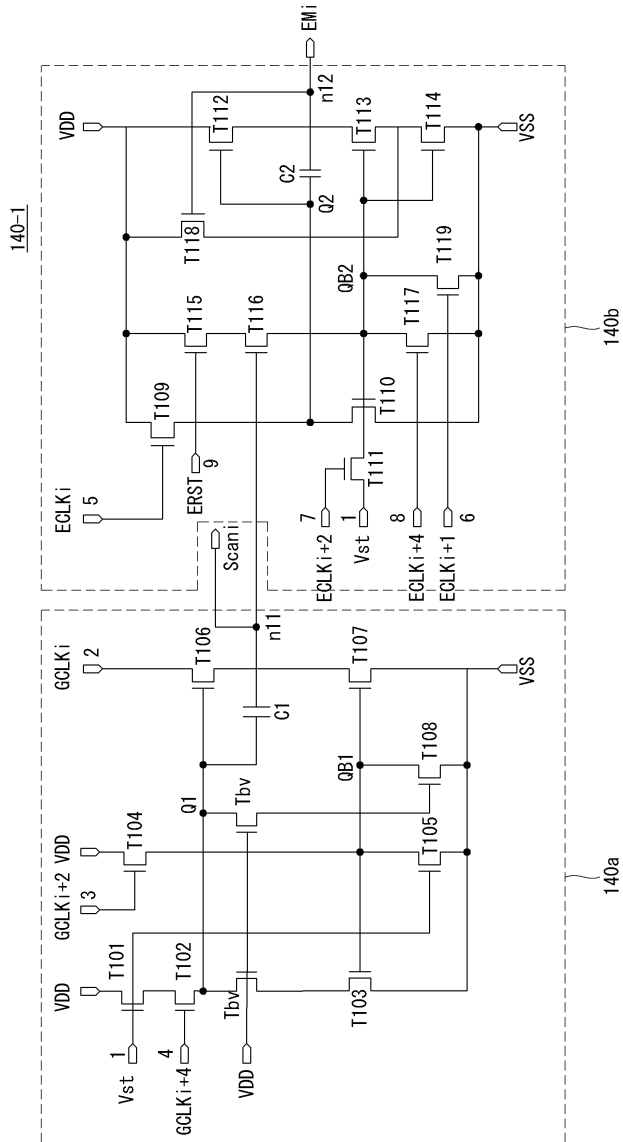
도면3



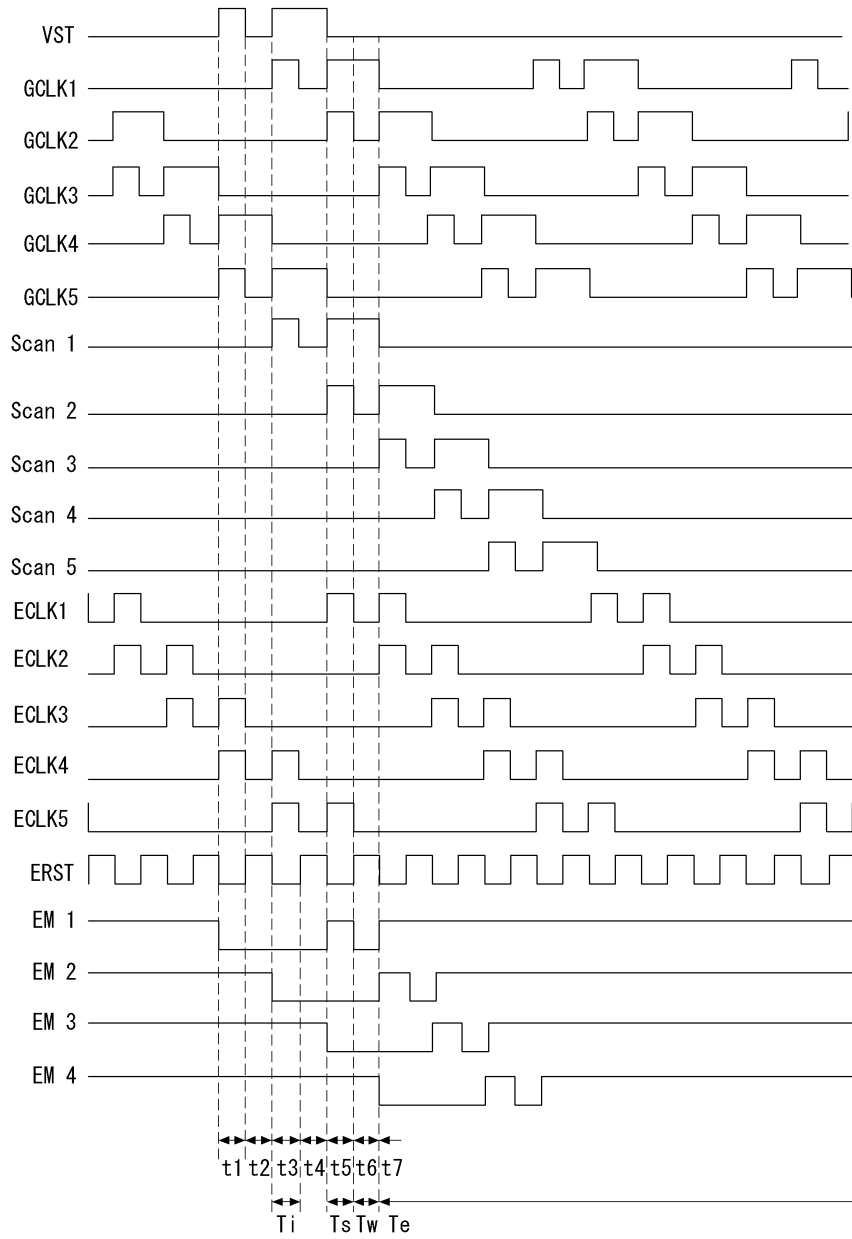
도면4



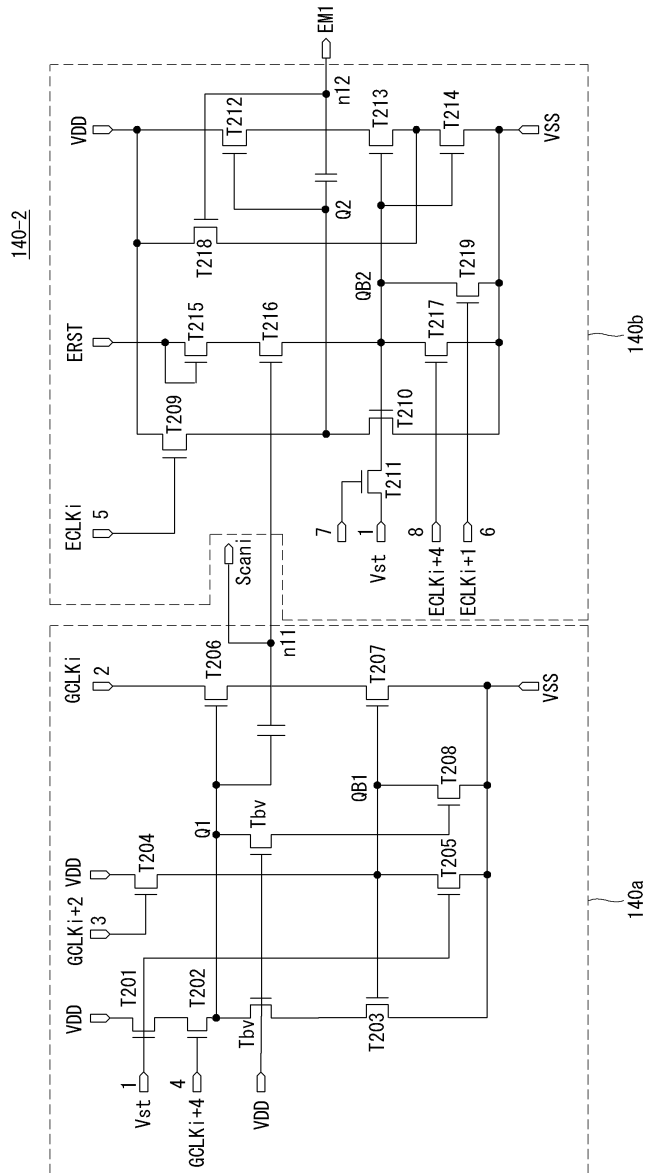
도면5



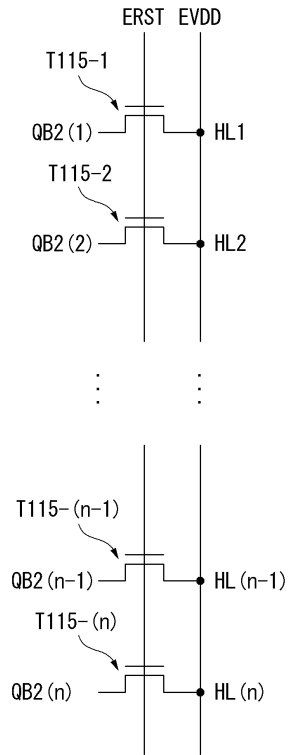
도면6



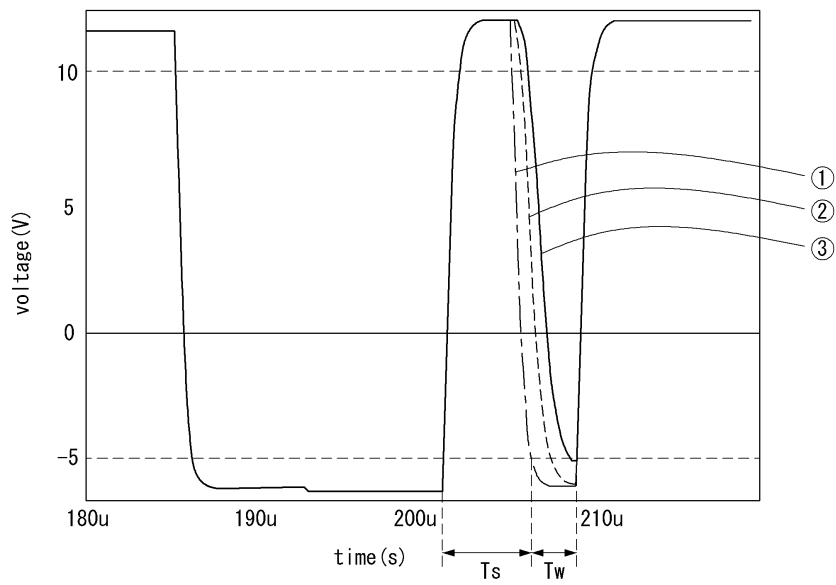
도면7



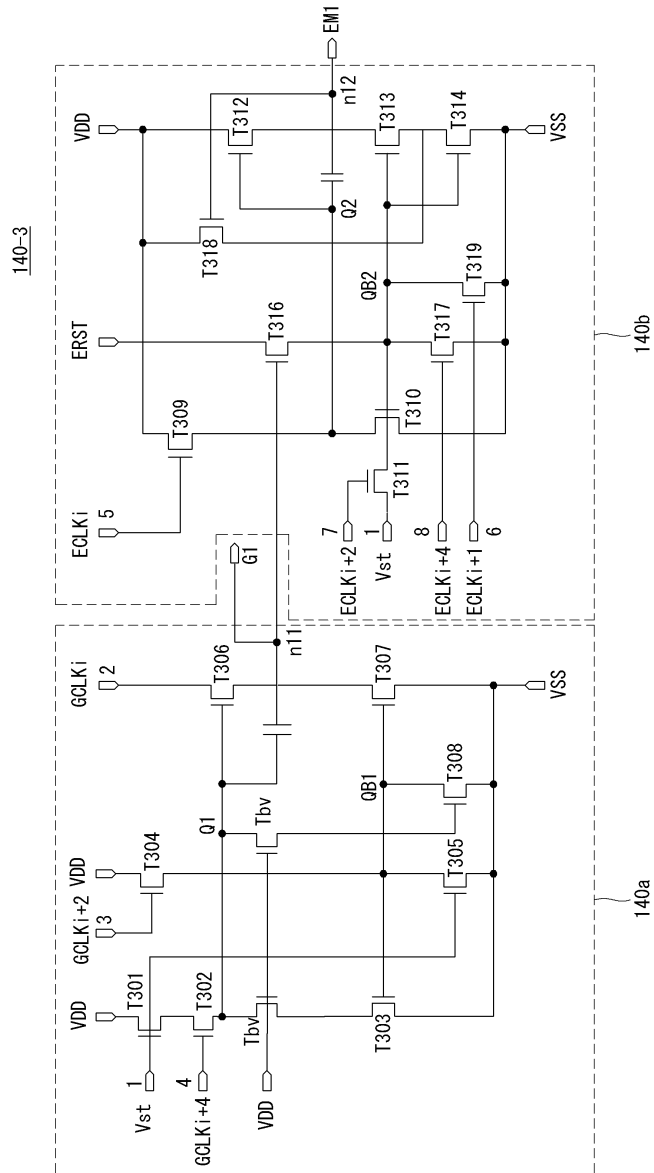
도면8



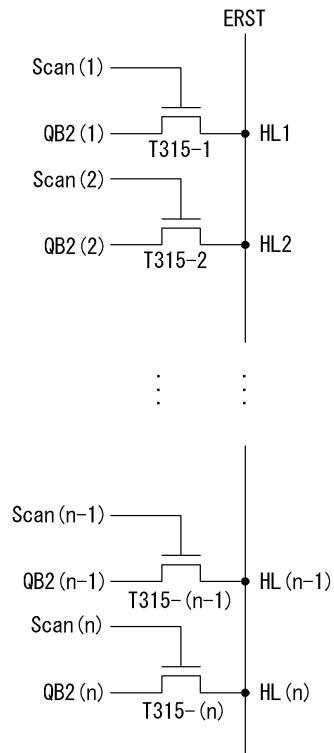
도면9



도면10



도면11



专利名称(译)	标题：OLED显示器件		
公开(公告)号	KR1020160019627A	公开(公告)日	2016-02-22
申请号	KR1020140103984	申请日	2014-08-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NA SE HWAN 나세환 OH CHUNG WAN 오충완 PARK YOUNG JU 박영주		
发明人	나세환 오충완 박영주		
IPC分类号	H01L27/32		
CPC分类号	G09G3/3225 H05B45/60		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示装置包括：显示面板，该显示面板包括像素，该像素将数据电压存储在存储电容器中，并且根据驱动晶体管的电势输出数据电压以允许有机发光二极管发光。；扫描信号输出单元将扫描信号输出到第一输出端子，该扫描信号用于根据第一Q节点和第一QB节点的电位来控制将数据电压存储在存储电容器中的时间。发光控制信号输出单元，其根据第二Q的电位，输出用于控制将存储在存储电容器中的数据电压输出至有机发光二极管的发光期间的开始时刻的发光控制信号。节点和第二QB节点，连接到第二输出端子，其中，发光控制信号输出单元包括扫描同步晶体管，该扫描同步晶体管响应于在扫描信号输出单元之前从扫描信号输出单元提供的扫描信号，向第二QB节点提供发光复位。发光周期。

