



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0017371
(43) 공개일자 2016년02월16일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/50 (2006.01)

H01L 51/56 (2006.01)

(21) 출원번호 10-2014-0100590

(22) 출원일자 2014년08월05일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

박경순

서울특별시 강동구 양재대로 1340, 319동 301호

김금남

서울특별시 강남구 광평로10길 50, 102동 201호

정민재

경기도 수원시 영통구 신동, 센트럴파크 302호

(74) 대리인

박영우

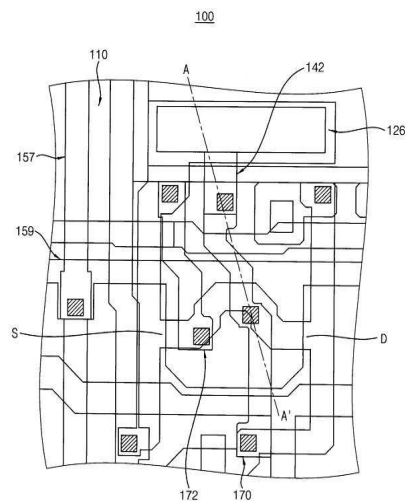
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

유기 발광 표시 장치는, 화소 영역 및 투과 영역을 가질 수 있는 기관, 상기 투과 영역의 기관 상에 배치될 수 있는 제1 커패시터, 상기 화소 영역의 기관 상에 배치될 수 있는 반도체 소자, 상기 반도체 소자 상부에 배치될 수 있는 제2 커패시터, 그리고 상기 제2 커패시터 상부에 배치될 수 있는 유기 발광 소자를 포함할 수 있다. 상기 유기 발광 표시 장치는 상기 화소 및 투과 영역들에 각기 배치될 수 있는 메인 및 서브 커패시터들 포함할 수 있으므로, 그 투과율을 감소시키지 않고 화소 영역의 면적을 증가시키지 않으면서 구성 요소들을 위해 충분한 커패시터의 용량을 제공할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

화소 영역 및 투과 영역을 가지는 기관;

상기 투과 영역의 기관 상에 배치되는 제1 커패시터;

상기 화소 영역의 기관 상에 배치되는 반도체 소자;

상기 반도체 소자 상부에 배치되는 제2 커패시터; 및

상기 제2 커패시터 상부에 배치되는 유기 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서, 상기 반도체 소자는, 상기 기관 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되며 상기 투과 영역까지 연장되는 게이트 절연막, 상기 게이트 절연막 상에 배치되는 게이트 구조, 상기 액티브 패턴의 소스 영역에 접속되는 소스 전극, 그리고 상기 액티브 패턴의 드레인 영역에 접속되는 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제2항에 있어서, 상기 제1 커패시터는, 상기 기관 상에 배치되는 제1 하부 전극, 상기 제1 하부 전극 상에 배치되는 제1 유전체 구조, 그리고 상기 제1 유전체 구조 상에 배치되는 제1 상부 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제3항에 있어서, 상기 제1 하부 전극은 불순물이 도핑된 폴리실리콘을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제3항에 있어서, 상기 제1 유전체 구조는 상기 투과 영역에 위치하는 상기 게이트 절연막의 일부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제3항에 있어서, 상기 반도체 소자의 게이트 구조는 상기 게이트 절연막 상에 배치되는 제1 게이트 전극 및 상기 제1 게이트 전극 상에 배치되는 제2 게이트 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제6항에 있어서, 상기 커패시터의 제1 상부 전극과 상기 반도체 소자의 제1 게이트 전극은 동일한 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제7항에 있어서, 상기 제1 상부 전극과 상기 제1 게이트 전극은 투과성을 갖는 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제3항에 있어서, 상기 제2 커패시터는 제2 하부 전극, 상기 제2 하부 전극 상에 배치되는 제2 유전체 구조, 그리고 상기 제2 유전체 구조 상에 배치되는 제2 상부 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제9항에 있어서, 상기 제2 커패시터의 제2 하부 전극은 상기 반도체 소자의 게이트 구조인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제9항에 있어서, 상기 제2 유전체 구조는 상기 투과 영역에서 상기 반도체 소자의 게이트 구조 상에 배치되는 층간 절연막의 일부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제1항에 있어서, 상기 제2 커패시터와 상기 유기 발광 소자 사이에 배치되는 적어도 하나의 층간 절연막; 및
상기 적어도 하나의 층간 절연막 상에 배치되는 제1 연결 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제12항에 있어서, 상기 제1 연결 배선은 상기 반도체 소자와 상기 제1 커패시터를 전기적으로 연결시키는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제12항에 있어서, 상기 제1 연결 배선에 인접하여 상기 층간 절연막 상에 배치되는 제2 연결 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제14항에 있어서, 상기 제2 연결 배선은 상기 제1 커패시터와 상기 제2 커패시터를 전기적으로 연결시키는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

화소 영역 및 투과 영역을 가지는 기판;

상기 투과 영역의 기판 상에 배치되는 커패시터;

상기 화소 영역의 기판 상에 배치되는 반도체 소자; 및

상기 반도체 소자 상부에 배치되는 유기 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 17

제16항에 있어서, 상기 반도체 소자는, 상기 기판 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되며 상기 투과 영역까지 연장되는 게이트 절연막, 상기 게이트 절연막 상에 배치되는 게이트 구조, 상기 액티브 패턴의 소스 영역에 접속되는 소스 전극, 그리고 상기 액티브 패턴의 드레인 영역에 접속되는 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제16항에 있어서, 상기 커패시터는, 상기 기판 상에 배치되는 하부 전극, 상기 하부 전극 상에 배치되는 유전체 구조, 그리고 상기 유전체 구조 상에 배치되는 상부 전극을 포함하며, 상기 유전체 구조는 상기 투과 영역에 배치되는 상기 게이트 절연막의 일부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제18항에 있어서, 상기 하부 전극은 불순물이 도핑된 폴리실리콘을 포함하며, 상기 상부 전극은 투과성을 갖는 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제18항에 있어서, 상기 반도체 소자와 상기 유기 발광 소자 사이에 배치되는 적어도 하나의 층간 절연막; 및
상기 적어도 하나의 층간 절연막 상에 배치되며, 상기 반도체 소자와 상기 커패시터를 전기적으로 연결시키는
연결 배선을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 21

제20항에 있어서, 상기 연결 배선은 상기 반도체 소자의 게이트 구조와 상기 커패시터의 상부 전극에 접속되는
것을 특징으로 하는 유기 발광 표시 장치.

청구항 22

화소 영역과 투과 영역을 갖는 기판을 제공하는 단계;
상기 기판의 화소 영역에 반도체 소자를 형성하는 단계;
상기 기판의 투과 영역에 제1 커패시터를 형성하는 단계;
상기 반도체 소자 상에 제2 커패시터를 형성하는 단계; 및
상기 제2 커패시터 상에 유기 발광 소자를 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 23

제22항에 있어서, 상기 반도체 소자를 형성하는 단계 및 상기 제1 커패시터를 형성하는 단계는,
상기 기판 상에 상기 반도체 소자의 액티브 패턴 및 상기 제1 커패시터의 제1 하부 전극을 형성하는 단계;
상기 액티브 패턴 및 상기 제1 하부 전극 상에 게이트 절연막을 형성하는 단계;
상기 투과 영역의 상기 게이트 절연막 상에 상기 제1 커패시터의 제1 상부 전극을 형성하는 단계; 및
상기 화소 영역의 상기 게이트 절연막 상에 상기 반도체 소자의 게이트 구조를 형성하는 단계를 포함하는 것을
특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 24

제23항에 있어서, 상기 제1 커패시터의 제1 상부 전극을 형성하는 단계 및 상기 반도체 소자의 게이트 구조를
형성하는 단계는,
상기 게이트 절연막 상에 제1 전극층을 형성하는 단계;
상기 제1 전극층 상에 제2 전극층을 형성하는 단계; 및
상기 제1 전극층 및 상기 제2 전극층을 식각하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치
의 제조 방법.

청구항 25

제24항에 있어서, 상기 제1 전극층 및 상기 제2 전극층은 다른 물질들을 사용하여 형성되는 것을 특징으로 하는
유기 발광 표시 장치의 제조 방법.

청구항 26

제24항에 있어서, 상기 제1 전극층 및 상기 제2 전극층을 식각하는 단계는 하프톤 마스크 또는 하프톤 슬릿 마
스크를 사용하여 수행되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 27

제23항에 있어서, 상기 제1 커패시터의 제1 상부 전극을 형성하는 단계 및 상기 반도체 소자의 게이트 구조를
형성하는 단계는,
상기 게이트 절연막 상에 제1 전극층을 형성하는 단계;
상기 제1 전극층을 패터닝하여 상기 제1 상부 전극을 형성하는 단계;

상기 게이트 절연막 상에 제2 전극층을 형성하는 단계; 및

상기 제2 전극층을 패터닝하여 상기 게이트 구조를 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 28

제23항에 있어서, 상기 제2 커패시터를 형성하는 단계는,

상기 게이트 구조 상에 층간 절연막을 형성하는 단계; 및

상기 층간 절연막 상에 제2 상부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 29

제23항에 있어서, 상기 제2 커패시터 상에 적어도 하나의 층간 절연막을 형성하는 단계; 및

상기 적어도 하나의 층간 절연막 상에 상기 반도체 소자와 상기 제1 커패시터를 전기적으로 연결시키는 제1 연결 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 30

제29항에 있어서, 상기 제1 연결 배선을 형성하는 단계는,

상기 적어도 하나의 층간 절연막에 상기 게이트 구조를 노출시키는 제1 콘택 홀 및 상기 제1 상부 전극을 노출시키는 제2 콘택 홀을 형성하는 단계; 및

상기 노출된 게이트 구조, 상기 제1 콘택 홀의 측벽, 상기 노출된 제1 상부 전극, 상기 제2 콘택 홀의 측벽 및 상기 적어도 하나의 층간 절연막 상에 상기 제1 연결 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 31

제29항에 있어서, 상기 적어도 하나의 층간 절연막 상에 상기 제1 커패시터와 상기 제2 커패시터를 전기적으로 연결시키는 제2 연결 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001]

본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 화소 영역 및 투과 영역에 배치되는 적어도 하나의 커패시터를 포함하는 유기 발광 표시 장치와 이러한 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002]

유기 발광 표시(OLED) 장치는 양극과 음극으로부터 각기 제공되는 정공들과 전자들이 이들 전극들 사이에 배치되는 유기 발광층에서 결합하여 생성되는 광을 이용하여 영상, 문자 등의 정보를 나타낼 수 있는 표시 장치이다. 이러한 유기 발광 표시 장치는 넓은 시야각, 빠른 응답 속도, 얇은 두께, 낮은 소비 전력 등의 여러 가지 장점들을 가지기 때문에 유망한 차세대 표시 장치로 여겨지고 있다.

[0003]

최근, 오프(OFF) 상태에서는 유기 발광 표시 장치의 전방이나 후방에 위치하는 사물의 이미지가 투과될 수 있고, 온(ON) 상태에서는 유기 발광층으로부터 방출되는 광을 이용하여 영상을 표시할 수 있는 투명 유기 발광 표시 장치에 대한 개발이 빠르게 진행되고 있다.

[0004]

일반적으로, 투명 유기 발광 표시 장치는 화소들이 배치되는 화소 영역과 상기 화소 영역에 인접하는 투과 영역으로 구분되는 기판, 상기 기판의 화소 영역에 배치되는 반도체 소자들, 커패시터, 주변 회로 등을 포함할 수 있다. 종래의 투명 유기 발광 표시 장치에 있어서, 상기 반도체 소자들과 커패시터가 모두 상기 화소 영역에 위치하게 된다. 이 경우, 상기 화소 영역에서 상기 커패시터의 면적의 한계로 인하여 상기 유기 발광 표시 장치의

구성 요소들을 위한 커패시터의 용량을 충분히 확보하기 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 일 목적은 화소 영역과 투과 영역에 적어도 커패시터를 구현하여 충분한 커패시터의 정전 용량을 확보할 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0006] 본 발명의 다른 목적은 상술한 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.
- [0007] 본 발명의 목적이 기술한 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는, 화소 영역 및 투과 영역을 가질 수 있는 기판, 상기 투과 영역의 기판 상에 배치될 수 있는 제1 커패시터, 상기 화소 영역의 기판 상에 배치될 수 있는 반도체 소자, 상기 반도체 소자 상부에 배치될 수 있는 제2 커패시터, 그리고 상기 제2 커패시터 상부에 배치될 수 있는 유기 발광 소자를 포함할 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 반도체 소자는, 상기 기판 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되며 상기 투과 영역까지 연장되는 게이트 절연막, 상기 게이트 절연막 상에 배치되는 게이트 구조, 상기 액티브 패턴의 소스 영역에 접속되는 소스 전극, 그리고 상기 액티브 패턴의 드레인 영역에 접속되는 드레인 전극을 포함할 수 있다. 상기 제1 커패시터는, 상기 기판 상에 배치되는 제1 하부 전극, 상기 제1 하부 전극 상에 배치되는 제1 유전체 구조, 그리고 상기 제1 유전체 구조 상에 배치되는 제1 상부 전극을 포함할 수 있다. 또한, 상기 제2 커패시터는 제2 하부 전극, 상기 제2 하부 전극 상에 배치되는 제2 유전체 구조, 그리고 상기 제2 유전체 구조 상에 배치되는 제2 상부 전극을 포함할 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 제1 하부 전극은 불순물이 도핑된 폴리실리콘을 포함할 수 있다. 또한, 상기 제1 유전체 구조는 상기 투과 영역에 위치하는 상기 게이트 절연막의 일부를 포함할 수 있다.
- [0011] 예시적인 실시예들에 따르면, 상기 반도체 소자의 게이트 구조는 상기 게이트 절연막 상에 배치되는 제1 게이트 전극 및 상기 제1 게이트 전극 상에 배치되는 제2 게이트 전극을 포함할 수 있다. 이 경우, 상기 커패시터의 제1 상부 전극과 상기 반도체 소자의 제1 게이트 전극은 실질적으로 동일한 물질을 포함할 수 있다. 예를 들면, 상기 제1 상부 전극과 상기 제1 게이트 전극은 투과성을 갖는 물질을 포함할 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 제2 커패시터의 제2 하부 전극은 상기 반도체 소자의 게이트 구조일 수 있다. 또한, 상기 제2 유전체 구조는 상기 투과 영역에서 상기 반도체 소자의 게이트 구조 상에 배치되는 층간 절연막의 일부를 포함할 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 유기 발광 표시 장치는, 상기 제2 커패시터와 상기 유기 발광 소자 사이에 배치되는 적어도 하나의 층간 절연막, 그리고 상기 적어도 하나의 층간 절연막 상에 배치되는 제1 연결 배선을 더 포함할 수 있다. 여기서, 상기 제1 연결 배선은 상기 반도체 소자와 상기 제1 커패시터를 전기적으로 연결시킬 수 있다.
- [0014] 예시적인 실시예들에 따르면, 상기 유기 발광 표시 장치는 상기 제1 연결 배선에 인접하여 상기 층간 절연막 상에 배치되는 제2 연결 배선을 더 포함할 수 있다. 상기 제2 연결 배선은 상기 제1 커패시터와 상기 제2 커패시터를 전기적으로 연결시킬 수 있다.
- [0015] 또한, 기술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치는, 화소 영역 및 투과 영역을 가지는 기판, 상기 투과 영역의 기판 상에 배치되는 커패시터, 상기 화소 영역의 기판 상에 배치되는 반도체 소자, 그리고 상기 반도체 소자 상부에 배치되는 유기 발광 소자를 포함할 수 있다.
- [0016] 다른 예시적인 실시예들에 있어서, 상기 반도체 소자는, 상기 기판 상에 배치되는 액티브 패턴, 상기 액티브 패턴 상에 배치되며 상기 투과 영역까지 연장되는 게이트 절연막, 상기 게이트 절연막 상에 배치되는 게이트 구조, 상기 액티브 패턴의 소스 영역에 접속되는 소스 전극, 그리고 상기 액티브 패턴의 드레인 영역에 접속되는

는 트레인 전극을 포함할 수 있다. 또한, 상기 커패시터는, 상기 기판 상에 배치되는 하부 전극, 상기 하부 전극 상에 배치되는 유전체 구조, 그리고 상기 유전체 구조 상에 배치되는 상부 전극을 포함할 수 있다. 상기 유전체 구조는 상기 투과 영역에 배치되는 상기 게이트 절연막의 일부를 포함할 수 있다. 예를 들면, 상기 하부 전극은 불순물이 도핑된 폴리실리콘을 포함할 수 있고, 상기 상부 전극은 투과성을 갖는 물질을 포함할 수 있다.

[0017] 다른 예시적인 실시예들에 따르면, 상기 유기 발광 표시 장치는, 상기 반도체 소자와 상기 유기 발광 소자 사이에 배치되는 적어도 하나의 층간 절연막, 그리고 상기 적어도 하나의 층간 절연막 상에 배치되며, 상기 반도체 소자와 상기 커패시터를 전기적으로 연결시키는 연결 배선을 더 포함할 수 있다. 여기서, 상기 연결 배선은 상기 반도체 소자의 게이트 구조와 상기 커패시터의 상부 전극에 접속될 수 있다.

[0018] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 있어서, 화소 영역과 투과 영역을 갖는 기판을 제공한 후, 상기 기판의 화소 영역에 반도체 소자를 형성할 수 있다. 상기 기판의 투과 영역에 제1 커패시터를 형성할 수 있다. 상기 반도체 소자 상에 제2 커패시터를 형성할 수 있다. 상기 제2 커패시터 상에 유기 발광 소자를 형성할 수 있다.

[0019] 예시적인 실시예들에 따른 상기 반도체 소자를 형성하는 과정 및 상기 제1 커패시터를 형성하는 과정에 있어서, 상기 기판 상에 상기 반도체 소자의 액티브 패턴 및 상기 제1 커패시터의 제1 하부 전극을 형성할 수 있다. 상기 액티브 패턴 및 상기 제1 하부 전극 상에 게이트 절연막을 형성한 후, 상기 투과 영역의 상기 게이트 절연막 상에 상기 제1 커패시터의 제1 상부 전극을 형성할 수 있다. 상기 화소 영역의 상기 게이트 절연막 상에 상기 반도체 소자의 게이트 구조를 형성할 수 있다.

[0020] 예시적인 실시예들에 따른 상기 제1 커패시터의 제1 상부 전극을 형성하는 과정 및 상기 반도체 소자의 게이트 구조를 형성하는 과정에 있어서, 상기 게이트 절연막 상에 제1 전극층을 형성할 수 있다. 상기 제1 전극층 상에 제2 전극층을 형성한 후, 상기 제1 전극층 및 상기 제2 전극층을 식각할 수 있다. 예를 들면, 상기 제1 전극층 및 상기 제2 전극층은 다른 물질들을 사용하여 형성될 수 있다. 또한, 상기 제1 전극층 및 상기 제2 전극층은 하프톤 마스크 또는 하프톤 슬릿 마스크를 사용하여 식각될 수 있다.

[0021] 다른 예시적인 실시예들에 따른 상기 제1 커패시터의 제1 상부 전극을 형성하는 과정 및 상기 반도체 소자의 게이트 구조를 형성하는 과정에 있어서, 상기 게이트 절연막 상에 제1 전극층을 형성한 다음, 상기 제1 전극층을 패터닝하여 상기 제1 상부 전극을 형성할 수 있다. 상기 게이트 절연막 상에 제2 전극층을 형성한 후, 상기 제2 전극층을 패터닝하여 상기 게이트 구조를 형성할 수 있다.

[0022] 예시적인 실시예들에 따른 상기 제2 커패시터를 형성하는 과정에 있어서, 상기 게이트 구조 상에 층간 절연막을 형성한 다음, 상기 층간 절연막 상에 제2 상부 전극을 형성할 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 제2 커패시터 상에 적어도 하나의 층간 절연막을 형성한 후, 상기 적어도 하나의 층간 절연막 상에 상기 반도체 소자와 상기 제1 커패시터를 전기적으로 연결시키는 제1 연결 배선을 추가적으로 형성할 수 있다. 예를 들면, 상기 적어도 하나의 층간 절연막에 상기 게이트 구조를 노출시키는 제1 콘택 홀 및 상기 제1 상부 전극을 노출시키는 제2 콘택 홀을 형성할 수 있다. 상기 노출된 게이트 구조, 상기 제1 콘택 홀의 측벽, 상기 노출된 제1 상부 전극, 상기 제2 콘택 홀의 측벽 및 상기 적어도 하나의 층간 절연막 상에 상기 제1 연결 배선을 형성할 수 있다.

[0024] 예시적인 실시예들에 따르면, 상기 적어도 하나의 층간 절연막 상에 상기 제1 커패시터와 상기 제2 커패시터를 전기적으로 연결시키는 제2 연결 배선을 추가적으로 형성할 수 있다.

발명의 효과

[0025] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 화소 영역에 배치되는 메인 커패시터 및 투과 영역에 위치하는 서브 커패시터를 포함할 수 있으므로, 상기 투과 영역에서 상기 유기 발광 표시 장치의 투과율을 감소시키지 않고 상기 화소 영역의 면적을 증가시키지 않으면서 반도체 소자들과 유기 발광 소자들을 포함하는 구성 요소들을 위하여 전체적으로 충분한 커패시터의 용량을 제공할 수 있다. 또한, 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치는 투과 영역에 배치되는 커패시터를 구비할 수 있으므로, 상기 유기 발광 표시 장치가 간단한 구성을 가질 수 있고, 구성 요소들을 위한 커패시터의 용량을 향상시킬 수 있다.

[0026] 다만, 본 발명의 효과가 상술한 바에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0027]

도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 2는 도 1에 예시한 유기 발광 표시 장치를 A-A' 라인을 따라 절단한 단면도이다.

도 3 내지 도 9는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 10은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 11 내지 도 15는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 16은 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 17은 도 16의 유기 발광 표시 장치를 B-B' 라인을 따라 절단한 단면도이다.

도 18 내지 도 21은 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 22는 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 23 내지 도 26은 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0028]

이하, 첨부한 도면들을 참조하여 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치들 및 유기 발광 표시 장치들의 제조 방법들에 대하여 상세하게 설명한다.

[0029]

도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다. 도 2는 도 1에 예시한 유기 발광 표시 장치를 A-A' 라인을 따라 나타낸 단면도이다.

[0030]

도 1 및 도 2를 참조하면, 유기 발광 표시 장치(100)는, 기관(110), 반도체 소자, 제1 캐패시터, 제2 캐패시터, 유기 발광 소자(185) 등을 포함할 수 있다. 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 상기 제1 캐패시터가 배치될 수 있는 투과 영역과 상기 반도체 소자, 상기 제1 캐패시터, 상기 유기 발광 소자 등이 위치할 수 있는 화소 영역을 포함할 수 있다. 예를 들면, 상기 화소 영역의 제2 캐패시터는 유기 발광 표시 장치(100)의 구성 요소들을 위한 메인(main) 캐패시터로 기능할 수 있고, 상기 투과 영역의 제1 캐패시터는 상기 구성 요소들을 위한 서브(sub) 캐패시터로 작용할 수 있다.

[0031]

예시적인 실시예들에 있어서, 상기 반도체 소자는 액티브 패턴(125), 제1 게이트 절연막(130), 제2 게이트 절연막(135), 게이트 구조, 소스 전극(S) 및 드레인 전극(D)을 포함할 수 있다. 여기서, 상기 게이트 구조는 제1 게이트 전극(142)과 제2 게이트 전극(146)으로 이루어질 수 있다. 상기 투과 영역의 제1 캐패시터는 제1 하부 전극(126), 제1 유전체 구조 및 제1 상부 전극(141)을 포함할 수 있다. 이 경우, 상기 제1 유전체 구조는 상기 투과 영역에서 제1 및 제2 게이트 절연막들(130, 135)의 일부들을 포함할 수 있다. 또한, 상기 화소 영역의 제2 캐패시터는 제2 하부 전극, 제2 유전체 구조 및 제2 상부 전극(155)을 구비할 수 있다. 상기 제2 하부 전극은 상기 반도체 소자의 게이트 구조에 해당될 수 있다. 즉, 제1 게이트 전극(142) 및 제2 게이트 전극(146)의 하나 이상이 상기 제2 캐패시터의 제2 하부 전극이 될 수 있다. 상기 제2 유전체 구조는 상기 화소 영역에 배치되는 제1 층간 절연막(150)의 일부가 될 수 있다. 상기 유기 발광 소자는 제1 전극(180), 유기 발광 구조(190) 및 제2 전극(195)을 포함할 수 있다.

[0032]

도 1 및 도 2에 예시한 바와 같이, 기관(110)은 투명 절연 물질을 포함할 수 있다. 예를 들면, 기관(110)은 유리 기관, 석영 기관, 투명 수지 기관 등을 포함할 수 있다. 예시적인 투명 수지 기관은 폴리이미드계 수지, 아크릴계 수지, 폴리아크릴레이트계 수지, 폴리카보네이트계 수지, 폴리에테르계 수지, 술폰산계 수지, 폴리에틸렌테레프탈레이트계 수지 등을 포함할 수 있다. 유기 발광 표시 장치(100)의 구성에 따라 기관(110)도 화소 영역과 투과 영역으로 구분될 수 있다. 예를 들면, 상기 화소 영역에서는 상기 유기 발광 소자를 통해 영상이 표시될 수 있으며, 상기 투과 영역에서는 유기 발광 표시 장치(100)의 전후에 위치하는 대상의 이미지가 투과될 수 있다.

- [0033] 기판(110) 상에는 제1 버퍼층(115) 및 제2 버퍼층(120)이 위치할 수 있다. 제1 및 제2 버퍼층들(115, 120)은 기판(110)으로부터 금속 원자들 또는 불순물들의 확산을 방지할 수 있고, 상기 반도체 소자의 액티브 패턴(125)과 상기 제1 커패시터의 제1 하부 전극(126)을 실질적으로 균일하게 할 수 있다. 또한, 제1 및 제2 버퍼층들(115, 120)은 기판(110) 표면의 평탄도를 향상시킬 수 있다. 제1 및 제2 버퍼층(115, 120)은 각기 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄화물 등과 같은 실리콘 화합물을 포함할 수 있다. 제1 버퍼층(115)과 제2 버퍼층(120)은 실질적으로 동일한 물질로 구성될 수 있거나, 상이한 물질들로 이루어질 수 있다.
- [0034] 상기 반도체 소자는 제2 버퍼층(120) 상에 배치될 수 있다. 도 1 및 도 2에서는 도시의 편의를 위하여 하나의 반도체 소자만이 예시되지만, 상기 화소 영역에는 복수의 반도체 소자들이 배치될 수 있다. 이러한 반도체 소자들은 유기 발광 표시 장치(100)의 스위칭 소자, 구동 소자 등으로 기능할 수 있다. 예시적인 실시예들에 있어서, 상기 반도체 소자는 액티브 패턴(125), 제1 게이트 절연막(130), 제2 게이트 절연막(135), 제1 및 제2 게이트 전극들(140a, 145a)을 구비하는 상기 게이트 구조, 소스 전극(S), 그리고 드레인 전극(D)을 포함할 수 있다. 이 경우, 제2 층간 절연막(160) 및 제3 층간 절연막(165)이 상기 게이트 구조와 소스 및 드레인 전극들(S, D) 사이에 개재될 수 있다.
- [0035] 도 2에 예시한 바와 같이, 액티브 패턴(125)과 제1 하부 전극(126)은 제2 버퍼층(120) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 액티브 패턴(125)과 제1 하부 전극(126)은 실리콘을 함유하는 물질을 포함할 수 있다. 예를 들면, 액티브 패턴(125)과 제1 하부 전극(126)은 폴리실리콘을 포함할 수 있다. 여기서, 상기 제1 커패시터의 제1 하부 전극(126)은 보론(B), 갈륨(Ga), 인듐(In) 등과 같은 p형 불순물들을 추가적으로 포함할 수 있다. 액티브 패턴(125)은 상기 화소 영역의 제2 버퍼층(120) 상에 위치할 수 있고, 제1 하부 전극(126)은 상기 투과 영역의 제2 버퍼층(120) 상에 배치될 수 있다.
- [0036] 제1 게이트 절연막(130)은 액티브 패턴(125)과 제1 하부 전극(126)을 커버하며, 제2 버퍼층(120) 상에 배치될 수 있다. 예를 들면, 제1 게이트 절연막(130)은 실리콘 질화물, 실리콘 산질화물, 실리콘 산화물, 금속 산화물 등으로 구성될 수 있다. 제1 게이트 절연막(130)은 상기 화소 영역과 상기 투과 영역 모두에 배치될 수 있다.
- [0037] 제2 게이트 절연막(135)은 제1 게이트 절연막(130) 상에 위치할 수 있다. 예를 들면, 제2 게이트 절연막(135)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 금속 산화물 등으로 구성될 수 있다. 제2 게이트 절연막(135)은 제1 게이트 절연막(130)과 다른 물질을 포함할 수 있다. 선택적으로는, 제1 및 제2 게이트 절연막들(130, 135)은 실질적으로 동일한 물질로 구성될 수 있다. 상기 투과 영역에 있어서, 제1 및 제2 게이트 절연막들(130, 135)의 일부들은 함께 상기 제1 커패시터의 제1 유전체 구조를 구성할 수 있다.
- [0038] 제1 상부 전극(141)과 제1 게이트 전극(142)은 제2 게이트 절연막(135) 상에 배치될 수 있다. 제1 상부 전극(141)은 상기 투과 영역에서 제1 및 제2 게이트 절연막들(130, 135)의 일부들을 개재하여 제1 하부 전극(126) 상부에 위치할 수 있다. 제1 게이트 전극(142)은 상기 화소 영역에서 제1 및 제2 게이트 절연막들(130, 135)의 일부들을 개재하여 액티브 패턴(125) 상부에 배치될 수 있다. 제1 상부 전극(141)과 제1 게이트 전극(142)은 각기 제1 하부 전극(126)과 액티브 패턴(125) 보다 실질적으로 큰 면적을 가질 수 있다. 제1 상부 전극(141)과 제1 게이트 전극(142)은 기판(110) 상부의 동일한 레벨에 위치할 수 있다. 또한, 제1 상부 전극(141)과 제1 게이트 전극(142)은 각기 투과성을 갖는 물질을 포함할 수 있다. 예를 들면, 제1 상부 전극(141)과 제1 게이트 전극(142)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등과 같은 투명 도전성 물질로 이루어질 수 있다. 상기 투과 영역에 전술한 구성을 갖는 상기 제1 커패시터가 제공될 경우, 유기 발광 표시 장치(100)의 구성 요소들을 위하여 전체적인 커패시터의 용량이 종래의 유기 발광 표시 장치에 비하여 증가될 수 있으면서도 유기 발광 표시 장치(100)의 투과율은 실질적으로 감소되지 않을 수 있다.
- [0039] 다시 도 2를 참조하면, 제1 게이트 전극(142) 상에 제2 게이트 전극(146)이 배치될 수 있다. 이에 따라, 상기 반도체 소자의 게이트 구조가 상기 화소 영역에 제공될 수 있다. 제2 게이트 전극(146)은 제1 게이트 전극(142) 보다 실질적으로 작은 면적을 가질 수 있다. 제2 게이트 전극(146)은 금속, 합금, 금속 질화물 등을 포함할 수 있다. 예를 들면, 제2 게이트 전극(146)은 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은(Ag), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리(Cu), 구리를 함유하는 합금, 니켈(Ni), 몰리브덴(Mo), 몰리브덴을 함유하는 합금, 티타늄(Ti), 티타늄 질화물(TiN_x), 백금(Pt), 탄탈륨(Ta), 탄탈륨 질화물(TaN_x) 등으로 구성될 수 있다.
- [0040] 예시적인 실시예들에 있어서, 상기 게이트 구조는 부분적으로 또는 전체적으로 상기 제2 커패시터의 제2 하부 전극으로 기능할 수 있다. 달리 말하면, 상기 제2 커패시터는 상기 반도체 소자 상부에 위치할 수 있으며, 상기 제2 커패시터와 상기 반도체 소자는 상기 게이트 구조를 전극으로서 공유할 수 있다. 또한, 상기 제1 커패시터

와 상기 반도체 소자에 인접하는 배선(143)이 제2 게이트 절연막(135) 상에 배치될 수 있다. 배선(143)은 제1 배선 패턴 및 제2 배선 패턴을 포함하는 다층 구조를 가질 수 있다. 이 경우, 제1 및 제2 배선 패턴들은 각기 제1 및 제2 게이트 전극(142, 146)과 실질적으로 동일한 물질들로 구성될 수 있다. 선택적으로는, 배선(143)은 하나의 배선 패턴으로 이루어질 수 있다. 예를 들면, 배선(143)은 스캔 라인을 포함할 수 있다.

[0041] 제1 층간 절연막(150)은 제2 게이트 절연막(135) 상에 위치할 수 있으며, 제1 상부 전극(141), 제2 게이트 전극(146) 및 배선(143)을 커버할 수 있다. 즉, 제1 층간 절연막(150)은 상기 화소 영역과 상기 투과 영역 모두에 형성될 수 있다. 예를 들면, 제1 층간 절연막(150)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다. 상기 화소 영역에 있어서, 상기 게이트 구조 상에 위치하는 제1 층간 절연막(150)의 일부는 상기 제2 커패시터의 제2 유전체 구조에 해당될 수 있다.

[0042] 상기 화소 영역에 있어서, 제1 층간 절연막(150) 상에는 제2 상부 전극(155)이 배치될 수 있다. 제2 상부 전극(155)은 제1 층간 절연막(150)을 개재하여 제2 게이트 전극(146) 상에 위치할 수 있다. 이에 따라, 상기 화소 영역에는 상기 제2 하부 전극, 상기 제2 유전체 구조 및 제2 상부 전극(155)을 포함하는 상기 제2 커패시터가 제공될 수 있다. 제2 상부 전극(155)은 금속, 합금, 금속 질화물 등을 포함할 수 있다. 예를 들면, 제2 상부 전극(155)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 크롬 질화물, 몰리브덴, 몰리브덴을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물 등으로 구성될 수 있다.

[0043] 상술한 바와 같이, 상기 제1 커패시터가 유기 발광 표시 장치(100)의 투과 영역에 위치할 수 있고, 상기 반도체 소자와 상기 제2 커패시터가 실질적으로 수직 배치 관계로 화소 영역에 배열될 수 있다. 따라서, 유기 발광 표시 장치(100)의 투과율을 감소시키지 않고 상기 화소 영역의 면적을 감소시킬 수 있으면서, 유기 발광 표시 장치(100)의 구성 요소들을 위해 전체적인 커패시터의 용량을 충분하게 확보할 수 있다.

[0044] 도 1에 예시한 바와 같이, 상기 반도체 소자에 전기적으로 연결되는 제1 하부 배선(157) 및 제1 하부 배선(157)에 콘택을 통해 접속되는 제2 하부 배선(159)이 상기 화소 영역에 제공될 수 있다. 제1 하부 배선(157)과 액티브 패턴(125)은 기판(110) 상부의 실질적으로 동일한 레벨에 배치될 수 있으며, 제2 하부 배선(159)과 제1 하부 전극(126)은 기판(110) 상부의 동일한 레벨에 위치할 수 있다. 따라서, 전원 전압(ELVDD)은 제1 하부 배선(157) 및 제2 하부 배선(159)을 통해 상기 제1 커패시터의 제1 하부 전극(126)에 인가될 수 있다.

[0045] 제2 상부 전극(155)을 덮는 제2 층간 절연막(160)이 제1 층간 절연막(150) 상에 배치될 수 있다. 예를 들면, 제2 층간 절연막(160)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다. 제2 상부 전극(155)도 상기 화소 영역과 상기 투과 영역 모두에 위치할 수 있다.

[0046] 제2 층간 절연막(160) 상에는 제3 층간 절연막(165)이 배치될 수 있다. 제3 층간 절연막(165) 또한 상기 투과 및 화소 영역들 모두에 배치될 수 있다. 예를 들면, 제3 층간 절연막(165)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다. 선택적으로는, 제2 층간 절연막(160)의 구성 물질, 치수 등에 따라 제3 층간 절연막(165)이 생략될 수 있다.

[0047] 도 1에 예시한 바와 같이, 소스 전극(S)과 드레인 전극(D)은 제3 층간 절연막(165) 상에 배치될 수 있다. 예를 들면, 소스 전극(S)과 드레인 전극(D)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물 등으로 이루어질 수 있다. 소스 전극(S) 및 드레인 전극(D)은 각기 제1 내지 제3 층간 절연막들(150, 160, 165)과 제1 및 제2 게이트 절연막들(130, 135)에 제공되는 비아 홀들을 지나 액티브 패턴(125)의 소스 영역 및 드레인 영역에 접속될 수 있다.

[0048] 제3 층간 절연막(165) 상에는 제1 연결 배선(170)과 제2 연결 배선(172)이 배치될 수 있다. 제1 및 제2 연결 배선들(170, 172)은 소스 전극(S) 및 드레인 전극(D)과 동일한 레벨에 위치할 수 있다. 제1 내지 제3 층간 절연막들(150, 160, 165)에는 제2 게이트 전극(146)과 제1 상부 전극(141)을 각기 부분적으로 노출시키는 제1 콘택 홀(167)과 제2 콘택 홀(169)이 제공될 수 있다.

[0049] 제1 연결 배선(170)은 상기 화소 영역에서 제1 내지 제3 층간 절연막들(150, 160, 165)에 제공되는 제1 콘택 홀(167)의 측벽을 지나 제2 게이트 전극(146)에 접속될 수 있다. 또한, 제1 연결 배선(170)은 상기 투과 영역을 향해 연장될 수 있으며, 제1 내지 제3 층간 절연막들(150, 160, 165)에 제공되는 제2 콘택 홀(169)을 통해 제1 상부 전극(141)에 접속될 수 있다. 달리 말하면, 제1 연결 배선(170)을 통해 상기 제1 커패시터와 상기 반도체 소자가 전기적으로 연결될 수 있다.

[0050] 또한, 제3 층간 절연막(165) 상에 제1 연결 배선(170)에 인접하여 제2 연결 배선(172)이 배치될 수 있다. 제2

연결 배선(172)은 상기 제2 커패시터의 제2 상부 전극(155)과 상기 제1 커패시터의 제1 하부 전극(126)을 전기적으로 연결시킬 수 있다. 예를 들면, 제2 및 제3 층간 절연막들(160, 165)에는 제2 상부 전극(155)의 일부를 노출시키는 제1 추가 콘택 홀(도시되지 않음)이 제공될 수 있고, 제1 내지 제3 층간 절연막들(150, 160, 165)과 제1 및 제2 게이트 절연막들(130, 135)에는 제1 하부 전극을 노출시키는 제2 추가 콘택 홀(도시되지 않음)이 제공될 수 있다. 제2 연결 배선(172)은 상기 제1 및 제2 추가 콘택 홀들을 통해 제2 상부 전극(155)과 제1 하부 전극(126)에 접속될 수 있다. 이에 따라, 상기 제1 커패시터와 상기 제2 커패시터는 제2 연결 배선(172)을 통해 전기적으로 연결될 수 있다. 예를 들면, 제1 및 제2 연결 배선들(170, 172)은 각기 소스 및 드레인 전극들(S, D)과 실질적으로 동일한 물질을 포함할 수 있다.

[0051] 도 1 및 도 2를 다시 참조하면, 제3 층간 절연막(165) 상에는 절연층(175)이 배치될 수 있다. 절연층(175)은 제1 연결 배선(170), 제2 연결 배선(172), 소스 전극(S) 및 드레인 전극(D)을 실질적으로 커버할 수 있다. 절연층(175)은 유기 물질로 이루어질 수 있다. 예를 들면, 절연층(175)은 폴리이미드계 수지, 포토레지스트, 아크릴계 수지, 폴리아미드계 수지, 실록산계 수지 등을 포함할 수 있다. 선택적으로는, 절연층(175)은 실리콘 화합물, 금속 산화물 등과 같은 무기 물질로 구성될 수 있다.

[0052] 상기 화소 영역에 있어서, 제1 전극(180)이 절연층(175) 상에 배치될 수 있다. 제1 전극(180)은 금속, 합금, 금속 질화물 등을 포함할 수 있다. 예를 들면, 제1 전극(180)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 몰리브덴, 몰리브덴을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물 등으로 구성될 수 있다.

[0053] 절연층(175) 상에는 제1 전극(180)을 부분적으로 노출시키는 개구를 구비하는 화소 정의막(185)이 배치될 수 있다. 이러한 화소 정의막(185)의 개구에 의해 유기 발광 표시 장치(100)의 발광 영역이 정의될 수 있다. 화소 정의막(185)은 유기 물질을 포함할 수 있다. 예를 들면, 화소 정의막(185)은 폴리이미드계 수지, 포토레지스트, 폴리아크릴계 수지, 폴리아미드계 수지, 아크릴계 수지 등을 포함할 수 있다.

[0054] 화소 정의막(185)의 개구를 통해 노출되는 제1 전극(180) 상에는 유기 발광 구조(190)가 배치될 수 있다. 유기 발광 구조(190)는 유기 발광 표시 장치(100)의 각 화소에 따라 적색광을 발생시킬 수 있는 물질, 녹색광을 발생시킬 수 있는 물질 또는 청색광을 발생시킬 수 있는 물질과 같은 다른 색광들을 발생시킬 수 있는 발광 물질들을 사용하여 형성될 수 있다. 선택적으로는, 유기 발광 구조(190)는 적색광을 발생시킬 수 있는 발광 물질, 녹색광을 발생시킬 수 있는 발광 물질 및 청색광을 발생시킬 수 있는 발광 물질이 적층되어 전체적으로 백색광을 발생시킬 수 있는 구성을 가질 수 있다.

[0055] 제2 전극(195)은 화소 정의막(185)과 유기 발광 구조(190) 상에 배치될 수 있다. 제2 전극(195)은 금속, 합금, 금속 질화물 등을 포함할 수 있다. 이와 같은 제2 전극(195)이 배치됨에 따라, 제1 전극(180), 유기 발광 구조(190) 및 제2 전극(195)을 포함하는 상기 유기 발광 소자가 제공될 수 있다. 도시하지는 않았지만, 제2 전극(195) 상에는 투명 기판, 윈도우, 봉지 기판 등과 같은 추가적인 기판이 배치될 수 있다.

[0056] 종래의 투명 유기 발광 표시 장치에 있어서, 반도체 소자와 커패시터가 화소 영역에만 배치되기 때문에 상기 화소 영역의 면적의 제한으로 인하여 상기 커패시터의 용량을 증가시키기 어려운 문제가 있다. 본 발명의 예시적인 실시예들에 따르면, 유기 발광 표시 장치(100)가 화소 영역에 배치되는 메인 커패시터 및 투과 영역에 위치하는 서브 커패시터를 포함할 수 있으므로, 유기 발광 표시 장치(100)의 투과율을 감소시키지 않고 상기 화소 영역의 면적을 증가시키지 않으면서 반도체 소자들을 포함하는 구성 요소들을 위하여 전체적으로 충분한 커패시터의 용량이 제공될 수 있다.

[0057] 도 3 내지 도 9는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 3 내지 도 9에 있어서, 도 1 및 도 2를 참조하여 설명한 구성 요소들과 실질적으로 동일한 구성 요소들에 대해서는 동일한 참조 부호들을 사용한다.

[0058] 도 3을 참조하면, 기판(110) 상에 제1 버퍼층(115)과 제2 버퍼층(120)을 형성할 수 있다. 기판(110)은 영상이 표시될 수 있는 화소 영역 및 대상의 이미지가 투과될 수 있는 투과 영역을 포함할 수 있다. 예를 들면, 기판(110)은 투명 절연 물질을 사용하여 형성될 수 있다.

[0059] 제1 및 제2 버퍼층들(115, 120)은 불순물들의 확산을 방지할 수 있고, 기판(110)의 평탄도를 실질적으로 향상시킬 수 있다. 예를 들면, 제1 및 제2 버퍼층들(115, 120)은 각기 실리콘 질화물 및 실리콘 산화물을 사용하여 형성될 수 있다. 선택적으로는, 제1 및 제2 버퍼층들(115, 120)은 실리콘 산화물, 실리콘 질화물, 실리콘 탄화물 및 실리콘 산질화물 중에서 실질적으로 동일한 물질을 사용하여 형성될 수 있거나, 상이한 물질들을 사용하여

형성될 수 있다.

- [0060] 제2 버퍼층(120) 상에는 반도체 소자의 액티브 패턴(125)과 제1 커패시터의 제1 하부 전극(126)이 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 버퍼층(120) 상에 같은 실리콘을 함유하는 물질층(도시되지 않음)을 형성한 다음, 이러한 실리콘을 함유하는 물질층을 패터닝하여 상기 화소 영역에 액티브 패턴(125)을 형성할 수 있고, 상기 투과 영역에 제1 하부 전극(126)을 형성할 수 있다. 예를 들면, 상기 실리콘을 함유하는 물질층은 폴리실리콘층을 포함할 수 있다. 여기서, 제1 하부 전극(126)은 액티브 패턴(125) 보다 실질적으로 넓은 면적을 가질 수 있다. 상기 실리콘을 함유하는 물질층은 화학 기상 증착 공정, 플라즈마 증대 화학 기상 증착 공정, 저압 화학 기상 증착 공정, 고밀도 플라즈마 화학 기상 증착 공정 등을 이용하여 제2 버퍼층(120) 상에 형성될 수 있다.
- [0061] 도 4를 참조하면, 제2 버퍼층(120) 상에 액티브 패턴(125)과 제1 하부 전극(126)을 커버하는 제1 게이트 절연막(130)이 형성될 수 있다. 제1 게이트 절연막(130)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 제1 게이트 절연막(130)은 액티브 패턴(125)과 제1 하부 전극(126)의 프로파일(profile)들을 따라 제2 버퍼층(120) 상에 실질적으로 컨포멀(conformal)하게 형성될 수 있다.
- [0062] 제1 게이트 절연막(130) 상에는 제2 게이트 절연막(135)이 형성될 수 있다. 제2 게이트 절연막(135)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 제1 게이트 절연막(130)과 제2 게이트 절연막(135)은 상이한 물질들을 사용하여 형성될 수 있다. 선택적으로는, 제1 및 제2 게이트 절연막들(130, 135)은 실질적으로 동일한 물질을 사용하여 형성될 수 있다. 또한, 제2 게이트 절연막(135)은 제1 게이트 절연막(130)의 프로파일을 따라 컨포멀하게 형성될 수 있다.
- [0063] 도 5를 참조하면, 제2 게이트 절연막(135) 상에 제1 전극층(140)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 전극층(140)은 투과성을 갖는 물질을 사용하여 형성될 수 있다. 예를 들면, 제1 전극층(140)은, 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등과 같은 투명 도전성 물질을 사용하여 형성될 수 있다. 제1 전극층(140)은 기관(110)의 화소 영역 및 투과 영역 모두에 형성될 수 있다.
- [0064] 제1 전극층(140) 상에는 제2 전극층(145)이 형성될 수 있다. 예를 들면, 제2 전극층(145)은 금속, 합금, 금속 질화물 등을 사용하여 형성될 수 있다. 예를 들면, 제2 전극층(145)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 몰리브데늄, 몰리브데늄을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물 등을 사용하여 형성될 수 있다. 선택적으로는, 제2 전극층(145)은 제1 전극층(140)과 실질적으로 동일한 물질을 사용하여 형성될 수 있다.
- [0065] 도 6을 참조하면, 제2 전극층(145) 상에 식각 마스크(도시되지 않음)를 형성한 후, 상기 식각 마스크를 이용하여 제2 전극층(145)과 제1 전극층(140)을 패터닝함으로써, 제2 게이트 절연막(135) 상에 상기 제1 커패시터의 제1 상부 전극(141), 상기 반도체 소자의 게이트 구조 그리고 배선(143)을 형성할 수 있다.
- [0066] 예시적인 실시예들에 따르면, 제1 상부 전극(141)은 제1 및 제2 게이트 절연막들(130, 135)의 일부들을 개재하여 제1 하부 전극(126) 상에 형성될 수 있다. 달리 말하면, 상기 투과 영역에서 제1 하부 전극(126) 상에 위치하는 제1 및 제2 게이트 절연막들(130, 135)의 일부들은 상기 제1 커패시터의 제1 유전체 구조가 될 수 있다. 예를 들면, 제1 상부 전극(141)은 제1 하부 전극(126) 보다 실질적으로 큰 면적을 가질 수 있다. 이에 따라, 상기 투과 영역에는 제1 하부 전극(126), 상기 제1 유전체 구조 및 제1 상부 전극(141)을 포함하는 상기 제1 커패시터가 형성될 수 있다. 상기 화소 영역에 있어서, 상기 반도체 소자의 게이트 구조는 제1 게이트 전극(142)과 제2 게이트 전극(146)을 포함할 수 있다. 제1 게이트 전극(142)은 제1 및 제2 게이트 절연막들(130, 135)의 일부들을 개재하여 액티브 패턴(125) 상부에 형성될 수 있으며, 제2 게이트 전극(146)은 제1 게이트 전극(142) 상에 형성될 수 있다. 배선(143)은 상기 제1 커패시터와 상기 반도체 소자에 인접하여 형성될 수 있다. 예를 들면, 배선들(143)은 스캔 라인들을 포함할 수 있다.
- [0067] 예시적인 실시예들에 있어서, 제1 상부 전극(141), 배선(143) 그리고 제1 및 제2 게이트 전극들(142, 146)은 하프톤(halftone) 마스크 또는 하프톤 슬릿 slit 마스크를 이용하는 식각 공정을 이용하여 수득될 수 있다. 예를 들면, 제2 전극층(145) 상에 포토레지스트막(도시되지 않음)을 형성한 다음, 상기 하프톤 마스크 또는 하프톤 슬릿 마스크를 이용하여 상기 포토레지스트막을 선택적으로 노광 및 현상함으로써, 상기 식각 마스크를 수득할 수 있다. 예를 들면, 상기 투과 영역에 위치하는 식각 마스크의 제1 부분이 상기 화소 영역에 위치하는 상기 식

각 마스크의 제2 부분 보다 실질적으로 두꺼운 두께를 가질 수 있다. 제2 전극층(145) 및 제1 전극층(140)에 대해 이러한 식각 마스크를 이용하는 식각 공정을 수행할 경우, 제1 상부 전극(141), 배선(143) 그리고 제1 및 제2 게이트 전극들(142, 146)이 얻어질 수 있다. 달리 말하면, 상기 제1 커패시터의 제1 상부 전극(141), 배선(143) 및 상기 반도체 소자의 게이트 구조는 1회의 식각 공정을 통해 형성될 수 있으므로, 상기 투과 영역에 상기 제1 커패시터를 형성하기 위해 추가적인 공정이 요구되지 않을 수 있다.

[0068] 예시적인 실시예들에 따르면, 제1 상부 전극(141)을 마스크로 이용하여 제1 하부 전극(126)에 불순물들을 주입할 수 있다. 예를 들면, 제1 하부 전극(126)에는 보론(B), 갈륨(Ga), 인듐(In) 등과 같은 p형 불순물들이 주입될 수 있다. 다른 예시적인 실시예들에 있어서, 상기 게이트 구조를 마스크로 이용하여 액티브 패턴(125)의 일부들에 불순물들을 주입하여 액티브 패턴(125)에 소스 영역 및 드레인 영역을 형성하면서, 제1 하부 전극(126)에 불순물들을 주입할 수 있다.

[0069] 도 7을 참조하면, 제2 게이트 절연막(135) 상에 제1 상부 전극(146), 제2 게이트 전극(146) 및 배선(143)을 덮는 제1 층간 절연막(150)을 형성할 수 있다. 예를 들면, 제1 층간 절연막(150)은 실리콘 화합물, 금속 질화물 등을 사용하여 형성될 수 있다. 제1 층간 절연막(150)은 상기 화소 영역 및 상기 투과 영역에 형성될 수 있다.

[0070] 제1 층간 절연막(150) 상에 제2 전극층(도시되지 않음)을 형성한 후, 상기 제2 전극층을 패터닝하여 제2 게이트 전극(146) 상부에 제2 커패시터의 제2 상부 전극(155)을 형성할 수 있다. 상기 제2 전극층은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예를 들면, 상기 제2 전극층은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 몰리브데늄, 몰리브데늄을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 사용하여 형성될 수 있다.

[0071] 예시적인 실시예들에 있어서, 상기 화소 영역에 형성되는 제2 커패시터는 제2 하부 전극, 제2 유전체 구조 및 제2 상부 전극(155)을 포함할 수 있다. 상기 제2 커패시터의 제2 하부 전극은 상기 반도체 소자의 게이트 구조가 될 수 있으며, 상기 제2 유전체 구조는 상기 화소 영역에 위치하는 제1 층간 절연막(150)의 일부가 될 수 있다. 달리 말하면, 상기 제2 커패시터는 상기 반도체 소자 상부에 형성될 수 있으며, 상기 제2 커패시터와 상기 반도체 소자는 상기 게이트 구조를 공유할 수 있다.

[0072] 도 7에 예시되지는 않았지만, 상기 반도체 소자에 연결되는 제1 하부 배선에 접속되는 제2 하부 배선이 도 1을 참조하여 설명한 바와 같이 액티브 패턴(126)과 실질적으로 동일한 레벨에 형성될 수 있다. 이에 따라, 전원 전압(ELVDD)이 상기 제1 및 제2 하부 배선들을 통해 제1 하부 전극(126)에 인가될 수 있다.

[0073] 도 8을 참조하면, 제2 상부 전극(155)을 덮는 제2 층간 절연막(160)을 제1 층간 절연막(150) 상에 형성할 수 있다. 예를 들면, 제2 층간 절연막(160) 실리콘 질화물, 금속 질화물 등을 사용하여 형성될 수 있다. 제2 층간 절연막(160)은 제1 층간 절연막(150)과 실질적으로 동일한 물질 또는 상이한 물질을 사용하여 수득될 수 있다. 제2 층간 절연막(160)은 상기 화소 영역 및 상기 투과 영역 모두에 형성될 수 있다.

[0074] 제2 층간 절연막(160) 상에는 제3 층간 절연막(165) 형성될 수 있다. 예를 들면, 제3 층간 절연막(165)은 실리콘 산화물, 실리콘 질화물 등을 사용하여 형성될 수 있다. 제3 층간 절연막(165)은 제1 층간 절연막(150) 및/또는 제2 층간 절연막(160)과 실질적으로 동일한 물질 또는 상이한 물질을 사용하여 수득될 수 있다. 제3 층간 절연막(165)도 상기 화소 및 투과 영역들 모두에 형성될 수 있다.

[0075] 제3 층간 절연막(165) 상에는 제1 연결 배선(170)이 형성될 수 있다. 예시적인 실시예들에 따르면, 제3 층간 절연막(165), 제2 층간 절연막(160) 및 제1 층간 절연막(150)을 부분적으로 제거하여 상기 반도체 소자의 제2 게이트 전극(146)을 노출시키는 제1 콘택 홀 및 상기 제1 커패시터의 제1 상부 전극(141)을 노출시키는 제2 콘택 홀을 형성할 수 있다. 이러한 제1 및 제2 콘택 홀들을 채우면서 제3 층간 절연막(165) 상에 도전층(도시되지 않음)을 형성한 다음, 상기 도전층을 패터닝하여 제1 상부 전극(141)과 제2 게이트 전극(146)에 접속되는 제1 연결 배선(170)을 형성할 수 있다. 이에 따라, 상기 화소 영역의 반도체 소자와 상기 투과 영역의 제1 커패시터가 전기적으로 연결될 수 있다. 예를 들면, 상기 도전층은 투명 도전성 물질, 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 사용하여 형성될 수 있다.

[0076] 도 8에 예시되지는 않았으나, 상기 화소 영역에서 제3 층간 절연막(165) 상에는 도 1을 참조하여 설명한 바와 같이 상기 반도체 소자의 소스 전극 및 드레인 전극이 형성될 수 있다. 예를 들면, 상기 소스 및 드레인 전극들은 각기 금속, 합금, 금속 질화물 등을 사용하여 형성될 수 있다. 상기 소스 및 드레인 전극들은 각기 액티브

패턴(125)의 소스 및 드레인 영역들에 접속될 수 있다. 또한, 상기 소스 및 드레인 전극들과 동일한 레벨에 상기 제1 연결 배선이 인접하는 제2 연결 배선이 형성될 수 있다. 제2 상부 전극(155)에 접속되는 상기 제2 연결 배선은 제1 커패시터의 제1 하부 전극(126)을 노출시키는 추가 콘택 홀 내로 연장되어 상기 제2 커패시터의 제2 상부 전극(155)과 제1 하부 전극(126)을 전기적으로 연결시킬 수 있다.

[0077] 도 9를 참조하면, 제1 연결 배선(170)을 덮는 절연층(175)을 제3 층간 절연막(165) 상에 형성할 수 있다. 절연층(175)은 유기물질을 사용하여 형성될 수 있다. 예를 들면, 절연층(175)은 포토레지스트, 아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실록산계 수지 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 절연층(175)은 상기 화소 영역에만 형성될 수 있다. 예를 들면, 절연층(175)은 상기 화소 영역으로부터 상기 화소 영역과 상기 투과 영역의 경계까지 형성될 수 있다.

[0078] 상기 화소 영역에 있어서, 절연층(175) 상에는 제1 전극(180)이 형성될 수 있다. 제1 전극(180)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 사용하여 형성될 수 있다. 상기 반도체 소자의 드레인 전극을 노출시키도록 절연층(175)에 콘택 홀(도시되지 않음)을 형성한 다음, 상기 노출된 드레인 전극과 상기 콘택 홀의 측벽 및 상기 절연층(180) 상에 제1 전극(180)을 형성할 수 있다.

[0079] 절연층(175) 상에 제1 전극(180)을 덮는 화소 정의막(185)을 형성한 후, 화소 정의막(185)을 부분적으로 제거하여 제1 전극(180)의 일부를 노출시키는 개구를 형성할 수 있다. 화소 정의막(185)은 유기 물질 또는 무기 물질을 사용하여 형성될 수 있다. 예를 들면, 화소 정의막(185)은 상기 화소 영역으로부터 상기 화소 영역과 상기 투과 영역의 경계까지 형성될 수 있다.

[0080] 다시 도 9를 참조하면, 화소 정의막(185)의 개구를 통해 노출되는 제1 전극(180) 상에 유기 발광 구조(190)를 형성할 수 있다. 예를 들면, 유기 발광 구조(190)는 유기 발광층(EL), 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 전자 주입층(EIL) 등을 노출된 제1 전극(180) 상에 순차적으로 적층하여 형성될 수 있다.

[0081] 화소 정의막(185)과 유기 발광 구조(190) 상에는 제2 전극(195)이 형성될 수 있다. 제2 전극(195)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등을 사용하여 형성될 수 있다. 이러한 제2 전극(195)의 형성에 따라, 상기 화소 영역에는 제1 전극(180), 유기 발광 구조(190) 및 제2 전극을 포함하는 유기 발광 소자가 형성될 수 있다. 제2 전극(195) 상에는 투명 기관, 원도우, 봉지 기관 등과 같은 추가적인 기관이 제공될 수 있다.

[0082] 도 10은 본 발명의 다른 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 10에 있어서, 도 1 및 도 2를 참조하여 설명한 유기 발광 표시 장치(100)의 구성 요소들과 실질적으로 동일한 구성 요소들에 대한 상세한 설명들은 생략한다.

[0083] 도 10을 참조하면, 유기 발광 표시 장치(200)는 제1 및 제2 버퍼층(215, 220)이 형성된 기관(210) 상에 제공되는 반도체 소자, 제1 커패시터, 제2 커패시터, 유기 발광 소자 등을 구비할 수 있다.

[0084] 상기 반도체 소자는 유기 발광 표시 장치(200)의 화소 영역에 위치할 수 있으며, 액티브 패턴(225), 제1 게이트 절연막(230), 제2 게이트 절연막(235), 게이트 전극(243), 소스 전극(도시되지 않음), 그리고 드레인 전극(도시되지 않음)을 포함할 수 있다. 유기 발광 표시 장치(200)의 투과 영역에 있어서, 상기 제1 커패시터는 제1 하부 전극(226), 제1 유전체 구조 및 제1 상부 전극(241)을 포함할 수 있다. 예를 들면, 제1 하부 전극(226)은 불순물이 도핑된 폴리실리콘을 포함할 수 있다. 상기 제1 유전체 구조는 상기 투과 영역에 위치하는 제1 및 제2 게이트 절연막들(230, 235)의 일부들을 포함할 수 있다. 또한, 상기 화소 영역에 있어서, 상기 제2 커패시터는 제2 하부 전극, 제2 유전체 구조 및 제2 상부 전극을 포함할 수 있으며, 상기 유기 발광 소자는 제1 전극(280), 유기 발광 구조(290) 및 제2 전극(295)을 포함할 수 있다. 상기 제2 커패시터는 제2 하부 전극은 상기 반도체 소자의 게이트 전극(246)이 될 수 있고, 상기 제2 유전체 구조는 상기 화소 영역에 위치하는 제1 층간 절연막(250)의 일부를 포함할 수 있다.

[0085] 도 10에 예시한 바와 같이, 제1 하부 전극(226) 및 액티브 패턴(225) 상부에는 제1 및 제2 게이트 절연막들(230, 235)을 개재하여 제1 상부 전극(241) 및 게이트 전극(246)이 배치될 수 있다. 제1 상부 전극(241)은 투명 도전성 물질로 구성될 수 있으며, 게이트 전극(246)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등으로 이루어질 수 있다. 선택적으로는, 게이트 전극(246)도 투명 도전성 물질을 포함할 수 있다. 또한, 제2 게이트 절연막(235) 상에는 게이트 전극(246)에 인접하는 배선(243)이 배치될 수 있다. 예를 들면, 배선(243)은 게이트 전극(246)과 실질적으로 동일한 물질을 포함할 수 있다. 도 10에 예시한 유기 발광 표시 장치(200)의 반도체 소자는 하나의 게이트 전극(246)으로 이루어진 게이트 구조를 포함할 수 있기 때문에 도 2를 참조하여 설명한 유기 발광 표시 장치(100)에 비하여 상대적으로 간단한 구성을 가질 수 있다.

- [0086] 제1 층간 절연막(250)은 제1 상부 전극(241), 배선(243) 및 게이트 전극(246)을 덮을 수 있으며, 제2 게이트 절연막(235) 상에 위치할 수 있다. 제2 상부 전극(255)은 아래에 게이트 전극(246)이 배치되는 제1 층간 절연막(250)의 일부 상에 위치할 수 있다. 제1 층간 절연막(250)과 제2 상부 전극(255) 상에는 제2 층간 절연막(260) 및 제3 층간 절연막(265)이 순차적으로 배치될 수 있다.
- [0087] 제1 연결 배선(270)은 제1 내지 제3 층간 절연막들(250, 260, 265)에 제공되는 제1 콘택 홀(267)과 제2 콘택 홀(269)을 통해 게이트 전극(246) 및 제1 상부 전극(241)에 접속될 수 있다. 제1 연결 배선(270)과 제3 층간 절연막(265) 상에는 절연층(275)이 배치될 수 있다.
- [0088] 상기 화소 영역에 있어서, 절연층(275) 상에는 제1 전극(280)이 위치할 수 있고, 제1 전극(280)을 부분적으로 노출시키는 개구를 갖는 화소 정의막(285)이 절연층(275) 상에 배치될 수 있다. 노출된 제1 전극(280) 상에는 유기 발광 구조(290)가 배치될 수 있으며, 화소 정의막(285) 및 유기 발광 구조(290) 상에는 제2 전극(295)이 위치할 수 있다. 제2 전극(295) 상에는 투명 기관, 윈도우, 봉지 기관 등이 선택적으로 제공될 수 있다.
- [0089] 도 11 내지 도 15는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 11 내지 도 15에 예시하는 유기 발광 표시 장치의 제조 방법에 있어서, 도 3 내지 도 9를 참조하여 설명한 공정들에 대한 상세한 설명은 생략한다.
- [0090] 도 11을 참조하면, 기관(210) 상에 제1 및 제2 버퍼층(215, 220)을 순차적으로 형성한 다음, 제2 버퍼층(220) 상에 액티브 패턴(225)과 제1 하부 전극(226)을 형성할 수 있다. 제1 하부 전극(226)과 액티브 패턴(225)은 각기 상기 유기 발광 표시 장치의 투과 영역과 화소 영역에 형성될 수 있다.
- [0091] 액티브 패턴(225), 제1 하부 전극(226) 및 제2 버퍼층(220) 상에는 제1 게이트 절연막(230)과 제2 게이트 절연막(235)이 순차적으로 형성될 수 있다. 예를 들면, 제1 및 제2 게이트 절연막들(230)은 다른 물질들을 사용하여 형성될 수 있거나, 실질적으로 동일한 물질을 사용하여 형성될 수 있다. 선택적으로는, 제1 및 제2 게이트 절연막들(230, 235)의 하나가 제2 버퍼층(220) 상에 형성될 수 있다.
- [0092] 제2 게이트 절연막(235) 상에는 제1 전극층(240)이 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 전극층(240)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등과 같은 투과성을 갖는 물질을 사용하여 형성될 수 있다.
- [0093] 본 발명의 다른 예시적인 실시예들에 따르면, 상기 반도체 소자가 상대적으로 간단한 구조의 게이트 전극을 구비할 수 있으므로, 상기 제1 커패시터와 상기 반도체 소자를 형성하기 위한 제조 공정들이 간략화될 수 있다. 이에 따라, 상기 유기 발광 표시 장치는 상대적으로 간단한 구성을 가지면서 충분한 정전 용량을 확보할 수 있다.
- [0094] 도 12를 참조하면, 제1 전극층(240)을 패터닝하여 상기 투과 영역의 제2 게이트 절연막(235) 상에 제1 상부 전극(241)을 형성할 수 있다. 제1 상부 전극(241)은 제1 및 제2 게이트 절연막들(230, 235)을 개재하여 제1 하부 전극(226) 상부에 형성될 수 있다. 이에 따라, 상기 투과 영역에 제1 하부 전극(226), 제1 유전체 구조(즉, 상기 투과 영역의 제1 및 제2 게이트 절연막들(230, 235)의 일부들) 및 제1 상부 전극(241)을 구비하는 제1 커패시터가 형성될 수 있다.
- [0095] 제1 상부 전극(241)과 제2 게이트 절연막(235) 상에 제2 전극층(245)을 형성할 수 있다. 예를 들면, 제2 전극층(245)은 금속, 합금, 금속 질화물 등을 사용하여 형성될 수 있다. 선택적으로는, 제2 전극층(245)은 제1 전극층(240)과 실질적으로 동일한 물질을 사용하여 형성될 수 있다.
- [0096] 도 13을 참조하면, 제2 전극층(245)을 패터닝하여 상기 화소 영역에 게이트 전극(246)과 배선(243)을 형성할 수 있다. 게이트 전극(246)은 제1 및 제2 게이트 절연막들(230, 235)을 개재하여 액티브 패턴 전극(225) 상부에 형성될 수 있다. 배선(243)은 제1 상부 전극(241) 및 게이트 전극(246)에 인접하여 제2 게이트 절연막(235) 상에 형성될 수 있다. 달리 말하면, 제1 상부 전극(241)과 게이트 전극(246)이 하프톤 마스크나 하프톤 슬릿 마스크를 사용하지 않고 상대적으로 간단한 식각 공정을 통해 수득될 수 있다.
- [0097] 제1 상부 전극(246), 배선(243), 게이트 전극(246) 및 제2 게이트 절연막(235) 상에는 제1 층간 절연막(250)이 형성될 수 있다. 예를 들면, 제1 층간 절연막(250)은 실리콘 화합물을 사용하여 형성될 수 있다. 제1 층간 절연막(250)은 제1 상부 전극(246), 배선(243) 및 게이트 전극(246)의 프로파일들을 따라 컨포멀하게 형성될 수 있다.
- [0098] 제1 층간 절연막(250) 상에 도전층(도시되지 않음)을 형성한 후, 상기 도전층을 패터닝하여 게이트 전극(246)

상부에 제2 상부 전극(255)을 형성할 수 있다. 즉, 제2 상부 전극(255)은 제1 층간 절연막(250)을 개재하여 게이트 전극(246) 상에 형성될 수 있다. 예를 들면, 상기 도전층은 금속, 합금, 금속 질화물 등을 사용하여 형성될 수 있다. 이에 따라, 상기 화소 영역에 제2 하부 전극(즉, 게이트 전극(246)), 제2 유전체 구조(즉, 상기 화소 영역의 제1 층간 절연막(250)의 일부) 및 제2 상부 전극(255)을 포함하는 제2 커패시터가 제공될 수 있다.

[0099] 도 14를 참조하면, 제2 상부 전극(255) 및 제1 층간 절연막(250) 상에는 제2 층간 절연막(260)과 제3 층간 절연막(265)은 순차적으로 형성될 수 있다. 선택적으로는, 제2 층간 절연막(260) 및 제3 층간 절연막(265)의 하나만이 제2 상부 전극(255)을 커버하면서 제1 층간 절연막(250) 상에 형성될 수 있다. 예를 들면, 제2 층간 절연막(260)과 제3 층간 절연막(265)은 다른 물질들을 사용하여 형성될 수 있거나, 실질적으로 동일한 물질을 사용하여 형성될 수 있다.

[0100] 도 14에 예시하지는 않았으나, 제3 층간 절연막(265) 상에는 반도체 소자의 소스 및 드레인 전극들이 형성될 수 있다. 이러한 소스 및 드레인 전극들은 제1 내지 제3 층간 절연막들(250, 260, 265)과 제1 및 제2 게이트 절연막들(230, 235)을 지나 액티브 패턴(225)의 소스 및 드레인 영역들에 각기 접속될 수 있다.

[0101] 제3 층간 절연막(265) 상에는 제1 연결 배선(270)이 형성될 수 있다. 제1 연결 배선(270)은 제1 내지 제3 층간 절연막들(250, 260, 265)에 형성되는 제1 및 제2 콘택 홀들(267, 269)을 통해 게이트 전극(246)과 제1 상부 전극(141)에 접속될 수 있다. 이러한 제1 연결 배선(270)을 통해 상기 반도체 소자와 상기 제1 커패시터가 전기적으로 연결될 수 있다. 도시하지는 않았으나, 제1 연결 배선(270)에 인접하는 제2 연결 배선이 제3 층간 절연막(265) 상에 형성될 수 있다. 상기 제2 연결 배선은 추가적인 콘택 홀들을 통해 제2 상부 전극(255)과 제1 하부 전극(226)에 접속될 수 있으며, 이에 따라 상기 제2 커패시터와 상기 제1 커패시터가 전기적으로 연결될 수 있다.

[0102] 도 15를 참조하면, 제1 연결 배선(270)과 제3 층간 절연막(265) 상에 절연층(275)이 형성될 수 있고, 절연층(275) 상에는 제1 전극(280)이 형성될 수 있다. 절연층(275)은 실질적으로 평탄한 상면을 가지도록 형성될 수 있다. 제1 전극(280)과 절연층(275) 상에는 화소 정의막(285)이 형성될 수 있으며, 화소 정의막(285)을 부분적으로 식각하여 제1 전극(280)의 일부를 노출시키는 개구를 형성할 수 있다.

[0103] 노출된 제1 전극(280) 상에는 유기 발광 구조(290)가 형성될 수 있고, 화소 정의막(285)과 유기 발광 구조(290) 상에는 제2 전극(295)이 형성될 수 있다. 이에 따라, 상기 화소 영역에 제1 전극(280), 유기 발광 구조(290) 및 제2 전극(295)을 포함하는 유기 발광 소자가 형성될 수 있다. 제2 전극(295) 상에는 투명 기판, 봉지 기판 또는 윈도우가 추가적으로 형성될 수 있다.

[0104] 도 16은 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 평면도이다. 도 17은 도 16의 유기 발광 표시 장치를 B-B'라인을 따라 절단한 단면도이다. 도 16 및 도 17에 예시한 유기 발광 표시 장치(300)에 있어서, 도 1 및 도 2를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일한 구성 요소들에 대한 상세한 설명은 생략한다.

[0105] 도 16 및 도 17을 참조하면, 유기 발광 표시 장치(300)는, 화소 영역 및 투과 영역을 구비하는 기판(310), 반도체 소자, 커패시터, 유기 발광 소자 등을 포함할 수 있다.

[0106] 상기 반도체 소자와 상기 유기 발광 소자는 기판(310)의 화소 영역에 배치될 수 있고, 상기 커패시터는 상기 투과 영역에 배치될 수 있다. 즉, 도 16 및 도 17에 예시한 유기 발광 표시 장치(300)는 상기 화소 영역에는 별도의 커패시터가 배치되지 않고 상기 투과 영역에 위치하는 커패시터를 포함할 수 있다. 이에 따라, 유기 발광 표시 장치(300)는 상대적으로 간단한 구성을 가지면서 상기 반도체 소자와 상기 유기 발광 소자를 포함하는 구성요소들을 위하여 상기 커패시터의 용량을 효과적으로 확보할 수 있다.

[0107] 상기 반도체 소자는 액티브 패턴(325), 제1 게이트 절연막(330), 제2 게이트 절연막(335), 제1 및 제2 게이트 전극들(342, 346)을 포함하는 게이트 구조, 소스 전극(S), 그리고 드레인 전극(D)을 구비할 수 있다. 상기 반도체 소자에 전기적으로 연결되는 상기 유기 발광 소자는 제1 전극(375), 유기 발광 구조(385) 및 제2 전극(390)을 포함할 수 있다. 또한, 상기 반도체 소자에 전기적으로 연결되는 상기 커패시터는 하부 전극(326), 상기 투과 영역의 제1 및 제2 게이트 절연막들(330, 335)의 일부들을 포함하는 유전체 구조, 그리고 상부 전극(341)을 구비할 수 있다.

[0108] 기판(310) 상에는 제1 및 제2 버퍼층들(315, 320)이 순차적으로 배치될 수 있고, 상기 반도체 소자와 상기 커패시터는 제2 버퍼층(320) 상에 배치될 수 있다. 액티브 패턴(325)과 하부 전극(326)은 각기 상기 화소 영역 및 상기 투과 영역의 제2 버퍼층(320) 상에 위치할 수 있다. 제1 및 제2 게이트 절연막들(330, 335)은 액티브 패턴

(325), 하부 전극(326) 및 제2 버퍼층(320) 상에 순차적으로 배치될 수 있다. 도 16에 예시한 바와 같이, 상기 반도체 소자에 연결되는 제1 하부 배선(329)에 콘택을 통해 접속되는 제2 하부 배선(327)이 액티브 패턴(325)과 실질적으로 동일한 레벨 상에 배치될 수 있다. 이에 따라, 제1 하부 배선(329)에 인가되는 전원 전압(ELVDD)이 제2 하부 배선(327)을 통해 액티브 패턴(325)과 하부 전극(326)에 전달될 수 있다.

[0109] 제2 절연막(330) 상에는 상부 전극 패턴(341), 배선(343) 및 제1 게이트 전극(342)이 배치될 수 있고, 제1 게이트 전극(342) 상에는 제2 게이트 전극(346)이 배열될 수 있다. 달리 말하면, 상기 투과 영역에 하부 전극(326), 상기 유전체 구조(즉, 제1 및 제2 게이트 절연막들(330, 335)의 일부들) 및 상부 전극(341)을 구비하는 상기 커패시터가 제공될 수 있다. 예를 들면, 하부 전극(326)은 불순물이 도핑된 폴리실리콘을 포함할 수 있으며, 상부 전극(341)은 투명 도전성 물질을 포함할 수 있다.

[0110] 제1 층간 절연막(350)은 상부 전극 패턴(341), 배선(343) 및 제1 게이트 전극(342)을 커버하면서 제2 게이트 절연막(330) 상에 배치될 수 있다. 제1 층간 절연막(350) 상에는 제2 및 제3 층간 절연막들(355, 360)이 순차적으로 배치될 수 있다. 선택적으로는, 제1 내지 제3 층간 절연막들(350, 355, 360)의 하나 또는 둘은 나머지 하나의 구성 물질과 치수에 따라 생략될 수 있다. 제1 내지 제3 층간 절연막들(350, 355, 360)에는 제2 게이트 전극(346)과 상부 전극(341)을 각기 노출시키는 제1 콘택 홀(362)과 제2 콘택 홀(364)이 제공될 수 있다.

[0111] 연결 배선(365)은 제3 층간 절연막(360) 상에 배치될 수 있으며, 제1 및 제2 콘택 홀들(363, 364)을 통해 제2 게이트 전극(346)과 상부 전극(341)에 접속될 수 있다. 이에 따라, 상기 반도체 소자와 상기 커패시터가 전기적으로 연결될 수 있다. 제3 층간 절연막(360) 상에는 연결 배선(365)을 덮는 절연층(370)이 배치될 수 있고, 상기 화소 영역의 절연층(370) 상에는 제1 전극(375)이 제공될 수 있다.

[0112] 제1 전극(375)과 절연층(370) 상에는 제1 전극(375)의 일부를 노출시키는 개구를 갖는 화소 정의막(380)이 위치할 수 있다. 유기 발광 구조(385)는 화소 정의막(380)의 개구에 의해 노출되는 제1 전극(375) 상에 배치될 수 있다. 화소 정의막(380)과 유기 발광 구조(385) 상에 제2 전극(390)이 배치될 수 있고, 이에 따라 상기 화소 영역에 상기 유기 발광 소자가 제공될 수 있다.

[0113] 상술한 바와 같이, 유기 발광 표시 장치(300)가 투과 영역에 배치되는 커패시터를 구비할 수 있으므로, 그 투과율을 실질적으로 감소시키지 않으면서, 유기 발광 표시 장치(300)의 구성 요소들을 위해 상기 커패시터의 충분한 용량을 효과적으로 확보할 수 있다.

[0114] 도 18 내지 도 21은 도 19의 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0115] 도 18을 참조하면, 제1 및 제2 버퍼층들(315, 320)을 기판(310) 상에 순차적으로 형성한 후, 제2 버퍼층(320) 상에 액티브 패턴(325)과 하부 전극(326)을 형성할 수 있다. 액티브 패턴(325)과 하부 전극(326)은 각기 화소 영역과 투과 영역에 형성될 수 있다. 이 경우, 하부 전극(326)은 폴리실리콘을 사용하여 형성될 수 있고, 후속하여 p+형 불순물들이 주입될 수 있다.

[0116] 제2 버퍼층(320) 상에 액티브 패턴(325) 및 하부 전극(326)을 덮는 제1 게이트 절연막(330)을 형성할 수 있다. 제1 게이트 절연막(330) 상에는 제2 게이트 절연막(335)이 형성될 수 있다. 선택적으로는, 제1 게이트 절연막(330) 및 제2 게이트 절연막(335)의 하나만이 제2 버퍼층(320) 상에 형성될 수 있다.

[0117] 제2 게이트 절연막(335) 상에 제1 전극층(340) 및 제2 전극층(345)을 순차적으로 형성할 수 있다. 예를 들면, 제1 전극층(340)은 투명 도전성 물질을 사용하여 형성될 수 있고, 제2 전극층(345)은 금속, 합금, 금속 질화물 등을 사용하여 형성될 수 있다.

[0118] 도 19를 참조하면, 하프톤 마스크 또는 하프톤 슬릿 마스크를 이용하는 식각 공정을 통해 제2 전극층(345)과 제1 전극층(340)을 패터닝함으로써, 제2 게이트 절연막(335) 상에 상부 전극(341), 제1 게이트 전극(342), 제2 게이트 전극(346) 및 배선(343)을 동시에 형성할 수 있다.

[0119] 제2 게이트 절연막(335) 상에 상부 전극(341), 제2 게이트 전극(346) 및 배선(343)을 덮는 제1 층간 절연막(350)을 형성할 수 있다. 제1 층간 절연막(350) 상에는 제2 층간 절연막(355)과 제3 층간 절연막(360)이 차례로 적층될 수 있다. 그러나, 제2 게이트 절연막(335) 상에는 제1 내지 제3 층간 절연막들(350, 355, 360) 중에서도 하나 또는 둘만이 형성될 수 있다.

[0120] 제1 내지 제3 층간 절연막들(350, 355, 360)을 부분적으로 식각하여 제2 게이트 전극(346)의 일부를 노출시키는 제1 콘택 홀(362)과 상부 전극(341)의 일부를 노출시키는 제2 콘택 홀(364)을 형성할 수 있다. 연결 배선(365)은 제3 층간 절연막(360) 상에 형성될 수 있고, 제1 및 제2 콘택 홀들(363, 364) 내로 연장되어 제2 게이트 전

극(346)과 상부 전극(341)에 접속될 수 있다. 또한, 도시하지는 않았으나, 제3 층간 절연막(360) 상에는 소스 전극 및 드레인 전극이 형성될 수 있다. 소스 전극과 드레인 전극은 제3 내지 제1 층간 절연막들(360, 355, 350) 및 제2 및 제1 게이트 절연막들(335, 330)을 통해 액티브 패턴(325)의 소스 영역과 드레인 영역에 각기 접속될 수 있다.

[0121] 도 21을 참조하면, 연결 배선(365)을 덮는 절연층(370)을 제3 층간 절연막(360) 상에 형성할 수 있다. 절연층(370) 상에는 제1 전극(375)이 형성될 수 있고, 절연층(370)과 제1 전극(375) 상에 화소 정의막(380)을 형성한 다음, 화소 정의막(380)을 부분적으로 제거하여 제1 전극(375)의 일부를 노출시키는 개구를 형성할 수 있다.

[0122] 유기 발광 구조(385)는 노출된 제1 전극(375) 상에 형성될 수 있으며, 유기 발광 구조(385)와 화소 정의막(380) 상에는 제2 전극(390)이 형성될 수 있다. 또한, 제2 전극(390) 상에 투명 절연 기판, 원도우 등과 같은 추가적인 기판이 형성될 수 있다.

[0123] 도 22는 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 22에 예시한 유기 발광 표시 장치(400)에 있어서, 도 1 및 도 2를 참조하여 설명한 유기 발광 표시 장치(100)의 구성 요소들과 실질적으로 동일한 구성 요소들에 대한 상세한 설명은 생략한다. 도 22에 예시한 유기 발광 표시 장치(400)는 반도체 소자를 제외하면, 도 17을 참조하여 설명한 유기 발광 표시 장치(300)와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.

[0124] 도 22를 참조하면, 유기 발광 표시 장치(400)는 기판(410) 상에 제공되는 반도체 소자, 커패시터, 유기 발광 소자 등을 구비할 수 있고, 상기 반도체 소자와 상기 유기 발광 소자는 화소 영역에 위치할 수 있으며, 상기 커패시터는 투과 영역에 배치될 수 있다. 이에 따라, 유기 발광 표시 장치(400)가 보다 간단한 구성을 가지면서도 투과율에 영향을 미치지 않으면서 상기 커패시터의 용량을 효과적으로 확보할 수 있다.

[0125] 상기 반도체 소자는 액티브 패턴(425), 제1 게이트 절연막(430), 제2 게이트 절연막(435), 게이트 전극(446), 소스 전극(도시되지 않음) 및 드레인 전극(도시되지 않음)을 포함할 수 있다. 즉, 상기 반도체 소자는 하나의 게이트 전극(446)으로 이루어진 게이트 구조를 구비할 수 있다. 상기 유기 발광 소자는 제1 전극(475), 유기 발광 구조(485) 및 제2 전극(490)을 포함할 수 있다. 상기 커패시터는 하부 전극(426), 유전체 구조 및 상부 전극(441)을 포함할 수 있다. 이 경우, 상기 유전체 구조는 상기 화소 영역에 배치되는 제1 및 제2 게이트 절연막들(430, 435)의 일부를 포함할 수 있다.

[0126] 상기 반도체 소자와 상기 커패시터는 제1 및 제2 버퍼층들(415, 420)을 포함할 수 있는 기판(410) 상에 배열될 수 있다. 제1 내지 제3 층간 절연막들(450, 455, 460)은 상부 전극(441), 배선(443) 및 게이트 전극(446)을 커버하며, 제2 게이트 절연막(435) 상에 순차적으로 배치될 수 있다. 제1 내지 제3 층간 절연막들(450, 455, 460)에는 게이트 전극(446) 및 상부 전극(441)을 각기 노출시키는 제1 콘택 홀(462) 및 제2 콘택 홀(464)이 제공될 수 있다. 연결 배선(465)은 제3 층간 절연막(460)의 상면으로부터 제1 및 제2 콘택 홀들(462, 464) 내로 연장되어 게이트 전극(446) 및 상부 전극(441)에 접속될 수 있다.

[0127] 상기 화소 영역에 있어서, 제3 층간 절연막(460) 상에 연결 배선(465)을 덮는 절연층(470)이 배치될 수 있고, 절연층(470) 상에는 상기 반도체 소자의 드레인 영역에 접속될 수 있는 제1 전극(475)이 위치할 수 있다. 제1 전극(475)을 부분적으로 노출시키는 개구를 갖는 화소 정의막(480)이 절연층(470) 상에 배치될 수 있으며, 노출된 제1 전극(475) 상에는 유기 발광 구조(485)가 위치할 수 있다. 제2 전극(490)은 화소 정의막(480)과 유기 발광 구조(485) 상에 배치될 수 있다.

[0128] 도 23 내지 도 26은 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0129] 도 23을 참조하면, 기판(410) 상에 제1 버퍼층(415)과 제2 버퍼층(420)을 순차적으로 형성한 다음, 제2 버퍼층(420) 상에 액티브 패턴(425) 및 하부 전극(426)을 형성할 수 있다. 액티브 패턴(425)과 하부 전극(426)은 각기 화소 영역과 투과 영역에 형성될 수 있다. 액티브 패턴(425) 및 하부 전극(426)을 덮으면서 제2 버퍼층(420) 상에 제1 게이트 절연막(430) 및 제2 게이트 절연막(435)을 차례로 형성할 수 있다.

[0130] 제2 게이트 절연막(435) 상에는 제1 전극층(440)이 형성될 수 있다. 예를 들면, 제1 전극층(440)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등과 같은 투과성을 가지는 물질을 사용하여 형성될 수 있다.

[0131] 도 24를 참조하면, 제1 전극층(440)을 패터닝하여 상기 투과 영역의 제2 게이트 절연막(435) 상에 상부 전극

(441)을 형성할 수 있다. 따라서, 상기 투과 영역에는 하부 전극(426), 유전체 구조(즉, 상기 투과 영역의 제1 및 제2 게이트 절연막들(430, 435)의 일부들) 및 상부 전극(441)을 포함하는 커패시터가 형성될 수 있다.

[0132] 상부 전극(441)을 덮으면서 제2 게이트 절연막(435) 상에 제2 전극층(도시되지 않음)을 형성한 후, 상기 제2 전극층을 패터닝하여 상기 화소 영역의 제2 게이트 절연막(435) 상에 게이트 전극(446)과 배선(443)을 형성할 수 있다.

[0133] 도 25를 참조하면, 제2 게이트 절연막(435) 상에 상부 전극(441), 배선(443) 및 게이트 전극(446)을 덮는 제1 층간 절연막(450)을 형성할 수 있다. 제1 층간 절연막(450) 상에는 제2 층간 절연막(455) 및 제3 층간 절연막(460)이 차례로 적층될 수 있다. 그러나, 제1 내지 제3 층간 절연막들(450, 455, 460) 중에서 하나 또는 둘만이 제2 게이트 절연막(435) 상에 형성될 수도 있다. 또한, 도시하지는 않았으나, 제3 층간 절연막(465) 상에는 반도체 소자의 소스 전극과 드레인 전극이 형성될 수 있다.

[0134] 제3 내지 제1 층간 절연막들(460, 455, 450)을 부분적으로 식각하여 게이트 전극(446)을 노출시키는 제1 콘택 홀(462)과 상부 전극(441)을 노출시키는 제2 콘택 홀(464)을 형성할 수 있다. 연결 배선 패턴(465)은 제3 층간 절연막(460), 제1 콘택 홀(462)의 측벽, 노출된 게이트 전극(446), 제2 콘택 홀(464)의 측벽, 그리고 노출된 상부 전극(441) 상에 형성될 수 있다. 이러한 연결 배선 패턴(465)은 상기 반도체 소자와 상기 커패시터를 전기적으로 연결시킬 수 있다.

[0135] 절연층(470)은 연결 배선 패턴(465)을 덮으며 제3 층간 절연막(460) 상에 형성될 수 있다. 절연층(470) 상에 제1 전극(475)을 형성할 수 있으며, 제1 전극(475)과 절연층(470) 상에 화소 정의막(480)을 형성할 수 있다. 화소 정의막(480)의 일부를 제거하여 제1 전극(475)을 부분적으로 노출시키는 개구를 형성한 후, 노출된 제1 전극(475) 상에 유기 발광 구조(485)를 형성할 수 있다. 화소 정의막(480)과 유기 발광 구조(485) 상에는 제2 전극(490)이 형성될 수 있다. 추가적으로는, 제2 전극(490) 상에 투명 기판(도시되지 않음)이 형성될 수 있다.

[0136] 상술한 바에 있어서는, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치들 및 유기 발광 표시 장치의 제조 방법들에 대해 첨부된 도면들을 참조하여 설명하였지만, 전술한 실시예들은 예시적인 것이며, 다음 특허청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의해 다양하게 수정, 변형 및 변경될 수 있을 것이다.

산업상 이용가능성

[0137] 본 발명은 투명 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전시용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수 많은 디스플레이 기기들에 적용 가능하다.

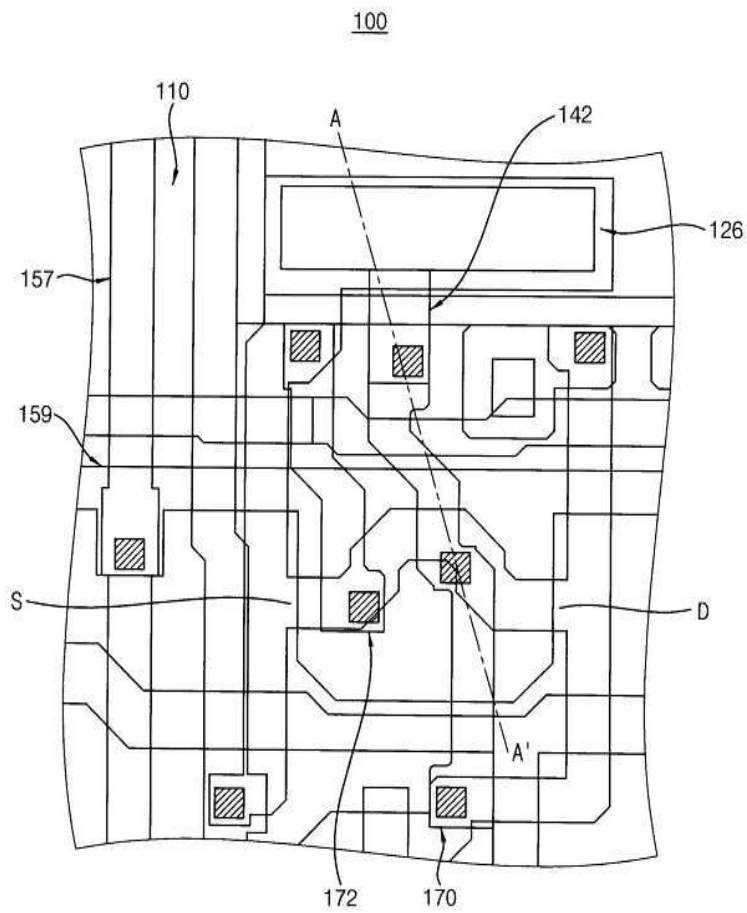
부호의 설명

[0138] 100, 200, 300, 400: 유기 발광 표시 장치
110, 210, 310, 410: 기판
115, 215, 315, 415: 제1 버퍼층
120, 220, 320, 430: 제2 버퍼층
125, 225, 325, 425: 액티브 패턴
126, 226, 326, 426: 제1 하부 전극
130, 230, 330, 430: 제1 게이트 절연막
135, 235, 335, 435: 제2 게이트 절연막
140, 240, 340, 440: 제1 전극층
141, 241, 341, 441: 제1 상부 전극
142, 342: 제1 게이트 전극
143, 243, 343, 443: 배선

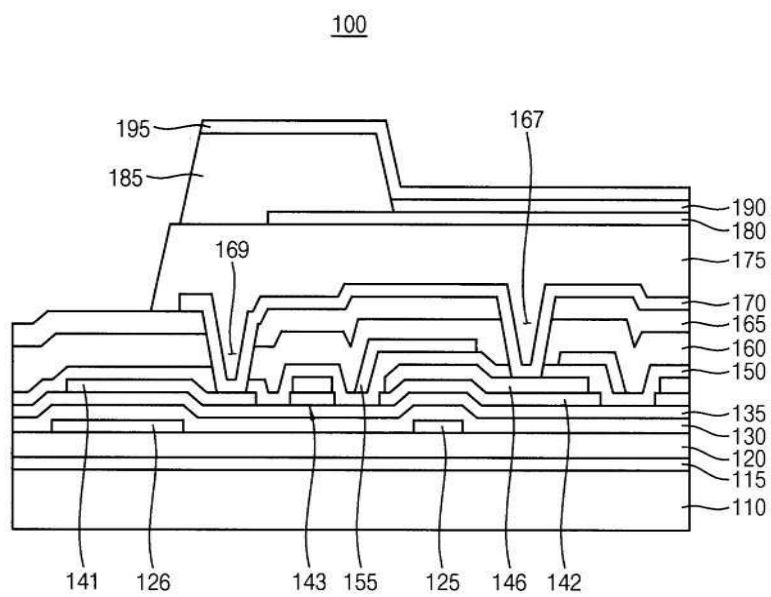
145, 245, 345: 제2 전극층
146, 346: 제2 게이트 전극
150, 250, 350, 450: 제1 층간 절연막
155, 255: 제2 상부 전극
157, 329: 제1 하부 배선
159, 327: 제2 하부 배선
160, 260, 355, 455: 제2 층간 절연막
165, 265, 360, 460: 제3 층간 절연막
167, 267, 362, 462: 제1 콘택 홀
169, 269, 364, 464: 제2 콘택 홀
170, 270: 제1 연결 배선
172: 제2 연결 배선
175, 275, 370, 470: 절연층
180, 280, 375, 475: 제1 전극
185, 285, 380, 480: 화소 정의막
190, 290, 385, 485: 유기 발광 구조
195, 295, 390, 490: 제2 전극
246, 446: 게이트 전극
365, 465: 연결 배선

도면

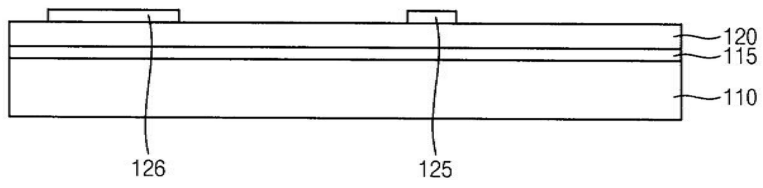
도면1



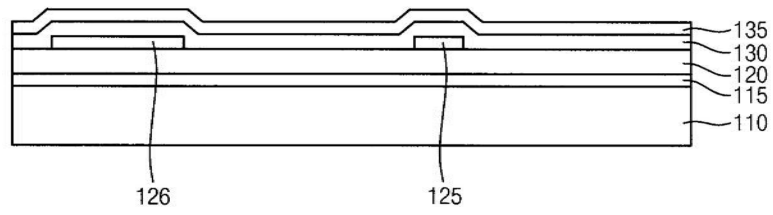
도면2



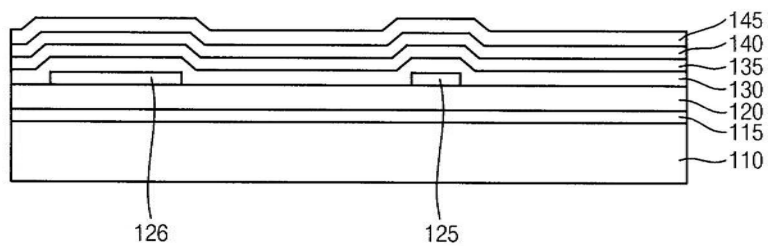
도면3



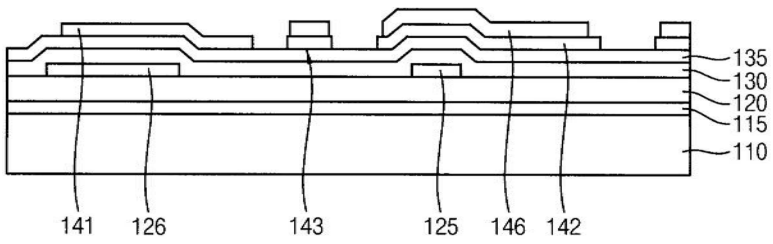
도면4



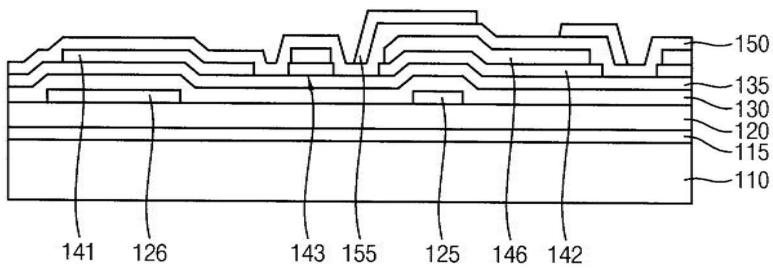
도면5



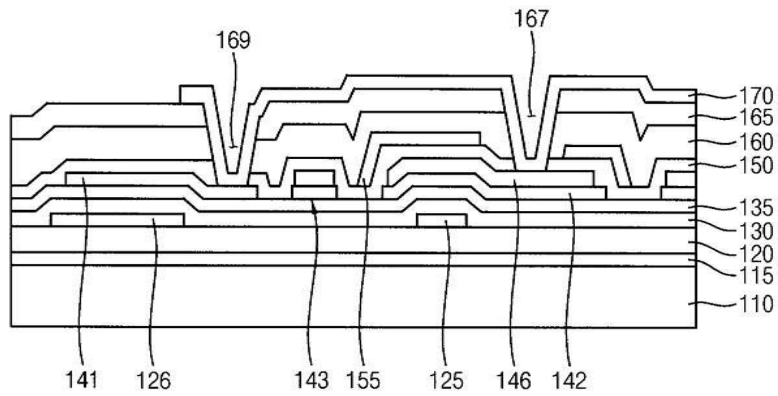
도면6



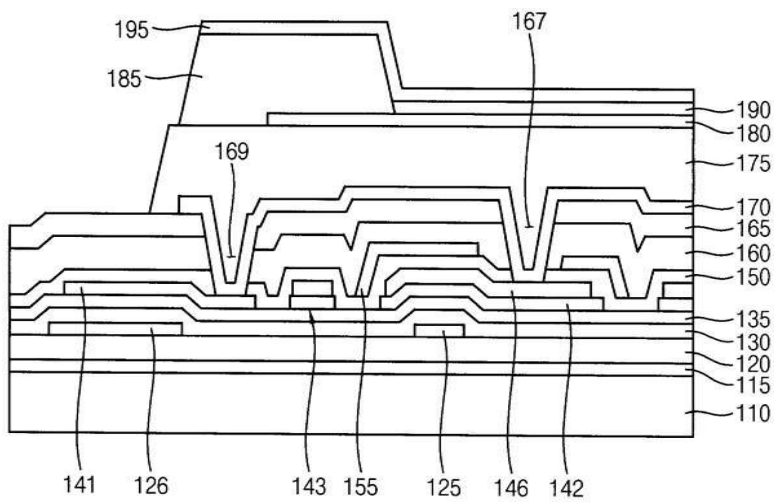
도면7



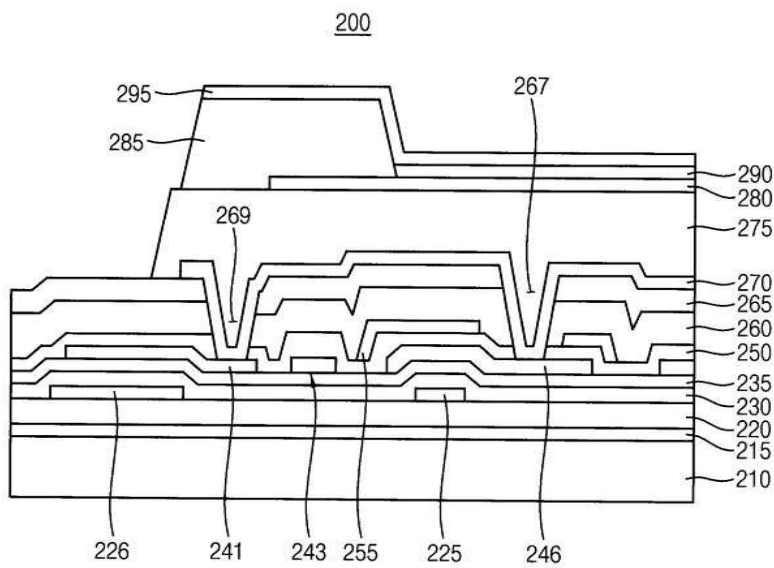
도면8



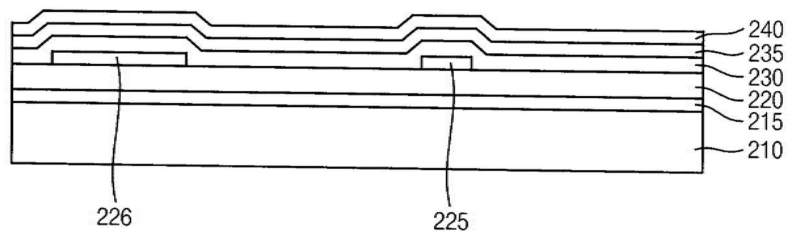
도면9



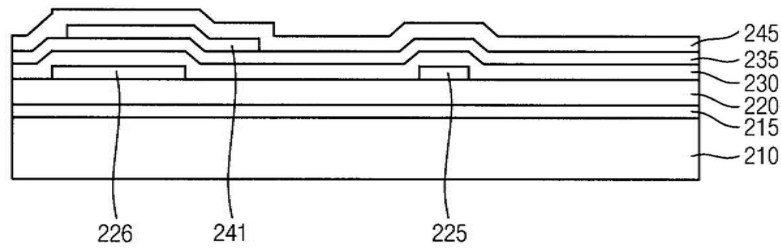
도면10



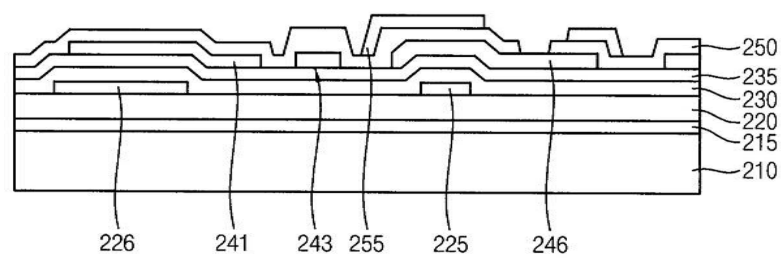
도면11



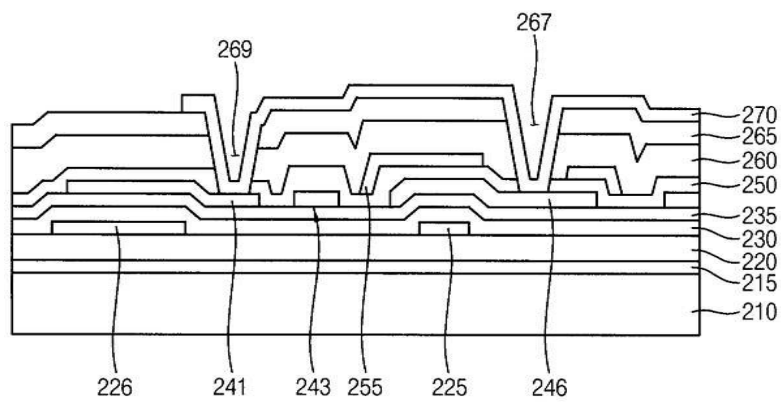
도면12



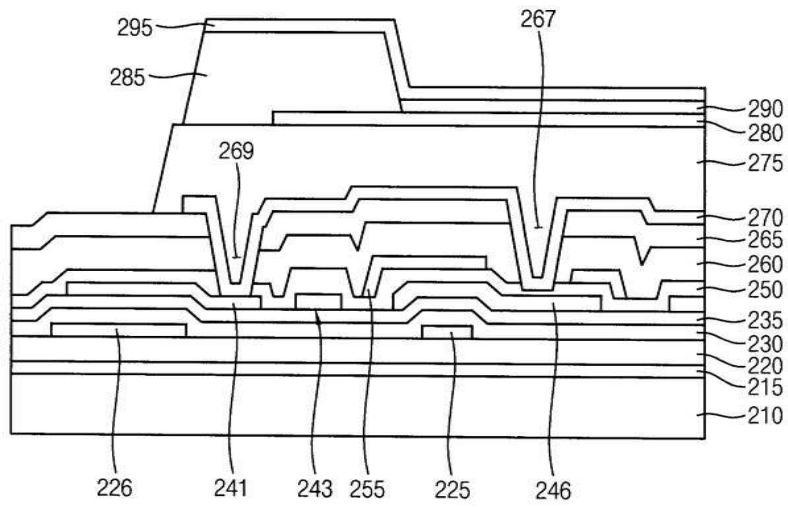
도면13



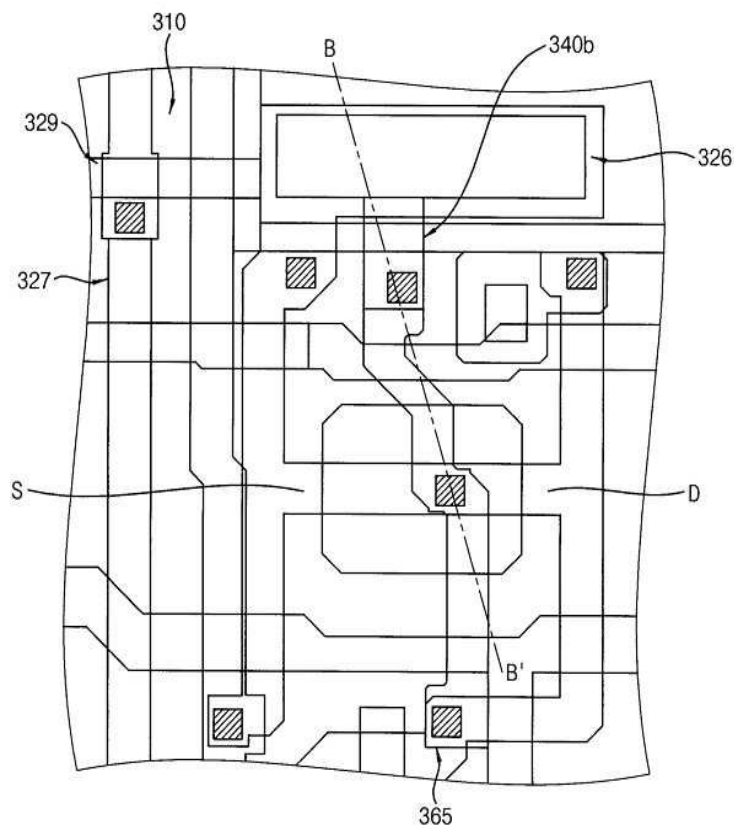
도면14



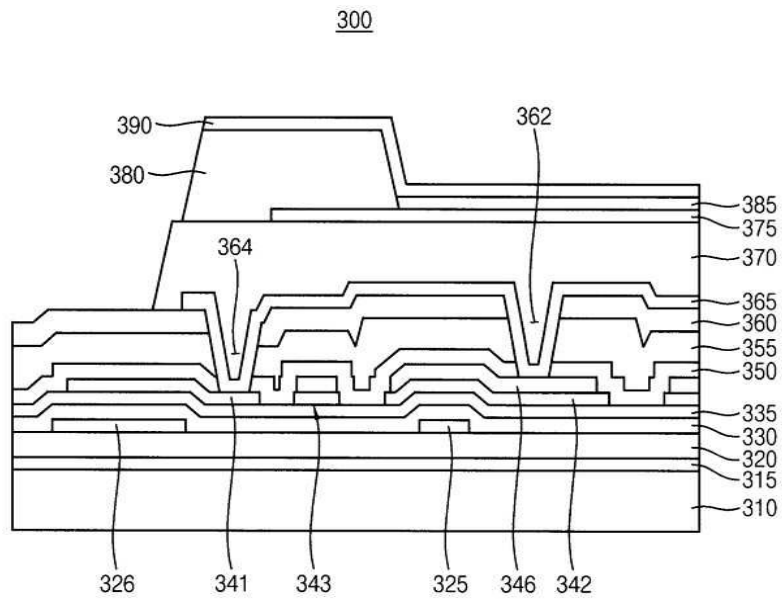
도면15



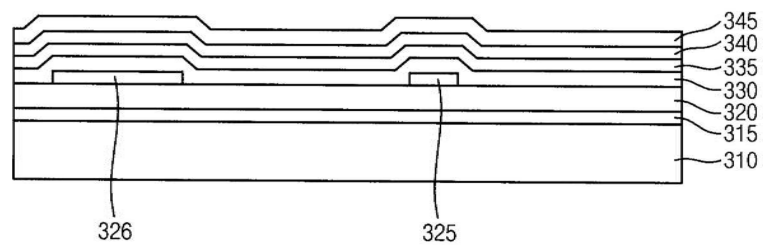
도면16



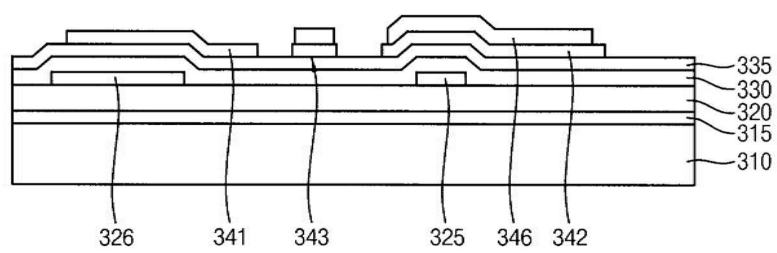
도면17



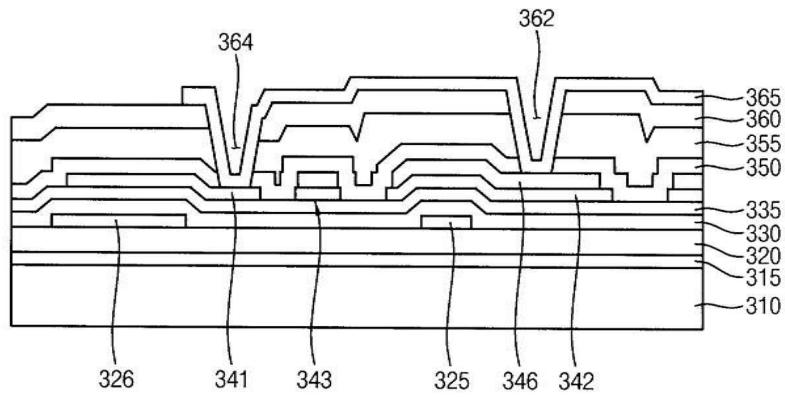
도면18



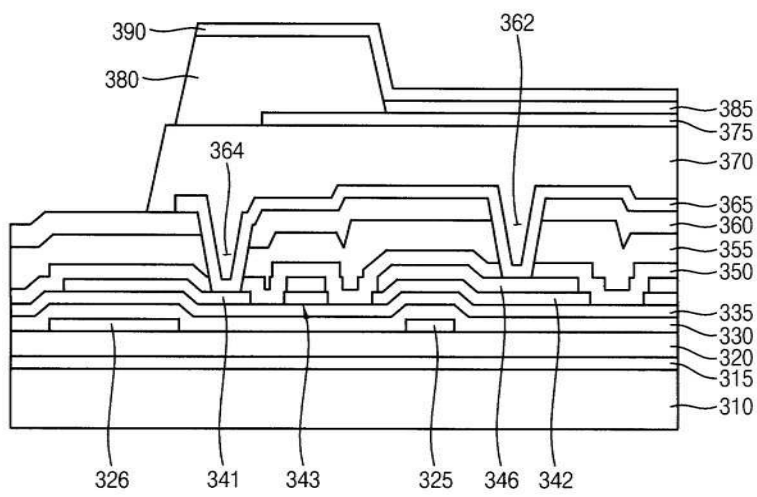
도면19



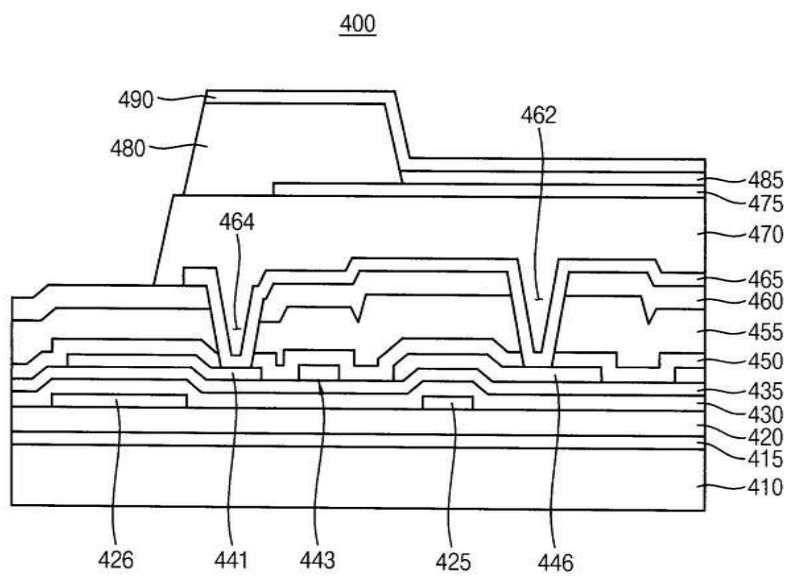
도면20



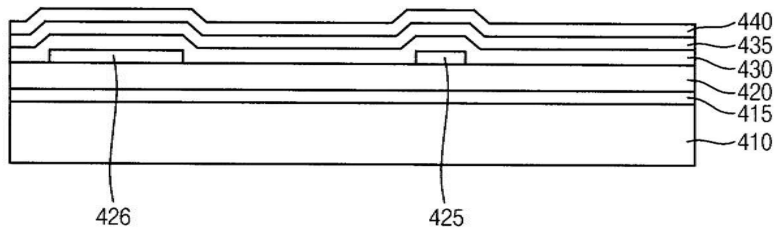
도면21



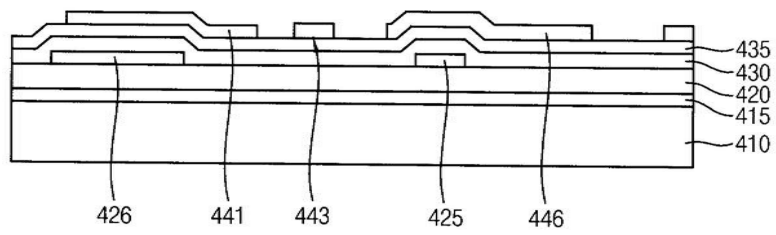
도면22



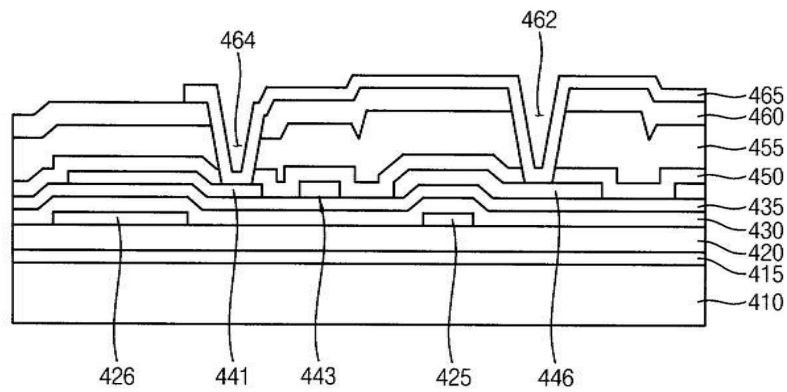
도면23



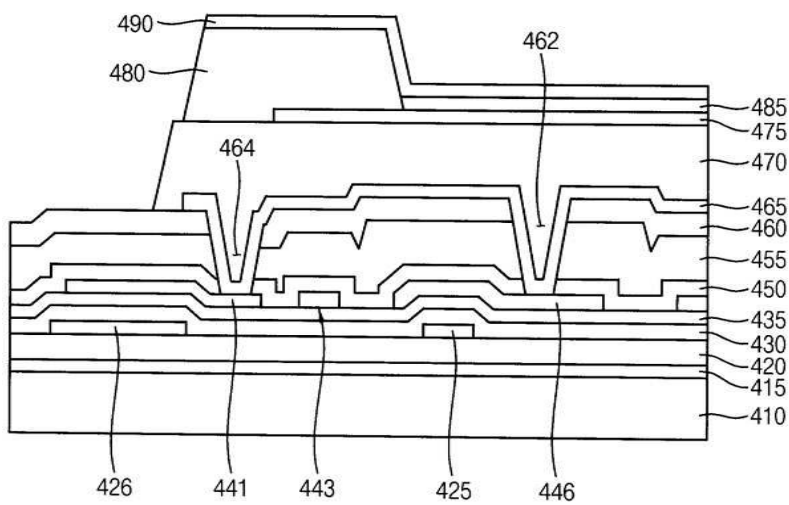
도면24



도면25



도면26



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020160017371A	公开(公告)日	2016-02-16
申请号	KR1020140100590	申请日	2014-08-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK GYUNG SOON 박경순 KIM KEUM NAM 김금남 JEONG MIN JAE 정민재		
发明人	박경순 김금남 정민재		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3265 H01L27/1255 H01L29/78645		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置。有机发光显示装置包括：具有像素区域和透射区域的基板；第一电容器，设置在基板上的透射区域中；半导体器件，设置在基板上的像素区域中；第二电容器，设置在半导体器件的上部；有机发光元件设置在第二电容器的上部。有机发光显示装置可以包括主电容器和子电容器，其可以分别设置在像素区域和透射区域中，从而为部件提供足够的电容器容量而不降低透射率并增加像素区域的面积。

COPYRIGHT KIPO 2016

