



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(11) 공개번호 10-2015-0061995

(43) 공개일자 2015년06월05일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) *H01L 51/52* (2006.01)

(21) 출원번호 10-2013-0146450

(22) 출원일자 2013년11월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

박수란

경기도 용인시 기흥구 삼성2로 95(농서동)

(74) 대리인

리앤목특허법인

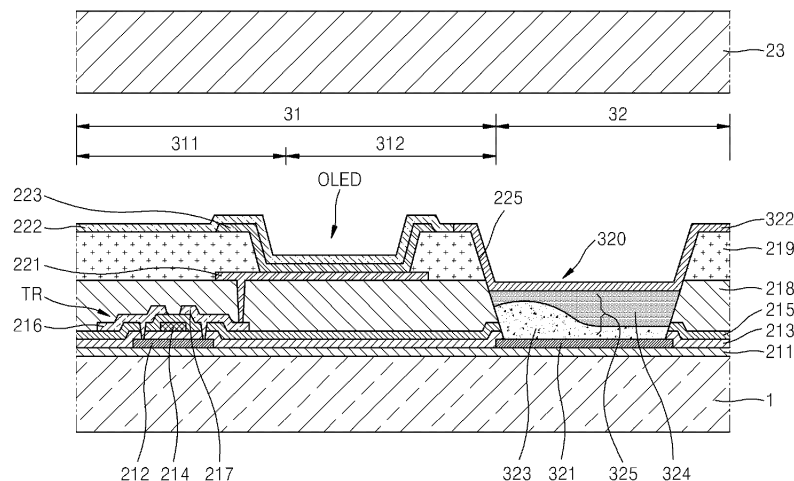
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 광투과도 제어가 가능한 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예는 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀; 상기 각 픽셀의 상기 제1영역에 서로 독립되도록 배치되는 복수의 제1전극; 상기 제1전극 상에 구비되며 유기 발광층을 포함하는 유기막; 상기 유기막을 덮으며 상기 복수의 픽셀에 걸쳐 연결되도록 구비되는 제2전극; 상기 각 픽셀의 상기 제2영역에 서로 독립되도록 배치되는 복수의 제3전극; 상기 제3전극 상에 구비되며 광 차단 기능을 가지고 전기장에 따라 광 차단 면적을 조절하는 용매; 및 상기 용매를 덮으며 상기 복수의 픽셀에 걸쳐 연결되도록 구비되는 제4전극; 을 포함하는, 광투과도 제어가 가능한 표시 장치를 개시한다.

대표도



명세서

청구범위

청구항 1

발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀;
상기 각 픽셀의 상기 제1영역에 서로 독립되도록 배치되는 복수의 제1전극;
상기 제1전극 상에 구비되며 유기 발광층을 포함하는 유기막;
상기 유기막을 덮으며 상기 복수의 픽셀에 걸쳐 연결되도록 구비되는 제2전극;
상기 각 픽셀의 상기 제2영역에 서로 독립되도록 배치되는 복수의 제3전극;
상기 제3전극 상에 구비되며 광 차단 기능을 가지고 전기장에 따라 광 차단 면적을 조절하는 용매; 및
상기 용매를 덮으며 상기 복수의 픽셀에 걸쳐 연결되도록 구비되는 제4전극;
을 포함하는, 광투과도 제어가 가능한 표시 장치.

청구항 2

제1항에 있어서,
상기 각 픽셀의 제1영역에 배치되는 복수의 박막 트랜지스터; 및
상기 복수의 박막 트랜지스터를 덮는 절연막; 을 더 포함하며,
상기 제2영역에 대응되는 위치의 상기 적어도 하나의 절연막에 투과창이 구비되고, 상기 용매는 상기 투과창 내에 배치되는, 광투과도 제어가 가능한 표시 장치.

청구항 3

제1항에 있어서,
상기 제1전극은 광 반사 전극으로 구비되고 상기 제3전극은 광 투과 전극으로 구비되는, 광투과도 제어가 가능한 표시 장치.

청구항 4

제1항 또는 제3항에 있어서,
상기 제1영역은 박막 트랜지스터가 배치되는 회로 영역 및 상기 제1전극이 배치되는 발광 영역을 포함하며,
상기 각 픽셀의 상기 회로 영역과 상기 발광 영역은 서로 중첩하게 배치되는, 광투과도 제어가 가능한 표시 장치.

청구항 5

제3항에 있어서,
상기 제4전극은 상기 제2전극과 일체(一體)로 구비되는, 광투과도 제어가 가능한 표시 장치.

청구항 6

제1항에 있어서,
상기 제1전극은 광 투과 전극으로 구비되고 상기 제3전극은 광 투과 전극으로 구비되는, 광투과도 제어가 가능한 표시 장치.

청구항 7

제1항 또는 제6항에 있어서,

상기 제1영역은 박막 트랜지스터가 배치되는 회로 영역 및 상기 제1전극이 배치되는 발광 영역을 포함하며,

상기 각 픽셀의 상기 회로 영역과 상기 발광 영역은 서로 인접하게 배치되는, 광투과도 제어가 가능한 표시 장치.

청구항 8

제6항에 있어서,

상기 제4전극은 상기 제2전극과 별도로 구비되는, 광투과도 제어가 가능한 표시 장치.

청구항 9

제1항에 있어서,

상기 제3전극은 상기 각 픽셀 별로 독립되게 구비되는, 광투과도 제어가 가능한 표시 장치.

청구항 10

제1항에 있어서,

상기 제3전극은 서로 인접한 적어도 두 개의 픽셀들에 대해 연결되도록 구비되는, 광투과도 제어가 가능한 표시 장치.

청구항 11

제1항에 있어서,

상기 제1전극 및 제2전극에 의해 전기장이 형성될 때, 상기 제3전극 및 제4전극에 의해서는 전기장이 형성되지 않고,

상기 제1전극 및 제2전극에 의해 전기장이 형성되지 않을 때, 상기 제3전극 및 제4전극에 의해서는 전기장이 형성되는, 광투과도 제어가 가능한 표시 장치.

청구항 12

제11항에 있어서,

상기 제3전극 및 제4전극에 의해서는 전기장이 형성되지 않을 때 상기 용매는 광차단 면적이 최대가 되고,

상기 제3전극 및 제4전극에 의해서는 전기장이 형성될 때 상기 용매는 광 차단 면적이 최소가 되는, 광투과도 제어가 가능한 표시 장치.

청구항 13

제1항에 있어서,

상기 용매는 블랙 오일인, 광투과도 제어가 가능한 표시 장치.

청구항 14

제1항에 있어서,

상기 블랙 오일이 접촉하는 제3전극의 일면 및 제4전극의 일면에는 소수성 처리가 된, 광투과도 제어가 가능한 표시 장치.

발명의 설명

기술 분야

본 발명의 실시예들은 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 광투과도 제어가 가능한 유기 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 유기 발광 표시 장치는 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 특성이 우수하기 때문에 MP3 플레이어나 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다. 이러한 유기 발광 표시 장치는 자(自)발광 특성을 가지며, 액정 표시 장치와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 장치 내부의 박막 트랜지스터나 유기 발광 소자가 배치된 영역과 별개로 투과영역(또는 투과창)을 형성해 줌으로써, 외광이 투과하는 투명 표시 장치로 형성할 수 있다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 실시예들은 외광(外光)의 투과도를 제어하는 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

- [0004] 본 발명의 일 실시예는 발광되는 제1영역과 외광이 투과되는 제2영역을 갖는 복수의 픽셀; 상기 각 픽셀의 상기 제1영역에 서로 독립되도록 배치되는 복수의 제1전극; 상기 제1전극 상에 구비되며 유기 발광층을 포함하는 유기막; 상기 유기막을 덮으며 상기 복수의 픽셀에 걸쳐 연결되도록 구비되는 제2전극; 상기 각 픽셀의 상기 제2영역에 서로 독립되도록 배치되는 복수의 제3전극; 상기 제3전극 상에 구비되며 광 차단 기능을 가지고 전기장에 따라 광 차단 면적을 조절하는 용매; 및 상기 용매를 덮으며 상기 복수의 픽셀에 걸쳐 연결되도록 구비되는 제4전극; 을 포함하는, 광투과도 제어가 가능한 표시 장치를 개시한다.
- [0005] 본 실시예에 있어서, 상기 각 픽셀의 제1영역에 배치되는 복수의 박막 트랜지스터; 및 상기 복수의 박막 트랜지스터를 덮는 절연막; 을 더 포함하며, 상기 제2영역에 대응되는 위치의 상기 적어도 하나의 절연막에 투과창이 구비되고, 상기 용매는 상기 투과창 내에 배치될 수 있다.
- [0006] 본 실시예에 있어서, 상기 제1전극은 광 반사 전극으로 구비되고 상기 제3전극은 광 투과 전극으로 구비될 수 있다.
- [0007] 본 실시예에 있어서, 상기 제1영역은 박막 트랜지스터가 배치되는 회로 영역 및 상기 제1전극이 배치되는 발광 영역을 포함하며, 상기 각 픽셀의 상기 회로 영역과 상기 발광 영역은 서로 중첩하게 배치될 수 있다.
- [0008] 본 실시예에 있어서, 상기 제4전극은 상기 제2전극과 일체(一體)로 구비될 수 있다.
- [0009] 본 실시예에 있어서, 상기 제1전극은 광 투과 전극으로 구비되고 상기 제3전극은 광 투과 전극으로 구비될 수 있다.
- [0010] 본 실시예에 있어서, 상기 제1영역은 박막 트랜지스터가 배치되는 회로 영역 및 상기 제1전극이 배치되는 발광 영역을 포함하며, 상기 각 픽셀의 상기 회로 영역과 상기 발광 영역은 서로 인접하게 배치될 수 있다.
- [0011] 본 실시예에 있어서, 상기 제4전극은 상기 제2전극과 별도로 구비될 수 있다.
- [0012] 본 실시예에 있어서, 상기 제3전극은 상기 각 픽셀 별로 독립되게 구비될 수 있다.
- [0013] 본 실시예에 있어서, 상기 제3전극은 서로 인접한 적어도 두 개의 픽셀들에 대해 연결되도록 구비될 수 있다.
- [0014] 본 실시예에 있어서, 상기 제1전극 및 제2전극에 의해 전기장이 형성될 때, 상기 제3전극 및 제4전극에 의해서는 전기장이 형성되지 않고, 상기 제1전극 및 제2전극에 의해 전기장이 형성되지 않을 때, 상기 제3전극 및 제4전극에 의해서는 전기장이 형성될 수 있다.
- [0015] 본 실시예에 있어서, 상기 제3전극 및 제4전극에 의해서는 전기장이 형성되지 않을 때 상기 용매는 광차단 면적이 최대가 되고, 상기 제3전극 및 제4전극에 의해서는 전기장이 형성될 때 상기 용매는 광 차단 면적이 최소가 될 수 있다.
- [0016] 상기 용매는 블랙 오일일 수 있다.
- [0017] 상기 블랙 오일이 접촉하는 제3전극의 일면 및 제4전극의 일면에는 소수성처리가 될 수 있다.
- [0018] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질

것이다.

발명의 효과

[0019] 본 발명의 실시예들에 관한 유기 발광 표시 장치는 외광의 투과도를 제어할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시장치의 개략적인 단면도,
 도 2 및 도 3은 본 발명의 바람직한 다른 일 실시예에 따른 유기 발광 표시장치의 개략적인 단면도,
 도 4은 도 1 내지 도 3 중 하나의 일 실시예를 보다 상세히 도시한 단면도,
 도 5는 도 1 내지 도 3 중 하나의 다른 일 실시예를 보다 상세히 도시한 단면도,
 도 6은 도 4 또는 도 5의 유기 발광부의 바람직한 일 실시예의 개략적인 평면도,
 도 7은 도 4 또는 도 5의 유기 발광부의 바람직한 다른 일 실시예의 개략적인 평면도,
 도 8은 도 4 또는 도 5의 유기 발광부의 일 픽셀을 도시한 단면도,
 도 9 및 도 10은 유기 발광부의 동작을 도시한 단면도,
 도 11는 도 4 또는 도 5의 유기 발광부의 바람직한 다른 일 실시예의 개략적인 평면도,
 도 12은 도 11의 픽셀 회로부의 일 예를 포함한 유기 발광부를 도시한 개략도,
 도 13은 도 12의 유기 발광부의 일 예를 보다 구체적으로 도시한 평면도,
 도 14은 도 13의 A-A의 일 예에 따른 단면도,
 도 15은 도 4 또는 도 5의 유기 발광부의 바람직한 다른 일 실시예의 개략적인 평면도.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0022] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0023] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치의 개략적인 단면도이다.

[0024] 도 1을 참조하면, 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는 기판(1) 상에 디스플레이부(2)가 구비된다. 이러한 유기 발광 표시 장치에서 외광은 기판(1) 및 디스플레이부(2)를 투과하여 입사된다. 그리고 디스플레이부(2)는 후술하는 바와 같이 외광이 투과 가능하도록 구비된 것으로, 도 1에서 볼 때, 화상이 구현되는 측에 위치한 사용자가 기판(1) 상부 외측의 이미지를 관찰 가능하도록 구비된다. 도 1에 도시된 실시예에서 디스플레이부(2)의 화상이 기판(1)의 방향으로 구현되는 배면발광형으로 개시되었지만, 본 발명이 반드시 이에 한정되는 것은 아니다.

[0025] 도 2 및 도 3은 본 발명의 다른 실시예에 관한 표시 장치의 개략적인 단면도이다.

[0026] 도 2에서 볼 수 있듯이 디스플레이부(2)의 화상이 기판(1)의 반대 방향으로 구현되는 전면 발광형에도 동일하게 적용 가능함은 물론이다. 이 경우, 사용자는 기판(1) 상부에서 디스플레이부(2)의 화상을 보거나, 하부 외측의 이미지를 관찰할 수 있을 것이다. 또한 도 3에 도시된 바와 같이 디스플레이부(2)의 화상이 기판(1)의 방향 및 기판(1)의 반대 방향으로 구현되는 양면 발광형에도 동일하게 적용 가능하다.

[0027] 도 1 내지 도 3에서는 본 발명의 표시 장치의 서로 인접한 두 개의 픽셀들인 제1픽셀(P1)과 제2픽셀(P2)을 도시하였다.

[0028] 각 픽셀들(P1)(P2)은 제1영역(31)과 제2영역(32)을 구비하고 있다. 제1영역(31)을 통해서는 디스플레이부(2)로

부터 화상이 구현되고, 제2영역(32)을 통해서도 외광이 투과된다. 즉, 본 발명은 각 픽셀들(P1)(P2)이 모두 화상을 구현하는 제1영역(31)과 외광이 투과되는 제2영역(32)이 구비되어 있어 사용자가 디스플레이부(2)로부터 구현되는 화상을 보지 않을 때에는 외부 이미지를 볼 수 있게 된다.

[0029] 이 때, 제2영역(32)에는 박막 트랜지스터, 커패시터, 유기 발광 소자 등의 소자들을 형성하지 않음으로써 이 제2영역(32)에서의 외광 투과도를 극대화해 결과적으로 디스플레이부(2) 전체의 외광 투과도를 높일 수 있고, 투과 이미지가 박막 트랜지스터, 커패시터, 유기 발광 소자 등의 소자들에 의해 간섭을 받아 왜곡이 일어나는 것을 최대한 줄일 수 있다.

[0030] 도 4는 도 1 내지 도 3 중 하나의 일 실시예를 보다 상세히 도시한 단면도이다. 도 4를 참조하면, 디스플레이부(2)는 기판(1)의 제1면(11)에 형성된 유기 발광부(21)와 이 유기 발광부(21)를 밀봉하는 밀봉기관(23)을 포함한다.

[0031] 밀봉기관(23)은 투명한 부재로 형성되어 유기 발광부(21)로부터의 화상이 구현될 수 있도록 하고, 유기 발광부(21)로 외기 및 수분이 침투하는 것을 차단한다. 기판(1)과 밀봉기관(23)은 그 가장자리가 밀봉재(24)에 의해 결합되어 기판(1)과 밀봉기관(23)의 사이 공간(25)이 밀봉된다. 공간(25)에는 흡습제나 충전재 등이 위치할 수 있다.

[0032] 도 5는 도 1 내지 도 3 중 하나의 다른 실시예를 보다 상세히 도시한 단면도이다.

[0033] 밀봉기관(23) 대신에 도 5에서 볼 수 있듯이 박막의 밀봉필름(26)을 유기 발광부(21) 상에 형성함으로써 유기 발광부(21)를 외기로부터 보호할 수 있다. 밀봉필름(26)은 실리콘옥사이드 또는 실리콘나이트라이드와 같은 무기물로 이루어진 막과 에폭시, 폴리이미드와 같은 유기물로 이루어진 막이 교대로 성막된 구조를 취할 수 있는데, 반드시 이에 한정되는 것은 아니며, 투명한 박막 상의 밀봉구조이면 어떠한 것이든 적용 가능하다. 도시하지는 않았지만, 유기 발광부(21)에 대한 밀봉 구조로서 도 5의 밀봉필름(26)을 형성한 위에 다시 도 4의 밀봉기관(23)을 더 구비할 수도 있다.

[0034] 다음으로, 본 발명의 유기 발광부(21)의 보다 구체적인 실시예들을 설명한다.

[0035] 도 6은 도 4 또는 도 5의 유기 발광부의 일 실시예에 관한 개략적인 평면도이다. 도 6은 유기 발광부(21)의 일 실시예에서 서로 인접한 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)을 도시한 평면도이다.

[0036] 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)은 제1영역(31)에 회로 영역(311)과 발광 영역(312)을 각각 구비한다. 이들 회로 영역(311)과 발광 영역(312)은 서로 중첩하여 배치된다. 그리고 제1영역(31)에 인접하게는 외광을 투과하는 제2영역(32)이 배치된다.

[0037] 제2영역(32)은 도 6에서 볼 수 있듯이 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있다. 하지만, 도 7에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb)에 걸쳐 서로 연결되게 구비될 수도 있다. 도 7에 따른 실시예의 경우, 외광이 투과되는 제2영역(32)의 면적이 넓어지는 효과가 있기 때문에 디스플레이부(2) 전체의 투과도를 높일 수 있다.

[0038] 도 7에서는 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)의 제2영역(32)이 모두 연결된 것으로 도시하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb) 중 서로 인접한 어느 두 픽셀들의 제2영역들만 서로 연결되도록 구비될 수도 있다.

[0039] 본 발명의 일 실시예에 의하면, 제2영역(32)에는 투과도 조절 소자(320)가 구비된다. 투과도 조절 소자(320)는 소정의 모드에 따라 제2영역(32)이 외광의 투과를 가능하게 할 수도 있고 제2영역(32)이 외광을 투과하는 것을 차단하게 할 수 있는 소자를 지칭한다. 도 6과 같이 제2영역(32)이 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비되는 경우, 투과도 조절 소자(320)도 제2영역(32)과 같이 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수 있다. 한편, 도 7과 같이 제2영역(32)이 각 픽셀들(Pr)(Pg)(Pb)에 걸쳐 서로 연결되게 구비되는 경우, 투과도 조절 소자(320)도 제2영역(32)과 같이 각 픽셀들(Pr)(Pg)(Pb)에 걸쳐 서로 연결되게 구비될 수 있다.

[0040] 도 8은 도 6 또는 도 7에 도시된 픽셀들(Pr)(Pg)(Pb) 중 어느 한 픽셀의 단면을 도시한 것이다.

[0041] 도 8에서 볼 수 있듯이, 회로 영역(311)에는 박막 트랜지스터(TR)가 배치되는 데, 도면에 도시된 바와 같이 반드시 하나의 박막 트랜지스터(TR)가 배치되는 것에 한정되지 않으며, 이 박막 트랜지스터(TR)를 포함한 픽셀 회로부(PC)가 구비될 수 있다. 이 픽셀 회로부(PC)에는 박막 트랜지스터(TR) 외에도 다수의 박막 트랜지스터 및 스토리지 커패시터가 더 포함될 수 있으며, 이들과 연결된 스캔 라인, 데이터 라인 및 Vdd 라인 등의 배선들이

더 구비될 수 있다.

- [0042] 발광 영역(312)에는 발광 소자인 유기 발광 소자(OLED)가 배치된다. 이 유기 발광 소자(OLED)는 픽셀 회로부(PC)의 박막 트랜지스터(TR)와 전기적으로 연결되어 있다.
- [0043] 기판(1) 상에는 버퍼막(211)이 형성되고, 이 버퍼막(211) 상에 박막 트랜지스터(TR)를 포함한 픽셀 회로부(PC)가 형성된다.
- [0044] 먼저, 버퍼막(211) 상에는 반도체 활성층(212)이 형성된다.
- [0045] 버퍼막(211)은 투명한 절연물로 형성되는 데, 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 일례로, 버퍼막(211)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 알루미늄옥사이드, 알루미늄나이트라이드, 티타늄옥사이드 또는 티타늄나이트라이드 등의 무기물이나, 폴리이미드, 폴리에스테르, 아크릴 등의 유기물 또는 이들의 적층체로 형성될 수 있다. 버퍼막(211)은 필수 구성요소는 아니며, 필요에 따라서는 구비되지 않을 수도 있다.
- [0046] 반도체 활성층(212)은 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 $G-I-Z-O$ 층[(In₂O₃)a(Ga₂O₃)b(ZnO)c층](a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)일 수 있다. 이렇게 반도체 활성층(212)을 산화물 반도체로 형성할 경우에는 제1영역(31)의 회로 영역(311)에서의 광투과도가 더욱 높아질 수 있게 되고, 이에 따라 디스플레이부(2) 전체의 외광 투과도를 상승시킬 수 있다.
- [0047] 반도체 활성층(212)을 덮도록 투명한 절연물로 게이트 절연막(213)이 버퍼막(211) 상에 형성되고, 게이트 절연막(213) 상에 게이트 전극(214)이 형성된다.
- [0048] 게이트 전극(214)을 덮도록 게이트 절연막(213) 상에 투명한 절연물로 층간 절연막(215)이 형성되고, 이 층간 절연막(215) 상에 소스 전극(216)과 드레인 전극(217)이 형성되어 각각 반도체 활성층(212)과 콘택 홀을 통해 콘택된다.
- [0049] 상기와 같은 박막 트랜지스터(TR)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터의 구조가 적용 가능함은 물론이다.
- [0050] 이러한 박막 트랜지스터(TR)를 포함하는 픽셀 회로부(PC)를 덮도록 패시베이션막(218)이 형성된다. 패시베이션막(218)은 상면이 평탄화된 단일 또는 복수층의 절연막이 될 수 있다. 이 패시베이션막(218)은 투명한 무기 절연물 및/또는 유기 절연물로 형성될 수 있다. 패시베이션막(218)은 모든 픽셀들에 걸쳐 연결되도록 형성될 수 있다.
- [0051] 패시베이션막(218) 상에는 도 8에서 볼 수 있듯이, 박막 트랜지스터(TR)와 전기적으로 연결된 유기 발광 소자(OLED)의 제1전극(221)이 형성된다. 제1전극(221)은 모든 픽셀들 별로 분리 및 독립된 아일랜드 형태로 형성된다.
- [0052] 패시베이션막(218) 상에는 유기 및/또는 무기 절연물로 구비된 화소 정의막(219)이 형성된다.
- [0053] 화소 정의막(219)은, 제1전극(221)의 가장자리를 덮고 중앙부는 노출시킨다. 이 화소 정의막(219)은 제1영역(31)을 덮도록 구비될 수 있는 데, 반드시 제1영역(31) 전체를 덮도록 구비되는 것은 아니며, 적어도 일부, 특히, 제1전극(221)의 가장자리를 덮도록 하면 충분하다.
- [0054] 제1전극(221) 상에는 유기막(223)과 제2전극(222)이 순차로 적층된다. 제2전극(222)은 유기막(223)과 절연막(219)을 덮으며, 모든 픽셀들에 걸쳐 서로 전기적으로 연결되어 있다.
- [0055] 유기막(223)은 저분자 또는 고분자 유기막이 사용될 수 있다. 저분자 유기막을 사용할 경우, 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기막은 진공증착의 방법으로 형성될 수 있다. 이 때, 홀 주입층, 홀 수송층, 전자 수송층, 및 전자 주입층 등은 공통층으로서, 적, 녹, 청색의 픽셀에 공통으로 적용될 수 있다.

- [0056] 제1전극(221)은 애노우드 전극의 기능을 하고, 제2전극(222)은 캐소우드 전극의 기능을 할 수 있는 데, 물론, 이들 제1전극(221)과 제2전극(222)의 극성은 서로 반대로 되어도 무방하다.
- [0057] 본 발명의 일 실시예에 따르면, 제1전극(221)은 투명전극이 될 수 있고, 제2전극(222)은 반사 전극이 될 수 있다. 제1전극(221)은 일함수가 높은 IT0, IZO, ZnO, 또는 In_2O_3 등을 포함하여 구비될 수 있다. 그리고 제2전극(222)은 일함수가 작은 금속, 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca 등으로 두껍게 형성될 수 있다. 따라서, 유기 발광 소자(OLED)는 제1전극(221)의 방향으로 화상을 구현하는 배면 발광형(bottom emission type)이 된다.
- [0058] 그러나 본 발명은 반드시 이에 한정되는 것은 아니며, 제2전극(222)도 투명 전극으로 구비될 수도 있다.
- [0059] 패시베이션막(218), 게이트 절연막(213), 층간 절연막(215) 및 화소 정의막(219)은 전술한 바와 같이 외광에 대한 투과도를 높이기 위해 투명한 절연막으로 형성하는 것이 바람직하다.
- [0060] 제2전극(222) 상부에는 밀봉 기관(23)이 배치될 수 있다. 이 밀봉 기관(23)은 디스플레이부(2) 외곽에서 도 4에서 볼 수 있듯이 별도의 밀봉재(24)에 의해 기관(1)과 접합되어 디스플레이부(2)를 외기에 대해 밀봉하도록 할 수 있다. 밀봉 기관(23)과 제2전극(222) 사이 공간에는 별도의 충전재(미도시)가 충전될 수 있고, 흡습제도 개재될 수 있다. 디스플레이부(2)에 대한 밀봉 구조는 반드시 도 8에 도시된 밀봉 기관(23)을 사용하는 것에 한정되는 것은 아니며, 도 5에서 설명한 밀봉 필름 구조도 적용 가능하다.
- [0061] 한편, 본 실시예에 있어서 화소 정의막(219), 패시베이션막(218), 층간 절연막(215), 게이트 절연막(213) 및 버퍼막(211) 중 적어도 하나에는 각각 투과창(225)이 구비된다. 투과창(225)은 이러한 절연막들 중에서 제2영역(32)에 대응되는 위치의 부분을 제거하여 형성할 수 있으며 둘 이상의 투과창(225)은 서로 중첩되도록 형성될 수 있다.
- [0062] 투과창(225)은 아일랜드 패턴으로 형성될 수 있는 데, 도 6에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있고, 도 7에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb)에 걸쳐 서로 연결되게 구비될 수도 있다. 도 7에서는 투과창(225)이 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)에 걸쳐 모두 연결된 것으로 도시하였으나, 본 발명은 반드시 이에 한정되는 것은 아니며, 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb) 중 서로 인접한 어느 두 픽셀들에 걸쳐서만 서로 연결되도록 구비될 수도 있다.
- [0063] 본 발명의 실시예에 의하면, 도 6 및 도 7에 도시된 바와 같이 제2영역(32)에 투과도 조절 소자(320)가 구비된다. 투과도 조절 소자(320)는 서로 대향하는 제3전극(321), 제4전극(322) 및 그 사이 공간에 개재되는 용매들을 포함할 수 있다.
- [0064] 제3전극(321)은 제2영역(32)에 구비된다. 도 8을 참조하면, 제3전극(321)은 버퍼층(211) 상에 구비될 수 있으며, 게이트 절연막(213), 층간 절연막(215), 패시베이션막(218) 및 화소 정의막(219)은 제3전극(321)의 가장자리를 덮고 중앙부는 노출시키도록 투과창(225)이 구비된다. 그러나 본 발명은 반드시 이에 한정된 것은 아니며, 투과창(225)이 패시베이션막(218) 및 화소 정의막(219)에만 구비된 경우 제3전극(321)은 층간 절연막(215) 상에 구비될 수 있으며, 투과창(225)이 화소 정의막(219)에만 구비된 경우 제3전극(321)은 패시베이션막(218) 상에 구비될 수 있으며, 투과창(225)이 형성되는 위치에 따라 제3전극(321)이 구비되는 위치는 다양하게 변경될 수 있다.
- [0065] 제3전극(321)은 투명 전극으로 구비된다. 예를 들어 제3전극(321)은 IT0, IZO, ZnO, 또는 In_2O_3 등과 같은 투명 도전성 산화물로 이루어질 수 있다. 투과도 조절 소자(320)는 되도록 넓은 범위에 걸쳐 외광의 투과도를 조절해야 하므로, 광 투과도가 높아야 한다. 따라서, 제3전극(321)은 광 투과도가 높은 투명한 물질로 형성되어야 한다.
- [0066] 제3전극(321)은 모든 픽셀들 별로 분리 및 독립된 아일랜드 형태로 형성될 수 있으며, 이에 한정되지 않고 각 픽셀들에 걸쳐 연결되어 형성될 수도 있다. 제3전극(321)이 각 픽셀들에 걸쳐 연결되도록 형성되는 경우, 예를 들어 제3전극(321)은 한 행에 위치하는 픽셀들의 제2영역(32)을 가로지르는 라인 전극일 수 있다. 한편, 제3전극(321)이 아일랜드 형태로 형성되는 경우 각 제3전극(321)에는 스위칭 박막 트랜지스터가 연결되거나, 브리지 전극이 연결될 수 있다. 제3전극(321)은 직접, 또는 스위칭 박막 트랜지스터나 브리지 전극을 통해 투과도 조절 소자(320)를 온/오프 시키기 위한 전압 또는 신호를 인가 받을 수 있다. 제1전극(221)에 인가되는 전압 또는 신호와 제3전극(321)에 인가되는 전압 또는 신호는 상이하다.

- [0067] 제3전극(321)에 대향하도록 제4전극(322)이 구비된다. 제4전극(322)은 제3전극(321)과의 사이에 소정 크기의 캐비티(cavity)(325)를 형성하도록 구비된다. 제4전극(322)은 복수의 픽셀에 걸쳐 연결되도록 형성된다. 배면 발광형에서 제2전극(222)은 반사 전극인바, 제4전극(322)은 제2전극(222)과 일체로 형성되지는 않고 제4전극(322)이 제2전극(222)과 별도로 형성된다. 제4전극(322)은 광이 투과할 수 있을 정도의 반투과 전극 또는 투명 전극으로 형성되어야 하며, 예를 들어 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca 등을 이용한 박막의 금속층으로 형성되거나, ITO, IZO, ZnO, 또는 In_2O_3 등과 같은 투명 도전성 산화물로 이루어질 수 있다. 하지만, 제4전극(322)은 제2전극(222)과 전기적으로 연결되도록 형성될 수는 있다.
- [0068] 한편, 제3전극(321)과 제4전극(322) 사이의 캐비티(325) 내에는 제1용매(323) 및 제2용매(324)가 구비될 수 있다. 제1용매(323)는 광 차단 기능을 가지고 전기장에 따라 광 차단 면적이 조절되는 용매를 지칭한다. 즉, 제1용매(323)는 전기 습윤 특성을 가지며 전기장에 따라 제3전극(321)에 대한 접촉각이 변화하는 용매를 지칭한다. 예를 들어 제1용매(323)는 블랙 오일일 수 있다. 그러나 이에 한정되지 않고 제1용매(323)는 고유의 컬러를 가진 용매일 수도 있고, 광을 차단할 수 있는 탄소(C), 산화티타늄(TiO_2)과 같은 입자가 포함된 용매일 수 있다.
- [0069] 제2용매(324)는 제1용매(323)와 혼합되지 않는 성질을 갖는 물질로 이루어질 수 있다. 예를 들어, 제1용매(323)가 소수성이면, 제2용매(324)는 친수성일 수 있다. 다른 예로 제1용매(323)가 비극성이면, 제2용매(324)가 극성일 수 있다. 제2용매(324)는 제3전극(321)과 제4전극(322) 사이의 캐비티(325)를 채워 캐비티(325)를 유지하고, 이물이 유입되는 것을 방지하는 역할을 할 수 있다.
- [0070] 한편, 제1용매(323)가 소수성 또는 비극성 인 경우에, 예를 들어 블랙오일, 제1용매(323)가 접촉하는 제3전극(321)의 일면에는 절연성 발수층이 형성되거나 소수성을 갖도록 표면 처리될 수 있다. 또한 제3전극(321)의 일면과 마주보는 제4전극(322)의 일면에도 소수성을 갖도록 표면 처리가 될 수 있다. 이로부터 제1용매(323)가 제3전극(323)이나 제4전극(322)의 일면에 달라 붙는 현상을 제거할 수 있다.
- [0071] 제1용매(323)는 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지지 않는 경우 제3전극(321)의 표면에 넓은 접촉 면적을 가지고 퍼져 있다. 즉, 제1용매(323)는 제3전극(321) 표면에 대해 접촉각(contact angle)이 낮은 상태이다. 하지만, 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지면 제1용매(323)가 수축하여 제3전극(321)의 표면에 좁은 접촉 면적을 갖게 될 수 있다. 즉, 제1용매(323)는 제3전극(321)의 표면에 대해 접촉각이 높은 상태로 전환된다. 정리하면, 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지지 않는 경우 제1용매(323)는 광 차단 면적이 최대가 되어 제2영역(32)을 투과하는 외광을 차단하고, 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지는 경우 제1용매(323)는 광 차단 면적이 최소가 되어 외광이 제2영역(32)을 투과하도록 한다.
- [0072] 이하에서는 도 9 및 도 10을 참조하여, 유기 발광 소자의 동작과 관련하여, 투과도 조절 소자(320)의 동작에 대하여 알아보기로 한다.
- [0073] 도 9는 유기 발광 소자가 비발광하는 모드를 나타낸 것이다. 유기 발광 소자가 비발광하는 경우 유기 발광 표시 장치는 외광을 투과하는 투명 표시 장치로 보여야 하므로, 투과도 조절 소자는 외광을 투과하는 상태가 되어야 한다. 즉, 유기 발광 소자를 구동하기 위한 제1전극(221)에는 전압이 인가되지 않고, 투과도 조절 소자를 구동하기 위한 제3전극(321)에는 전압이 인가되어야 한다. 기본적으로 제2전극(222) 및 제4전극(322)에는 유기 발광 표시 장치가 파워 온 되어 있는 경우 저전압 또는 기저전압이 인가된다.
- [0074] 제3전극(321)에 전압이 인가됨으로써, 제3전극(321) 및 제4전극(322) 사이에 전기장이 형성되고, 제1용매(323)가 수축하여 광 차단 면적이 최소가 된다. 따라서, 투과도 조절 소자는 외광을 투과할 수 있는 상태가 된다.
- [0075] 도 10은 유기 발광 소자가 발광하는 모드를 나타낸 것이다. 유기 발광 소자가 발광하는 경우, 유기 발광 소자에서 발광하는 색의 선명도를 향상시키기 위하여 투과도 조절 소자는 외광을 투과하지 않는 상태가 되어야 한다. 즉, 제2영역(32)이 가리워짐으로써, 외광에 의해 영상이 왜곡되거나 영상의 색이 흐리게 보이는 현상 등을 방지할 수 있다. 이 경우에는, 유기 발광 소자를 구동하기 위한 제1전극(221)에는 전압이 인가되고, 투과도 조절 소자(320)를 구동하기 위한 제3전극(321)에는 전압이 인가되지 않아야 한다.
- [0076] 제3전극(321)에 전압이 미인가됨으로써, 제3전극(321) 및 제4전극(322) 사이에 전기장이 형성되지 않고, 제1용매(323)는 제3전극(321) 표면에 퍼져있어 광 차단 면적이 최대가 된다. 따라서, 투과도 조절 소자(320)는 외광을 가리는 상태가 된다.
- [0077] 도 11은 본 발명의 유기 발광부(21)의 다른 일 실시예에서 서로 인접한 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색

픽셀(Pb)을 도시한 평면도이다.

- [0078] 각 적색 픽셀(Pr), 녹색 픽셀(Pg) 및 청색 픽셀(Pb)의 제1영역(31)에는 회로 영역(311)과 발광 영역(312)이 구비되는 데, 이들 회로 영역(311)과 발광 영역(312)은 서로 중첩되게 배치된다. 도 9에서 볼 수 있는 본 발명의 바람직한 일 실시예에 따르면 발광 영역(312)의 면적은 회로 영역(311)의 픽셀 회로부(PC)의 면적보다 커서 회로 영역(311)의 픽셀 회로부(PC)는 발광 영역(312)에 완전히 가려진 상태가 된다.
- [0079] 그리고 제1영역(31)에 인접하게는 외광을 투과하는 제2영역(32)이 배치된다. 제2영역(32)은 도 11에서 볼 수 있듯이 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수 있다.
- [0080] 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)과 같은 복수의 도전 라인들이 이 픽셀 회로부(PC)에 전기적으로 연결된다. 도면에 도시하지는 않았지만 픽셀 회로부(PC)의 구성에 따라 스캔 라인(S), 데이터 라인(D) 및 구동 전원인 Vdd 라인(V) 외에도 더 다양한 도전 라인들이 구비되어 있을 수 있다.
- [0081] 도 12은 도 11의 픽셀 회로부(PC)의 보다 구체적인 일 예를 도시한 개략도이다.
- [0082] 도 12에서 볼 수 있듯이, 픽셀 회로부(PC)는, 스캔 라인(S)과 데이터 라인(D)에 연결된 제1박막 트랜지스터(TR1)와, 제1박막 트랜지스터(TR1)와 Vdd 라인(V)에 연결된 제2박막 트랜지스터(TR2)와, 제1박막 트랜지스터(TR1)와 제2박막 트랜지스터(TR2)에 연결된 커패시터(Cst)를 포함한다. 이 때, 제1박막 트랜지스터(TR1)는 스위칭 트랜지스터가 되고, 제2박막 트랜지스터(TR2)는 구동 트랜지스터가 된다. 제2박막 트랜지스터(TR2)는 제1전극(221)과 전기적으로 연결되어 있다. 도 12에서 제1박막 트랜지스터(TR1)와 제2박막 트랜지스터(TR2)는 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다. 상기와 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 도시된 실시예에 한정되는 것은 아니며, 픽셀 회로부(PC)에 따라 2 이상의 박막 트랜지스터, 1 이상의 커패시터가 조합될 수 있다.
- [0083] 도 11 및 도 12에 따르면, 스캔 라인(S)이 제1전극(221)과 중첩되게 배치된다. 그러나, 본 발명은 반드시 이에 한정되는 것은 아니며, 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)을 포함한 복수의 도전 라인들 중 적어도 하나가 제1전극(221)과 중첩되도록 배치시킬 수 있으며, 경우에 따라서는 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)을 포함한 복수의 도전 라인들 모두 제1전극(221)과 중첩되거나 제1전극(221) 옆에 배치시킬 수 있다.
- [0084] 본 발명은 이처럼 제1영역(31)과 제2영역(32)의 분리에 따라 제2영역(32)을 통해 외부를 관찰할 때에, 외부 광이 픽셀 회로부(PC) 내의 소자들의 패턴과 관련하여 산란함에 따라 발생하는 외부 이미지 왜곡 현상을 방지할 수 있다.
- [0085] 이러한 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율이 5% 내지 90% 범위에 속하도록 제1영역(31)과 제2영역(32)이 형성된다.
- [0086] 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율이 5% 보다 작으면, 도 1에서 디스플레이부(2)가 스위치 오프 상태일 때 디스플레이부(2)를 투과할 수 있는 빛이 적어 사용자가 반대 측에 위치한 사물 또는 이미지를 보기 어렵다. 즉, 디스플레이부(2)가 투명하다고 할 수 없게 된다. 제2영역(32)의 면적이 제1영역(31)과 제2영역(32)의 전체 면적 대비 5% 정도라 하더라도 제1영역(31)이 전체 제2영역(32)에 대하여 아일랜드 형태로 존재하는 것이고, 제1영역(31) 내에 가능한 한 모든 도전 패턴들이 배치되어 있어 태양광의 산란도를 최저화시키므로, 사용자는 투명 디스플레이로서 인식이 가능하게 된다. 그리고, 픽셀 회로부(PC)에 구비되는 박막 트랜지스터를 산화물 반도체와 같이 투명 박막 트랜지스터로 형성하고, 유기 발광 소자도 투명 소자로 형성할 경우에는 더욱 투명 디스플레이로서의 인식이 커질 수 있다.
- [0087] 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율이 90% 보다 크면 디스플레이부(2)의 화소 집적도가 지나치게 낮아져 제1영역(31)에서의 발광을 통해 안정적인 화상을 구현하기 어렵다. 즉, 제1영역(31)의 면적이 작아질수록, 화상을 구현하기 위해서는 후술하는 유기막(223)에서 발광하는 빛의 휘도가 높아져야 한다. 이와 같이, 유기 발광 소자를 고휘도 상태로 작동시키면 수명이 급격히 저하되는 문제점이 생긴다. 또한, 하나의 제1영역(31)의 크기를 적정한 크기로 유지하면서 제2영역(32)의 면적 비율을 90%보다 크게 하면, 제1영역(31)의 크기가 줄어 해상도가 저하되는 문제점이 생긴다.
- [0088] 제1영역(31)과 제2영역(32)의 전체 면적 대비 제2영역(32)의 면적의 비율은 20% 내지 70%의 범위에 속하도록 하는 것이 바람직하다.
- [0089] 20% 미만에서는 제2영역(32)에 비해 제1영역(31)의 면적이 지나치게 크므로, 사용자가 제2영역(32)을 통해 외부 이미지를 관찰하는 데에 한계가 있다. 70%를 초과할 경우 제1영역(31) 내에 배치할 픽셀 회로부(PC) 설계에 많

은 제약이 따르게 된다.

- [0090] 제1영역(31)에는 픽셀 회로부(PC)와 전기적으로 연결된 제1전극(221)이 구비되며, 픽셀 회로부(PC)는 제1전극(221)에 가리워지도록 제1전극(221)과 중첩된다. 그리고, 전술한 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)을 포함하는 도전 라인들 중 적어도 하나가 이 제1전극(221)을 지나가도록 배치될 수 있다. 물론, 이들 도전 라인들은 픽셀 회로부(PC)에 비해 투과도를 저해하는 비율이 적기 때문에 설계 조건에 따라서는 모두 제1전극(221)에 인접하게 배치시킬 수 있다. 제1전극(221)은 후술하는 바와 같이 광 반사가 가능한 도전성 금속으로 이루어진 반사막을 포함하므로 이와 중첩된 픽셀 회로부(PC)를 가려주고, 제1영역(31)에서의 픽셀 회로부(PC)에 의한 외부 이미지 왜곡 등을 차단한다.
- [0091] 도 13은 유기 발광부(21)를 보다 상세히 설명하기 위한 일 실시예를 도시한 평면도로서, 도 12에 나타난 픽셀 회로부(PC)를 구현한 것이다. 그리고 도 14은 도 13의 A-A에 따른 일 예의 단면도이다.
- [0092] 도 13 및 도 14에 따른 본 발명의 바람직한 일 실시예에 따르면, 기판(1)의 제1면(11) 상에 버퍼막(211)이 형성되고, 이 버퍼막(211) 상에 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)가 형성된다.
- [0093] 먼저, 버퍼막(211) 상에는 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)이 형성된다.
- [0094] 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)은 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 $G-I-Z-O$ 층[(In2O3) a (Ga2O3) b (ZnO) c 층](a , b , c 는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)일 수 있다.
- [0095] 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)을 덮도록 게이트 절연막(213)이 버퍼막(211) 상에 형성되고, 게이트 절연막(213) 상에 제1게이트 전극(214a) 및 제2게이트 전극(214b)이 형성된다.
- [0096] 제1게이트 전극(214a) 및 제2게이트 전극(214b)을 덮도록 게이트 절연막(213) 상에 층간 절연막(215)이 형성되고, 이 층간 절연막(215) 상에 제1소스 전극(216a)과 제1드레인 전극(217a) 및 제2소스 전극(216b)과 제2드레인 전극(217b)이 형성되어 각각 제1반도체 활성층(212a) 및 제2반도체 활성층(212b)과 콘택 홀을 통해 콘택된다.
- [0097] 스캔 라인(S)은 제1게이트 전극(214a) 및 제2게이트 전극(214b)의 형성과 동시에 형성될 수 있다. 그리고, 데이터 라인(D)은 제1소스 전극(216a)과 동시에 제1소스 전극(216a)과 연결되도록 형성되며, Vdd 라인(V)은 제2소스 전극(216b)과 동시에 제2소스 전극(216b)과 연결되도록 형성될 수 있다.
- [0098] 커패시터(Cst)는 제1게이트 전극(214a) 및 제2게이트 전극(214b)의 형성과 동시에 하부 전극(220a)이, 제1드레인 전극(217a)과 동시에 상부 전극(220b)이 형성된다.
- [0099] 상기와 같은 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터 및 커패시터의 구조가 적용 가능함은 물론이다. 예컨대, 제1박막 트랜지스터(TR1) 및 제2박막 트랜지스터(TR2)는 탑 게이트 구조로 형성된 것이나, 제1게이트 전극(214a) 및 제2게이트 전극(214b)이 각각 제1반도체 활성층(212a) 및 제2반도체 활성층(212b) 하부에 배치된 바텀 게이트 구조로 형성될 수도 있다. 물론 이 밖에도 적용 가능한 모든 박막 트랜지스터의 구조가 적용될 수 있음은 물론이다.
- [0100] 이러한 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)를 덮도록 패시베이션막(218)이 형성된다. 패시베이션막(218)은 상면이 평탄화된 단일 또는 복수층의 절연막이 될 수 있다. 이 패시베이션막(218)은 무기물 및/또는 유기물로 형성될 수 있다.
- [0101] 패시베이션막(218) 상에는 도 13 및 도 14에서 볼 수 있듯이, 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)를 가리도록 제1전극(221)이 형성되고, 이 제1전극(221)은 패시베이션막(218)에 형성된 비아 홀에 의해 제2박막 트랜지스터(TR2)의 제2드레인 전극(217b)에 연결된다. 각 제1전극(221)은 도 13에서 볼 수 있듯이 각 픽셀마다 서로 독립된 아일랜드 형태로 형성된다.
- [0102] 패시베이션막(218) 상에는 제1전극(221)의 가장자리를 덮도록 화소 정의막(219)이 형성된다.
- [0103] 제1전극(221) 상에는 유기막(223)과 제2전극(222)이 순차로 적층된다. 제2전극(222)은 전체 제1영역(31)들과 제2영역(32)에 걸쳐 형성된다.
- [0104] 제1전극(221)은 애노우드 전극의 기능을 하고, 제2전극(222)은 캐소우드 전극의 기능을 할 수 있는 데, 물론, 이들 제1전극(221)과 제2전극(222)의 극성은 서로 반대로 되어도 무방하다.

- [0105] 제1전극(221)은 각 픽셀마다 제1영역(31)에 대응되는 크기로 형성된다. 제2전극(222)은 유기 발광부 전체의 모든 픽셀들을 덮도록 공통 전극으로 형성될 수 있다.
- [0106] 본 발명의 일 실시예에 따르면, 제1전극(221)은 반사전극이 될 수 있고, 제2전극(222)은 반투과 전극이 될 수 있다. 따라서, 유기 발광부(21)는 제2전극(222)의 방향으로 화상을 구현하는 전면 발광형(top emission type)이 된다.
- [0107] 이를 위해, 제1전극(221)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 형성된 반사막과, 일함수가 높은 ITO, IZO, ZnO, 또는 In_2O_3 등으로 구비될 수 있다. 그리고 제2전극(222)은 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, 또는 이들의 합금 등으로 형성될 수 있다. 제2전극(222)은 투과도가 높도록 박막으로 형성하는 것이 바람직하다.
- [0108] 이렇게 제1전극(221)이 반사전극으로 구비될 경우, 그 하부에 배치된 픽셀 회로부는 제1전극(221)에 의해 가리워진 상태가 되며, 이에 따라 도 14에서 볼 때, 제2전극(222)의 상부 외측에서 사용자는 제1전극(221) 하부의 제1박막 트랜지스터(TR1), 커패시터(Cst) 및 제2박막 트랜지스터(TR2)의 각 패턴과 스캔 라인(S), 데이터 라인(D) 및 Vdd 라인(V)의 일부를 관찰할 수 없게 된다.
- [0109] 이렇게 제1전극(221)이 반사전극으로 구비됨에 따라 발광된 광이 관찰자 쪽, 즉, 상부로만 발산되므로 관찰자의 반대방향으로 소실되는 광량을 줄일 수 있다. 또, 전술한 바와 같이 제1전극(221)이 그 하부의 픽셀 회로의 다양한 패턴을 가리는 역할을 하므로 관찰자가 보다 선명한 투과 이미지를 볼 수 있게 된다.
- [0110] 패시베이션막(218), 게이트 절연막(213), 층간 절연막(215) 및 화소 정의막(219)은 투명한 절연막으로 형성하는 것이 바람직하다.
- [0111] 한편, 본 실시예에 있어서 화소 정의막(219), 패시베이션막(218), 층간 절연막(215), 게이트 절연막(213) 및 버퍼막(211) 중 적어도 하나에는 각각 투과창(225)이 구비된다. 투과창(225)은 이러한 절연막들 중에서 제2영역(32)에 대응되는 위치의 부분을 제거하여 형성할 수 있으며 둘 이상의 투과창(225)은 서로 중첩되도록 형성될 수 있다.
- [0112] 투과창(225)은 아일랜드 패턴으로 형성될 수 있는 데, 도 14에서 볼 수 있듯이, 각 픽셀들(Pr)(Pg)(Pb) 별로 독립되게 구비될 수도 있다.
- [0113] 본 발명의 실시예에 의하면, 도 11 내지 도 13에 도시된 바와 같이 제2영역(32)에 투과도 조절 소자(320)가 구비된다. 투과도 조절 소자(320)는 서로 대향하는 제3전극(321), 제4전극(322) 및 그 사이 공간에 개재되는 용매들을 포함할 수 있다.
- [0114] 제3전극(321)은 제2영역(32)에 구비된다. 도 14를 참조하면, 제3전극(321)은 버퍼층(211) 상에 구비될 수 있으며, 게이트 절연막(213), 층간 절연막(215), 패시베이션막(218) 및 화소 정의막(219)은 제3전극(321)의 가장자리를 덮고 중앙부는 노출시키도록 투과창(225)이 구비된다. 그러나 본 발명은 반드시 이에 한정된 것은 아니며, 투과창(225)이 형성되는 위치에 따라 제3전극(321)이 구비되는 위치는 다양하게 변경될 수 있다.
- [0115] 제3전극(321)은 투명 전극으로 구비된다. 예를 들어 제3전극(321)은 ITO, IZO, ZnO, 또는 In_2O_3 등과 같은 투명 도전성 산화물로 이루어질 수 있다. 투과도 조절 소자(320)는 되도록 넓은 범위에 걸쳐 외광의 투과도를 조절해야 하므로, 광 투과도가 높아야 한다. 따라서, 제3전극(321)은 광 투과도가 높은 투명한 물질로 형성되어야 한다.
- [0116] 제3전극(321)은 모든 픽셀들 별로 분리 및 독립된 아일랜드 형태로 형성될 수 있으며, 이에 한정되지 않고 각 픽셀들에 걸쳐 연결되어 형성될 수도 있다. 제3전극(321)이 각 픽셀들에 걸쳐 연결되도록 형성되는 경우, 예를 들어 제3전극(321)은 한 행에 위치하는 픽셀들의 제2영역(32)을 가로지르는 라인 전극일 수 있다. 한편, 제3전극(321)이 아일랜드 형태로 형성되는 경우 각 제3전극(321)에는 스위칭 박막 트랜지스터가 연결되거나, 브리지 전극이 연결될 수 있다. 제3전극(321)은 직접, 또는 스위칭 박막 트랜지스터나 브리지 전극을 통해 투과도 조절 소자(320)를 온/오프 시키기 위한 전압 또는 신호를 인가 받을 수 있다. 제1전극(221)에 인가되는 전압 또는 신호와 제3전극(321)에 인가되는 전압 또는 신호는 상이하다.
- [0117] 제3전극(321)에 대향하도록 제4전극(322)이 구비된다. 제4전극(322)은 제3전극(321)과의 사이에 소정 크기의 캐비티(cavity)(325)를 형성하도록 구비된다. 제4전극(322)은 복수의 픽셀에 걸쳐 연결되도록 형성되며 제2전극(122)과 연결되도록 형성될 수 있다. 즉, 제4전극(322)은 제2전극(222)과 일체(一體)로 형성되고, 제4전극(32

2)은 제2전극(222)의 일부분일 수 있다. 즉, 제4전극(322)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca 등을 이용한 박막의 금속층으로 형성될 수 있다.

[0118] 한편, 제3전극(321)과 제4전극(322) 사이의 캐비티(325) 내에는 제1용매(323) 및 제2용매(324)가 구비될 수 있다. 제1용매(323)는 광 차단 기능을 가지고 전기장에 따라 광 차단 면적이 조절되는 용매를 지칭한다. 즉, 제1용매(323)는 전기 습윤 특성을 가지며 전기장에 따라 제3전극(321)에 대한 접촉각이 변화하는 용매를 지칭한다. 예를 들어 제1용매(323)는 블랙 오일일 수 있다. 그러나 이에 한정되지 않고 제1용매(323)는 고유의 컬러를 가진 용매일 수도 있고, 광을 차단할 수 있는 탄소(C), 산화티타늄(TiO_2)과 같은 입자가 포함된 용매일 수 있다.

[0119] 제2용매(324)는 제1용매(323)와 혼합되지 않는 성질을 갖는 물질로 이루어질 수 있다. 예를 들어, 제1용매(323)가 소수성이면, 제2용매는 친수성일 수 있다. 다른 예로 제1용매(323)가 비극성이면, 제2용매(324)가 극성일 수 있다. 제2용매(324)는 제3전극(321)과 제4전극(322) 사이의 캐비티(325)를 채워 캐비티를 유지시키는 역할을 할 수 있다.

[0120] 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지지 않는 경우 제1용매(323)는 제3전극(321)의 표면에 넓은 접촉 면적을 가지고 퍼져 있다. 즉, 제1용매(323)는 제3전극(321) 표면에 대해 접촉각(contact angle)이 낮은 상태이다. 하지만, 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지면 제1용매(323)는 수축하여 제3전극(321)의 표면에 좁은 접촉 면적을 갖게 될 수 있다. 즉, 제1용매(323)는 제3전극(321)의 표면에 대해 접촉각이 높은 상태로 전환된다. 정리하면, 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지지 않는 경우 제1용매(323)는 광 차단 면적이 최대가 되어 제2영역(32)을 투과하는 외광을 차단하고, 제3전극(321)과 제4전극(322) 사이에 전기장이 가해지는 경우 제1용매(323)는 광 차단 면적이 최소가 되어 외광이 제2영역(32)을 투과하도록 한다.

[0121] 도 17은 본 발명의 유기 발광부(21)의 바람직한 또 다른 일 실시예를 도시한 것으로, 적색 픽셀(Pr)의 제1전극(221a), 녹색 픽셀(Pg)의 제1전극(221b) 및 청색 픽셀(Pb)의 제1전극(221c)에 대응되게 하나의 제2영역(32)이 형성되도록 한 것이다. 제1데이터 라인(D1) 내지 제3데이터 라인(D3)은 각각 적색 픽셀(Pr)의 제1전극(221a), 녹색 픽셀(Pg)의 제1전극(221b) 및 청색 픽셀(Pb)의 제1전극(221c)에 전기적으로 연결된다. 그리고 제1Vdd라인(V1)은 적색 픽셀(Pr)의 제1전극(221a) 및 녹색 픽셀(Pg)의 제1전극(221b)에 전기적으로 연결되고, 제2Vdd라인(V2)은 청색 픽셀(Pb)의 제1전극(221c)에 전기적으로 연결된다.

[0122] 이러한 구조의 경우 세 개, 예컨대 적색(R), 녹색(G) 및 청색(B)의 픽셀에 대하여 하나의 큰 제2영역(32)을 구비하고 있으므로, 투과도를 더욱 높일 수 있고, 광산란에 의한 이미지 왜곡 효과도 더욱 줄일 수 있다.

[0123] 그리고 이 제2영역(32)에 대응되는 위치의 절연막들에 투과창(225)을 형성하고, 투과창(225) 부분에 투과도 조절 소자(320)를 구비함으로써, 유기 발광 표시 장치의 투과도를 조절할 수 있다. 특히, 유기 발광 소자가 발광할 때, 제2영역(32)의 외광 투과를 제거하여 보다 선명한 색 또는 화상이 표시될 수 있다.

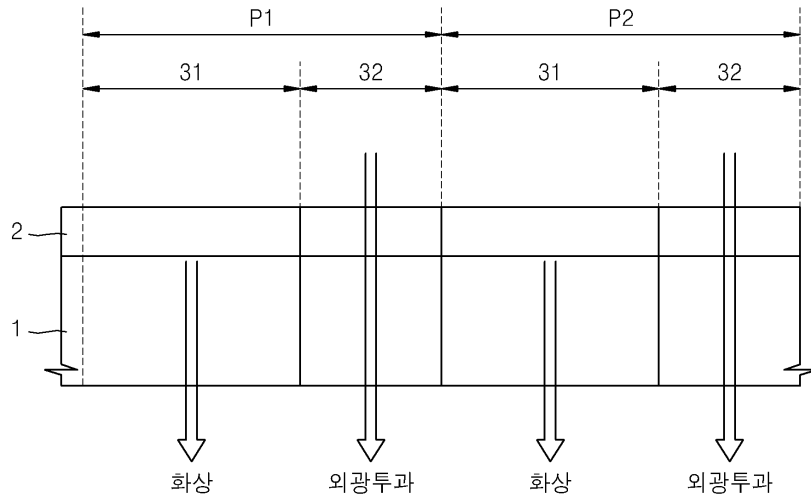
[0124] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

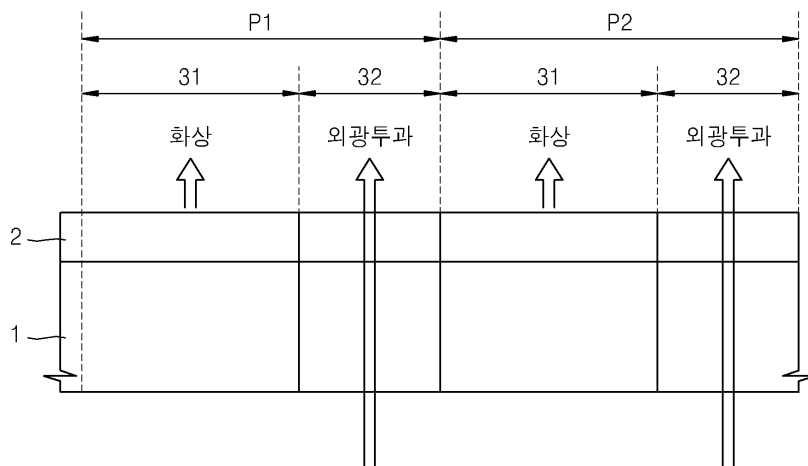
[0125] 225: 투과창
320: 투과도 조절 소자
321: 제3전극
322: 제4전극
323: 제1용매
324: 제2용매
325: 캐비티

도면

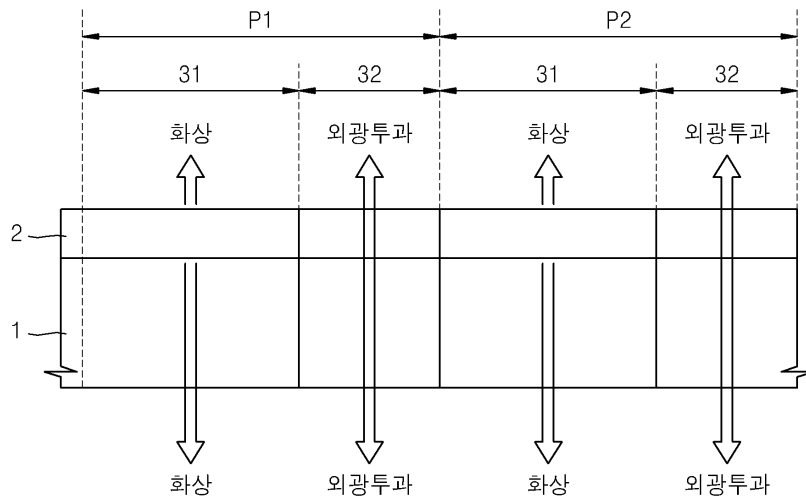
도면1



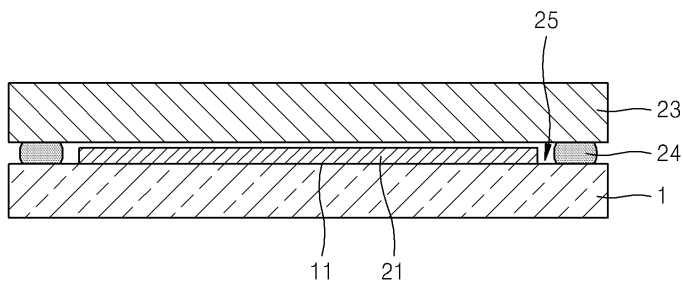
도면2



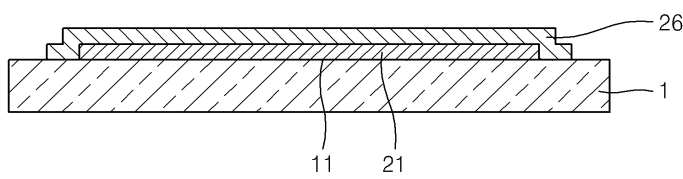
도면3



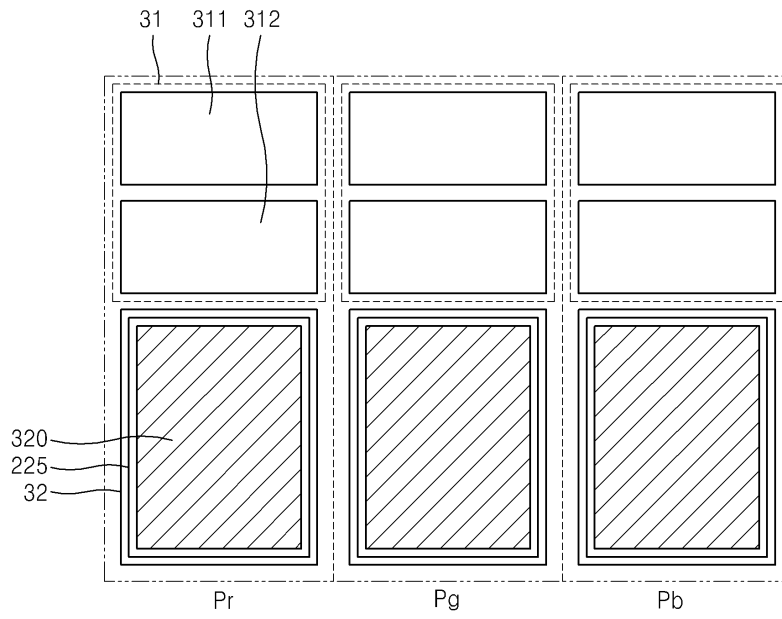
도면4



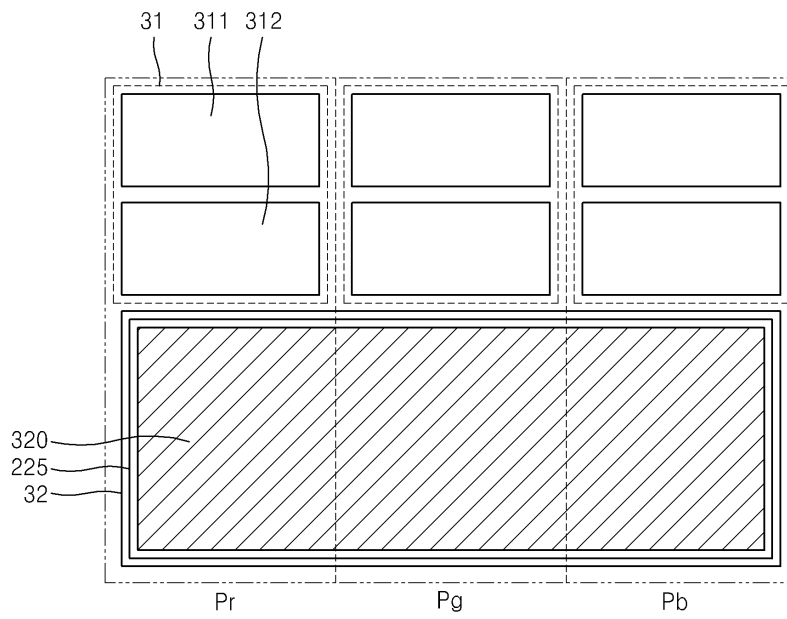
도면5



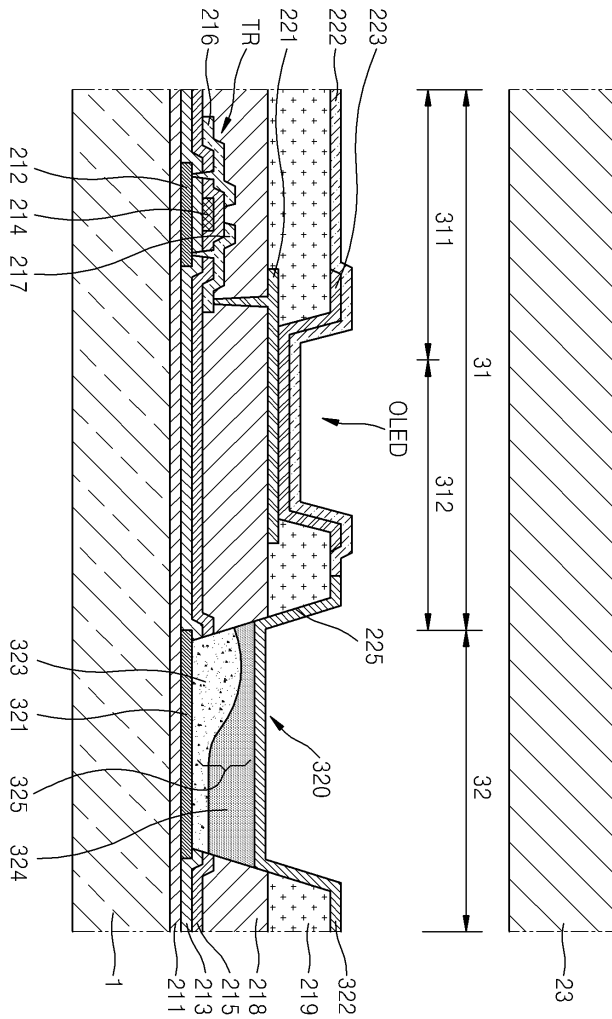
도면6



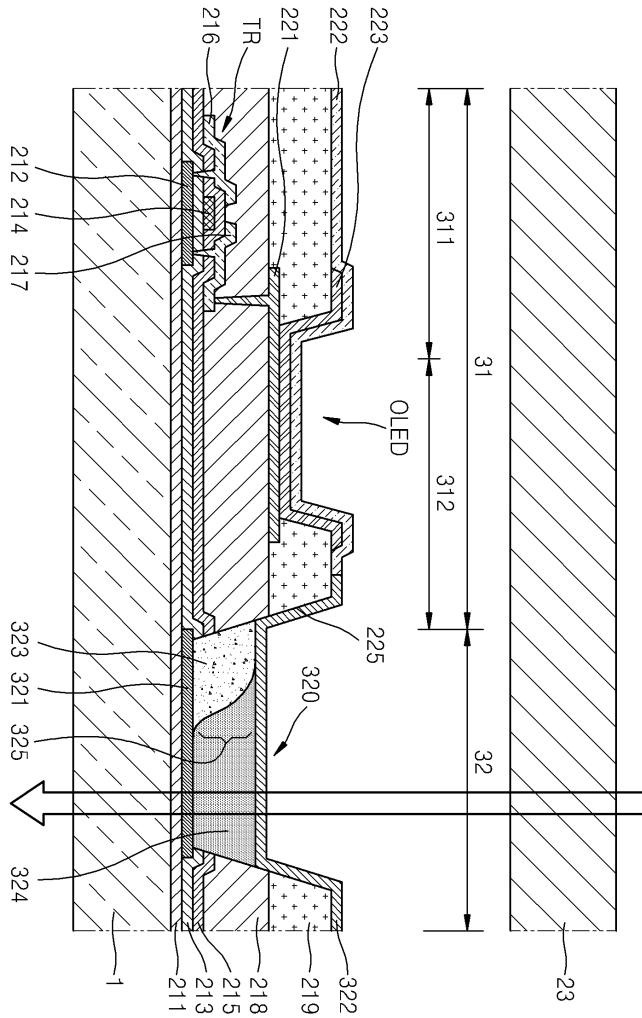
도면7



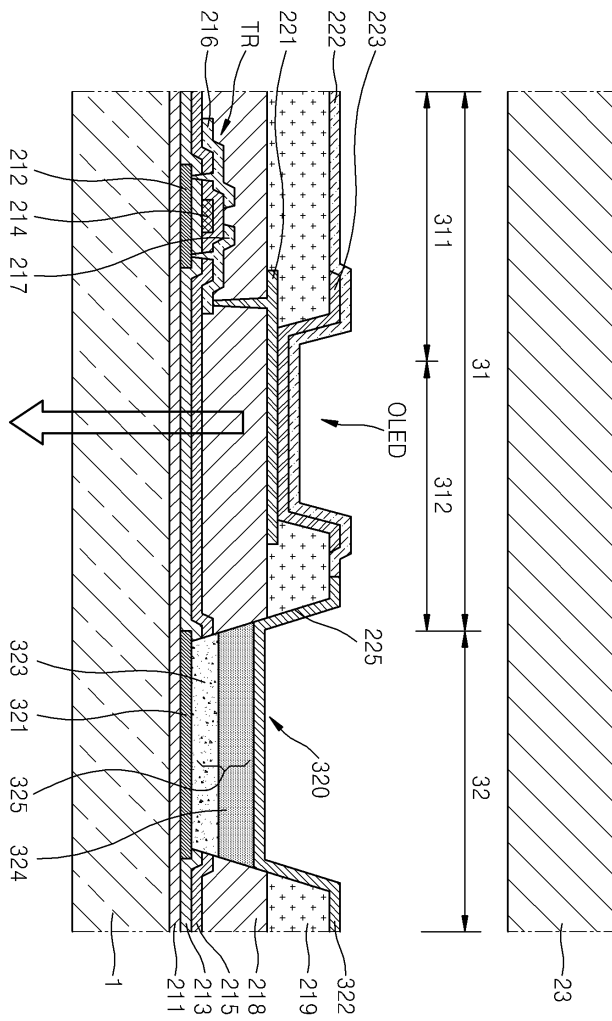
도면8



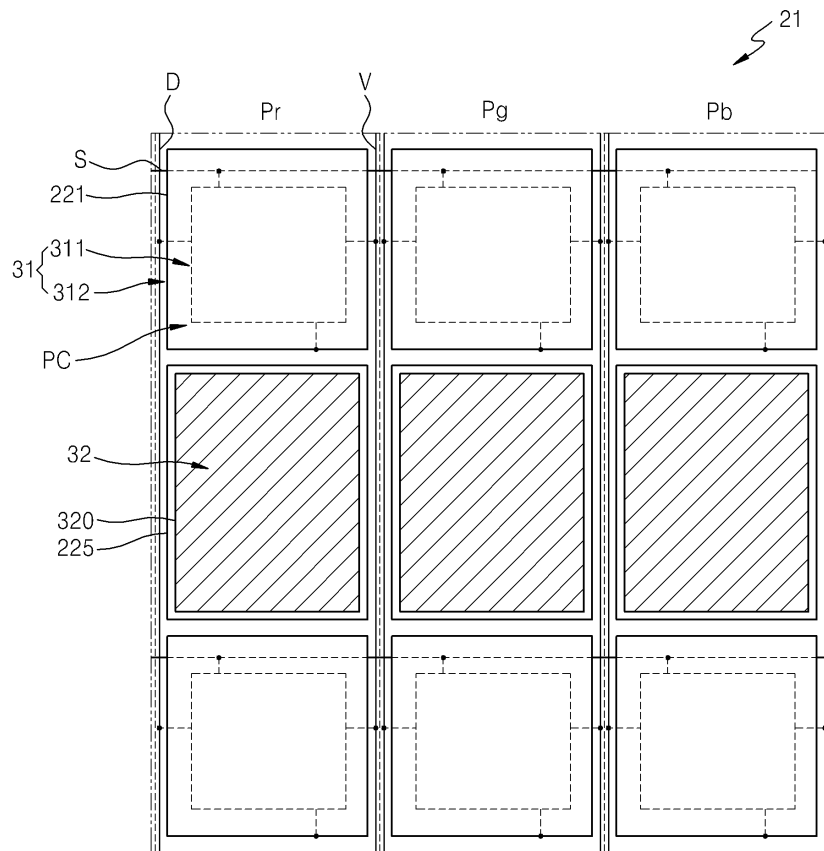
도면9



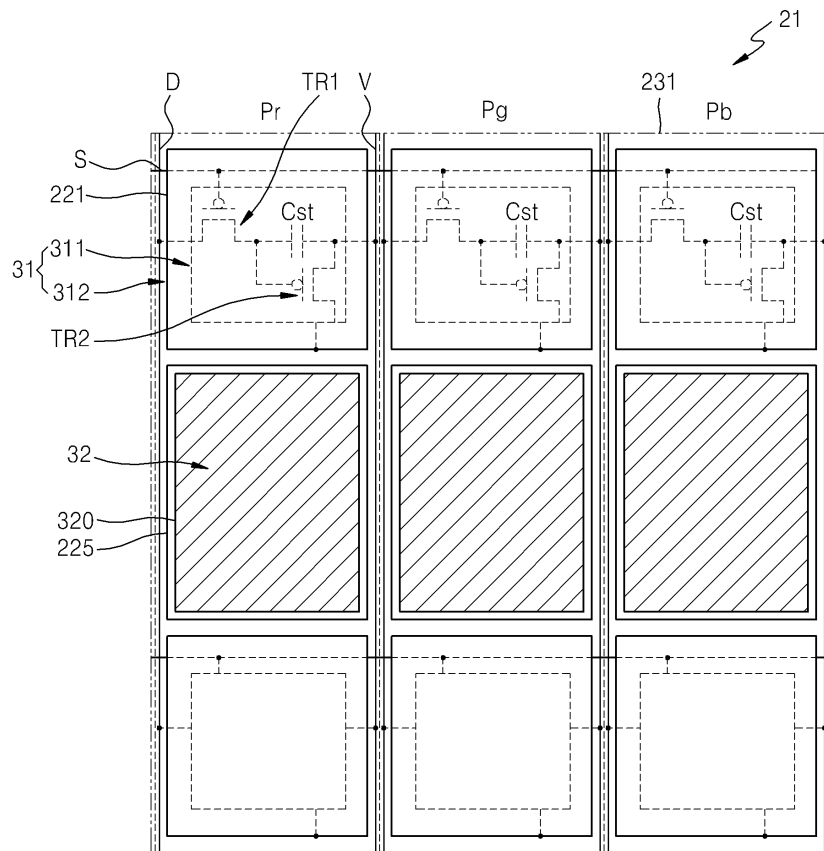
도면10



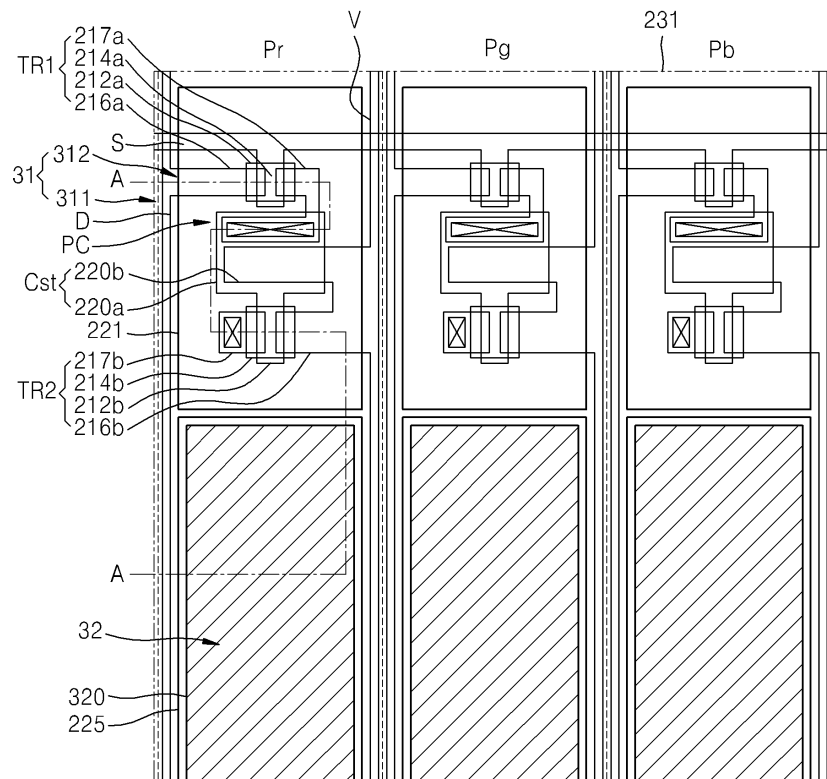
도면11



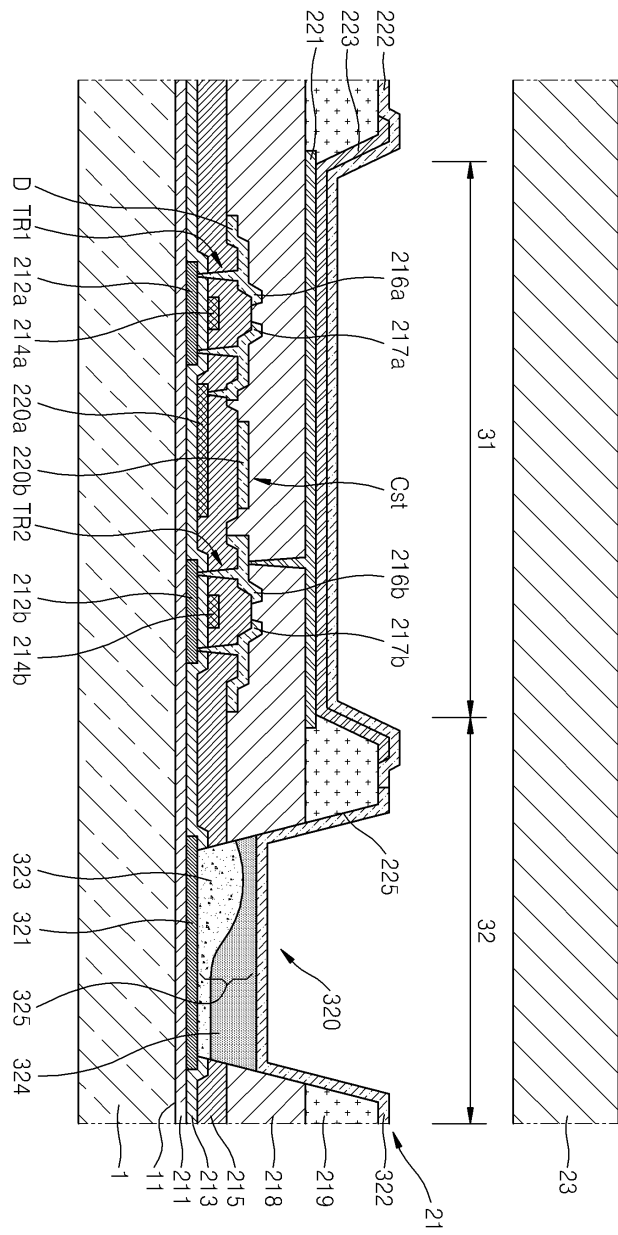
도면12



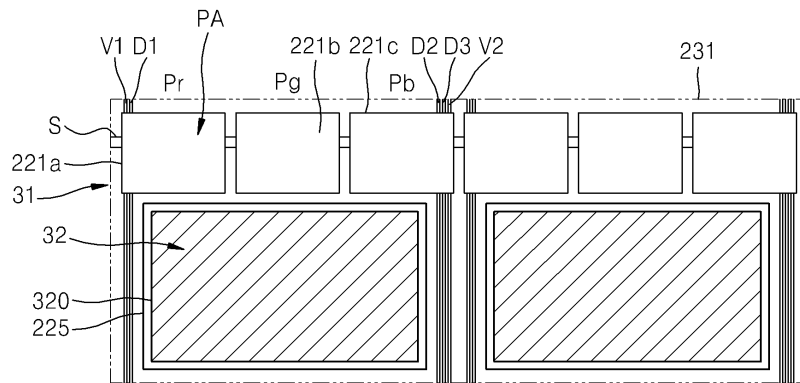
도면13



도면14



도면15



专利名称(译)	一种能够控制透光率的有机发光显示装置		
公开(公告)号	KR1020150061995A	公开(公告)日	2015-06-05
申请号	KR1020130146450	申请日	2013-11-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SOO RAN		
发明人	PARK, SOO RAN		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L51/5206 H01L27/3246 H01L51/5221 H01L51/5234 H01L51/5218		
外部链接	Espacenet		

摘要(译)

公开了一种能够控制透光率的有机发光二极管 (OLED) 显示器。在一个方面, OLED显示器包括多个像素, 每个像素包括被配置为发光的第一区域和被配置为透射光的第二区域以及分别形成在像素的第一区域中的多个第一电极。 OLED显示器还包括分别形成在第一电极上的多个有机层, 形成在所有有机层上的第二电极, 以及形成在像素的第二区域中的多个第三电极。 OLED显示器还包括分别放置在第三电极上的多种溶剂, 其中每种溶剂配置成选择性地阻挡光, 并且在所有像素的溶剂上形成第四电极。

