(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월11일
(11) 등록번호 10-1999510
(24) 등록일자 2019년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/3225* (2016.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3225 (2013.01)
(21) 출원번호 10-2019-7005557
(22) 출원일자(국제) 2017년09월12일
심사청구일자 2019년02월25일
(85) 번역문제출일자 2019년02월25일
(65) 공개번호 10-2019-0026940
(43) 공개일자 2019년03월13일
(86) 국제출원번호 PCT/US2017/051156
(87) 국제공개번호 WO 2018/057348
국제공개일자 2018년03월29일
(30) 우선권주장
62/398,749 2016년09월23일 미국(US)
15/370,297 2016년12월06일 미국(US)
(56) 선행기술조사문헌
KR1020140108023 A
(뒷면에 계속)
전체 청구항 수 : 총 12 항

(73) 특허권자
애플 인크.
미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원 애플 파크 웨이
(72) 발명자
루토르트-루이스, 워렌, 에스.
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2 피피오 인피니트 루프 1
창, 팅-쿼
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2 피피오 인피니트 루프 1
(뒷면에 계속)
(74) 대리인
장덕순, 백만기

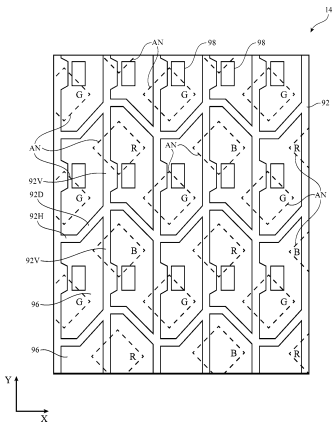
심사관 : 윤성주

(54) 발명의 명칭 **파워 서플라이 메시를 갖는 디스플레이**

(57) 요 약

유기 발광 다이오드 디스플레이는 픽셀들의 어레이를 가질 수 있다. 픽셀들은 각각 각자의 애노드를 갖는 유기 발광 다이오드를 가질 수 있고, 기판 상에 형성된 박막 트랜지스터 회로부로부터 형성될 수 있다. 메시 형상의 경로가 박막 회로부에 파워 서플라이 전압을 분배하는 데 사용될 수 있다. 메시 형상의 경로는 교차하는 수평 연장 라인들 및 수직 연장 라인들을 가질 수 있다. 수평 연장 라인들은 애노드들과 중첩되지 않는 지그재그 금속 라인들일 수 있다. 수직 연장 라인들은 애노드들과 중첩되는 직선형 수직 금속 라인들일 수 있다. 픽셀들은 상이한 색상의 픽셀들을 포함할 수 있다. 디스플레이 색상의 각도 의존적 시프트는 상이하게 착색된 픽셀들의 애노드들이 비슷한 양만큼 수직 연장 라인들과 중첩됨을 보장함으로써 최소화될 수 있다.

대 표 도 - 도6



(52) CPC특허분류
H01L 27/3218 (2013.01)
H01L 27/3262 (2013.01)
H01L 51/5209 (2013.01)
G09G 2300/0426 (2013.01)
G09G 2320/0242 (2013.01)
G09G 2330/00 (2013.01)

(72) 발명자
첸, 치-웨이
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 83-디 인피니트 루프 1
유, 쳉-호
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 89-2피 피오 인피니트 루프 1

(56) 선행기술조사문헌
KR1020160017328 A
KR1020010067258 A
US20150379921 A1
US20150270317 A1

명 세 서

청구범위

청구항 1

유기 발광 다이오드 디스플레이로서,

기판;

상기 기판 상의 픽셀들의 어레이 - 각각의 픽셀은 파워 서플라이 전압을 수신하도록 구성되고, 각각의 픽셀은 애노드를 갖는 발광 다이오드를 가짐 -;

상기 애노드들이 형성되는 평탄화 층; 및

수평 연장 지그재그(zigzag) 금속 라인들 및 수직 연장 라인들로부터 형성되는 메시(mesh) 형상의 파워 서플라이 분배 경로 - 상기 애노드들은 상기 수직 연장 라인들과 중첩되고 상기 수평 연장 지그재그 금속 라인들과 중첩되지 않음 -를 포함하는, 유기 발광 다이오드 디스플레이.

청구항 2

제1항에 있어서, 각각의 픽셀은 포지티브 파워 서플라이 단자 및 접지 파워 서플라이 단자를 갖고, 상기 메시 형상의 파워 서플라이 분배 경로는 상기 픽셀들의 포지티브 파워 서플라이 단자들에 커플링되는 포지티브 파워 서플라이 분배 경로인, 유기 발광 다이오드 디스플레이.

청구항 3

제2항에 있어서, 각각의 애노드는 상기 수직 연장 라인들에 대해 대각선으로 연장되는 에지들을 갖는 다이아몬드 형상을 갖는, 유기 발광 다이오드 디스플레이.

청구항 4

제3항에 있어서, 상기 수직 연장 라인들 각각은 각자의 수직 연장 직선형 금속 라인인, 유기 발광 다이오드 디스플레이.

청구항 5

제4항에 있어서, 상기 픽셀들은 상이한 색상의 픽셀들을 포함하고, 상기 픽셀들 각각은 상기 수직 연장 직선형 금속 라인들과의 각자의 중첩 영역을 특징으로 하고, 상기 상이한 색상의 픽셀들의 중첩 영역들은 20% 미만만큼 상이한, 유기 발광 다이오드 디스플레이.

청구항 6

제5항에 있어서, 상기 상이한 색상의 픽셀들의 중첩 영역들은 10% 미만만큼 상이한, 유기 발광 다이오드 디스플레이.

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 기판 상의 박막 트랜지스터들을 추가로 포함하고, 상기 박막 트랜지스터들은 제1 금속 층으로부터 형성되는 소스-드레인 단자들을 갖고, 폴리머 층이 상기 제1 금속 층과 중첩되고, 상기 메시 형상의 파워 서플라이 분배 경로는 상기 폴리머 층과 상기 평탄화 층 사이에 개재되는, 유기 발광 다이오드 디스플레이.

청구항 9

삭제

청구항 10

제1항에 있어서, 각각의 수평 연장 지그재그 금속 라인은 한 쌍의 상기 애노드들의 대향하는 대각선 에지들 사이에 적어도 하나의 대각선 세그먼트를 갖는, 유기 발광 다이오드 디스플레이.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

유기 발광 다이오드 디스플레이로서,

기판;

상기 기판 상의 박막 회로부;

상기 박막 회로부 상의 제1 및 제2 폴리머 평탄화 층들;

상기 박막 회로부에 포지티브 파워 서플라이 전압을 분배하는 메시 형상의 포지티브 파워 서플라이 분배 경로를 형성하는, 상기 제1 폴리머 평탄화 층과 상기 제2 폴리머 평탄화 층 사이의 패턴화된 금속 층; 및

유기 발광 다이오드들의 어레이 - 각각의 유기 발광 다이오드는 상기 제2 폴리머 평탄화 층 상에 각자의 애노드를 가짐 -를 포함하고,

상기 메시 형상의 포지티브 파워 서플라이 분배 경로는 교차하는 수직 연장 라인들 및 수평 연장 지그재그 금속 라인들의 그리드를 갖고, 상기 수직 연장 라인들 각각은 제1 축에 평행하게 연장되고, 상기 수평 연장 지그재그 금속 라인들 각각은 상기 제1 축과 수직인 제2 축에 평행하게 연장되는 복수의 수평 세그먼트와 복수의 대각선 세그먼트를 포함하고, 각각의 대각선 세그먼트는 각각의 2개의 수평 세그먼트들 사이에 개재되고, 각각의 대각선 세그먼트는 상기 제1 축 및 제2 축에 대해 0이 아닌 각도에 있는 각각의 축에 평행하게 연장되는, 유기 발광 다이오드 디스플레이.

청구항 19

삭제

청구항 20

삭제

청구항 21

제18항에 있어서, 상기 애노드들은 상기 수직 연장 라인들과 중첩되고 수평 연장 지그재그 금속 라인들과 중첩되지 않는, 유기 발광 다이오드 디스플레이.

청구항 22

제18항에 있어서, 애노드들 각각은 상기 메시 형상의 포지티브 파워 서플라이 분배 경로와의 각자의 중첩 영역을 특징으로 하고, 애노드들 각각에 대한 상기 중첩 영역은 상기 애노드들 각각의 영역의 50% 미만이고, 상기 애노드들의 중첩 영역들은 30% 미만만큼 상이한, 유기 발광 다이오드 디스플레이.

청구항 23

제1항에 있어서, 상기 수직 연장 라인들 각각은 제1 축에 평행하게 연장되고, 상기 수평 연장 지그재그 금속 라인들 각각은 상기 제1 축과 수직인 제2 축에 평행하게 연장되는 복수의 수평 세그먼트와 복수의 대각선 세그먼트를 포함하고, 각각의 대각선 세그먼트는 각각의 2개의 수평 세그먼트들 사이에 개재되고, 각각의 대각선 세그먼트는 상기 제1 축 및 제2 축에 대해 0이 아닌 각도에 있는 각각의 축에 평행하게 연장되는, 유기 발광 다이오드 디스플레이.

발명의 설명

기 술 분 야

[0001] 본 출원은, 2016년 12월 6일자로 출원된 미국 특허 출원 제15/370,297호, 및 2016년 9월 23일자로 출원된 미국 가특허 출원 제62/398,749호에 대한 우선권을 주장하며, 이들은 이로써 본 명세서에 전체가 참고로 포함된다.

배 경 기 술

[0002] 본 발명은 일반적으로 전자 디바이스들에 관한 것이고, 보다 구체적으로는 유기 발광 다이오드 디스플레이들을 갖는 전자 디바이스들에 관한 것이다.

[0003] 전자 디바이스들은 종종 디스플레이들을 포함한다. 예를 들어, 전자 디바이스는 유기 발광 다이오드 픽셀들에 기초한 유기 발광 다이오드 디스플레이를 가질 수 있다. 각각의 픽셀은 각자의 발광 다이오드를 포함하는 픽셀 회로를 가질 수 있다. 픽셀 회로 내의 박막 트랜지스터 회로부는 그 픽셀 내의 발광 다이오드로의 전류 인가를 제어하는 데 사용될 수 있다. 박막 트랜지스터 회로부는 구동 트랜지스터를 포함할 수 있다. 픽셀 회로 내의 구동 트랜지스터 및 발광 다이오드는 포지티브 파워 서플라이와 접지 파워 서플라이 사이에 직렬로 커플링될 수 있다.

[0004] 파워 서플라이 신호들과 같은 유기 발광 다이오드 디스플레이들에서의 신호들은 이들 신호들을 분배하는 데 사용되는 전도성 경로들에서의 저항성 손실로 인해 원치않는 전압 강하를 겪을 수 있다. 주의하지 않는다면, 이들 전압 강하는 유기 발광 다이오드 디스플레이의 만족스러운 동작을 방해할 수 있다. 만족스러운 디스플레이 성능을 보장하면서 디스플레이 내에서 신호들을 분배하기 위한 경로들을 구성함에 있어서 과제가 또한 발생할 수 있다.

발명의 내용

[0005] 유기 발광 다이오드 디스플레이는 픽셀들의 어레이를 가질 수 있다. 픽셀들은 유기 발광 다이오드들로부터 형성될 수 있다. 각각의 발광 다이오드는 애노드 및 캐소드를 가질 수 있다.

[0006] 메시(mesh) 형상의 경로가 박막 회로부에 파워 서플라이 전압을 분배하는 데 사용될 수 있다. 메시 형상의 경로는 교차하는 수평 연장 라인들 및 수직 연장 라인들을 가질 수 있다. 수평 연장 라인들은 발광 다이오드들의 애노드들과 중첩되지 않는 지그재그(zigzag) 금속 라인들일 수 있다. 수직 연장 라인들은 애노드들과 중첩되는 직선형 수직 금속 라인들일 수 있다.

[0007] 픽셀들은 상이한 색상의 픽셀들을 포함할 수 있다. 시야각의 함수로서 디스플레이 색상의 시프트는 상이하게 착색된 픽셀들의 애노드들이 비슷한 양만큼 수직 연장 라인들과 중첩됨을 보장함으로써 최소화될 수 있다.

도면의 간단한 설명

[0008] 도 1은 일 실시예에 따른, 디스플레이를 갖는 예시적인 전자 디바이스의 다이어그램이다.

도 2는 일 실시예에 따른 예시적인 유기 발광 다이오드 픽셀 회로의 다이어그램이다.

도 3은 일 실시예에 따른 예시적인 유기 발광 다이오드 디스플레이의 다이어그램이다.

도 4는 일 실시예에 따른 예시적인 유기 발광 다이오드 디스플레이의 활성 영역의 일부분의 측단면도이다.

도 5는 일 실시예에 따른 픽셀의 일부분의 측단면도이다.

도 6은 일 실시예에 따른, 디스플레이에서 파워 서플라이 분배 경로에 사용될 수 있는 예시적인 메시 패턴을 보여주는 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0009] 유기 발광 다이오드 디스플레이가 구비될 수 있는 타입의 예시적인 전자 디바이스가 도 1에 도시되어 있다. 전자 디바이스(10)는 컴퓨팅 디바이스, 예컨대 랩톱 컴퓨터, 임베디드 컴퓨터를 포함한 컴퓨터 모니터, 태블릿 컴퓨터, 셀룰러폰, 미디어 플레이어, 또는 다른 핸드헬드 또는 휴대용 전자 디바이스, 더 소형인 디바이스, 예컨대 손목 시계 디바이스, 펜던트 디바이스, 헤드폰 또는 이어피스 디바이스, 사용자의 머리에 착용되는 안경 또는 다른 장비에 임베드되는(embedded) 디바이스, 또는 다른 웨어러블 또는 미니어처 디바이스, 디스플레이, 임베디드 컴퓨터를 포함하는 컴퓨터 디스플레이, 임베디드 컴퓨터를 포함하지 않는 컴퓨터 디스플레이, 게이밍 디바이스, 내비게이션 디바이스, 임베디드 시스템, 예컨대 디스플레이를 갖는 전자 장비가 키오스크 또는 자동차에 실장되는 시스템, 또는 다른 전자 장비일 수 있다.

[0010] 도 1에 도시된 바와 같이, 전자 디바이스(10)는 제어 회로부(16)를 가질 수 있다. 제어 회로부(16)는 디바이스(10)의 동작을 지원하기 위한 저장 및 프로세싱 회로부를 포함할 수 있다. 저장 및 프로세싱 회로부는 하드 디스크 드라이브 저장장치, 비휘발성 메모리(예컨대, 플래시 메모리, 또는 솔리드 스테이트 드라이브(solid state drive)를 형성하도록 구성된 다른 전기적 프로그래밍가능 판독 전용 메모리), 휘발성 메모리(예컨대, 정적 또는 동적 랜덤 액세스 메모리) 등과 같은 저장장치를 포함할 수 있다. 제어 회로부(16) 내의 프로세싱 회로부는 디바이스(10)의 동작을 제어하는 데 사용될 수 있다. 프로세싱 회로부는 하나 이상의 마이크로프로세서들, 마이크로제어기들, 디지털 신호 프로세서들, 기저대역 프로세서들, 전력 관리 유닛들, 오디오 칩들, 주문형 집적 회로들 등에 기초할 수 있다.

[0011] 입출력 디바이스들(12)과 같은, 디바이스(10) 내의 입출력 회로부는 데이터가 디바이스(10)로 공급되게 하고 데이터를 디바이스(10)로부터 외부 디바이스들로 제공되게 하는 데 사용될 수 있다. 입출력 디바이스들(12)은 버튼, 조이스틱, 스크롤링 휠, 터치패드, 키패드, 키보드, 마이크로폰, 스피커, 톤 생성기, 진동기, 카메라, 센서, 발광 다이오드 및 기타 상태 표시기, 데이터 포트 등을 포함할 수 있다. 사용자는 입출력 디바이스들(12)을 통해 커맨드들을 공급함으로써 디바이스(10)의 동작을 제어할 수 있고, 입출력 디바이스들(12)의 출력 리소스들을 사용하여 디바이스(10)로부터 상태 정보 및 기타 출력을 수신할 수 있다.

[0012] 입출력 디바이스들(12)은 디스플레이(14)와 같은 하나 이상의 디스플레이를 포함할 수 있다. 디스플레이(14)는 사용자로부터의 터치 입력을 수집하기 위한 터치 센서를 포함하는 터치스크린 디스플레이일 수 있거나, 또는 디스플레이(14)는 터치에 불감응형일 수 있다. 디스플레이(14)를 위한 터치 센서는 용량성 터치 센서 전극들의 어레이, 음향 터치 센서 구조물, 저항성 터치 컴포넌트, 힘-기반 터치 센서 구조물, 광-기반 터치 센서, 또는 다른 적합한 터치 센서 배열물에 기초할 수 있다. 디스플레이(14)를 위한 터치 센서는 디스플레이(14)의 픽셀들을 갖는 보편적인 디스플레이 기판 상에 형성되는 전극들로부터 형성될 수 있거나, 또는 디스플레이(14)의 픽셀들과 중첩되는 별개의 터치 센서 패널로부터 형성될 수 있다. 원한다면, 디스플레이(14)는 터치에 불감응형일 수 있다(즉, 터치 센서가 생략될 수 있다).

[0013] 제어 회로부(16)는 운영 체제 코드 및 애플리케이션들과 같은 디바이스(10) 상의 소프트웨어를 실행하는 데 사용될 수 있다. 디바이스(10)의 동작 동안, 제어 회로부(16) 상에서 실행되는 소프트웨어는 디스플레이(14) 상에 이미지들을 디스플레이할 수 있다.

[0014] 디스플레이(14)는 유기 발광 다이오드 디스플레이일 수 있다. 유기 발광 다이오드 디스플레이에서, 각각의 픽셀은 각자의 유기 발광 다이오드를 포함한다. 예시적인 유기 발광 다이오드 픽셀의 개략적인 다이어그램이 도

2에 도시되어 있다. 도 2에 도시된 바와 같이, 픽셀(22)은 발광 다이오드(38)를 포함할 수 있다. 포지티브 파워 서플라이 전압(ELVDD)이 포지티브 파워 서플라이 단자(34)에 공급될 수 있고 접지 파워 서플라이 전압(ELVSS)이 접지 파워 서플라이 단자(36)에 공급될 수 있다. 다이오드(38)는 애노드(단자(AN)) 및 캐소드(단자(CD))를 갖는다. 구동 트랜지스터(32)의 상태는 다이오드(38)를 통해 흐르는 전류의 양, 및 그에 따라, 디스플레이 픽셀(22)로부터의 방출되는 광(40)의 양을 제어한다. 다이오드(38)의 캐소드(CD)는 접지 단자(36)에 커플링되므로, 다이오드(38)의 캐소드 단자(CD)는 때때로 다이오드(38)에 대한 접지 단자로 지칭될 수 있다.

[0015] 트랜지스터(32)가 연속적인 데이터 프레임들 사이에서 원하는 상태로 유지되는 것을 보장하기 위해, 디스플레이 픽셀(22)은 저장 커패시터(Cst)와 같은 저장 커패시터를 포함할 수 있다. 저장 커패시터(Cst)의 제1 단자는 노드(A)에서 트랜지스터(32)의 게이트에 커플링될 수 있고, 저장 커패시터(Cst)의 제2 단자는 노드(B)에서 다이오드(38)의 애노드(AN)에 커플링될 수 있다. 저장 커패시터(Cst) 상의 전압은 노드(A)에서 트랜지스터(32)의 게이트에 인가되어 트랜지스터(32)를 제어한다. 데이터는 스위칭 트랜지스터(30)와 같은 하나 이상의 스위칭 트랜지스터들을 사용하여 저장 커패시터(Cst)에 로딩될 수 있다. 스위칭 트랜지스터(30)가 오프되는 경우, 데이터 라인(D)은 저장 커패시터(Cst)로부터 분리되고, 노드(A) 상의 게이트 전압은 저장 커패시터(Cst)에 저장된 데이터 값(즉, 디스플레이(14) 상에 디스플레이되고 있는 이전 프레임의 디스플레이 데이터로부터의 데이터 값)과 동일하다. 디스플레이 픽셀(22)과 연관된 행(row)의 게이트 라인(G)(때때로 스캔 라인으로 지칭됨)이 어써트(assert)되는 경우, 스위칭 트랜지스터(30)는 턴온될 것이고, 데이터 라인(D) 상의 새로운 데이터 신호가 저장 커패시터(Cst)에 로딩될 것이다. 커패시터(Cst) 상의 새로운 신호는 노드(A)에서 트랜지스터(32)의 게이트에 인가되어, 이에 의해, 트랜지스터(32)의 상태를 조정하고 발광 다이오드(38)에 의해 방출되는 광(40)의 대응하는 양을 조정한다.

[0016] 원한다면, 디스플레이(14)에서 픽셀들(22)에 대한 발광 다이오드들의 동작을 제어하기 위한 회로부(예컨대, 도 2의 디스플레이 픽셀 회로와 같은 디스플레이 픽셀 회로 내의 트랜지스터, 커패시터 등)가 도 2의 구성 이외의 구성들(예컨대, 구동 트랜지스터(32)에서 임계 전압 변동을 보상하기 위한 회로부를 포함하는 구성들, 방출 인에이블 트랜지스터가 구동 트랜지스터(32)와 직렬로 커플링된 구성들, 다수의 스위칭 트랜지스터들이 다수의 각자의 스캔 라인들에 의해 제어되는 구성들, 다수의 커패시터들을 갖는 구성들 등)을 이용하여 형성될 수 있다. 픽셀들(22) 내의 박막 트랜지스터는 실리콘 박막 트랜지스터(예컨대, 폴리실리콘 활성 영역들을 갖는 트랜지스터)일 수 있고/있거나, 반도체-산화물 박막 트랜지스터(예컨대, 인듐 갈륨 아연 산화물 트랜지스터)일 수 있고/있거나, n-채널 금속 산화물 반도체 트랜지스터들 수 있고/있거나, p-채널 금속 산화물 반도체 트랜지스터일 수 있고/있거나, 다른 박막 회로부를 포함할 수 있다. 도 2의 픽셀(22)의 회로부는 단지 예시일 뿐이다.

[0017] 도 3에 도시된 바와 같이, 디스플레이(14)는 기판 층(24)과 같은 층들을 포함할 수 있다. 기판(24), 및 원한다면 디스플레이(14) 내의 다른 층들이 유리 층, 폴리머 층(예컨대, 폴리이미드 또는 다른 가요성 폴리머의 가요성 시트) 등과 같은 재료의 층들로부터 형성될 수 있다. 기판(24)은 평면형일 수 있고/있거나 하나 이상의 만곡형 부분들을 가질 수 있다. 기판(24)은 좌측 및 우측 수직방향 에지들과 상부 및 하부 수평방향 에지들을 갖는 직사각형 형상을 가질 수 있거나, 또는 비직사각형 형상을 가질 수 있다. 기판(24)이 4개의 코너들을 갖는 직사각형 형상을 갖는 구성들에서, 코너들은, 원한다면, 라운드형일 수 있다. 디스플레이 기판(24)은, 원한다면, 미부(24T)와 같은 미부 부분을 가질 수 있다.

[0018] 디스플레이(14)는 픽셀들(22)의 어레이를 가질 수 있다. 픽셀들(22)은 사용자를 위해 이미지들을 디스플레이하는 디스플레이(14)의 활성 영역(AA)을 형성한다. 기판(24)의 에지들 중 하나 이상을 따른 비활성 영역들(IA)과 같은 디스플레이(14)의 비활성 경계 부분들은 픽셀들(22)을 포함하지 않고, 사용자를 위해 이미지들을 디스플레이하지 않는다(즉, 비활성 영역(IA)은 픽셀들(22)이 없다).

[0019] 각각의 픽셀(22)은 도 2의 유기 발광 다이오드(38)와 같은 발광 다이오드 및 연관된 박막 트랜지스터 회로부(예컨대, 도 2의 픽셀 회로 또는 다른 적합한 픽셀 회로부)를 가질 수 있다. 픽셀들(22)의 어레이는 픽셀 구조물들의 행들 및 열(column)들로부터 형성될 수 있다(예컨대, 픽셀들은 기판(24)과 같은 디스플레이 층들 상의 박막 회로부로부터 형성됨). 픽셀들(22)의 어레이에는 임의의 적합한 수(예컨대, 10개 이상, 100개 이상, 또는 1000개 이상)의 행들 및 열들이 있을 수 있다. 디스플레이(14)는 상이한 색상의 픽셀들(22)을 포함할 수 있다. 일례로서, 디스플레이(14)는 적색 광을 방출하는 적색 픽셀들, 녹색 광을 방출하는 녹색 픽셀들, 및 청색 광을 방출하는 청색 픽셀들을 포함할 수 있다. 원하는 경우, 다른 색상의 픽셀들을 포함하는 디스플레이(14)를 위한 구성들이 사용될 수 있다. 적색, 녹색, 및 청색 픽셀들을 갖는 픽셀 배열물의 사용은 단지 예시일 뿐이다.

[0020] 도 3의 예에 도시된 바와 같이, 디스플레이 기판(24)은 활성 영역(AA)을 포함하는 기판(24)의 부분보다 더 좁은

폭을 갖는 미부(24T)와 같은 미부 부분을 가질 수 있다. 이러한 배열물은 디바이스(10)의 하우징 내에 미부(24T)를 수용하는 것을 돕는다. 미부(24T)는, 원한다면, 디스플레이(14)가 전자 디바이스 하우징 내에 실장되는 경우에 디스플레이(14)의 나머지 부분 아래에서 구부러질 수 있다.

[0021] 디스플레이(14)를 위한 디스플레이 드라이버 회로부(20)가 미부 부분(24T)에 커플링되는 인쇄 회로 보드 상에 실장될 수 있거나, 또는 미부 부분(24T) 상에 실장될 수 있다. 신호 경로(26)와 같은 신호 경로들은 디스플레이 드라이버 회로부(20)를 제어 회로부(16)에 커플링시킬 수 있다. 회로부(20)는 하나 이상의 디스플레이 드라이버 집적 회로들 및/또는 박막 트랜지스터 회로부를 포함할 수 있다. 동작 동안, 디바이스(10)의 제어 회로부(예컨대, 도 1의 제어 회로부(16))는 디스플레이(14) 상에 디스플레이될 이미지들에 대한 정보를 디스플레이 드라이버 회로부(20)와 같은 회로부에 공급할 수 있다. 디스플레이 픽셀들(22) 상에 이미지들을 디스플레이하기 위해, 디스플레이 드라이버 회로부(20)는 게이트 드라이버 회로부(18)와 같은 지원용 디스플레이 드라이버 회로부에 클록 신호들 및 다른 제어 신호들을 발행하면서 대응하는 이미지 데이터를 데이터 라인들(D)에 공급할 수 있다. 게이트 드라이버 회로부(18)는 픽셀들(22)에 대한 게이트 라인 신호들(때때로, 스캔 신호들, 방출 인에이블 신호들 등으로 지칭됨) 또는 다른 제어 신호들을 생성할 수 있다. 게이트 라인 신호들은 게이트 라인들(G)과 같은 라인들을 사용하여 픽셀들(22)로 전달될 수 있다. 픽셀들(22)의 행당 하나 이상의 게이트 라인들이 있을 수 있다. 게이트 드라이버 회로부(18)는 집적 회로들 및/또는 박막 트랜지스터 회로부를 포함할 수 있고, 디스플레이(14)의 에지들을 따라서(예컨대, 도 3에 도시된 바와 같이 디스플레이(14)의 좌측 및/또는 우측 에지들을 따라서) 또는 디스플레이(14) 내의 어딘가에(예컨대, 미부(24T) 상의 회로부(20)의 부분으로서, 디스플레이(14)의 하부 에지를 따라서, 등등으로) 위치될 수 있다. 도 3의 구성은 단지 예시일 뿐이다.

[0022] 디스플레이 드라이버 회로부(20)는 복수의 대응하는 데이터 라인들(D) 상에 데이터 신호들을 공급할 수 있다. 도 3의 예시적인 배열물에서, 데이터 라인들(D)은 디스플레이(14)를 통해 수직으로 이어진다. 데이터 라인들(D)은 픽셀들(22)의 각자의 열들과 연관된다.

[0023] 도 3의 예시적인 구성에서, 게이트 라인들(G)(때때로, 스캔 라인들, 방출 라인들 등으로 지칭됨)은 디스플레이(14)를 통해 수평으로 이어진다. 각각의 게이트 라인(G)은 디스플레이 픽셀들(22)의 각자의 행과 연관된다. 원한다면, 픽셀들(22)의 각각의 행과 연관된 게이트 라인들(G)과 같은 다수의 수평 제어 라인들이 있을 수 있다. 게이트 드라이버 회로부(18)는 디스플레이(14)의 게이트 라인들(G) 상에 게이트 라인 신호들을 어써트할 수 있다. 예를 들어, 게이트 드라이버 회로부(18)는 디스플레이 드라이버 회로부(20)로부터 클록 신호들 및 다른 제어 신호들을 수신할 수 있고, 수신된 신호들에 응답하여, 디스플레이 픽셀들(22)의 제1 행에서 게이트 라인 신호(G)를 시작으로, 순차적으로 게이트 라인들(G) 상에 게이트 신호를 어써트할 수 있다. 각각의 게이트 라인이 어써트됨에 따라, 데이터 라인들(D)로부터의 데이터는 디스플레이 픽셀들의 대응하는 행에 로딩된다. 이러한 방식으로, 디스플레이 드라이버 회로부(20)와 같은 디바이스(10) 내의 제어 회로부는 디스플레이(14) 상에 원하는 이미지를 디스플레이하기 위한 광을 생성할 것을 픽셀들(22)에게 지시하는 신호들을 픽셀들(22)에게 제공할 수 있다.

[0024] 픽셀들(22)의 회로부, 및 원한다면 회로부(18 및/또는 20)와 같은 디스플레이 드라이버 회로부는 박막 트랜지스터 회로부를 사용하여 형성될 수 있다. 디스플레이(14) 내의 박막 트랜지스터들은, 일반적으로, 임의의 적합한 타입의 박막 트랜지스터 기술을 이용하여 형성될 수 있다(예컨대, 폴리실리콘 박막 트랜지스터와 같은 실리콘 트랜지스터, 인듐 갈륨 아연 산화물 트랜지스터와 같은 반도체성 산화물 트랜지스터 등).

[0025] 전도성 경로들(예컨대, 하나 이상의 신호 라인들, 블랭킷 전도성 필름들, 메시 형상의 전도성 층들, 및 다른 패턴화된 전도성 구조물들)이, 데이터 신호들(D) 및 전력 신호들, 예컨대 포지티브 파워 서플라이 신호(ELVDD) 및 접지 파워 서플라이 신호(ELVSS)를 픽셀들(22)로 라우팅하도록 디스플레이(14)에 제공될 수 있다. 도 3에 도시된 바와 같이, 이러한 신호들은 신호 라우팅 경로들(P)을 사용하여 활성 영역(AA) 내의 픽셀들(22)에 제공될 수 있다. 경로들(P)은 금속 라인들, 및/또는 디스플레이(14)의 미부 부분(24T)으로부터 신호들(D, ELVDD, ELVSS)을 수신하는 다른 전도성 구조물들로부터 형성될 수 있다.

[0026] 픽셀들(22)을 형성하는 데 사용될 수 있는 예시적인 구성을 보여주는, 디스플레이(14)의 활성 영역(AA)의 일부분의 측단면도가 도 4에 도시되어 있다. 도 4에 도시된 바와 같이, 디스플레이(14)는 기판(24)과 같은 기판을 가질 수 있다. 박막 트랜지스터들, 커패시터들, 및 다른 박막 트랜지스터 회로부(50)(예컨대, 도 2의 예시적인 픽셀 회로부와 같은 박막 회로부)가 기판(24) 상에 형성될 수 있다. 픽셀(22)은 유기 발광 다이오드(38)를 포함할 수 있다. 다이오드(38)의 애노드(AN)가 금속 층(58)(때때로, 애노드 금속 층으로 지칭됨)으로부터 형성될 수 있다. 각각의 다이오드(38)는 캐소드 층(60)과 같은 전도성 캐소드 구조물들로부터 형성되는 캐소드(CD)를

가질 수 있다. 층(60)은, 예를 들어 10 내지 18 nm, 8 nm 초과, 25 nm 미만 등의 두께를 갖는 마그네슘 은의 층과 같은 얇은 금속 층일 수 있다. 층(60)은 디스플레이(14)의 활성 영역(AA)에서 픽셀들(22) 모두를 커버할 수 있고, (예컨대, 층(60)이 접지 파워 서플라이 전압(ELVSS)을 층(60)에 공급하는 접지 파워 서플라이 경로들에 커플링되도록) 디스플레이(14)의 비활성 영역(IA)으로 연장되는 부분들을 가질 수 있다.

[0027] 각각의 다이오드(38)는 방출 층(56)과 같은 유기 발광 방출 층(때때로, 방출 재료 또는 방출 층 구조물로 지칭됨)을 갖는다. 방출 층(56)은 다이오드(38)를 통해 인가된 전류에 응답하여 광(40)을 방출하는 유기 전자 발광 층이다. 컬러 디스플레이에서, 디스플레이에서의 픽셀들의 어레이 내의 방출 층들(56)은 적색 픽셀들에서 적색 광을 방출하기 위한 적색 방출 층들, 녹색 픽셀들에서 녹색 광을 방출하기 위한 녹색 방출 층들, 및 청색 픽셀들에서 청색 광을 방출하기 위한 청색 방출 층들을 포함한다. 각각의 다이오드(38) 내의 유기 방출 층 외에도, 각각의 다이오드(38)는 다이오드 성능을 향상시키기 위한 추가 층들, 예컨대 전자 주입 층, 전자 수송 층, 홀 수송 층, 및 홀 주입 층을 포함할 수 있다. 이들과 같은 층들은 유기 재료들(예컨대, 층(56)에서의 전자 발광 재료의 상부 및 하부 표면들 상의 재료들)로부터 형성될 수 있다.

[0028] 층(52)(때때로, 픽셀 정의 층으로 지칭됨)은 층(56)의 방출 재료의 각자의 부분들을 포함하는 개구들의 어레이를 갖는다. 애노드(AN)가 이들 개구들 각각의 저부에 형성되고, 방출 층(56)에 의해 중첩된다. 따라서, 픽셀 정의 층(52)에서의 다이오드 개구의 형상은 다이오드(38)에 대한 발광 영역의 형상을 한정한다.

[0029] 픽셀 정의 층(52)은 포토리소그래피로 패턴화되는 광이미징가능(photoimageable) 재료(예컨대, 광이미징가능 폴리이미드, 광이미징가능 폴리아크릴레이트 등과 같은 포토리소그래피로 정의되는 개구들을 형성하도록 프로세싱될 수 있는 유전체 재료)로부터 형성될 수 있거나, 섀도우 마스크를 통해 침착되는 재료로부터 형성될 수 있거나, 또는 기판(24) 상에 달리 패턴화되는 재료로부터 형성될 수 있다. 픽셀 정의 층(52)에서의 다이오드 개구들의 벽들은, 원한다면, 도 4의 경사진 측벽들(64)에 의해 보여지는 바와 같이, 경사질 수 있다.

[0030] 박막 회로부(50)는 예시적인 트랜지스터(32)와 같은 트랜지스터들을 포함할 수 있다. 도 4의 예시적인 박막 트랜지스터(32)와 같은 박막 트랜지스터 회로부는 층(70)과 같은 반도체의 패턴화된 층으로부터 형성된 활성 영역들(채널 영역들)을 가질 수 있다. 층(70)은 폴리실리콘의 층 또는 반도체성 산화물 재료(예컨대, 인듐 갈륨 아연 산화물)의 층과 같은 반도체 층으로부터 형성될 수 있다. 소스-드레인 단자들(72)은 반도체 층(70)의 대향하는 단부들과 접촉할 수 있다. 게이트(76)는 게이트 금속의 패턴화된 층 또는 다른 전도성 층으로부터 형성될 수 있고, 반도체(70)와 중첩될 수 있다. 게이트 절연체(78)는 게이트(76)와 반도체 층(70) 사이에 개재될 수 있다. 유전체 층(84)과 같은 버퍼 층이 차폐부(74) 아래의 기판(24) 상에 형성될 수 있다. 유전체 층(82)과 같은 유전체 층이 차폐부(74)를 커버할 수 있다. 유전체 층(80)은 게이트(76)와 소스-드레인 단자들(72) 사이에 형성될 수 있다. 층들(84, 82, 78, 80)과 같은 층들이 실리콘 산화물, 실리콘 질화물, 다른 무기 유전체 재료들, 또는 다른 유전체들과 같은 유전체들로부터 형성될 수 있다. 폴리머 평탄화 층들(PLN1, PLN2) 또는 다른 유기 평탄화 층들과 같은 유전체의 추가 층들이 트랜지스터(32)의 구조물들과 같은 박막 트랜지스터 구조물들에 포함될 수 있고, 디스플레이(14)의 평탄화를 도울 수 있다.

[0031] 디스플레이(14)는 픽셀들(22)을 통해 신호들을 라우팅하기 위해 금속 층들과 같은 디스플레이(14)의 유전체 층들 내에 임베드되는 전도성 재료의 다수의 층들을 가질 수 있다. 차폐부 층(74)은 (일례로서) 제1 금속 층으로부터 형성될 수 있다. 게이트 층(76)이 제2 금속 층으로부터 형성될 수 있다. 단자들(72)과 같은 소스-드레인 단자들, 및 신호 라인들(86)과 같은 다른 구조물들은 금속 층(SD1)과 같은 제3 금속 층의 부분들로부터 형성될 수 있다. 금속 층(SD1)은 유전체 층(80) 상에 형성될 수 있고, 평탄화 유전체 층(PLN1)으로 커버될 수 있다. 금속 층(SD2)과 같은 금속의 제4 층이 다이오드 비아 부분(88), 신호 라인들(90), 및 경로(92)와 같은 파워 서플라이 경로들(예컨대, 메시 형상의 ELVDD 층)을 형성하는 데 사용될 수 있다. 활성 영역(AA)에서, 애노드 금속 층(58)과 같은 금속의 제5 층이 다이오드들(38)의 애노드들(AN)을 형성할 수 있다. 각각의 픽셀 내의 제5 금속 층은, 비아 부분(88)에 커플링되어, 이에 의해 트랜지스터(32)의 소스-드레인 단자들 중 하나를 다이오드(38)의 애노드(AN)에 커플링시키는 부분, 예컨대 비아 부분(58P)을 가질 수 있다. 캐소드 금속 층(60)과 같은 금속의 제6 층(예컨대, 블랭킷 필름)이 발광 다이오드(38)에 대한 캐소드(CD)를 형성하는 데 사용될 수 있다. 애노드 층(58)은 금속 층(SD2)과 캐소드 층(60) 사이에 개재될 수 있다. 층(58, SD2, SD1, 76, 74)과 같은 층들이 기판(24) 상에 지지되는 디스플레이(14)의 유전체 층들 내에 임베드될 수 있다. 원한다면, 더 적은 금속 층들이 디스플레이(14)에 제공될 수 있거나, 또는 디스플레이(14)가 더 많은 금속 층들을 가질 수 있다. 도 4의 구성은 단지 예시일 뿐이다.

[0032] 전력 신호들을 픽셀들(22)에 분배하는 경우에 오믹 손실(ohmic loss)(때때로, IR 손실로 지칭됨)을 최소화하여,

디스플레이(14)가 효율적으로 동작하고 디스플레이(14)에 걸쳐서 균일한 휘도로 이미지들을 생성함을 보장하는 것이 바람직하다. 오믹 손실은 디스플레이(14)를 통해 저저항 신호 경로들을 통합함으로써 최소화될 수 있다.

[0033] 예를 들어, 포지티브 파워 서플라이(ELVDD)를 분배하는 데 사용되는 파워 서플라이 경로를 고려한다. 이러한 경로와 연관된 저항이 너무 높으면, IR 손실은 디스플레이(14)의 하부 에지 근처에 픽셀들(22)의 포지티브 파워 서플라이 전압을 야기할 수 있는데, 여기서 ELVDD는 디스플레이(14)의 중간에서 픽셀들(22)의 포지티브 파워 서플라이 전압보다 크기가 더 크도록 공급된다. 이는 픽셀 휘도의 원하지 않는 변동을 야기할 수 있다.

[0034] 원하지 않는 IR 손실을 최소화하기 위해, 파워 서플라이 전압(ELVDD)을 분배하는 데 사용되는 전도성 경로(때때로, 포지티브 파워 서플라이 경로, 포지티브 파워 서플라이 분배 경로 등으로 지칭됨)는 메시 형상의 패턴의 전도성 재료(예컨대, 금속)를 사용하여 형성될 수 있다. 예를 들어, 도 4의 파워 서플라이 경로(92)는, 비아 및 다른 박막 구조물들(예컨대, 비아 부분(58P), 신호 라인들(90) 등 참조)을 수용하는 개구들의 어레이를 갖는 상호접속된 금속 라인들의 그리드로부터 형성될 수 있다. 이러한 타입의 메시 형상의 파워 서플라이 분배 경로는 낮은 시트 저항 및 최소 IR 손실을 나타내어, 이에 의해, 디스플레이 휘도 균일성을 향상시킬 수 있다.

[0035] 도 5에 도시된 바와 같이, 애노드(AN)를 형성하는 금속 층(58)의 적어도 일부는 파워 서플라이 분배 경로(92)와 중첩될 수 있다. 평탄화 층(PLN2)은 경로(92)를 커버할 수 있고, 애노드(AN)는 층(PLN2)의 상부 표면(94) 상에 형성될 수 있다. 경로(92)를 형성하는 금속 층(SD2)의 두께(H)는, 예를 들어, 0.7 마이크로미터, 0.5 내지 0.9 마이크로미터, 0.2 내지 1.2 마이크로미터, 0.2 마이크로미터 초과, 0.9 마이크로미터 미만, 또는 다른 적합한 두께일 수 있다. 평탄화 층(PLN2)의 두께(T)는, 예를 들어 0.9 마이크로미터, 0.7 내지 1.1 마이크로미터, 0.5 마이크로미터 초과, 1.5 마이크로미터 미만, 또는 임의의 다른 적합한 두께일 수 있다.

[0036] (예컨대, 층(PLN2)의 폴리머로부터의 가스 방출을 최소화하기 위해) 평탄화 층(PLN2)의 총 두께를 제한하는 것이 바람직할 수 있다. 층(PLN2)의 두께가 제한될 때, 평탄화 층(PLN2)의 상부 표면(94)은 경로(92)의 존재로 인해 애노드(AN)의 일부 아래에서 경사질 수 있다. 표면(94)의 경사 부분(94')은 표면(94)의 비경사(평면) 부분의 표면 법선(n)에 대해 0이 아닌 각도로 배향되는 표면 법선(ns)을 가질 수 있다(즉, 경사 부분(94')의 표면 법선(ns)은 디스플레이(14)의 표면 법선에 대해 0이 아닌 각도로 배향될 수 있다).

[0037] 픽셀들(22)에서의 경사 부분들(94')의 존재(및 특히, 상이한 색상의 픽셀들에서의 경사 부분들(94')의 상이한 양)로 인해, 디스플레이(14)가 시야각의 함수로서 색상의 변화를 나타낼 위험이 있다. 각각의 픽셀(22)이 비슷한 양의 경사 영역을 갖는 애노드(AN)를 갖는 디스플레이(14)에 대한 구성에서, 디스플레이(14)는 시야각의 변화의 함수로서 감소된 색상 시프트를 나타낼 것이다. 예를 들어, 디스플레이(14)의 백색 포인트는 디스플레이(14)가 보여지는 각도의 변화의 함수로서 감소된 색상 시프트를 나타낼 것이다.

[0038] 이러한 고려사항들의 관점에서, 각각의 픽셀(22) 내의 애노드(AN)의 총 표면적에 대한 경사 영역(부분(94'))의 양을 제한하고/하거나 상이한 색상의 픽셀들 사이에서의 각각의 픽셀의 경사 영역의 변동량을 제한하는 것이 바람직할 수 있다. 일례로서, 디스플레이(14)의 적색, 녹색, 및 청색 픽셀들 내의 중첩 영역(경사 부분(94')에 의해 소비되는 영역)이 서로로부터 30% 미만, 20% 미만, 15% 미만, 10% 미만, 5% 미만, 또는 2% 미만만큼 변하는 것이 바람직할 수 있다.

[0039] 디스플레이(14)가 메시 형상의 파워 서플라이 분배 경로(92)를 갖는 디스플레이(14)에 대한 예시적인 구성이 도 6에 도시되어 있다. 도 6에 도시된 바와 같이, 디스플레이(14)는 각자의 애노드들(AN)을 갖는 적색 픽셀들(R), 녹색 픽셀들(G), 및 청색 픽셀들(B)을 포함할 수 있다. 애노드들(AN)은 도 6의 예에서 다이아몬드 형상을 갖는다. 원하는 경우, 애노드들(AN)은 원형 형상, 육각형 형상, 애노드의 에지들이 수평으로 그리고 수직으로 이어지는 직사각형 형상, 삼각형 형상, 또는 다른 적합한 형상을 가질 수 있다. 도 6의 예에 도시된 바와 같이, 다이아몬드 형상의 애노드들(AN)은 수직 차원(Y)에 대해 대각선으로 연장되는 에지들(및 픽셀 정의 층(52) 내의 대응하는 다이아몬드 형상의 개구들 및 방출 층(56)의 대응하는 다이아몬드 형상의 영역들)을 가질 수 있다. 원하는 경우, 다른 형상의 애노드들이 사용될 수 있다.

[0040] 녹색 픽셀들(G)의 애노드들(AN)은 행들로 디스플레이(14)를 가로질러 수평으로 연장될 수 있다. 교번하는 적색 픽셀들(R) 및 청색 픽셀들(B)의 행은 각 쌍의 녹색 픽셀 행들 사이에 개재될 수 있다. 예를 들어, 디스플레이(14)의 제1 및 제3 행들이 녹색 픽셀들만을 포함하는 경우, 디스플레이(14)의 제2 행은 적색 및 청색 픽셀들을 포함할 수 있다. 원하는 경우, 픽셀 색상들의 다른 패턴이 이용될 수 있다. 예를 들어, (일례로서) 디스플레이(14)의 픽셀들(22)의 어레이의 짝수(또는 홀수) 행들은 교번하는 녹색 픽셀들과 청색 픽셀들을 포함할 수 있고, 디스플레이(14)의 픽셀들(22)의 어레이의 홀수(또는 짝수) 행들은 교번하는 적색 픽셀들과 녹색 픽셀들을

포함할 수 있다. 도 6의 픽셀 색상 패턴의 이용은 단지 예시일 뿐이다.

[0041] 파워 서플라이 분배 경로(92)는 교차하는 수평 연장 금속 라인들과 수직 연장 금속 라인들의 네트워크로부터 형성되는 메시 형상(그리드 형상)을 가질 수 있다. 도 6에 도시된 바와 같이, 메시 형상의 경로(92)는 개구들(96)의 어레이를 갖는 패턴화된 금속 층(예컨대, 금속 층(SD2))으로부터 형성되는 상호접속된 금속 라인들의 그리드를 가질 수 있다. 개구들(96)은 행 및 열로 배열될 수 있고, 적색 픽셀들(R), 녹색 픽셀들(G) 및 청색 픽셀들(B)과 정렬될 수 있다. 접촉부들(98)은 개구들(96) 내의 비아 부분들(58P, 88)로부터 형성될 수 있다(예컨대, 도 4 참조).

[0042] 파워 서플라이 분배 경로(92)의 메시 형상은 전력을 픽셀들(22)에 분배할 때 (예컨대, 포지티브 파워 서플라이 전압(ELVDD)을 분배할 때) IR 손실을 감소시키는 것을 도울 수 있다. 도 6에 도시된 바와 같이, 경로(92)의 그리드는 차원(X)을 따라서 디스플레이(14)를 가로질러 수평으로 연장되는 수평 라인들로부터 형성될 수 있다. 메시 형상의 경로(92)에서의 각각의 수평 라인은 수평으로(수평 차원(X)에 평행하게) 연장되는 세그먼트들(92H) 및 대각선으로 이어지는 산재된 대각선 세그먼트들(92D)을 가질 수 있다. 대각선 세그먼트들(92D)은 각각 한 쌍의 애노드들의 대향하는 대각선 에지들 사이에 위치한다. 따라서, 경로(92)의 수평 연장 부분들(라인들)은 경로(92)의 이러한 부분들이 임의의 애노드들(AN)과 교차하는 것을 피하게 하는 지그재그 금속 라인 형상을 나타낸다. 경로(92)에서의 지그재그 수평 라인들의 사용은 경로(92)의 수평 연장 부분들(수평 그리드 라인들)이 애노드들(AN)과 중첩되는 것을 방지하는 것을 돕기 때문에, 도 6의 배열은 애노드들(AN)이 경로(92)의 수평 부분들과 중첩되는 애노드들(AN)의 경사 부분들의 형성을 방지하는 것을 돕는다. 그 결과, 애노드들(AN)은 경로(92)의 수직 부분들에만 중첩될 수 있으며, 유사한 중첩 영역들을 나타낼 수 있다.

[0043] 파워 서플라이 전류들은 디스플레이(14)를 통해 수직으로(예컨대, 미부(24T)로부터 픽셀들(22)의 열들로 상향으로) 흐를 수 있다. 그 결과, 경로(92)의 수직 연장 부분들을 형성할 때 지그재그가 없는 그리드 라인들을 사용하는 것이 바람직할 수 있다. 도 6의 예에 도시된 바와 같이, 경로(92)의 각각의 수직 연장 부분(경로(92)의 각각의 수직 그리드 라인)은 차원(Y)에 평행하게 이어지는 직선형 수직 라인(92V)으로부터 형성될 수 있다. 경로(92)에서의 수직 라인들(92V)의 사용은 수직 라인 길이를 최소화시킴으로써 IR 손실을 최소화하는 것을 도울 수 있고, (예컨대, 경로(92)와 인접한 구조물들 사이에 충분한 간격을 제공함으로써) 경로(92)의 레이아웃이 설계 규칙들을 만족시키게 할 수 있다.

[0044] 수직 라인(92V)의 사용은, 도 6에 도시된 바와 같이, 경로(92)의 수직 라인들(92V)과 애노드들(AN) 사이의 중첩을 일으킬 수 있다. 애노드들(AN)은 수직 라인들(92V)에 대해 (0이 아닌 각도로) 대각선으로 연장되는 에지들을 갖는 다이아몬드 형상을 가질 수 있다. 도 5와 관련하여 기술된 바와 같이, 각도 의존적 색상 시프트는 각각의 중첩 영역의 크기(즉, 각각의 픽셀에서 경로(92)와 중첩되는 애노드 영역의 양)가 적색 픽셀들(R), 청색 픽셀들(B), 및 녹색 픽셀들(G)에 대해 실질적으로 동일함을 보장함으로써 최소화될 수 있다. 예를 들어, 각각의 픽셀(R)의 애노드(AN)와 경로(92) 사이의 중첩이 영역(OR)을 특징으로 하고 각각의 녹색 픽셀(G)의 애노드(AN)와 경로(92) 사이의 중첩이 영역(OG)을 특징으로 하고 각각의 청색 픽셀(B)의 애노드(AN)와 경로(92) 사이의 중첩이 영역(OB)을 특징으로 하는 경우, OR, OG, 및 OB가 모두 서로의 30% 내에, 서로의 20% 내에, 서로의 15% 내에, 서로의 10% 내에, 서로의 5% 내에, 서로의 2% 내에, 서로의 1 내지 40% 내 등에 있음을 보장함으로써 디스플레이(14)에 대한 시야각의 함수로서의 디스플레이 색상 캐스트(cast)의 변화가 최소화될 수 있다.

[0045] 일 실시예에 따르면, 기판, 상기 기판 상의 픽셀들의 어레이 - 각각의 픽셀은 파워 서플라이 전압을 수신하도록 구성되고, 각각의 픽셀은 애노드를 갖는 발광 다이오드를 가짐 -, 애노드들이 형성되는 평탄화 층, 및 수평 연장 지그재그 금속 라인들 및 수직 연장 라인들로부터 형성되는 메시 형상의 파워 서플라이 분배 경로 - 상기 애노드들은 상기 수직 연장 라인들과 중첩됨 - 를 포함하는, 유기 발광 다이오드 디스플레이가 제공된다.

[0046] 다른 실시예에 따르면, 각각의 픽셀은 포지티브 파워 서플라이 단자 및 접지 파워 서플라이 단자를 갖고, 상기 메시 형상의 파워 서플라이 분배 경로는 상기 픽셀들의 포지티브 파워 서플라이 단자들에 커플링되는 포지티브 파워 서플라이 분배 경로이다.

[0047] 다른 실시예에 따르면, 각각의 애노드는 상기 수직 연장 라인들에 대해 대각선으로 연장되는 에지들을 갖는 다이아몬드 형상을 갖는다.

[0048] 다른 실시예에 따르면, 수직 연장 라인들 각각은 각자의 수직 연장 직선형 금속 라인이다.

[0049] 다른 실시예에 따르면, 상기 픽셀들은 상이한 색상의 픽셀들을 포함하고, 상기 픽셀들 각각은 상기 수직 연장 직선형 금속 라인들과의 각자의 중첩 영역을 특징으로 하고, 상기 상이한 색상의 픽셀들의 중첩 영역들은 20%

미만만큼 상이하다.

[0050] 다른 실시예에 따르면, 상이한 색상의 픽셀들의 중첩 영역들은 10% 미만만큼 상이하다.

[0051] 다른 실시예에 따르면, 수평 연장 지그재그 금속 라인들은 임의의 애노드들과 중첩되지 않는다.

[0052] 다른 실시예에 따르면, 유기 발광 다이오드 디스플레이는 상기 기판 상의 박막 트랜지스터들을 포함하고, 상기 박막 트랜지스터들은 제1 금속 층으로부터 형성되는 소스-드레인 단자들을 갖고, 폴리머 층이 상기 제1 금속 층과 중첩되고, 상기 메시 형상의 파워 분배 경로는 상기 폴리머 층과 상기 평탄화 층 사이에 개재된다.

[0053] 다른 실시예에 따르면, 수평 연장 지그재그 금속 라인들은 애노드들과 중첩되지 않는다.

[0054] 다른 실시예에 따르면, 각각의 수평 연장 지그재그 금속 라인은 한 쌍의 상기 애노드들의 대향하는 대각선 에지들 사이에 적어도 하나의 대각선 세그먼트를 갖는다.

[0055] 일 실시예에 따르면, 기판, 상기 기판 상의 픽셀들의 어레이 - 각각의 픽셀은 파워 서플라이 전압을 수신하도록 구성되고, 각각의 픽셀은 애노드를 갖는 발광 다이오드를 가짐 -, 제1 및 제2 폴리머 층들, 및 상기 파워 서플라이 전압을 상기 픽셀들의 어레이에 분배하는, 상기 제1 폴리머 층과 상기 제2 폴리머 층 사이의 메시 형상의 포지티브 파워 서플라이 분배 경로를 포함하고, 각각의 애노드는 상기 메시 형상의 포지티브 파워 서플라이 분배 경로와의 각자의 중첩 영역을 특징으로 하고, 상기 픽셀들의 중첩 영역들은 30% 미만만큼 상이한, 유기 발광 다이오드 디스플레이가 제공된다.

[0056] 다른 실시예에 따르면, 픽셀들은 상이한 색상의 픽셀들을 포함하고, 상이한 색상의 픽셀들의 중첩 영역들은 10% 미만만큼 상이하다.

[0057] 다른 실시예에 따르면, 상기 메시 형상의 파워 서플라이 분배 경로는 교차하는 수평 연장 금속 라인들 및 수직 연장 금속 라인들을 포함한다.

[0058] 다른 실시예에 따르면, 애노드들은 수직 연장 금속 라인들과 중첩되고, 수평 연장 금속 라인들과 중첩되지 않는다.

[0059] 다른 실시예에 따르면, 수직 연장 금속 라인들은 수직 연장 직선형 금속 라인들이다.

[0060] 다른 실시예에 따르면, 상기 수평 연장 금속 라인들은 상기 수직 연장 직선형 금속 라인들에 대해 0이 아닌 각도로 연장되는 대각선 라인 세그먼트들을 포함한다.

[0061] 다른 실시예에 따르면, 상기 애노드들은 다이아몬드 형상의 금속 영역들로부터 형성되고, 상기 대각선 라인 세그먼트들 각각은 한 쌍의 상기 다이아몬드 형상의 금속 영역들의 대향하는 대각선 에지들 사이에서 연장된다.

[0062] 일 실시예에 따르면, 기판, 상기 기판 상의 박막 회로부, 상기 박막 회로부 상의 제1 및 제2 폴리머 평탄화 층들, 상기 박막 회로부에 포지티브 파워 서플라이 전압을 분배하는 메시 형상의 포지티브 파워 서플라이 분배 경로를 형성하는, 상기 제1 폴리머 평탄화 층과 상기 제2 폴리머 평탄화 층 사이의 패턴화된 금속 층, 및 유기 발광 다이오드들의 어레이 - 각각의 유기 발광 다이오드는 상기 제2 폴리머 평탄화 층 상에 각자의 애노드를 가짐 - 를 포함하는, 유기 발광 다이오드 디스플레이가 제공된다.

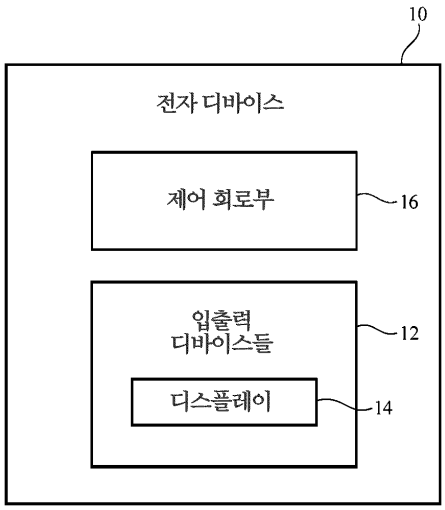
[0063] 다른 실시예에 따르면, 상기 메시 형상의 포지티브 파워 서플라이 분배 경로는 교차하는 수평 연장 라인들 및 수직 연장 라인들의 그리드를 갖고, 상기 수평 연장 라인들은 상기 애노드들과 중첩되지 않고, 상기 수직 연장 라인들은 상기 애노드들과 중첩된다.

[0064] 다른 실시예에 따르면, 수평 연장 라인들은 지그재그 금속 라인들이고, 수직 연장 라인들은 직선형 금속 라인들이다.

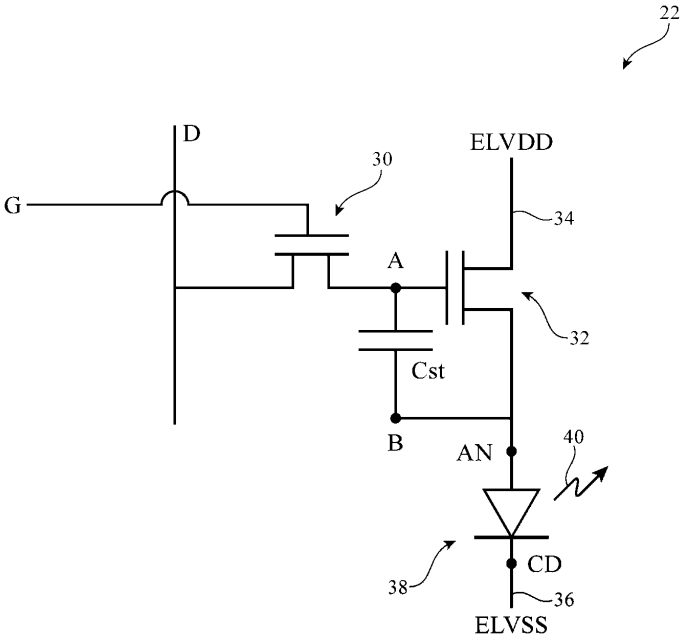
[0065] 상기 내용은 단지 예시일 뿐이며, 기술된 실시예들에 대해 다양한 수정들이 이루어질 수 있다. 전술한 실시예들은 개별적으로 또는 임의의 조합으로 구현될 수 있다.

도면

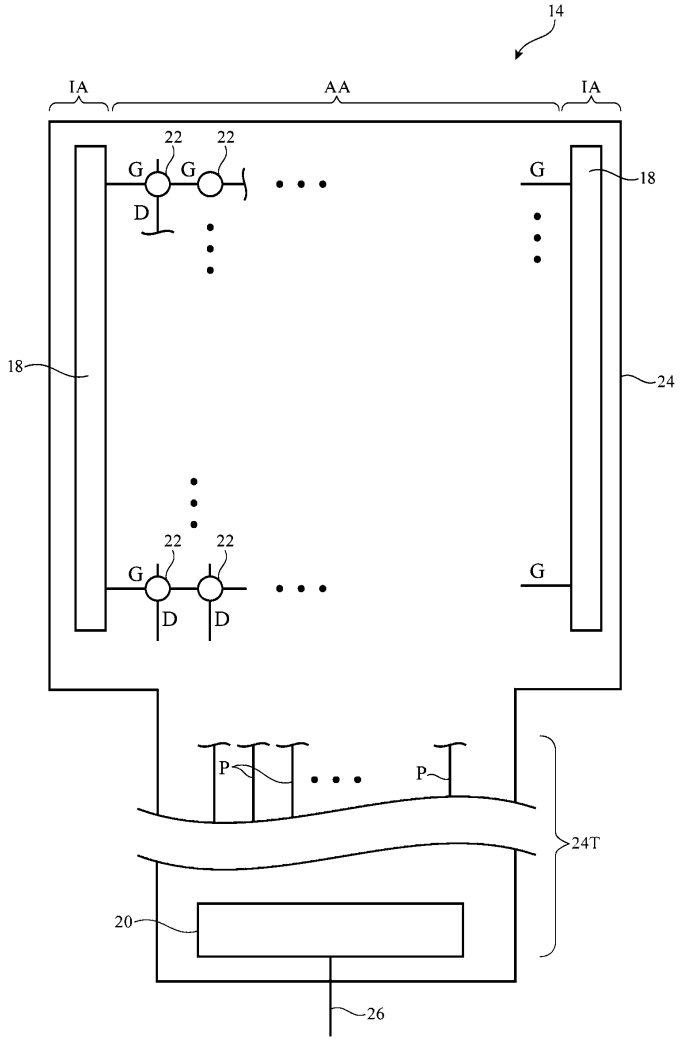
도면1


10
전자 디바이스
제어 회로부
16
입출력
디바이스들
12
디스플레이
14

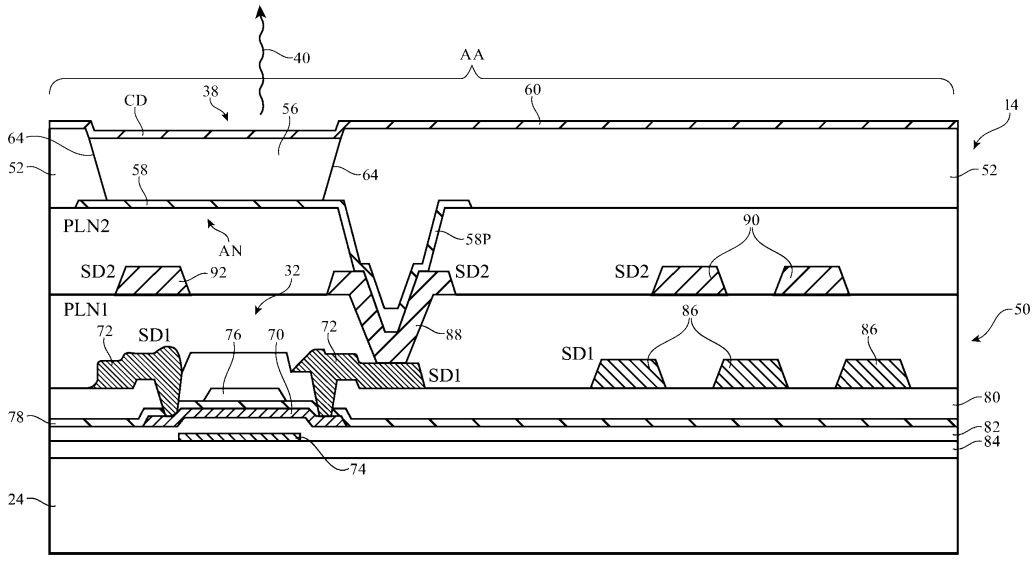
도면2


22
D
G
30
ELVDD
34
A
32
Cst
B
AN
40
CD
38
36
ELVSS

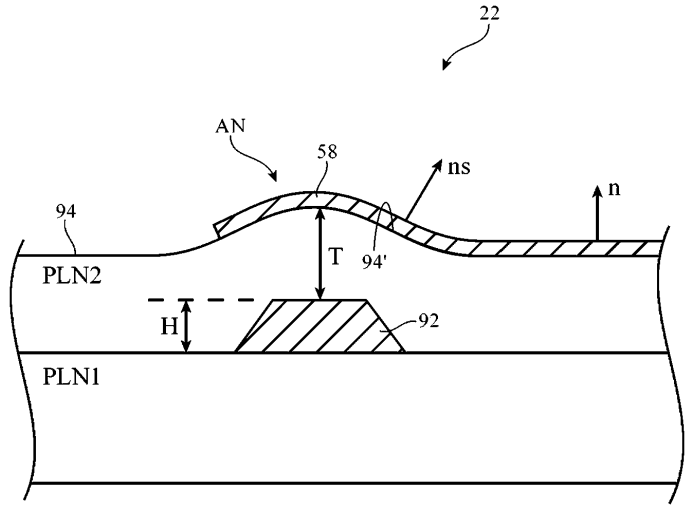
도면3


14
IA
AA
IA
22
22
G
G
D
G
18
18
24
22
22
G
D
D
G
P
P
24T
20
26

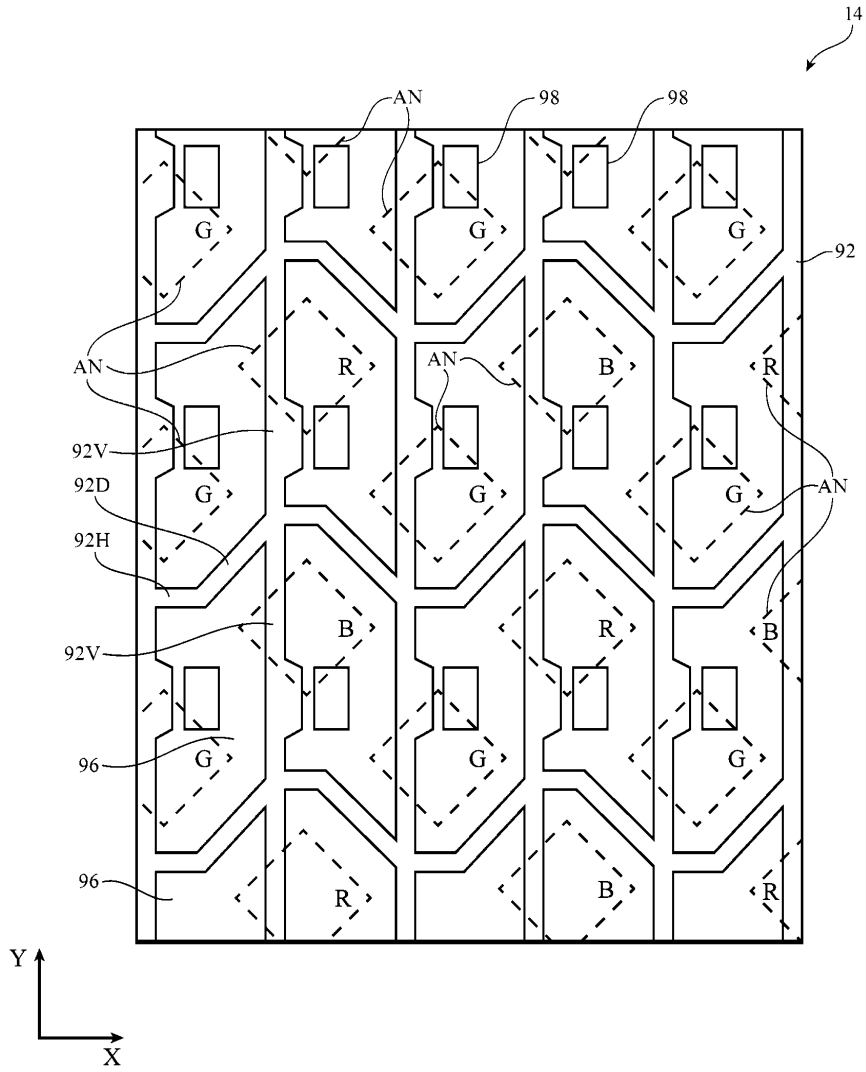
도면4


40
AA
CD
38
60
56
14
64
52
58
64
52
PLN2
AN
58P
90
SD2
92
32
SD2
SD2
PLN1
50
72
SD1
76
70
72
88
SD1
86
SD1
86
80
78
82
84
74
24

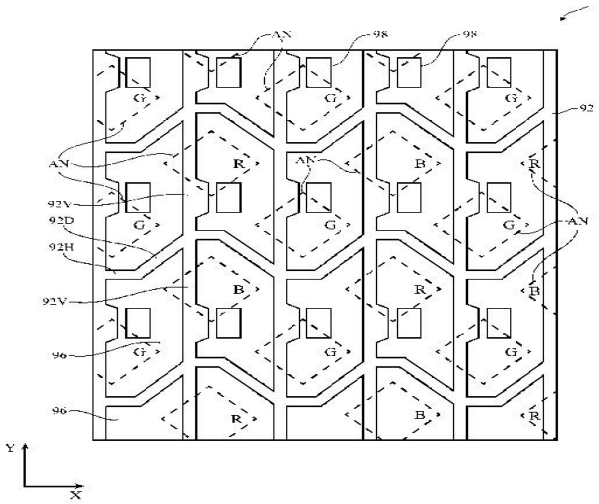
도면5


22
AN
58
ns
n
94
T
94'
PLN2
H
92
PLN1

도면6


14
AN
98
98
92
G
R
B
AN
92V
92D
92H
96
Y
X

专利名称(译)	带有电源网格的显示器		
公开(公告)号	KR101999510B1	公开(公告)日	2019-07-11
申请号	KR1020197005557	申请日	2017-09-12
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	유쳉호		
发明人	루토르트-루이스, 워렌, 에스. 창, 팅-퀴 첸, 치-웨이 유, 쳉-호		
IPC分类号	H01L27/32 G09G3/3225 H01L51/52		
CPC分类号	H01L27/3276 G09G3/3225 H01L27/3218 H01L27/3262 H01L51/5209 G09G2300/0426 G09G2320/0242 G09G2330/00 H01L27/3206 H01L27/323 G09G2320/0223		
代理人(译)	Jangdeoksun Baekmangi		
审查员(译)	Yunseongju		
优先权	62/398749 2016-09-23 US 15/370297 2016-12-06 US		
其他公开文献	KR1020190026940A		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器可以具有像素阵列。 像素可以各自具有带有各自的阳极的有机发光二极管，并且可以由形成在基板上的薄膜晶体管电路形成。 网状路径可用于将电源电压分配给薄膜电路。 网格状路径可以具有相交的水平延伸线和垂直延伸线。 水平延伸的线可以是不与阳极重叠的之字形金属线。 竖直延伸的线可以是与阳极重叠的直的竖直金属线。 像素可以包括不同颜色的像素。 通过确保不同颜色的像素的阳极与垂直延伸的线重叠相似的量，可以使显示颜色的角度相关偏移最小化。