



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년11월12일

(11) 등록번호 10-2043177

(24) 등록일자 2019년11월05일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2012-0132605

(22) 출원일자 2012년11월21일

심사청구일자 2017년11월20일

(65) 공개번호 10-2014-0065284

(43) 공개일자 2014년05월29일

(56) 선행기술조사문헌

KR100788545 B1*

KR100830331 B1*

KR1020060028071 A*

KR1020100034672 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이창호

경기도 용인시 기흥구 삼성2로 95 (농서동)

박종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 17 항

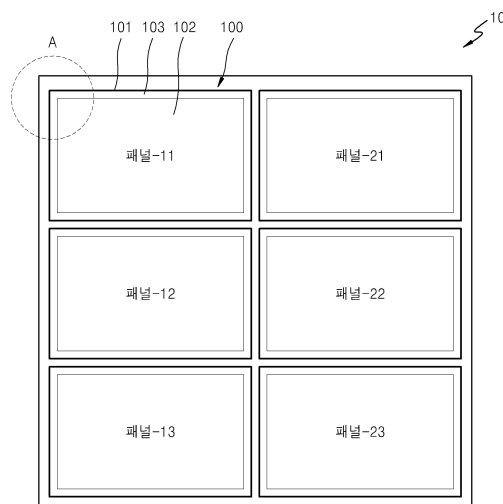
심사관 : 윤난영

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

유기 발광 표시 장치가 제공된다. 상기 유기 발광 표시 장치는 기판, 상기 기판 상의 절연층, 및 유기 절연 물질로 이루어진 얼라인 마크를 포함하고, 상기 절연층의 상부 표면은 상기 얼라인 마크의 하부 표면과 직접 접한다.

대표도 - 도1



(72) 발명자

허성권

경기도 용인시 기흥구 삼성2로 95 (농서동)

유춘기

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

기관;

상기 기관 상의 박막 트랜지스터;

상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극;

상기 박막 트랜지스터 상의 층간 절연층;

상기 층간 절연층 상에 배치되고, 상기 화소 전극의 일부를 노출하는 화소 정의막;

상기 층간 절연층 상에 상기 화소 정의막과 동일 층에 배치되고, 상기 화소 정의막과 동일한 유기 절연 물질로 이루어진 얼라인 마크; 및

상기 화소 정의막에 의해 노출되는 상기 화소 전극의 상기 일부 상에 적어도 일부가 배치되는 유기 발광층을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 얼라인 마크의 아래에 상기 얼라인 마크에 대응하여 배치되는 보조 얼라인 마크를 더 포함하고,

상기 얼라인 마크와 상기 보조 얼라인 마크 사이에 상기 층간 절연층이 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 기관과 상기 박막 트랜지스터 사이의 버퍼층을 더 포함하고,

상기 보조 얼라인 마크는 상기 버퍼층 상에 배치되고 반도체 물질로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제2 항에 있어서,

상기 기관 상의 게이트 절연층을 더 포함하고,

상기 박막 트랜지스터는 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 채널 영역을 포함하는 활성층, 및 상기 채널 영역과 적어도 일부가 중첩하는 게이트 전극을 포함하고,

상기 게이트 절연층은 상기 활성층과 상기 게이트 전극 사이에 개재되고,

상기 보조 얼라인 마크는 상기 게이트 절연층 상에 배치되고, 상기 게이트 전극과 동일한 도전성 물질로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

상기 보조 얼라인 마크는 투명 도전성 물질층과 금속층의 적층 구조를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제1 항에 있어서,

상기 얼라인 마크의 하부 표면은 상기 층간 절연층의 상부 표면과 직접 접촉하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제1 항에 있어서,

상기 기판과 상기 층간 절연층 사이의 게이트 절연층을 더 포함하고,

상기 박막 트랜지스터는 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 채널 영역을 포함하는 활성층, 및 상기 채널 영역과 적어도 일부가 중첩하는 게이트 전극을 포함하고,

상기 게이트 절연층은 상기 활성층과 상기 게이트 전극 사이에 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 기판과 상기 층간 절연층 사이의 게이트 절연층을 더 포함하고,

상기 기판은 상기 박막 트랜지스터 및 상기 유기 발광층이 배치되는 표시 영역, 및 상기 표시 영역을 둘러싸고 상기 얼라인 마크가 배치되는 외곽 영역을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제8 항에 있어서,

상기 기판의 상기 외곽 영역의 바깥 부분에서 상기 기판의 에지를 따라 연장되고, 상기 게이트 절연층과 상기 층간 절연층 사이에 배치되는 가드링을 더 포함하며,

상기 얼라인 마크의 적어도 일부는 상기 가드링과 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제8 항에 있어서,

상기 기판의 상기 외곽 영역의 바깥 부분에서 상기 기판의 에지를 따라 연장되고, 상기 게이트 절연층과 상기 층간 절연층 사이에 배치되는 가드링을 더 포함하며,

상기 얼라인 마크는 상기 가드링과 중첩하지 않고 상기 가드링과 상기 표시 영역 사이에 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

기판;

상기 기판 상에 배치되고, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 채널 영역을 포함하는 활성층;

상기 활성층 상의 게이트 절연층;

상기 게이트 절연층 상에 배치되고, 상기 채널 영역과 적어도 일부가 중첩하는 게이트 전극;

상기 소스 영역과 상기 드레인 영역 중 하나에 전기적으로 연결되는 화소 전극;

상기 게이트 전극 상의 층간 절연층;

상기 층간 절연층 상에 배치되고, 상기 화소 전극의 일부를 노출하는 화소 정의막;

상기 층간 절연층 상에 상기 화소 정의막과 동일 층에 배치되고, 상기 화소 정의막과 동일한 유기 절연 물질로 이루어진 얼라인 마크;

상기 화소 정의막에 의해 노출되는 상기 화소 전극의 상기 일부 상에 적어도 일부가 배치되는 유기 발광층; 및
상기 유기 발광층과 상기 화소 정의막 상에 배치되는 공통 전극을 포함하는 유기 발광 표시 장치.

청구항 12

기관 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극을 형성하는 단계;

상기 박막 트랜지스터 상에 층간 절연층을 형성하는 단계;

상기 층간 절연층 상에 유기 절연 물질층을 형성하는 단계;

상기 유기 절연 물질층을 패터닝하여, 상기 화소 전극의 일부를 노출하는 화소 정의막과 얼라인 마크를 동시에 형성하는 단계; 및

상기 얼라인 마크를 이용하여 상기 기관을 정렬하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12 항에 있어서,

상기 층간 절연층을 형성하는 단계 전에, 보조 얼라인 마크를 형성하는 단계를 더 포함하고,

상기 얼라인 마크는 상기 보조 얼라인 마크의 상부에 상기 보조 얼라인 마크에 대응하여 배치되고, 상기 얼라인 마크와 상기 보조 얼라인 마크 사이에 층간 절연층이 개재되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제12 항에 있어서,

상기 얼라인 마크의 하부 표면은 상기 층간 절연층의 상부 표면과 직접 접촉하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제12 항에 있어서,

상기 얼라인 마크를 이용하여 상기 기관을 정렬하는 단계 후에, 상기 화소 정의막에 의해 노출되는 상기 화소 전극의 상기 일부 상에 유기 발광층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제12 항에 있어서,

상기 기관은 복수의 하부 패널들을 포함하고, 상기 복수의 하부 패널들 사이에 커팅 라인이 정의되며,

상기 얼라인 마크를 이용하여 정렬된 상기 기관을 상기 커팅 라인을 따라 절단함으로써 상기 복수의 하부 패널들로 분리하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서,

분리된 상기 복수의 하부 패널들의 각각은 상기 얼라인 마크를 포함하고,

상기 얼라인 마크를 이용하여 상기 하부 패널을 정렬하는 단계; 및

정렬된 상기 하부 패널 상에 유기 발광층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 더욱 상세하게는 얼라인 마크를 포함하는 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 평탄한 기판 상에 형성되는 박막 트랜지스터들과 같은 회로 소자들 및 유기 발광 소자들을 포함한다. 이러한 회로 소자들 및 발광 소자들을 형성하기 위해 포토리소그래픽 공정 및 식각 공정과 같은 패터닝 공정이 사용될 수 있다. 정확한 패터닝을 위해서는 얼라인 마크가 필요하다. 그러나, 제조 공정에 따라 표면이 손상되어 후속 공정에서 얼라인 마크를 인식할 수 없는 경우가 발생한다. 특히, 복수의 패널들을 형성하기 위해 원장 기판을 절단하는 공정에 사용되는 얼라인 마크가 표면 손상에 의해 식별되지 않는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0003] 따라서, 본 발명이 해결하고자 하는 과제는 식별 가능한 얼라인 마크를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0004] 또한, 본 발명이 해결하고자 하는 과제는 상기 유기 발광 표시 장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상기 기술적 과제를 달성하기 위한 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치는 기판, 상기 기판 상의 절연층, 및 유기 절연 물질로 이루어진 얼라인 마크를 포함한다. 상기 절연층의 상부 표면은 상기 얼라인 마크의 하부 표면과 직접 접한다.

[0006] 상기 유기 발광 표시 장치의 일 예에 따르면, 상기 절연층은 상기 기판 상의 하부 절연층, 및 상기 하부 절연층 상의 상부 절연층을 포함할 수 있다. 상기 유기 발광 표시 장치는 상기 하부 절연층과 상기 상부 절연층 사이에 배치되는 보조 얼라인 마크를 더 포함할 수 있다. 상기 보조 얼라인 마크는 상기 얼라인 마크의 아래에 상기 얼라인 마크에 대응하여 배치될 수 있다.

[0007] 상기 유기 발광 표시 장치의 다른 예에 따르면, 상기 보조 얼라인 마크는 반도체 물질로 이루어질 수 있다. 상기 하부 절연층은 버퍼층을 포함할 수 있다. 상기 상부 절연층은 게이트 절연층과 상기 게이트 절연층 상의 층간 절연층을 포함할 수 있다.

[0008] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 보조 얼라인 마크는 도전성 물질로 이루어질 수 있다. 상기 하부 절연층은 게이트 절연층을 포함할 수 있다. 상기 상부 절연층은 층간 절연층을 포함할 수 있다.

[0009] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 보조 얼라인 마크는 투명 도전성 물질층과 금속층의 적층 구조를 가질 수 있다.

[0010] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 기판 상의 박막 트랜지스터, 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극, 상기 화소 전극의 일부를 노출하고 화소를 정의하는 화소 정의막 및 상기 화소 정의막에 의해 노출되는 상기 화소 전극의 상기 일부 상에 적어도 일부가 배치되는 유기 발광층을 더 포함할 수 있다. 상기 화소 정의막은 상기 얼라인 마크의 상기 유기 절연 물질과 동일한 물질로 이루어질 수 있다.

[0011] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 박막 트랜지스터는 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 채널 영역을 포함하는 활성층, 및 상기 채널 영역과 적어도 일부가 중첩하는 게이트 전극을 포함할 수 있다. 상기 절연층은 상기 활성층의 상기 채널 영역과 상기 게이트 전극의 상기 적어도 일부 사이에 배치되는 게이트 절연층 및 상기 게이트 절연층 상의 층간 절연층을 포함할 수 있다.

[0012] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 기판은 상기 박막 트랜지스터 및 상기 유기 발광층이 배치되는 표시 영역, 및 상기 표시 영역을 둘러싸고 상기 얼라인 마크가 배치되는 외곽 영역을 포함할 수 있다.

- [0013] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 기관의 상기 외곽 영역의 바깥 부분에서 상기 기관의 에지를 따라 연장되고, 상기 절연층 내부에 배치되는 가드링을 더 포함할 수 있다. 상기 얼라인 마크는 상기 가드링 상의 상기 절연층의 상부 표면 상에 배치될 수 있다.
- [0014] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 기관의 상기 외곽 영역의 바깥 부분에서 상기 기관의 에지를 따라 연장되고, 상기 절연층 내부에 배치되는 가드링을 더 포함할 수 있다. 상기 얼라인 마크는 상기 가드링과 상기 표시 영역 사이에 배치될 수 있다.
- [0015] 상기 유기 발광 표시 장치의 또 다른 예에 따르면, 상기 가드링의 상부는 상기 화소 정의막에 의해 덮일 수 있다.
- [0016] 상기 기술적 과제를 달성하기 위한 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 따르면, 기관 상에 절연층이 형성된다. 상기 절연층의 상부 표면 상에 하부 표면이 직접 접촉하도록 상기 절연층 상에 유기 절연 물질로 이루어진 얼라인 마크가 형성된다. 상기 얼라인 마크를 이용하여 상기 기관이 정렬된다.
- [0017] 상기 유기 발광 표시 장치의 제조 방법의 일 예에 따르면, 상기 절연층을 형성하는 단계에서, 상기 기관 상에 하부 절연층이 형성될 수 있다. 그 후, 상기 하부 절연층 상에 상기 얼라인 마크 아래에 상기 얼라인 마크에 대응하도록 보조 얼라인 마크가 형성될 수 있다. 그 후, 상기 보조 얼라인 마크를 덮도록 상기 하부 절연층 상에 상부 절연층이 형성될 수 있다.
- [0018] 상기 유기 발광 표시 장치의 제조 방법의 일 예에 따르면, 상기 기관 상에 박막 트랜지스터가 형성될 수 있다. 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극이 형성될 수 있다. 상기 화소 전극의 일부를 노출하고 화소를 정의하는 화소 정의막과 상기 얼라인 마크를 동시에 형성하도록 패터닝 공정이 수행될 수 있다.
- [0019] 상기 유기 발광 표시 장치의 제조 방법의 일 예에 따르면, 상기 얼라인 마크를 이용하여 정렬된 상기 기관의 상기 화소 전극의 상기 일부 상에 유기 발광층이 형성될 수 있다.
- [0020] 상기 유기 발광 표시 장치의 제조 방법의 일 예에 따르면, 상기 기관은 복수의 하부 패널들을 포함할 수 있다. 상기 복수의 하부 패널들 사이에 커팅 라인이 정의될 수 있다. 상기 얼라인 마크를 이용하여 정렬된 상기 기관을 상기 커팅 라인을 따라 절단함으로써 상기 기관은 상기 복수의 하부 패널들로 분리될 수 있다.
- [0021] 상기 유기 발광 표시 장치의 제조 방법의 일 예에 따르면, 상기 복수의 하부 패널들의 각각은 상기 얼라인 마크를 포함할 수 있다. 이 경우, 상기 얼라인 마크를 이용하여 상기 하부 패널이 정렬될 수 있다. 정렬된 상기 하부 패널에 유기 발광층이 형성될 수 있다.

발명의 효과

- [0022] 본 발명의 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 따르면, 화소 정의막을 이용하여 얼라인 마크를 형성함으로써, 얼라인 마크가 식별되지 않는 문제를 해결할 수 있으며, 그 결과 더욱 정확한 패터닝이 가능해진다. 따라서, 수율이 개선될 수 있다.

도면의 간단한 설명

- [0023] 도 1은 유기 발광 표시 장치를 제조하기 위한 원장 기관을 개략적으로 도시한 평면도이다.
- 도 2a 내지 도 2d는 본 발명의 다양한 실시예들에 따라서 도 1의 원장 기관의 A 부분을 더욱 구체적으로 도시한 평면도들이다.
- 도 3a 내지 도 3d는 본 발명의 다양한 실시예들에 따르는 얼라인 마크의 예시적인 평면 형상들을 도시한다.
- 도 4는 본 발명의 다양한 실시예들에 따른 얼라인 마크가 적용될 수 있는 유기 발광 표시 장치의 표시 영역에 대한 예시적인 단면도로서, 도 2a의 절취선 IV-IV'를 따라 절취한 단면도이다.
- 도 5a 및 도 5b는 본 발명의 다양한 실시예들에 따른 얼라인 마크가 적용될 수 있는 유기 발광 표시 장치의 가드링에 대한 예시적인 단면도들로서, 도 2a의 절취선 V-V'를 따라 절취한 단면도들이다.
- 도 6a 내지 도 6d는 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치의 얼라인 마크에 대한 예시적인 단면도들로서, 도 2a의 절취선 VI-VI'를 따라 절취한 단면도들이다.

도 7는 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치를 제조하기 위한 공정 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 본 발명의 실시예들은 본 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이다. 아래에 제시되는 실시예들은 여러 다른 형태로 변형될 수 있고, 본 발명의 범위가 아래의 실시예들로 한정되는 것은 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0025] 첨부된 도면들을 설명하면서 유사한 구성요소에 대해 유사한 참조 부호를 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확한 이해를 돕기 위하여 실제보다 확대하거나 축소하여 도시될 수 있다.
- [0026] 본 명세서에서 사용된 용어는 오로지 특정한 실시예를 설명하기 위해 사용된 것이며, 본 발명을 한정하려는 의도로 사용된 것이 아니다. 단수의 표현은 문맥상 명백히 다른 경우를 제외하고는 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 나열된 특징들의 존재를 특징하는 것이지, 하나 이상의 다른 특징들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 본 명세서에서, 용어 "및/또는"은 열거된 특징들 중 어느 하나 및 하나 이상의 모든 조합들을 포함하기 위해 사용된다. 본 명세서에서, "제1", "제2" 등의 용어가 다양한 특징들을 설명하기 위하여 하나의 특징을 다른 특징과 구별하기 위한 의도로만 사용되며, 이러한 특징들은 이들 용어에 의해 한정되지 않는다. 아래의 설명에서 제1 특징이 제2 특징과 연결, 결합 또는 접속된다고 기재되는 경우, 이는 제1 특징과 제2 특징 사이에 제3 특징이 개재될 수 있다는 것을 배제하지 않는다. 또한, 제1 요소가 제2 요소 상에 배치된다고 기재될 때, 제3 요소가 제1 요소와 제2 요소 사이에 개재되는 것을 배제하지 않는다. 다만, 제1 요소가 제2 요소 상에 직접 배치된다고 기재될 때에는, 제3 요소가 제1 요소와 제2 요소 사이에 개재되는 것을 배제한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 도 1은 유기 발광 표시 장치를 제조하기 위한 원장 기판을 개략적으로 도시한 평면도이다.
- [0029] 도 1을 참조하면, 원장 기판(10)은 복수의 유기 발광 표시 패널들(100)을 포함한다.
- [0030] 원장 기판(10)은 한 번에 복수의 유기 발광 표시 장치들을 제조하기 위한 모 기판(mother substrate)이다. 원장 기판(10) 상에는 복수의 패널 영역들이 정의된다. 상기 패널 영역들 사이에는 커팅 라인들이 정의된다. 커팅 라인은 스kla이브 라인으로 지칭될 수도 있다. 커팅 라인을 따라 원장 기판(10)을 절단함으로써 복수의 유기 발광 표시 패널들(100)로 분리된다. 분리된 유기 발광 표시 패널(100)은 하나의 유기 발광 표시 장치를 제조하는데 사용된다. 유기 발광 표시 패널(100) 상에 봉지 부재를 접합하여 유기 발광 표시 장치를 완성할 수 있다. 유기 발광 표시 패널(100)은 하부 패널로 지칭될 수 있다.
- [0031] 도 1에서는 유기 발광 표시 패널(100)의 최외곽에 형성될 수 있는 가드링(101)이 도시된다. 가드링(101)은 최종적으로 완성된 유기 발광 표시 장치를 외부의 정전기 등으로부터 보호하기 위해 유기 발광 표시 패널(100)의 최외곽에 테두리를 따라 연장되도록 배치될 수 있다. 도 1에 도시된 가드링(101)은 실질적으로 패널 영역을 한정할 수 있다.
- [0032] 패널 영역들은 원장 기판(10) 상에 매트릭스 형태로, 즉, 로우 방향과 컬럼 방향으로 정렬되어 있다. 도 1에서는 하나의 원장 기판(10) 상에 총 6개의 패널 영역들이 정의되는 것으로 도시되어 있지만, 이는 예시적이며, 이보다 많거나 또는 적은 수의 패널 영역들이 정의될 수 있음은 자명하다.
- [0033] 패널 영역은 표시 영역(102)과 표시 영역(102)을 둘러싸는 외곽 영역(103)을 포함할 수 있다. 표시 영역(102)은 유기 발광 표시 장치들의 화소들, 박막 트랜지스터들 및 배선들이 배치되는 영역이다. 외곽 영역(103)은 상기 배선들에 연결되는 패드들이 배치되는 영역일 수 있다.
- [0034] 상술한 바와 같이, 원장 기판(10)은 커팅 라인을 따라 절단되어야 하며, 이를 위해서는 절단 장치(미 도시)와

원장 기관(10)은 정렬되어야 한다. 이를 위해 원장 기관(10)에는 얼라인 마크가 형성될 수 있다. 상기 얼라인 마크는 무기물 패턴, 예컨대, 금속 패턴 또는 질화물 패턴을 이용하여 형성될 수 있으며, 상기 절단 장치는 상기 무기물 패턴으로 형성된 얼라인 마크를 이용하여 원장 기관(10)의 커팅 라인을 따라 절단할 수 있다. 그러나, 예컨대, 층간 절연층을 관통하는 콘택을 형성하기 위한 건식 식각 공정 등과 같은 식각 공정에 의해 노출된 표면이 손상될 수 있다. 특히, 얼라인 마크는 구동 회로 소자들이나 발광 소자들에 비해 원장 기관(10)의 테두리 부분에 형성될 수 있으며, 후속 공정에 따라, 원장 기관(10)의 외곽에 가해지는 표면 손상은 더욱 심각할 수 있다. 그 결과, 무기물 패턴으로 형성된 얼라인 마크가 후속 공정에서 식별되지 않는 문제가 발생할 수 있다. 이 경우, 상기 절단 장치는 목적하는 커팅 라인에 따라 원장 기관(10)을 절단할 수 없게 된다.

- [0035] 도 2a 내지 도 2d는 본 발명의 다양한 실시예들에 따라서 도 1의 원장 기관의 A 부분을 더욱 구체적으로 도시한 평면도들이다.
- [0036] 도 2a 내지 도 2d를 참조하면, 표시 영역(102) 및 외곽 영역(103)이 도시된다. 표시 영역(102)과 외곽 영역(103)은 패널 영역(105)에 포함될 수 있다. 패널 영역(105)은 커팅 라인(104)에 의해 한정될 수 있다. 외곽 영역(103)에는 가드링(101)이 배치될 수 있다.
- [0037] 상술한 바와 같이, 표시 영역(102)은 화소들의 어레이가 배치되는 영역이다. 또한, 표시 영역(102)에는 상기 화소들 사이를 따라 로우 방향과 컬럼 방향으로 연장되는 배선들이 배치될 수 있다. 또한, 표시 영역(102)에는 상기 배선들과 상기 화소들을 전기적으로 연결하는 박막 트랜지스터들이 배치될 수 있다.
- [0038] 외곽 영역(103)은 패드들이 배치되거나, 구동 칩들이 실장될 수 있는 실장 영역들을 포함할 수 있다. 또한, 하부 패널과 봉지 부재를 서로 접합하기 위한 접합 영역이 외곽 영역(103) 내에 배치될 수 있다. 또한, 도 2a 내지 도 2d에 도시된 바와 같이, 외곽 영역(103)의 외곽부, 즉, 바깥쪽에는 가드링(101)이 배치될 수 있다. 가드링(101)은 도시된 바와 같이 2줄로 구성될 수 있지만, 이는 예시적이다. 가드링(101)은 1줄 이하 또는 3줄 이상으로 구성될 수도 있다. 가드링(101)은 도전성 물질로 형성될 수 있다. 예컨대, 가드링(101)은 표시 영역(102)의 박막 트랜지스터의 게이트 전극과 동일한 물질로 형성되거나, 소스/드레인에 연결되는 배선과 동일한 물질로 형성될 수 있다.
- [0039] 도 2a 내지 도 2d에는 표시 영역(102)과 외곽 영역(103)을 구분하기 위한 실선이 도시되어 있다. 그러나, 이 실선은 가상의 선으로서 실제로 존재하는 것은 아닐 수 있다. 또한, 도 2a 내지 도 2d에는 가드링(101)의 바깥에 커팅 라인(104)이 2점 쇄선으로 도시되어 있다. 이 커팅 라인(104)도 역시 가상의 선으로서 실제로 존재하는 것은 아닐 수 있다.
- [0040] 커팅 라인(104)은 패널 영역(105)을 한정하는 선일 수 있다. 즉, 커팅 라인(104)의 안쪽 영역이 패널 영역(105)으로 정의될 수 있다.
- [0041] 커팅 라인(104)을 따라 원장 기관(10)이 절단되기 위해 원장 기관(10)과 절단 장치는 서로 정렬되어야 하며, 이를 위해 얼라인 마크(107a-107d)들이 원장 기관(10) 상에 배치될 수 있다.
- [0042] 도 2a에 도시된 바와 같이, 얼라인 마크(107a)는 원장 기관(10)의 테두리 부분에 배치될 수 있다. 얼라인 마크(107a)는 커팅 라인(104)의 바깥 쪽에 배치될 수 있다.
- [0043] 도 2b에 도시된 바와 같이, 얼라인 마크(107b)는 패널 영역(105) 내에 배치될 수 있다. 구체적으로, 얼라인 마크(107b)는 외곽 영역(103)의 가드링(101) 상부에 배치될 수 있다.
- [0044] 도 2c에 도시된 바와 같이, 얼라인 마크(107c)는 패널 영역(105) 내에 배치될 수 있다. 구체적으로, 얼라인 마크(107c)는 외곽 영역(103) 내에 가드링(101) 안쪽에 배치될 수 있다.
- [0045] 도 2d에 도시된 바와 같이, 얼라인 마크(107d)는 패널 영역(105) 내에 배치될 수 있다. 구체적으로, 얼라인 마크(107d)는 표시 영역(102) 내에 배치될 수 있다.
- [0046] 도 2a 내지 도 2d에는 얼라인 마크(107a-107d)가 십자가 형상(+)인 것으로 도시되어 있지만, 이는 예시적이다. 또한, 아래의 설명에서, 얼라인 마크들(107a-107d)은 얼라인 마크(107)로 통합적으로 지칭될 수 있다.
- [0047] 도 3a 내지 도 3d는 본 발명의 다양한 실시예들에 따르는 얼라인 마크의 예시적인 평면 형상들을 도시한다.
- [0048] 도 3a에 도시된 바와 같이, 얼라인 마크(107_a)는 십자가 형상(+)일 수 있다.

- [0049] 도 3b에 도시된 바와 같이, 얼라인 마크(107_b)는 정사각형(■)의 평면 형상을 가질 수 있다. 그 외에도, 얼라인 마크는 예컨대, 삼각형, 육각형, 다각형, 원형, 타원형 등의 다양한 형상을 가질 수 있다.
- [0050] 도 3c에 도시된 바와 같이, 얼라인 마크(107_c)는 라인 형상을 가질 수 있다. 이 경우, 얼라인 마크(107_c)는 커팅 라인(104)와 평행하게 배치될 수 있다. 도 2a의 얼라인 마크(107a)가 라인 형상일 경우, 얼라인 마크(107a)는 커팅 라인(104)의 바깥쪽에 커팅 라인(104)과 평행하게 배치될 수 있다. 도 2b의 얼라인 마크(107b)가 라인 형상일 경우, 얼라인 마크(107b)는 가드링(101) 상에 가드링(101)을 따라 연장되도록 배치될 수 있다. 도 2c의 얼라인 마크(107c)가 라인 형상일 경우, 얼라인 마크(107c)는 가드링(101)의 안쪽에 가드링(101)을 따라 연장되도록 배치될 수 있다. 도 2d의 얼라인 마크(107d)가 라인 형상일 경우, 얼라인 마크(107d)는 표시 영역(102)과 외곽 영역(103)을 한정하는 라인으로서, 가드링(101)을 따라 연장될 수 있다.
- [0051] 도 3d에 도시된 바와 같이, 얼라인 마크(107_d)는 변형된 라인 형상을 가질 수 있다. 얼라인 마크(107_d)는 라인 형상의 얼라인 마크(107_c)를 기초로 필요에 따라 메인 라인과 직교하는 보조 라인들을 더 포함할 수 있다.
- [0052] 도 4는 본 발명의 다양한 실시예들에 따른 얼라인 마크가 적용될 수 있는 유기 발광 표시 장치의 표시 영역에 대한 예시적인 단면도로서, 도 2a의 절취선 IV-IV'를 따라 절취한 단면도이다.
- [0053] 도 4를 참조하면, 유기 발광 표시 장치(200)는 하부 패널(100)과 봉지 부재(170)을 포함할 수 있다. 하부 패널(100)은 기판(110), 발광 화소(PX), 박막 트랜지스터(TFT) 및 커패시터(미 도시)를 포함한다.
- [0054] 기판(110)은 복수의 영역으로 정의될 수 있으며, 도 4에 도시된 바와 같이 화소 영역(PA)과 회로 영역(TR)을 포함할 수 있다. 도 4에 도시되지는 않았지만, 상기 커패시터가 형성되는 스토리지 영역이 기판(110)에 포함될 수 있다.
- [0055] 화소 영역(PA)은 화소 전극(130p), 화소 전극(130p) 상의 유기층(155), 유기층(155) 상의 공통 전극(160)을 포함할 수 있다. 유기층(155)은 화소 전극(130p)과 공통 전극(160) 사이에 전압이 인가되면 광을 방출할 수 있다.
- [0056] 회로 영역(TR)은 발광 화소(PX)가 동작을 위한 다양한 전기적 신호를 전달하는 영역으로서, 박막 트랜지스터(TFT)들을 포함할 수 있다.
- [0057] 박막 트랜지스터(TFT)는 활성층(120), 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)을 포함할 수 있다. 또한, 소스 전극(S)은 활성층(120)의 소스 영역(120s)과 콘택 플러그를 통해 연결될 수 있다. 드레인 전극(D)은 활성층(120)의 드레인 영역(120d)과 콘택 플러그를 통해 연결될 수 있다. 도 1에서 소스 전극(S)이 화소 전극(130p)과 연결되는 것으로 도시되어 있지만, 이는 예시적이다. 박막 트랜지스터(TFT)의 도전형에 따라 드레인 전극(D)이 화소 전극(130p)과 연결될 수도 있다.
- [0058] 기판(110)은 실리콘 산화물을 주성분으로 하는 투명한 유리 물질로 이루어질 수 있다. 기판(110)은 반드시 이에 한정되는 것은 아니며, 투명한 플라스틱 재질로 이루어질 수 있다. 또한, 기판(110)은 플렉서블한 특성을 가질 수 있다. 기판(110)은 단일한 유기물로 형성되거나, 복수의 유기물들의 조합에 의해 형성될 수 있다.
- [0059] 버퍼층(115)은 기판(110) 상에 배치될 수 있다. 버퍼층(115)은 기판(110)을 통해 불순물 원소가 침투하는 것을 방지하고, 기판(110) 상에 평탄한 면을 제공할 수 있다. 버퍼층(115)은 실리콘 산화물, 실리콘 질화물, 실리콘 질산화물, 알루미늄 산화물, 알루미늄 질화물, 티타늄 산화물 또는 티타늄 질화물 등과 같은 무기물로 이루어지거나, 폴리이미드, 폴리에스테르, 아크릴 등과 같은 유기물로 이루어질 수 있다. 또한, 버퍼층(115)은 앞에 나열한 물질에서 선택된 복수의 물질들의 적층 구조를 포함할 수 있다.
- [0060] 도 4에 도시된 버퍼층(115)은 패터닝되지 않았지만, 다른 예에 따르면, 버퍼층(115)은 패터닝될 수도 있다. 예컨대, 화소 전극(130p) 아래의 버퍼층(115)은 제거되고, 활성층(120) 아래의 버퍼층(115)은 남아 있을 수 있다. 활성층(120)의 패터닝 시에, 화소 전극(130p)아래에 활성층 물질이 남아 있을 경우 암점으로 나타날 수 있다. 이를 방지하기 위해, 화소 전극(130p)아래의 버퍼층(115)을 제거함으로써, 화소 전극(130p)아래의 활성층 물질을 완벽히 제거할 수 있다.
- [0061] 활성층(120)은 버퍼층(115) 상의 회로 영역(TR) 내에 배치될 수 있다. 활성층(120)은 비정질 실리콘 또는 폴리실리콘과 같은 실리콘 물질을 포함할 수 있다. 대안적으로, 활성층(120)은 산화물 반도체 물질을 포함할 수 있다.

- [0062] 활성층(120)은 소스 영역(120s), 드레인 영역(120d) 및 소스 영역(120s)과 드레인 영역(120d) 사이의 채널 영역(120c)을 포함한다. 소스 영역(120s)과 드레인 영역(120d)은 불순물 이온으로 도핑되어 도전성을 갖는 영역이다. 채널 영역(120c)은 게이트 전극(G)의 적어도 일부와 중첩할 수 있다. 도시되지는 않았지만, 활성층(120)은 스토리지 영역에서 커패시터 하부 전극으로 기능하는 부분을 포함할 수 있다.
- [0063] 게이트 절연층(125)은 버퍼층(115)과 활성층(120) 상에 배치될 수 있다. 게이트 절연층(125)은 산화물, 질화물, 산질화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 게이트 절연층(125)은 실리콘 산화물, 실리콘 질화물, 및 실리콘 산화물로 이루어진 적층 구조를 가질 수 있다.
- [0064] 제1 도전층(130)이 게이트 절연층(125) 상에 배치될 수 있다. 제1 도전층(130) 중에서 화소 영역(PA) 내에 배치된 부분은 화소 전극(130p)으로 지칭될 수 있다. 화소 전극(130p)은 하부 전극 또는 애노드 전극으로 지칭될 수 있다. 제1 도전층(130)은 예컨대, ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO와 같은 투명 도전성 물질로 이루어질 수 있다.
- [0065] 제2 도전층(135)이 화소 전극(130p)의 일부 상에 배치되고, 채널 영역(120c)에 대응하여 게이트 절연층(125) 상에 배치될 수 있다. 화소 전극(130p)의 일부 상에 배치된 제2 도전층(135)은 제3 도전층(145)과 제1 도전층(130) 간의 접촉 저항을 낮출 수 있다. 채널 영역(120c)에 대응하여 게이트 절연층(125) 상에 배치된 제2 도전층(135)은 게이트 전극(G)이다.
- [0066] 제2 도전층(135)은, 예컨대, Mo, MoW, Al계 합금 등과 같은 금속 또는 금속들의 합금으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 또한, 제2 도전층(135)은 Mo/Al/Mo의 적층 구조를 가질 수도 있다. 도시되지는 않았지만, 게이트 절연층(125)과 게이트 전극(G) 사이에는 제1 도전층(130)이 개재될 수도 있다.
- [0067] 층간 절연층(140)은 게이트 절연층(125), 제1 도전층(130) 및 제2 도전층(135) 상에 배치될 수 있다. 층간 절연층(140)은 화소 전극(130p)의 적어도 일부를 노출하는 개구부를 포함할 수 있다. 또한, 층간 절연층(140)은 화소 영역(PA) 내의 제2 도전층(135)의 상부 표면을 노출하는 개구부를 포함할 수 있다. 또한, 층간 절연층(140)과 게이트 절연층(125)은 소스 영역(120s)과 드레인 영역(120d)의 일부를 노출하는 개구부들을 포함할 수 있다.
- [0068] 층간 절연층(140)은 다양한 절연 물질들로 이루어질 수 있으며, 예컨대, 산화물, 질화물, 질산화물과 같은 무기물로 이루어질 수도 있다.
- [0069] 제3 도전층(145)은 층간 절연층(140) 상에 배치될 수 있다. 제3 도전층(145)은 화소 영역(PA) 내의 제2 도전층(135)의 상부 표면을 노출하는 개구부를 매립할 수 있다. 또한, 제3 도전층(145)은 소스 영역(120s)과 드레인 영역(120d)의 일부를 노출하는 개구부들을 매립할 수 있다.
- [0070] 제3 도전층(145)은 화소 전극(130p)과 소스 영역(120s)을 전기적으로 연결할 수 있다. 또한, 제3 도전층(145)은 드레인 영역(120d)에 전기적으로 연결될 수 있다. 소스 영역(120s)에 전기적으로 연결되는 제3 도전층(145)의 일부는 소스 전극(S)으로 지칭될 수 있다. 드레인 영역(120d)에 전기적으로 연결되는 제3 도전층(145)의 일부는 드레인 전극(D)으로 지칭될 수 있다.
- [0071] 제3 도전층(145)은, 예컨대, Au, Pd, Pt, Ni, Rh, Ru, Ir, Os, Al, Mo, Nd, Mo, W 등과 같은 금속으로 이루어지거나, 이들 중 2종 이상의 합금으로 이루어질 수 있다.
- [0072] 화소 정의막(150)은 화소 전극(130p)의 일부 영역을 노출하면서, 층간 절연층(140) 상의 제3 도전층(145)을 덮도록 배치될 수 있다. 화소 정의막(150)은 화소 영역(PA) 내의 화소를 정의하게 된다.
- [0073] 화소 정의막(150)은 유기 절연 물질로 이루어질 수 있다. 예컨대, 화소 정의막(150)은 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly(phenylenethers) resin), 폴리페닐렌설파이드계 수지(poly(phenylenesulfides) resin) 및 벤조사이클로부텐(benzocyclobutene, BCB)으로 이루어진 군으로부터 선택된 단독 또는 이들의 혼합물로 형성될 수 있다.
- [0074] 유기층(155)은 화소 정의막(150)에 의해 노출된 화소 전극(130p) 상에 배치된다. 유기층(155)은 저분자 또는 고분자 유기막으로 형성될 수 있다. 유기층(155)이 저분자 유기막으로 형성되는 경우, 정공 주입층(HIL: Hole Injection Layer), 정공 수송층(HTL: Hole Transport Layer), 유기 발광층(EML: emissive layer), 전자 수송층

(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등을 구비할 수 있다.

- [0075] 정공 주입층(HIL)은 구리프탈로시아닌 등의 프탈로시아닌 화합물 또는 스타버스트(Starburst)형 아민류인 TCTA, m-MTDATA, m-MTDAPB 등으로 형성할 수 있다. 정공 수송층(HTL)은 N,N'-비스(3-메틸페닐)-N,N'-디페닐-[1,1-비페닐]-4,4'-디아민(TPD), N,N'-디(나프탈렌-1-일)-N,N'-디페닐 벤지딘(α -NPD)등으로 형성될 수 있다. 전자 주입층(EIL)은 LiF, NaCl, CsF, Li₂O, BaO, Liq 등의 물질을 이용하여 형성할 수 있다. 전자 수송층(ETL)은 Alq₃를 이용하여 형성할 수 있다. 유기층(155)은 호스트 물질과 도판트 물질을 포함할 수 있다.
- [0076] 공통 전극(160)은 유기층(155)과 화소 정의막(150) 상에 배치될 수 있다. 공통 전극(160)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca의 금속으로 이루어질 수 있다. 또한, 공통 전극(160)은 광 투과가 가능하도록 ITO, IZO, ZnO, 또는 In₂O₃ 등과 같은 투과형 도전 물질로 이루어질 수도 있다. 공통 전극(160)은 상부 전극 또는 캐소드 전극으로 지칭될 수 있다.
- [0077] 봉지 부재(170)는 공통 전극(160) 상에 배치될 수 있다. 봉지 부재(170)는 유기물 또는 무기물을 이용하여 형성할 수 있다. 봉지 부재(170)는 접합 부재, 예컨대, 실런트, 프리트 등을 이용하여 유기 발광 표시 패널(100) 상에 부착될 수 있다.
- [0078] 도 4에 도시된 유기 발광 표시 장치는 본 발명의 발명적 특징이 적용될 수 있는 일 예로서 제시된 것이다. 본 발명의 발명적 특징은 도 4에 제시된 유기 발광 표시 장치 외에 다른 구조의 유기 발광 표시 장치에도 적용될 수 있다. 도 4에 도시된 유기 발광 표시 장치는 본 발명의 발명적 특징을 더욱 쉽게 이해시키기 위해 제공된 것일 뿐, 본 발명의 범위를 한정하고자 하는 의도로 제공된 것이 아님에 주의하여야 한다.
- [0079] 도 5a 및 도 5b는 본 발명의 다양한 실시예들에 따른 얼라인 마크가 적용될 수 있는 유기 발광 표시 장치의 가드링에 대한 예시적인 단면도들로서, 도 2a의 절취선 V-V'를 따라 절취한 단면도들이다.
- [0080] 도 5a를 참조하면, 제2 도전층(135)으로 이루어진 가드링(101)이 도시된다. 가드링(101)은 게이트 절연층(125)과 층간 절연층(140) 사이에 배치될 수 있다. 가드링(101)은 제2 도전층(135)을 패터닝함으로써 형성될 수 있다.
- [0081] 가드링(101)은 도전성 물질로서 예컨대, Mo, MoW, Al계 합금 등과 같은 금속 또는 금속들의 합금으로 이루어질 수 있다. 또한, 가드링(101)은 Mo/Al/Mo의 적층 구조를 가질 수도 있다.
- [0082] 도 5b를 참조하면, 가드링(101)의 상부에도 화소 정의막(150)이 배치될 수 있다. 화소 정의막(150)이 외곽 영역(103)에 배치되는 가드링(101)의 상부까지 연장됨으로써, 후속 공정에서 가드링(101) 상부의 층간 절연층(125)의 상부 표면이 손상되는 것을 방지할 수 있다.
- [0083] 도 4의 제3 도전층(145)을 이용하여 가드링을 층간 절연층(125) 상에 배치할 경우, 층간 절연층(125) 상의 가드링은 공기 중에 노출됨으로써 산화에 의해 손상될 수 있다. 이를 방지하기 위해, 층간 절연층(125) 상의 가드링을 화소 정의막(150)으로 덮을 경우, 금속 물질의 가드링과 유기 절연 물질의 화소 정의막(150)의 계면에서 기포가 발생하는 문제가 발생할 수 있다. 상기 기포는 투습 경로를 유발할 수 있다.
- [0084] 따라서, 본 발명에 따른 가드링(101)은 제2 도전층(135)를 이용하여 형성될 수 있다.
- [0085] 도 5a에 도시된 바와 같이, 화소 정의막(150)에 의해 덮이지 않은 가드링(101)의 상부에는 화소 정의막(150)으로 형성되는 얼라인 마크(107)가 배치될 수 있다.
- [0086] 도 5a 및 도 5b에 도시되지는 않았지만, 제조 공정에 따라 가드링(101)은 제1 도전층(130)과 제2 도전층(135)의 적층 구조로 이루어질 수도 있다.
- [0087] 도 5a 및 도 5b에는 편의상 봉지 부재(170)를 도시하지 않았지만, 당업자들은 필요에 따라 가드링(101)의 상부에도 봉지 부재(170)가 배치될 수 있음을 알 수 있을 것이다.
- [0088] 도 6a 내지 도 6d는 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치의 얼라인 마크에 대한 예시적인 단면도들로서, 도 2a의 절취선 VI-VI'를 따라 절취한 단면도들이다.
- [0089] 도 6a를 참조하면, 화소 정의막(150)으로 이루어진 얼라인 마크(107)이 도시된다. 얼라인 마크(107)는 기판(110) 상에 버퍼층(115), 게이트 절연층(125) 및 층간 절연층(140)이 순차적으로 적층된 적층 구조의 절연층 상

에 배치될 수 있다. 도 6a에 도시된 바와 같이, 얼라인 마크(107)와 층간 절연층(140) 사이에는 도전층이 배치되지 않고, 얼라인 마크(107)의 하부 표면과 층간 절연층(140)의 상부 표면은 직접 접한다.

[0090] 다만, 상기 적층 구조의 절연층은 층간 절연층 상의 평탄화층(미 도시)을 더 포함할 수 있다. 상기 평탄화층은 무기 절연층 또는 유기 절연층일 수 있다. 이 경우, 화소 정의막(150)으로 형성되는 얼라인 마크(107)는 상기 평탄화층 상에 직접 배치될 수 있다.

[0091] 화소 정의막(150)으로 얼라인 마크(107)를 형성하는 경우, 정렬 장치(미 도시)는 화소 정의막(150)의 반사 특성을 이용하여 얼라인 마크(107)를 인식할 수 있다. 또한, 정렬 장치(미 도시)는 얼라인 마크(107)와 층간 절연층(140)의 단차를 이용하여 얼라인 마크(107)를 인식할 수도 있다. 따라서, 층간 절연층(140)의 상부 표면이 손상되어 층간 절연층(140) 하부에 형성된 얼라인 마크가 인식되지 않는 문제를 해결할 수 있다.

[0092] 도 6b를 참조하면, 얼라인 마크(107)의 아래에 보조 얼라인 마크(108a)가 더 도시된다. 보조 얼라인 마크(108a)는 버퍼층(115)과 게이트 절연층(125) 사이에 배치될 수 있다. 보조 얼라인 마크(108a)는 활성층(120)으로 형성될 수 있다. 즉, 활성층(120)의 패터닝을 통해 보조 얼라인 마크(108a)가 형성될 수 있다.

[0093] 보조 얼라인 마크(108a)는 얼라인 마크(107)에 대응할 수 있다. 예컨대, 보조 얼라인 마크(108a)는 얼라인 마크(107)의 형상에 대응하는 형상을 가질 수 있다. 보조 얼라인 마크(108a)는 얼라인 마크(107)에 대응하는 크기를 가질 수 있다. 보조 얼라인 마크(108a)는 얼라인 마크(107)와 실질적으로 동일한 형상 및 크기를 가질 수 있다.

[0094] 도 6c를 참조하면, 얼라인 마크(107)의 아래에 보조 얼라인 마크(108b)가 더 도시된다. 보조 얼라인 마크(108b)는 게이트 절연층(125)과 층간 절연층(140) 사이에 배치될 수 있다. 보조 얼라인 마크(108b)는 제2 도전층(135)으로 형성될 수 있다. 즉, 제2 도전층(135)의 패터닝을 통해 보조 얼라인 마크(108b)가 형성될 수 있다. 보조 얼라인 마크(108b)는 얼라인 마크(107)에 대응할 수 있다.

[0095] 도 6d를 참조하면, 얼라인 마크(107)의 아래에 보조 얼라인 마크(108c)가 더 도시된다. 보조 얼라인 마크(108c)는 게이트 절연층(125)과 층간 절연층(140) 사이에 배치될 수 있다. 보조 얼라인 마크(108c)는 제1 도전층(130)과 제2 도전층(135)의 적층 구조로 형성될 수 있다. 즉, 제1 도전층(130)과 제2 도전층(135)의 적층 구조를 패터닝함으로써, 보조 얼라인 마크(108c)가 형성될 수 있다. 보조 얼라인 마크(108c)는 얼라인 마크(107)에 대응할 수 있다.

[0096] 보조 얼라인 마크들(108a-108c)은 정렬 장치(미 도시)의 더욱 용이한 얼라인 마크 인식을 위해 제공될 수 있다. 보조 얼라인 마크들(108a-108c)은 주변의 기관(110), 버퍼층(115), 게이트 절연층(125) 및 층간 절연층(140)의 적층 구조와 다른 색상을 갖는다. 따라서, 정렬 장치(미 도시)는 보조적으로 색상 차이를 이용하여 보조 얼라인 마크들(108a-108c)을 인식할 수도 있다.

[0097] 도 7는 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치를 제조하기 위한 공정 순서도이다.

[0098] 도 7을 참조하면, 우선 원장 기관(10)이 준비될 수 있다(S10). 원장 기관(10)은 도 1에 도시되며, 패널 영역들(100)과 패널 영역들 사이의 커팅 라인(104)이 정의될 수 있다.

[0099] 원장 기관(10) 상에 절연층이 형성될 수 있다(S20). 여기서 절연층은 도 4의 버퍼층(115), 게이트 절연층(125) 및 층간 절연층(140)을 포함할 수 있다. 상기 절연층은 층간 절연층(140) 상의 평탄화층(미 도시)도 포함할 수 있다.

[0100] 절연층이 형성되는 단계는 원장 기관(10) 상에 박막 트랜지스터(TFT)를 형성하는 단계와 화소 전극(130p)을 형성하는 단계를 모두 포함한다. 도 4의 박막 트랜지스터(TFT) 및 화소 전극(130p)은 예컨대 다음과 같은 공정 단계들을 통해 형성될 수 있다. 다음의 공정 순서는 예시적이며, 본 발명을 한정하지 않는다. 도 4를 참조하여 설명한다.

[0101] 원장 기관(10) 상에 버퍼층(115)이 형성될 수 있다. 버퍼층(115)은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물 등과 같은 무기 절연 물질을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등과 같은 다양한 증착 방법에 의해 형성될 수 있다.

[0102] 버퍼층(115) 상에 박막 트랜지스터(TFT)의 활성층(120)으로 기능할 반도체 물질층이 형성될 수 있다. 상기 반

도체 물질층은 예컨대 비정질 실리콘층일 수 있다. 상기 비정질 실리콘층은 제1 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 이용하여 활성층(120) 패턴으로 패터닝될 수 있다. 그 후, 패터닝된 비정질 실리콘층은 결정화됨으로써 폴리 실리콘층으로 이루어진 활성층(120)이 형성될 수 있다. 상기 패터닝된 비정질 실리콘층은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 다른 예에 따르면, 상기 비정질 실리콘층이 폴리 실리콘층으로 결정화되고, 상기 폴리 실리콘층이 제1 마스크를 이용하여 패터닝될 수 있다.

- [0103] 활성층(120)이 형성되는 동안에, 도 6b에 도시된 활성층(120)으로 이루어진 보조 얼라인 마크(108a)가 형성될 수도 있다.
- [0104] 버퍼층(115) 및 활성층(120) 상에 게이트 절연층(125)이 형성될 수 있다. 게이트 절연층(125)은 산화물, 질화물, 산질화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 게이트 절연층(125)은 하부 실리콘 산화물, 실리콘 질화물, 및 상부 실리콘 산화물의 적층 구조를 가질 수 있다. 게이트 절연층(125)은 PECVD법, APCVD법, LPCVD법 등의 증착 공정을 이용하여 증착될 수 있다.
- [0105] 게이트 절연층(125) 상에 제1 도전층(130)이 형성될 수 있다. 제1 도전층(130)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명한 도전 물질들 중에서 선택된 하나 이상의 물질을 포함할 수 있다. 제1 도전층(130)은 제2 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 화소 전극(130p)으로 패터닝될 수 있다.
- [0106] 도 6d에 도시된 보조 얼라인 마크(108c)와 같이 제1 도전층(130)과 제2 도전층(134)의 적층 구조를 갖는 보조 얼라인 마크(108c)를 형성하기 위해서, 제1 도전층(130)은 보조 얼라인 마크(108c)의 하부 도전층으로 패터닝될 수도 있다.
- [0107] 게이트 절연층(125) 및 제1 도전층(130) 상에 제2 도전층(135)이 형성될 수 있다. 제2 도전층(135)은 예컨대, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 상기 제2 도전층(135)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다.
- [0108] 제2 도전층(135)은 제3 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 화소 전극 콘택 및 게이트 전극(G)으로 패터닝될 수 있다. 또한, 제2 도전층(135)은 상기 패터닝 단계에서 가드링(101)으로 패터닝될 수 있다. 또한, 제2 도전층(135)은 도 6c에 도시된 보조 얼라인 마크(108b)를 형성하기 위해 보조 얼라인 마크(108b)로 패터닝될 수도 있다.
- [0109] 게이트 전극(G)을 자기 정렬 마스크로 이용하여 활성층(120)에 n형 또는 p형의 불순물을 도핑함으로써, 채널 영역(120c), 소스 영역(120s) 및 드레인 영역(120d)을 형성할 수 있다.
- [0110] 게이트 절연층(125), 제1 도전층(130) 및 제2 도전층(135) 상에 층간 절연층(140)이 형성될 수 있다. 층간 절연층(140)은 실리콘 산화물, 실리콘 질화물, 또는 실리콘 질산화물과 같은 무기 절연 물질을 포함할 수 있다. 층간 절연층(140)은 PECVD법, APCVD법, LPCVD법 등과 같은 증착 공정을 이용하여 증착될 수 있다.
- [0111] 층간 절연층(140)은 제4 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 패터닝되며, 화소 전극(130p)을 노출하는 개구부, 화소 전극(130p) 상의 제2 도전층(135)을 노출하는 개구부, 및 소스 영역(120s) 및 드레인 영역(120d)을 각각 노출하는 개구부들이 형성된다. 상기 패터닝 공정에 의해 층간 절연층(140)의 상부 표면은 손상될 수 있다.
- [0112] 층간 절연층(140) 상에 제3 도전층(145)이 형성될 수 있다. 제3 도전층(145)은 층간 절연층(140)의 상기 개구부들을 매립할 수 있다. 제3 도전층(145)은 제5 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 도 4에 도시된 바와 같이 패터닝될 수 있다. 제3 도전층(145)은 화소 전극(130p)을 노출할 수 있다.
- [0113] 화소 전극(130p), 층간 절연층(140) 및 제3 도전층(145) 상에 화소 정의막(150)이 형성될 수 있다.
- [0114] 화소 정의막(150)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 화소 정의막(150)은 제6 마스크(미 도시)를 이용한 포토리소그래피 공정 및 식각 공정을 통해 화소 전극(130p)의 상부 표면을 노출시키도록 패터닝될 수 있다.
- [0115] 상기 제6 마스크를 이용한 화소 정의막(150)의 패터닝 공정에서, 도 6a 내지 도 6d에 도시된 얼라인 마크(107)

가 형성될 수 있다(S30). 또한, 제6 마스크를 이용한 패터닝 공정에서, 도 5b에 도시된 바와 같이 가드링(101) 상에도 화소 정의막(150)이 배치되도록 패터닝될 수도 있다.

[0116] 이후, 원장 기관(10)은 복수의 패널들(100)로 분리될 수 있다(S40). 이를 위해서, 정렬 장치(미 도시)는 원장 기관(10)의 얼라인 마크(107)를 인식하여 원장 기관(10)을 정렬할 수 있다. 그 후, 절단 장치(미 도시)는 커팅 라인(104)에 따라 원장 기관(10)을 절단할 수 있다. 상술한 바와 같이, 커팅 라인(104)은 얼라인 마크(107)를 중심으로 상대적으로 인식되는 가상의 선일 수 있다.

[0117] 이후, 분리된 패널들(100)의 화소 전극(130p) 상에 유기층(155)이 형성될 수 있다(S50). 유기물 증착 장치(미 도시)와 패널(100)의 정렬을 위해 얼라인 마크(107)가 이용될 수 있다. 정렬 장치(미 도시)는 패널(100)의 얼라인 마크(107)를 인식하여 패널(100)을 정렬할 수 있다. 유기물 증착 장치(미 도시)는 정렬 장치(미 도시)에 의해 정렬된 패널(100)의 화소 전극(130p)의 위치를 얻고, 화소 전극(130p) 상에 유기물을 증착하여 유기층(155)을 형성할 수 있다.

[0118] 유기층(155)은 유기 발광층(emissive layer: EML) 외에도 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층들 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기층(155)은 저분자 또는 고분자 유기물로 구비될 수 있다.

[0119] 유기층(155)이 저분자 유기물로 형성되는 경우, 유기층(155)은 유기 발광층을 중심으로 화소 전극(130p)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 공통 전극(160)의 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), NPB(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine), Alq3(tris-8-hydroxyquinoline aluminum) 등을 비롯하여 다양하게 적용 가능하다.

[0120] 한편, 유기층(155)이 고분자 유기물로 형성되는 경우에는, 유기층(155)은 유기 발광층을 중심으로 화소 전극(130p)의 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 PEDOT(poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(130p)의 상부에 형성될 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

[0121] 공통 전극(160)은 패널(100)의 표시 영역(102) 상에 형성될 수 있다(S60). 공통 전극(160)은 패널(100)의 전면에 형성될 수도 있다. 이 경우, 가드링(101) 및 얼라인 마크(107) 상에도 공통 전극(160)이 형성될 수 있다.

[0122] 그 후, 봉지 부재(170)가 패널(100) 상에 부착될 수 있다(S70). 실링 부재(미 도시)를 이용하여 봉지 부재(170)는 기관(110) 상에 접합될 수 있다. 실링 부재(미 도시)는 가드링(101)과 표시 영역(102) 사이에 배치될 수 있다. 얼라인 마크(107)가 가드링(101)과 표시 영역(102) 사이에 배치될 경우, 얼라인 마크(107)로 인하여 가드링(101)과 표시 영역(102) 사이의 표면은 단차가 발생할 수 있다. 상기 단차로 인하여 상기 실링 부재는 더욱 패널(100)과 봉지 부재(170)를 더욱 강력하게 접합할 수 있다.

[0123] 한편, 전술한 실시예에서는 유기 발광 표시 장치(200)를 예로서 설명하였으나, 본 발명은 이에 한정되지 않고 다양한 표시 장치에 적용될 수 있음은 물론이다.

[0124] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 복수 개의 TFT와 하나 이상의 커패시터가 포함될 수 있음은 물론이다.

[0125] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

- [0126]
- 10: 원장 기관

101: 가드링

103: 외곽 영역

105: 패널 영역

108: 보조 얼라인 마크

115: 버퍼층

125: 게이트 절연층

135: 제2 도전층

145: 제3 도전층

155: 유기층

170: 봉지 부재

100: 유기 발광 표시 패널

102: 표시 영역

104: 컷팅 라인

107: 얼라인 마크

110: 기관

120: 활성층

130: 제1 도전층

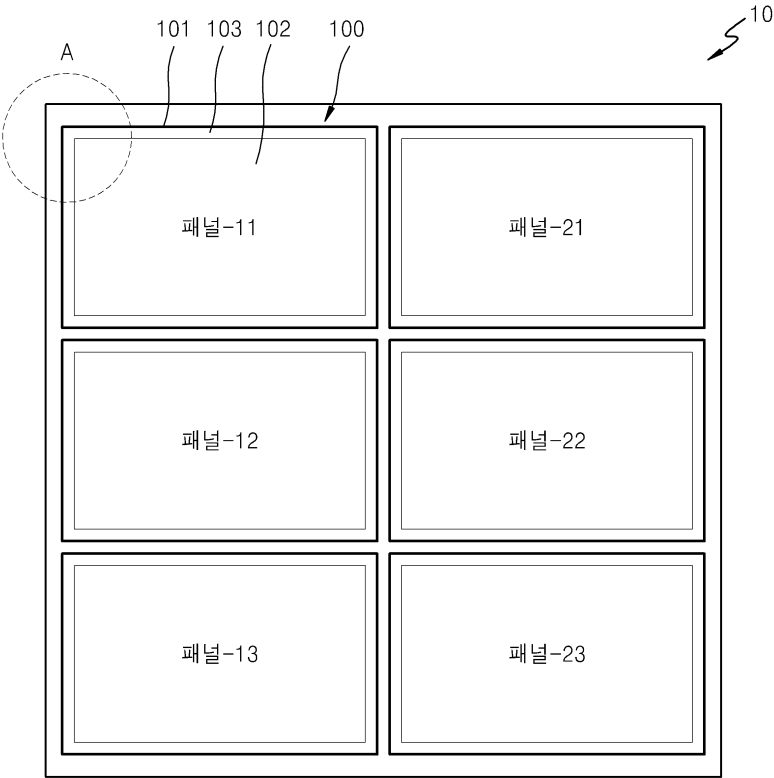
140: 층간 절연층

150: 화소 정의막

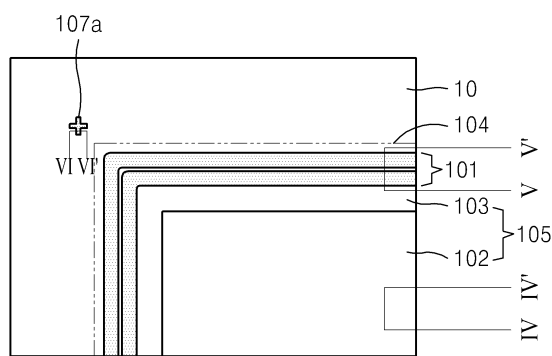
160: 공통 전극

도면

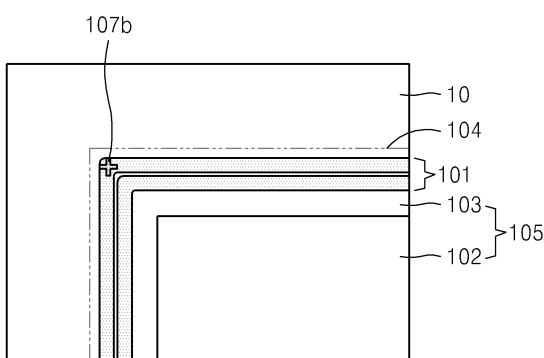
도면1



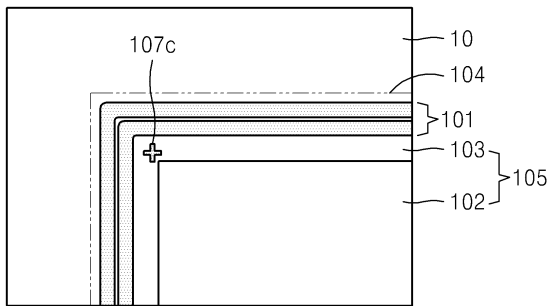
도면2a



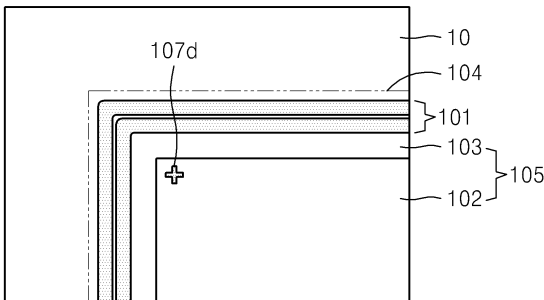
도면2b



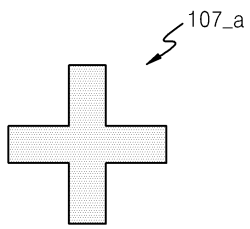
도면2c



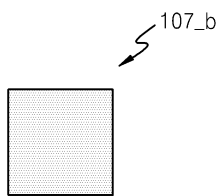
도면2d



도면3a



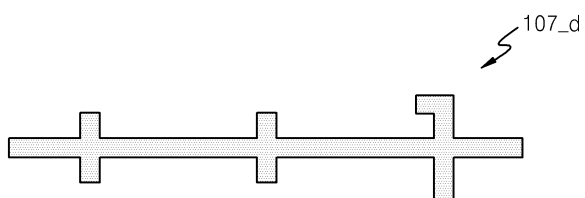
도면3b



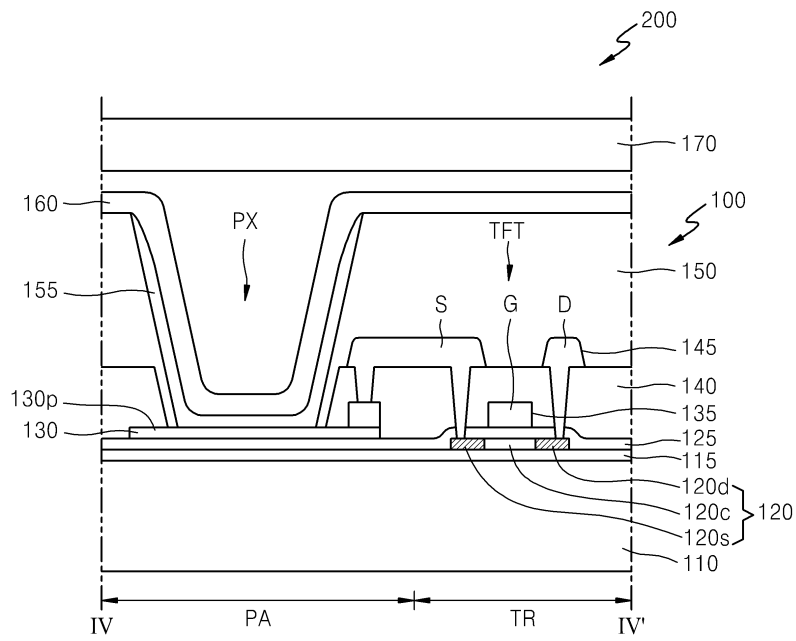
도면3c



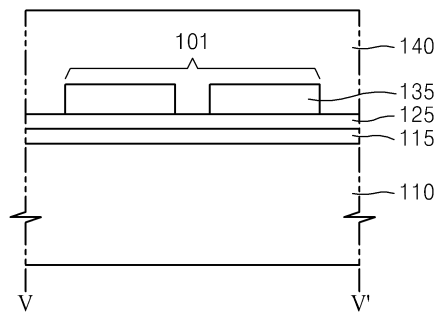
도면3d



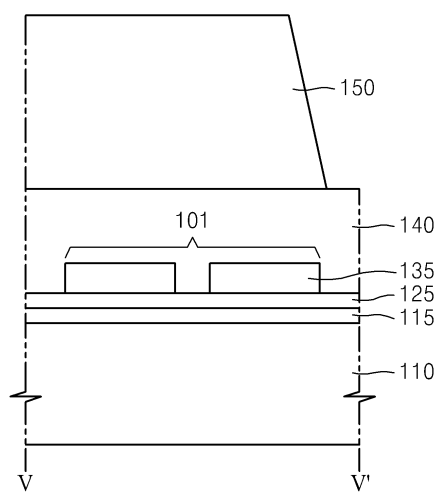
도면4



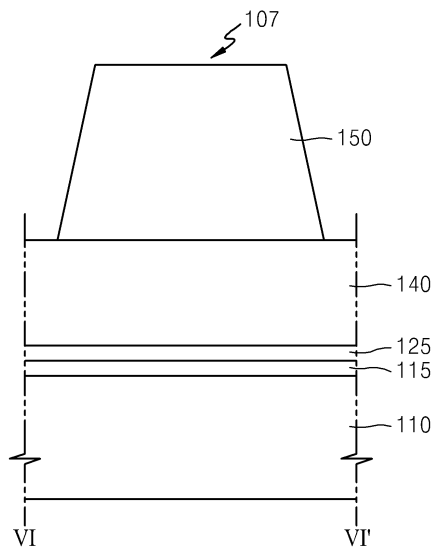
도면5a



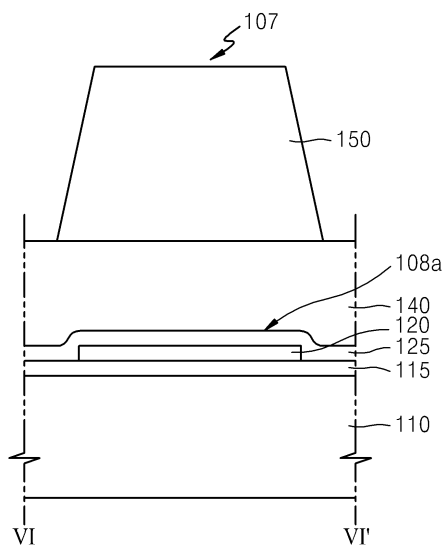
도면5b



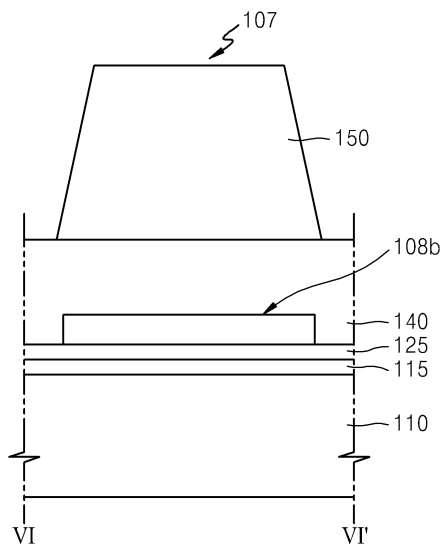
도면6a



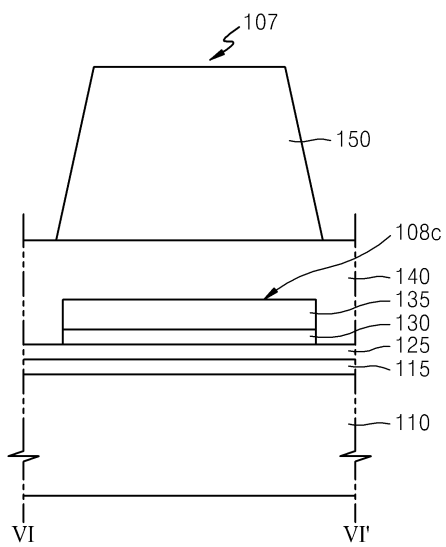
도면6b



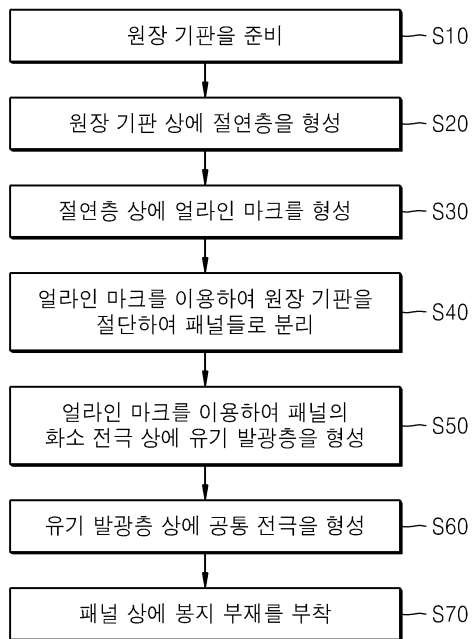
도면6c



도면6d



도면7



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR102043177B1	公开(公告)日	2019-11-12
申请号	KR1020120132605	申请日	2012-11-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE CHANG HO 이창호 PARK JONG HYUN 박종현 HEO SEONG KWEON 허성권 YOU CHUN GI 유춘기		
发明人	이창호 박종현 허성권 유춘기		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L51/52 H01L2227/323 H01L51/56 H01L23/544 H01L27/3246 H01L27/3248 H01L2223/54426 H01L2251/566		
其他公开文献	KR1020140065284A		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置。有机发光二极管显示器包括由基板制成的对准标记，在基板上的绝缘层和有机绝缘材料，并且绝缘层的上表面直接接触对准标记的下表面。 专利注册

