



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0047834
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2018-0127466
(22) 출원일자 2018년10월24일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
배준우
경기도 화성시 동탄공원로 21-12, 912동 101호 (능동, 푸른마을 포스코더샵2차)
강미재
경기도 수원시 영통구 덕영대로1555번길 20, 945동 1012호 (영통동, 벽적골롯데아파트)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 20 항

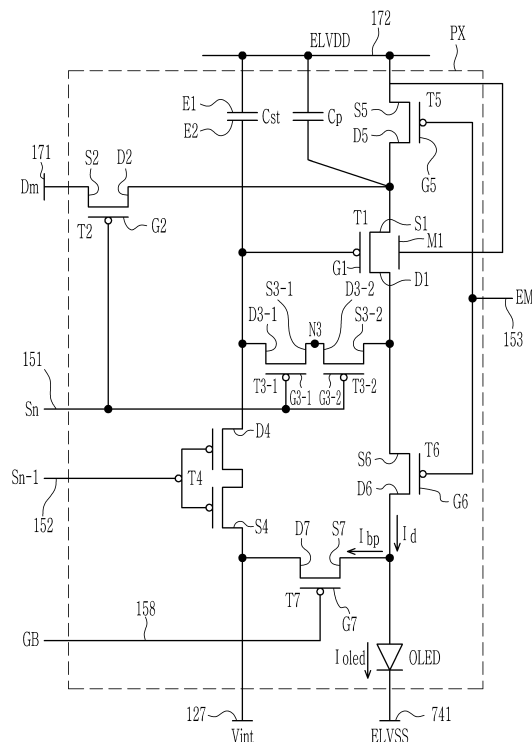
(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관; 상기 기관 위에 위치하는 중첩층; 상기 중첩층 위에 위치하는 반도체층; 상기 반도체층 위에 위치하는 제1 게이트 도전체; 상기 제1 게이트 도전체 위에 위치하는 제2 게이트 도전체; 상기 제2 게이트 도전체 위에 위치하는 데이터 도전체; 상기 중첩층 위에 위치하는 구동 트랜

(뒷면에 계속)

대표도 - 도1



지스터; 및 상기 구동 트랜지스터와 연결되는 유기 발광 소자를 포함하고, 상기 구동 트랜지스터는 상기 반도체 층에 형성되는 제1 전극, 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 채널 및 상기 채널과 중첩하고 상기 제1 게이트 도전체로 형성되어 있는 게이트 전극을 포함하고, 상기 중첩층은 상기 구동 트랜지스터의 상기 채널과 중첩하고, 상기 제1 전극으로 확장되어 상기 제1 전극의 적어도 일부와 중첩하고, 상기 제2 게이트 도전체는 상기 데이터 도전체로 형성되어 있는 구동 전압선을 통해 구동 전압이 인가되는 유지선을 포함하고, 상기 중첩층에는 상기 제2 게이트 도전체로 형성되어 있는 상기 유지선에 의해 상기 구동 전압이 인가된다.

(52) CPC특허분류

H01L 27/3213 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/52 (2013.01)

(72) 발명자

엔귀엔탄티엔

서울특별시 마포구 서강로 83, 104동 802호 (창전동, 창전동현대홈타운)

이경원

서울특별시 강서구 강서로45다길 30-27, 101동 506호 (화곡동, 초록아파트)

이용수

서울특별시 서초구 신반포로 137, 2동 403호 (반포동, 강남아파트)

이재섭

서울특별시 서초구 사임당로 137, 2동 905호 (서초동, 신동아아파트)

조규철

경기도 수원시 영통구 영통로 460, 305동 1004호 (영통동, 대우.동신아파트)

차명근

서울특별시 서대문구 세무서8길 49, 101동 401호 (홍제동, 비콘드림힐)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 위치하는 중첩층;

상기 중첩층 위에 위치하는 반도체층;

상기 반도체층 위에 위치하는 제1 게이트 도전체;

상기 제1 게이트 도전체 위에 위치하는 제2 게이트 도전체;

상기 제2 게이트 도전체 위에 위치하는 데이터 도전체;

상기 중첩층 위에 위치하는 구동 트랜지스터; 및

상기 구동 트랜지스터와 연결되는 유기 발광 소자;

를 포함하고,

상기 구동 트랜지스터는 상기 반도체층에 형성되는 제1 전극, 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 채널 및 상기 채널과 중첩하고 상기 제1 게이트 도전체로 형성되어 있는 게이트 전극을 포함하고,

상기 중첩층은 상기 구동 트랜지스터의 상기 채널과 중첩하고, 상기 제1 전극으로 확장되어 상기 제1 전극의 적어도 일부와 중첩하고,

상기 제2 게이트 도전체는 상기 데이터 도전체로 형성되어 있는 구동 전압선을 통해 구동 전압이 인가되는 유지선을 포함하고,

상기 중첩층에는 상기 제2 게이트 도전체로 형성되어 있는 상기 유지선에 의해 상기 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 게이트 전극과 상기 유지선 사이에 게이트 절연막이 위치하고,

상기 게이트 전극 및 상기 유지선은 상기 게이트 전극에 걸리는 전압을 유지하는 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 중첩층과 상기 반도체층 사이에 버퍼층이 위치하고,

상기 중첩층과 상기 구동 트랜지스터의 상기 반도체층은 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 중첩층은 상기 구동 트랜지스터의 상기 채널과 중첩하는 기본부를 포함하며,

상기 기본부와 상기 반도체층의 상기 채널은 제1 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 중첩층은 상기 구동 트랜지스터의 상기 제1 전극과 중첩하는 확장부를 포함하며,
상기 확장부와 상기 반도체층의 상기 제1 전극은 제2 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 중첩층은 상기 중첩층의 좌측 변이 상기 구동 트랜지스터의 상기 제1 전극을 포함하는 반도체층의 좌측 변과 평면도상 일치하도록 확장되는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 게이트 전극의 좌측 변과 상기 중첩층의 좌측 변 간의 간격을 제1 간격, 상기 게이트 전극의 우측 변과 상기 중첩층의 우측 변 간의 간격을 제2 간격이라 할 때,

상기 제1 간격은 $4.0\ \mu\text{m}$ 이하의 값을 가지는 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하도록 형성될 때, 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하지 않을 때보다 순간 잔상 감소의 폭이 5 배 이상인 유기 발광 표시 장치.

청구항 9

제1항에서,

상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하도록 형성될 때, 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하지 않을 때보다 순간 잔상이 3 초 이상 감소하는 유기 발광 표시 장치.

청구항 10

제1항에서,

상기 중첩층과 인접하는 화소에 위치하는 다른 중첩층 간의 간격을 제3 간격이라 할 때, 상기 제3 간격은 $2.0\ \mu\text{m}$ 내지 $2.5\ \mu\text{m}$ 이하의 값을 가지는 유기 발광 표시 장치.

청구항 11

제2항에서,

상기 유기 발광 표시 장치는 제2 트랜지스터 및 제3 트랜지스터를 더 포함하고,

상기 제2 트랜지스터는 스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 상기 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하고,

상기 제3 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 전극 및 상기 제2 전극에 연결되어 있고, 상기 데이터 전압을 상기 유지 축전기에 전달하고,

상기 중첩층은 상기 제3 트랜지스터의 반도체층과 중첩하는 연장부를 더 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 중첩층의 상기 연장부와 상기 제3 트랜지스터의 반도체층은 제3 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 13

제3항에서,

상기 중첩층은 상기 구동 트랜지스터의 상기 제2 전극의 적어도 일부와 중첩하고,

상기 중첩층과 상기 제2 전극은 제4 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 14

기관;

상기 기관 위에 위치하는 중첩층;

상기 중첩층 위에 위치하는 반도체층;

상기 반도체층 위에 위치하는 게이트 전극;

상기 게이트 전극 위에 위치하는 유지선;

상기 유지선 위에 위치하는 구동 전압선;

상기 중첩층 위에 위치하는 구동 트랜지스터;

상기 중첩층 위에 위치하는 제3 트랜지스터; 및

상기 구동 트랜지스터와 연결되는 유기 발광 소자;

를 포함하고,

상기 구동 트랜지스터는 상기 반도체층에 형성되는 제1 전극, 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 채널 및 상기 게이트 전극을 포함하며,

상기 제3 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 전극 및 상기 제2 전극에 연결되어 있고,

상기 중첩층은 상기 구동 트랜지스터의 채널과 중첩하고, 상기 제1 전극 영역으로 확장되어 상기 제1 전극의 적어도 일부와 중첩하고,

상기 중첩층은 상기 제3 트랜지스터의 반도체층과 중첩하는 연장부를 더 포함하고,

상기 유지선에는 상기 구동 전압선을 통하여 구동 전압이 인가되고,

상기 중첩층에는 상기 유지선에 의해 상기 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 중첩층은,

상기 구동 트랜지스터의 상기 채널과 중첩하는 기본부; 및

상기 구동 트랜지스터의 상기 제1 전극과 중첩하는 확장부;

를 포함하며,

상기 기본부와 상기 구동 트랜지스터의 상기 채널은 제1 추가 유지 축전기를 형성하고,

상기 확장부와 상기 구동 트랜지스터의 상기 제1 전극은 제2 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 16

제14항에서,

상기 중첩층과 상기 반도체층 사이에 버퍼층이 위치하고,

상기 중첩층의 상기 연장부와 상기 제3 트랜지스터의 반도체층은 제3 추가 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 17

제14항에서,

상기 유기 발광 표시 장치는 제2 트랜지스터를 더 포함하고,

상기 제2 트랜지스터는 상기 구동 트랜지스터의 상기 제1 전극에 연결되어 있고,

상기 중첩층은 상기 중첩층의 좌측 변이 상기 구동 트랜지스터의 상기 제1 전극 및 상기 제2 트랜지스터를 포함하는 반도체층의 좌측 변과 일치하도록 형성되는 유기 발광 표시 장치.

청구항 18

제14항에서,

상기 게이트 전극의 좌측 변과 상기 중첩층의 좌측 변 간의 간격을 제1 간격, 상기 게이트 전극의 우측 변과 상기 중첩층의 우측 변 간의 간격을 제2 간격이라 할 때,

상기 제1 간격은 4.0 μm 이하의 값을 가지는 유기 발광 표시 장치.

청구항 19

제14항에서,

상기 중첩층과 인접하는 화소에 위치하는 다른 중첩층 간의 간격을 제3 간격이라 할 때, 상기 제3 간격은 2.0 μm 내지 2.5 μm 이하의 값을 가지는 유기 발광 표시 장치.

청구항 20

제14항에서,

상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하도록 형성될 때, 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하지 않을 때보다 순간 잔상 감소의 폭이 5배 이상인 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 반도체층과 기판 사이에 위치하는 중첩층을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판, 기판 상에 위치하는 복수의 박막 트랜지스터, 박막 트랜지스터를 구성하는 배선들 사이에 배치되는 복수의 절연층 및 박막 트랜지스터에 연결된 유기 발광 소자를 포함한다.

[0005] 유기 발광 표시 장치는 복수의 화소를 포함하며, 각 화소에는 복수의 트랜지스터가 포함되어 있다.

발명의 내용

해결하려는 과제

[0006] 실시예들은 반도체층과 기판 사이에 위치하는 중첩층의 면적을 최적화함으로써 순간 잔상이 개선된 유기 발광 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관; 상기 기관 위에 위치하는 중첩층; 상기 중첩층 위에 위치하는 반도체층; 상기 반도체층 위에 위치하는 제1 게이트 도전체; 상기 제1 게이트 도전체 위에 위치하는 제2 게이트 도전체; 상기 제2 게이트 도전체 위에 위치하는 데이터 도전체; 상기 중첩층 위에 위치하는 구동 트랜지스터; 및 상기 구동 트랜지스터와 연결되는 유기 발광 소자를 포함하고, 상기 구동 트랜지스터는 상기 반도체층에 형성되는 제1 전극, 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 채널 및 상기 채널과 중첩하고 상기 제1 게이트 도전체로 형성되어 있는 게이트 전극을 포함하고, 상기 중첩층은 상기 구동 트랜지스터의 상기 채널과 중첩하고, 상기 제1 전극으로 확장되어 상기 제1 전극의 적어도 일부와 중첩하고, 상기 제2 게이트 도전체는 상기 데이터 도전체로 형성되어 있는 구동 전압선을 통해 구동 전압이 인가되는 유지선을 포함하고, 상기 중첩층에는 상기 제2 게이트 도전체로 형성되어 있는 상기 유지선에 의해 상기 구동 전압이 인가된다.
- [0008] 상기 게이트 전극과 상기 유지선 사이에 게이트 절연막이 위치하고, 상기 게이트 전극 및 상기 유지선은 상기 게이트 전극에 걸리는 전압을 유지하는 유지 축전기를 형성할 수 있다.
- [0009] 상기 중첩층과 상기 반도체층 사이에 버퍼층이 위치하고, 상기 중첩층과 상기 구동 트랜지스터의 상기 반도체층은 추가 유지 축전기를 형성할 수 있다.
- [0010] 상기 중첩층은 상기 구동 트랜지스터의 상기 채널과 중첩하는 기본부를 포함하며, 상기 기본부와 상기 반도체층의 상기 채널은 제1 추가 유지 축전기를 형성할 수 있다.
- [0011] 상기 중첩층은 상기 구동 트랜지스터의 상기 제1 전극과 중첩하는 확장부를 포함하며, 상기 확장부와 상기 반도체층의 상기 제1 전극은 제2 추가 유지 축전기를 형성할 수 있다.
- [0012] 상기 중첩층은 상기 중첩층의 좌측 변이 상기 구동 트랜지스터의 상기 제1 전극을 포함하는 반도체층의 좌측 변과 평면도상 일치하도록 확장될 수 있다.
- [0013] 상기 게이트 전극의 좌측 변과 상기 중첩층의 좌측 변 간의 간격을 제1 간격, 상기 게이트 전극의 우측 변과 상기 중첩층의 우측 변 간의 간격을 제2 간격이라 할 때, 상기 제1 간격은 $4.0\ \mu\text{m}$ 이하의 값을 가질 수 있다.
- [0014] 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하도록 형성될 때, 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하지 않을 때보다 순간 잔상 감소의 폭이 5 배 이상일 수 있다.
- [0015] 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하도록 형성될 때, 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하지 않을 때보다 순간 잔상이 3 초 이상 감소할 수 있다.
- [0016] 상기 중첩층과 인접하는 화소에 위치하는 다른 중첩층 간의 간격을 제3 간격이라 할 때, 상기 제3 간격은 $2.0\ \mu\text{m}$ 내지 $2.5\ \mu\text{m}$ 이하의 값을 가질 수 있다.
- [0017] 상기 유기 발광 표시 장치는 제2 트랜지스터 및 제3 트랜지스터를 더 포함하고, 상기 제2 트랜지스터는 스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 상기 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하고, 상기 제3 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 전극 및 상기 제2 전극에 연결되어 있고, 상기 데이터 전압을 상기 유지 축전기에 전달하고, 상기 중첩층은 상기 제3 트랜지스터의 반도체층과 중첩하는 연장부를 더 포함할 수 있다.
- [0018] 상기 중첩층의 상기 연장부와 상기 제3 트랜지스터의 반도체층은 제3 추가 유지 축전기를 형성할 수 있다.
- [0019] 상기 중첩층은 상기 구동 트랜지스터의 상기 제2 전극의 적어도 일부와 중첩하고, 상기 중첩층과 상기 제2 전극은 제4 추가 유지 축전기를 형성할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관; 상기 기관 위에 위치하는 중첩층; 상기 중첩층 위에 위치하는 반도체층; 상기 반도체층 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하는 유지선; 상기 유지선 위에 위치하는 구동 전압선; 상기 중첩층 위에 위치하는 구동 트랜지스터; 상기 중첩층 위에 위치하는 제3 트랜지스터; 및 상기 구동 트랜지스터와 연결되는 유기 발광 소자를 포함하고, 상기 구동 트랜지스터는 상기 반도체층에 형성되는 제1 전극, 제2 전극, 상기 제1 전극과 상기 제2 전극 사이에 위치하는 채널 및 상기 게이트 전극을 포함하며, 상기 제3 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 전극 및 상기 제2 전극에 연결되어 있고, 상기 중첩층은 상기 구동 트랜지스터의 채널과 중첩하고, 상기 제1 전극 영역으로 확장되어 상기 제1 전극의 적어도 일부와 중첩하고, 상기 중첩층은 상기 제3 트랜지스터의 반도체층과 중첩하는 연장부를

더 포함하고, 상기 유지선에는 상기 구동 전압선을 통하여 구동 전압이 인가되고, 상기 중첩층에는 상기 유지선에 의해 상기 구동 전압이 인가된다.

- [0021] 상기 중첩층은, 상기 구동 트랜지스터의 상기 채널과 중첩하는 기본부; 및 상기 구동 트랜지스터의 상기 제1 전극과 중첩하는 확장부를 포함하며, 상기 기본부와 상기 구동 트랜지스터의 상기 채널은 제1 추가 유지 축전기를 형성하고, 상기 확장부와 상기 구동 트랜지스터의 상기 제1 전극은 제2 추가 유지 축전기를 형성할 수 있다.
- [0022] 상기 중첩층과 상기 반도체층 사이에 버퍼층이 위치하고, 상기 중첩층의 상기 연장부와 상기 제3 트랜지스터의 반도체층은 제3 추가 유지 축전기를 형성할 수 있다.
- [0023] 상기 유기 발광 표시 장치는 제2 트랜지스터를 더 포함하고, 상기 제2 트랜지스터는 상기 구동 트랜지스터의 상기 제1 전극에 연결되어 있고, 상기 중첩층은 상기 중첩층의 좌측 변이 상기 구동 트랜지스터의 상기 제1 전극 및 상기 제2 트랜지스터를 포함하는 반도체층의 좌측 변과 일치하도록 형성될 수 있다.
- [0024] 상기 게이트 전극의 좌측 변과 상기 중첩층의 좌측 변 간의 간격을 제1 간격, 상기 게이트 전극의 우측 변과 상기 중첩층의 우측 변 간의 간격을 제2 간격이라 할 때, 상기 제1 간격은 $4.0\ \mu\text{m}$ 이하의 값을 가질 수 있다.
- [0025] 상기 중첩층과 인접하는 화소에 위치하는 다른 중첩층 간의 간격을 제3 간격이라 할 때, 상기 제3 간격은 $2.0\ \mu\text{m}$ 내지 $2.5\ \mu\text{m}$ 이하의 값을 가질 수 있다.
- [0026] 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하도록 형성될 때, 상기 중첩층이 상기 구동 트랜지스터의 상기 제1 전극과 중첩하지 않을 때보다 순간 잔상 감소의 폭이 5배 이상일 수 있다.

발명의 효과

- [0027] 실시예들에 따르면, 구동 트랜지스터의 반도체층과 중첩하는 중첩층을 확장시켜 정전 용량(capacitance)을 증가시킴으로써 순간 잔상이 감소되도록 하여 잔상 특성이 개선된다.
- [0028] 또한, 실시예들에 따르면, 한 화소에 위치하는 중첩층이 인접하는 화소에 위치하는 중첩층과 일정 간격을 가지도록 형성됨으로써 중첩층을 형성하는 패터닝 공정시 남는 잔사에 의한 단락(short) 등을 방지하여 잔상 개선의 효과를 극대화할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 4는 도 3에서 IV-IV선을 따라 자른 단면도이다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 일부 박막층들의 층간 구조를 간략히 도시한 개략적인 단면도이다.
- 도 6은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 7은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 8은 도 7에서 VIII-VIII선을 따라 자른 단면도이다.
- 도 9는 비교예에 따른 유기 발광 표시 장치의 화소 중 일부를 확대 도시한 확대도이다.
- 도 10 및 도 12는 각각 다른 일 실시예에 따른 유기 발광 표시 장치의 화소 중 일부를 확대 도시한 확대도이다.
- 도 13은 비교예 및 실시예에 대한 잔상 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0031] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는

유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

- [0032] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0033] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0034] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0035] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0036] 이하에서는 도 1 및 도 2를 사용하여 일 실시예에 따른 유기 발광 표시 장치에 대해 설명한다.
- [0037] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- [0038] 도 1을 참고하면, 유기 발광 표시 장치의 화소(PX)는 복수의 신호선들(127, 151, 152, 153, 158, 171, 172, 741) 및 이에 연결되어 있는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)를 포함한다.
- [0039] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 구동 트랜지스터(T1)를 포함하며, 스캔선(151)에 연결되어 있는 스위칭 트랜지스터, 즉, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 포함하고, 그 외의 트랜지스터는 유기 발광 다이오드(OLED)를 동작시키는데 필요한 동작을 하기 위한 트랜지스터(이하 '보상 트랜지스터'라 함)이다. 이러한 보상 트랜지스터(T4, T5, T6, T7)는 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)를 포함할 수 있다.
- [0040] 도 1의 실시예에 따른 유기 발광 표시 장치에는 반도체층과 기판 사이에 위치하는 중첩층(M1)이 더 포함되어 있다. 중첩층(M1)은 유기 발광 다이오드(OLED)에 전류를 제공하는 구동 트랜지스터(T1)와 평면상 중첩한다.
- [0041] 중첩층(M1)은 구동 트랜지스터(T1)의 반도체층(130) 아래에 위치하며 구동 트랜지스터(T1)의 반도체층(130)과 중첩한다. 구체적으로는, 구동 트랜지스터(T1)의 채널이 형성되는 반도체층(130)을 기준으로 구동 트랜지스터(T1)의 게이트 전극(G1)과 반대측에 위치한다. 중첩층(M1)은 구동 트랜지스터(T1)의 제2 게이트 전극의 역할을 수행할 수도 있어 제2 게이트 전극이라고도 불릴 수 있다.
- [0042] 여기서, 유지 축전기(Cst) 이외에, 구동 트랜지스터(T1)의 반도체층(130)과 중첩층(M1)에 의하여 추가 유지 축전기(Cp)가 형성된다. 추가 유지 축전기(Cp)는 일단이 구동 전압선(172)에 연결되고 타단은 구동 트랜지스터(T1)의 제1 전극(S1)에 연결된다.
- [0043] 추가 유지 축전기(Cp)는 제1 추가 유지 축전기(Cm) 및 제2 추가 유지 축전기(Cse)를 포함한다. 구동 트랜지스터(T1)의 채널과 중첩층(M1)에 의하여 제1 추가 유지 축전기(Cm)가 형성된다.
- [0044] 이때, 중첩층(M1)은 구동 트랜지스터(T1)의 제1 전극(S1)으로 확장된다. 중첩층(M1)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 확장된 부분인 확장부와 구동 트랜지스터(T1)의 제1 전극(S1)에 의하여 제2 추가 유지 축전기(Cse)가 형성된다.
- [0045] 이와 같이, 유지 축전기(Cst) 이외에 추가 유지 축전기(Cp)가 더 형성된다. 이에 따라, 반도체층(130) 아래에 중첩층(M1)을 형성하지 않거나, 형성하더라도 특정 트랜지스터의 채널 영역과만 중첩하는 경우와 대비할 때 전계 정전 용량(capacitance)이 증가한다.
- [0046] 유지 축전기(Cst)는 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압을 유지하며, 추가 유지 축전기(Cp)는 구동 트랜지스터(T1)의 반도체층(130)에 인가되는 전압을 유지하는 역할을 한다.
- [0047] 중첩층(M1)이 구동 트랜지스터(T1)의 반도체층(130)의 채널 영역뿐만 아니라, 제1 전극(S1) 영역과 중첩층(M1)

사이에서 추가적인 정전 용량을 생성하여 정전 용량을 증가시킬 수 있다.

- [0048] 한편, 중첩층(M1)은 구동 트랜지스터(T1)의 제1 전극(S1)으로 일정 정도까지만 확장될 수 있다. 이는 중첩층(M1)이 인접한 화소를 넘어선 영역까지 확장될 경우 정전 용량을 결정하는 중첩층(M1)의 면적은 최대화될 수 있겠으나, 인접한 화소에 위치한 중첩층(M1)과 오버랩(overlap)되거나 중첩층(M1)의 패터닝 공정시 남는 잔사로 인한 단락(short)의 발생 등으로 오히려 잔상 특성이 더 나빠질 수 있기 때문이다.
- [0049] 이에 따라, 중첩층(M1)을 구동 트랜지스터(T1)의 제1 전극(S1)으로 소정의 폭만큼 확장하여, 구동 트랜지스터(T1)의 전체 정전 용량($C_{st}+C_m+C_{se}$)을 최적화시킴으로써 순간 잔상 개선의 효과를 극대화할 수 있다.
- [0050] 한편, 중첩층(M1)은 일정 전압을 인가받을 수 있으며, 본 실시예에서는 구동 전압(ELVDD)을 인가받는다. 전술한 잔상 특성이 개선되는 효과와 더불어, 중첩층(M1)에 구동 전압(ELVDD)이 일정하게 인가되면, 중첩층(M1)의 전위가 일정하게 유지되어 주변의 전극에 영향을 주는 것을 막을 수 있다. 또한, 중첩층(M1)은 이와 중첩하는 구동 트랜지스터(T1)에 대하여 광차단 기능을 가져 구동 트랜지스터(T1)의 누설 전류 및 특성 저하를 방지할 수 있다.
- [0051] 복수의 신호선(127, 151, 152, 153, 158, 171, 172, 741)은 스캔선(151), 전단 스캔선(152), 발광 제어선(153), 바이패스 제어선(158), 데이터선(171), 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)을 포함할 수 있다. 바이패스 제어선(158)은 전단 스캔선(152)의 일부이거나 전기적으로 연결되어 있을 수 있다.
- [0052] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(S_n)를 스위칭 트랜지스터, 즉, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 전달한다. 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 전단 스캔 신호(S_{n-1})를 제4 트랜지스터(T4)에 전달한다. 제4 트랜지스터(T4)는 직렬 연결된 두 트랜지스터를 포함하므로, 전단 스캔 신호(S_{n-1})는 제4 트랜지스터(T4)에 포함되는 직렬 연결된 두 트랜지스터의 게이트 전극 모두에 인가된다. 발광 제어선(153)은 발광 제어부(도시되지 않음)에 연결되어 있으며, 유기 발광 다이오드(OLED)가 발광하는 시간을 제어하는 발광 제어 신호(EM)를 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 전달한다. 바이패스 제어선(158)은 바이패스 신호(GB)를 제7 트랜지스터(T7)에 전달하며, 실시예에 따라서는 전단 스캔 신호(S_{n-1})와 동일한 신호를 전달할 수 있다.
- [0053] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(D_m)을 전달하는 배선으로 데이터 전압(D_m)에 따라서 유기 발광 다이오드(OLED; '유기 발광 소자'라고도 함)가 발광하는 휘도가 변한다. 구동 전압선(172)은 구동 전압(ELVDD)을 인가하며, 초기화 전압선(127)은 구동 트랜지스터(T1)를 초기화시키는 초기화 전압(V_{int})을 전달하며, 공통 전압선(741)은 공통 전압(ELVSS)을 인가한다. 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)에 인가되는 전압은 각각 일정한 전압이 인가될 수 있다.
- [0054] 이하에서는 복수의 트랜지스터에 대하여 살펴본다.
- [0055] 먼저, 구동 트랜지스터(T1)는 인가되는 데이터 전압(D_m)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(I_d)가 유기 발광 다이오드(OLED)로 인가되어 데이터 전압(D_m)에 따라서 유기 발광 다이오드(OLED)의 밝기가 조절된다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(S1)은 구동 전압(ELVDD)을 인가받을 수 있도록 배치되어, 제5 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 제1 전극(S1)은 제2 트랜지스터(T2)의 제2 전극(D2)과도 연결되어 데이터 전압(D_m)도 인가받는다. 제2 전극(D1; 출력측 전극)은 유기 발광 다이오드(OLED)를 향하여 전류를 출력할 수 있도록 배치되어, 제6 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다. 한편, 게이트 전극(G1)은 유지 축전기(C_{st})의 일 전극(제2 유지 전극(E_2))과 연결되어 있다. 이에 유지 축전기(C_{st})에 저장된 전압에 따라서 게이트 전극(G1)의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(I_d)가 변경된다.
- [0056] 제2 트랜지스터(T2)는 데이터 전압(D_m)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 제1 전극(S2)은 데이터선(171)과 연결되어 있다. 제2 트랜지스터(T2)의 제2 전극(D2)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(S_n)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(D_m)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 전달된다.
- [0057] 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 서로 직렬 연결된 두 트랜지스터를 포함하는 구조로 도시하였다. 여기서 직렬 연결된 구조는 두 트랜지스터(T3-1, T3-2)의 게이트 전극이 연결되어 동일한 신호를 인가 받으며, 일 트랜지스터의 출력이 타 트랜지스터의 입력으로 인가되는 구조를 의미한다.

- [0058] 제3 트랜지스터(T3)는 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)가 직렬 연결된 구조를 가진다. 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)과 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)은 서로 연결되어 있다.
- [0059] 제3 트랜지스터(T3)는 데이터 전압(Dm)이 구동 트랜지스터(T1)를 거치면서 변환된 보상 전압(Dm + Vth의 전압)이 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달되도록 하는 트랜지스터이다. 제3 트랜지스터(T3)는 직렬 연결된 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)를 포함한다. 두 트랜지스터(T3-1, T3-2)의 게이트 전극(G3-1, G3-2)은 모두 스캔선(S1)과 연결되어 있다. 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 또한, 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)은 제3 노드(N3)에서 서로 연결되어 있다. 제3 트랜지스터(T3)를 하나의 트랜지스터로 기술하는 경우에는 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)이 제3 트랜지스터(T3)의 제1 전극이 되고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)이 제3 트랜지스터(T3)의 제2 전극이 된다. 제3 트랜지스터(T3)는 스캔선(S1)을 통해 전달받은 스캔 신호(Sn)에 따라 켜져서 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D1)을 연결시키고, 구동 트랜지스터(T1)의 제2 전극(D1)과 유지 축전기(Cst)의 제2 유지 전극(E2)도 연결시킨다.
- [0060] 제4 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)을 초기화시키는 역할을 한다. 게이트 전극(G4)은 전단 스캔선(S2)과 연결되어 있고, 제1 전극(S4)은 초기화 전압선(Vint)과 연결되어 있다. 제4 트랜지스터(T4)의 제2 전극(D4)은 제3 트랜지스터(T3)의 제2 전극(D3)을 경유하여 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)도 직렬 연결된 두 개의 트랜지스터를 포함하는 구조를 가진다. 제4 트랜지스터(T4)는 전단 스캔선(S2)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달한다. 이에 따라 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)은 저전압값을 가져 구동 트랜지스터(T1)를 턴 온 시킬 수 있는 전압일 수 있다.
- [0061] 제4 트랜지스터(T4)도 직렬 연결되어 있으나, 실시예에 따라서는 단일 트랜지스터로 형성될 수도 있다.
- [0062] 제5 트랜지스터(T5)는 구동 전압(ELVDD)을 구동 트랜지스터(T1)에 전달시키는 역할을 한다. 게이트 전극(G5)은 발광 제어선(EM)과 연결되어 있고, 제1 전극(S5)은 구동 전압선(VDD)과 연결되어 있다. 제5 트랜지스터(T5)의 제2 전극(D5)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.
- [0063] 제6 트랜지스터(T6)는 구동 트랜지스터(T1)에서 출력되는 구동 전류(Id)를 유기 발광 다이오드(OLED)로 전달하는 역할을 한다. 게이트 전극(G6)은 발광 제어선(EM)과 연결되어 있고, 제1 전극(S6)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제6 트랜지스터(T6)의 제2 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다.
- [0064] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 발광 제어선(EM)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 제5 트랜지스터(T5)를 통하여 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 제1 전극(S1)에 인가되면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(즉, 유지 축전기(Cst)의 제2 유지 전극(E2)의 전압)에 따라서 구동 트랜지스터(T1)가 구동 전류(Id)를 출력한다. 출력된 구동 전류(Id)는 제6 트랜지스터(T6)를 통하여 유기 발광 다이오드(OLED)에 전달된다. 유기 발광 다이오드(OLED)에 전류(Ioled)가 흐르게 되면서 유기 발광 다이오드(OLED)가 빛을 방출한다.
- [0065] 제7 트랜지스터(T7)는 유기 발광 다이오드(OLED)의 애노드를 초기화시키는 역할을 한다. 게이트 전극(G7)은 바이패스 제어선(EM)과 연결되어 있고, 제1 전극(S7)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있고, 제2 전극(D7)은 초기화 전압선(Vint)과 연결되어 있다. 바이패스 제어선(EM)은 전단 스캔선(S2)에 연결되어 있을 수 있으며, 바이패스 신호(GB)는 전단 스캔 신호(Sn-1)와 동일한 타이밍의 신호가 인가된다. 바이패스 제어선(EM)은 전단 스캔선(S2)에 연결되지 않고 전단 스캔 신호(Sn-1)와 별개의 신호를 전달할 수도 있다. 바이패스 신호(GB)에 따라 제7 트랜지스터(T7)가 턴 온 되면 초기화 전압(Vint)이 유기 발광 다이오드(OLED)의 애노드로 인가되어 초기화된다.
- [0066] 유지 축전기(Cst)의 제1 유지 전극(E1)은 구동 전압선(VDD)과 연결되어 있으며, 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1), 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다. 그 결과 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 결정하며, 제3

트랜지스터(T3)의 제2 전극(D3)을 통하여 데이터 전압(Dm)을 인가 받거나, 제4 트랜지스터(T4)의 제2 전극(D4)을 통하여 초기화 전압(Vint)을 인가 받는다.

[0067] 또한, 도 1의 실시예에는 중첩층(M1)이 더 포함되어 있다. 중첩층(M1)은 유기 발광 다이오드(OLED)에 전류를 제공하는 구동 트랜지스터(T1)와 중첩한다. 중첩층(M1)은 구동 트랜지스터(T1)의 반도체층(130) 아래에 위치하며 구동 트랜지스터(T1)의 반도체층(130)과 중첩한다. 구체적으로는, 중첩층(M1)은 구동 트랜지스터(T1)의 채널이 형성되는 반도체층(130)을 기준으로 구동 트랜지스터(T1)의 게이트 전극(G1)과 반대측에 위치한다. 전술한 바와 같이, 중첩층(M1)은 구동 트랜지스터(T1)의 제2 게이트 전극의 역할을 수행할 수도 있어 제2 게이트 전극이라고도 불릴 수 있다.

[0068] 중첩층(M1)은 일정 전압을 인가받을 수 있으며, 본 실시예에서는 구동 전압(ELVDD)을 전달받는다. 이때, 유지 축전기(Cst) 이외에, 구동 트랜지스터(T1)의 반도체층(130)과 중첩층(M1)에 의하여 추가 유지 축전기(Cp)가 형성된다. 추가 유지 축전기(Cp)는 일단이 구동 전압선(172)에 연결되고 타단은 구동 트랜지스터(T1)의 제1 전극(S1)에 연결된다.

[0069] 추가 유지 축전기(Cp)는 제1 추가 유지 축전기(Cm) 및 제2 추가 유지 축전기(Cse)를 포함한다. 구동 트랜지스터(T1)의 채널과 중첩층(M1)에 의하여 제1 추가 유지 축전기(Cm)가 형성된다.

[0070] 일 실시예에 따른 중첩층(M1)은 구동 트랜지스터(T1)의 제1 전극(S1)으로 확장된다. 중첩층(M1)의 면적이 증가한 확장부와 구동 트랜지스터(T1)의 제1 전극(S1)에 의하여 제2 추가 유지 축전기(Cse)가 형성되고 추가적인 커패시턴스(capacitance)가 생성된다.

[0071] 유지 축전기(Cst) 이외에, 제1 및 제2 추가 유지 축전기(Cm, Cse)를 포함하는 추가 유지 축전기(Cp)가 추가되어 정전 용량이 증가한다.

[0072] 구체적으로, 추가 유지 축전기(Cm)의 정전 용량과 Vgs 간의 관계식은 하기 [수학식 1]과 같다.

[0073] [수학식 1]

$$V_{gs} = \frac{C_p}{C_{st} + C_p} \times \Delta V_g + V_{th_T1} = V_1 + V_{th_T1}$$

[0074]

[0076] 상기 [수학식 1]에서, Vgs는 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압으로, 각 전압의 차이이다. 설명의 편의상 [수학식 1]에서 유지 축전기(Cst)의 정전 용량을 Cst로, 추가 유지 축전기(Cp)의 정전 용량을 Cst로 표기한다. ΔVg는 게이트에 인가되는 전압(Vg)의 변동폭을 나타낸다.

[0077] 상기 [수학식 1]에서, V1은 게이트에 인가되는 전압(Vg)의 변동폭(ΔVg)에 Cst와 Cp의 비율을 곱한 값이며, Vth_T1은 구동 트랜지스터(T1)의 문턱 전압을 나타낸다.

[0078] [수학식 1]에 따르면, Vgs는 V1에 Vth_T1을 더한 값을 가지며, Vgs는 Cst와 Cp의 비율에 의해 영향 받는다. 즉, 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압은 Cst와 Cp의 비율에 의해 결정된다.

[0079] 추가 유지 축전기(Cp)는 제1 추가 유지 축전기(Cm) 및 제2 추가 유지 축전기(Cse)를 포함하므로 Cp의 값은 Cm 및 Cse를 더한 값을 나타낸다.

[0080] 여기서, 전술한 바와 같이 중첩층(M1)을 제1 전극(S1)으로 확장함으로써 제1 추가 유지 축전기(Cm)에 더하여 제2 추가 유지 축전기(Cse)가 추가로 형성되고, Cp의 값이 증가한다. 이에 따라 상기 [수학식 1]에 의하면 Vgs 값 또한 증가한다. Vgs 값이 커지면 히스테레시스(Hysteresis) 값이 작아져 순간 잔상이 감소한다.

[0081] 히스테레시스(Hysteresis)란 이력 현상이라고도 불리며, 어떤 물리량이 특정 시점의 물리 조건만으로는 결정되지 않고, 그 이전에 특정 물리량이 경과해 온 상태의 변화 과정에 의존되는 현상을 나타낸다. 다시 말해, 히스테레시스 특성은 값이 작을수록 전류 컨트롤이 용이하여 그 특성이 개선됨을 나타내는 것이고, 그 값이 작을수록 순간 잔상이 감소하여 잔상 특성이 향상됨을 나타낸다.

[0082] 즉, 일 실시예에 따른 유기 발광 표시 장치에서 확장된 중첩층(M1)에 의하면 제2 추가 유지 축전기(Cse)가 형성되고, Cp가 증가하여 [수학식 1]에 따라 Vgs가 증가하며, 이에 따라 히스테레시스 값이 감소하고, 결과적으로 순간 잔상이 감소할 수 있다.

- [0083] 도 1의 실시예에서 중첩층(M1)은 구동 전압(ELVDD)을 인가받는 것으로 설명하였으나, 구동 전압(ELVDD) 이외의 다른 전압을 인가받을 수도 있다. 또한 본 실시예에서 중첩층(M1)은 구동 트랜지스터(T1)의 반도체층(130)과 중첩하나, 구동 트랜지스터(T1) 이외의 트랜지스터들(T2, T3, T4, T5, T6, T7) 중 적어도 하나의 반도체층(130)과 중첩할 수도 있다.
- [0084] 도 1의 실시예에서 화소 회로는 7개의 트랜지스터(T1 내지 T7)와 1개의 축전기(Cst)를 포함하지만 이에 제한되지 않으며, 트랜지스터의 수와 축전기의 수, 그리고 이들의 연결은 다양하게 변경 가능하다.
- [0085] 도시되지 않았지만, 유기 발광 표시 장치는 영상이 표시되는 표시 영역을 포함하고, 표시 영역에는 이러한 화소(PX)가 행렬 등 다양한 방식으로 배열되어 있다.
- [0086] 이하, 도 1 및 도 2를 참고하여 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 설명한다.
- [0087] 초기화 구간 동안 로우 레벨의 전단 스캔 신호(S_{n-1})가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제4 트랜지스터(T4)가 켜져, 초기화 전압(V_{int})이 제4 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 인가된다. 그 결과 구동 트랜지스터(T1) 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(V_{int})의 전압이 저전압을 가져 구동 트랜지스터(T1)이 턴 온 될 수 있다.
- [0088] 한편, 초기화 구간 동안에는 로우 레벨의 바이패스 신호(GB)도 제7 트랜지스터(T7)로 인가된다. 이를 인가 받은 제7 트랜지스터(T7)가 턴 온 되어 초기화 전압(V_{int})이 제7 트랜지스터(T7)를 통해 유기 발광 다이오드(OLED)의 애노드로 인가된다. 그 결과 유기 발광 다이오드(OLED)의 애노드도 초기화된다.
- [0089] 이후, 데이터 기입 구간 동안 스캔선(151)을 통해 로우 레벨의 스캔 신호(S_n)가 화소(PX)로 공급된다. 로우 레벨의 스캔 신호(S_n)에 의하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 켜진다.
- [0090] 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(D_m)가 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력된다.
- [0091] 또한, 데이터 기입 구간 동안 제3 트랜지스터(T3)가 턴 온 되고, 그 결과 구동 트랜지스터(T1)의 제2 전극(D2)은 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)과 전기적으로 연결된다. 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D2)이 연결되어 다이오드 연결된다. 또한, 구동 트랜지스터(T1)는 초기화 구간 동안 게이트 전극(G1)에 저전압(초기화 전압(V_{int}))가 인가되어 있어 턴 온 된 상태이다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력되는 데이터 전압(D_m)은 구동 트랜지스터(T1)의 채널을 지나 제2 전극(D1)에서 출력된 후 제3 트랜지스터(T3)를 거쳐 유지 축전기(Cst)의 제2 유지 전극(E2)에 저장된다.
- [0092] 이 때, 제2 유지 전극(E2)에 인가되는 전압은 구동 트랜지스터(T1)의 문턱전압(V_{th})에 따라 변경되며, 구동 트랜지스터(T1)의 제1 전극(S1)에 데이터 전압(D_m)이 걸리고, 구동 트랜지스터(T1)의 게이트 전극(G1)에 초기화 전압(V_{int})이 걸리는 경우, 제2 전극(D1)으로 출력되는 전압은 $V_{gs} + V_{th}$ 를 가질 수 있다. 여기서 V_{gs} 는 전술한 바와 같이 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압의 차이이므로 $D_m - V_{int}$ 값을 가질 수 있다. 그러므로 제2 전극(D1)에서 출력되어 제2 유지 전극(E2)에 저장되는 전압은 $D_m - V_{int} + V_{th}$ 값을 가질 수 있다.
- [0093] 그 후, 발광 구간 동안, 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 로우 레벨의 값을 가져, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 켜진다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)에는 구동 전압(ELVDD)이 인가되며, 구동 트랜지스터(T1)의 제2 전극(D1)은 유기 발광 다이오드(OLED)와 연결된다. 구동 트랜지스터(T1)는 게이트 전극(G1)의 전압과 제1 전극(S1)의 전압(즉, 구동 전압(ELVDD)) 간의 전압 차에 따라 구동 전류(I_d)가 발생한다. 구동 트랜지스터(T1)의 구동 전류(I_d)는 $V_{gs} - V_{th}$ 의 제곱값에 비례한 값을 가질 수 있다. 여기서 V_{gs} 의 값은 유지 축전기(Cst)의 양단에 걸리는 전압차와 같으며, V_{gs} 값은 $V_g - V_s$ 의 값이므로 $D_m - V_{int} + V_{th} - ELVDD$ 값을 가진다. 여기서 V_{th} 값을 빼서 $V_{gs} - V_{th}$ 의 값을 구하면, $D_m - V_{int} - ELVDD$ 값을 가진다. 즉, 구동 트랜지스터(T1)의 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 무관한 전류를 출력으로 가진다.
- [0094] 그러므로, 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압(V_{th})을 가지더라도 구동 트랜지스터(T1)의 출력 전류를 일정하게 할 수 있어, 특성의 불균일성을 개선할 수 있다.
- [0095] 이상의 계산식에서 V_{th} 값은 다결정 반도체를 사용하는 P형 트랜지스터인 경우 0보다 약간 큰 값이나 또는 음의 값을 가질 수 있다. 또한, 전압을 계산하는 방향에 따라 + 및 -의 표현이 변경될 수 있다. 하지만, 구동 트랜지

스터(T1)의 출력 전류인 구동 전류(I_d)를 문턱 전압(V_{th})에 무관한 값을 가지도록 할 수 있다는 점에는 변함이 없다.

- [0096] 이상과 같은 발광 구간이 종료하면 다시 초기화 구간이 위치하여 처음부터 다시 같은 동작을 반복하게 된다.
- [0097] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극은 전압 또는 전류가 인가되는 방향에 따라서 하나는 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다.
- [0098] 한편, 실시예에 따라서는 초기화 구간에서의 제7 트랜지스터(T7)가 유기 발광 다이오드(OLED)의 애노드를 초기화시키면서, 구동 트랜지스터(T1)가 실제 턴 온 되지 않는 조건에서 방출하는 소량의 전류도 유기 발광 다이오드(OLED)쪽으로 흐르지 못하도록 할 수 있다. 이때 소량의 전류는 바이패스 전류(I_{bp})로 제7 트랜지스터(T7)를 통해 초기화 전압(V_{int})단으로 방출된다. 그 결과 유기 발광 다이오드(OLED)가 불필요한 빛을 방출하지 않게 되어, 블랙 계조를 더욱 명확하게 표시하고, 대비비(contrast ratio)도 향상시키도록 할 수 있다. 이러한 경우 바이패스 신호(GB)가 전단 스캔 신호(S_{n-1})와 다른 타이밍의 신호일 수도 있다. 실시예에 따라서는 제7 트랜지스터(T7)가 생략될 수도 있다.
- [0099] 이상과 같이 동작하는 화소(PX)에서 중첩층(M1)은 구동 전압(ELVDD)을 전달받을 수 있다. 중첩층(M1)은 구동 트랜지스터(T1)의 반도체층(130)과 채널과 추가 유지 축전기(C_p)를 형성한다.
- [0100] 추가 유지 축전기(C_p)는 제1 추가 유지 축전기(C_m) 및 제2 추가 유지 축전기(C_{se})를 포함한다. 중첩층(M1)은 구동 트랜지스터(T1)의 채널과 제1 추가 유지 축전기(C_m)를 형성한다.
- [0101] 이때, 중첩층(M1)은 구동 트랜지스터(T1)의 제1 전극(S_1) 영역으로 확장되어 그 면적이 증가한다. 이에 따라 중첩층(M1)의 확장부와 구동 트랜지스터(T1)의 제1 전극(S_1)에 의하여 제2 추가 유지 축전기(C_{se})가 추가로 형성되고, 한 화소(PX)의 전체 정전 용량($C_{st}+C_p$)이 증가한다. 제2 추가 유지 축전기(C_{se})가 형성됨에 따라 C_p 가 증가하고, [수학식 1]에 의해 V_{gs} 값이 증가하며, 히스테레시스 값이 감소하여 순간 잔상이 개선될 수 있다.
- [0102] 이하에서는 도 3 내지 도 5를 사용하여 일 실시예에 따른 유기 발광 표시 장치의 적층 구조에 대해 설명한다.
- [0103] 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 4는 도 3에서 IV-IV선을 따라 자른 단면도이며, 도 5는 일 실시예에 따른 유기 발광 표시 장치의 일부 박막층들의 층간 구조의 개략적인 단면도이다.
- [0104] 먼저 도 1에 도 3을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 주로 제1 방향을 따라 연장하며 스캔 신호(S_n), 전단 스캔 신호(S_{n-1}), 발광 제어 신호(EM) 및 초기화 전압(V_{int})을 각각 전달하는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(127)을 포함한다. 바이패스 신호(GB)는 전단 스캔선(152)을 통해 전달된다. 유기 발광 표시 장치는 제1 방향과 교차하는 제2 방향을 따라 연장하며 데이터 전압(D_m) 및 구동 전압(ELVDD)을 각각 전달하는 데이터선(171) 및 구동 전압선(172)을 포함한다.
- [0105] 유기 발광 표시 장치는 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 유지 축전기(C_{st}), 및 유기 발광 다이오드(OLED)를 포함한다. 또한, 도 3의 실시예에서는 구동 트랜지스터(T1)의 반도체층과 중첩하는 중첩층(M1)을 더 포함한다.
- [0106] 중첩층(M1)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 중첩층(M1)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 중첩층(M1)은 구동 트랜지스터(T1)의 채널 영역과 평면상 중첩하며, 구동 트랜지스터(T1)의 다른 부분 중 적어도 일부와 중첩할 수 있다.
- [0107] 도 3을 참고하면, 중첩층(M1)은 기본부(M1-1) 및 확장부(M1-S)를 포함한다. 중첩층(M1)은 도 3에서 굵은 점선으로 표시하여 다른 층과 구분이 용이하게 도시하였다.
- [0108] 기본부(M1-1)는 구동 트랜지스터(T1)의 채널, 제1 전극(S_1)의 일부 및 제2 전극(D_1)의 일부와 중첩한다. 기본부(M1-1)의 좌단은 확장부(M1-S)와 연결되고, 우단은 구동 트랜지스터(T1)의 제2 전극(D_1)의 일부와 중첩할 수 있다.
- [0109] 기본부(M1-1)의 우단은 구동 트랜지스터(T1)의 제2 전극(D_1) 및 제3 트랜지스터(T3)의 제1 전극(S_3) 및 제6 트랜지스터(T6)의 제1 전극(S_6)을 포함하는 반도체층(130)과 중첩하지 않도록 형성되어 있다.

- [0110] 확장부(M1-S)는 중첩층(M1)이 구동 트랜지스터(T1)의 제1 전극(S1) 영역으로 확장된 부분이다. 이때, 확장부(M1-S)는 구동 트랜지스터(T1)의 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)을 덮도록 확장될 수 있다. 특히, 본 실시예에서 확장부(M1-S)는 이의 좌측 변이 구동 트랜지스터(T1)의 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)의 좌측 변과 일치하도록 확장되어 있다.
- [0111] 도 3을 참고하면, 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)의 각각의 채널(channel)은 길게 연장되어 있는 반도체층(130) 내에 위치한다. 뿐만 아니라 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극 중 적어도 일부도 반도체층(130)에 위치한다.
- [0112] 반도체층(130)은 도 3에서 음영을 추가하여 다른 층과 구분이 용이하게 도시하였다. 반도체층(130)은 도 3의 구조와 달리 다양한 형상으로 굴곡되어 형성될 수 있다. 반도체층(130)은 폴리 실리콘 같은 다결정 반도체 또는 산화물 반도체를 포함할 수 있다.
- [0113] 반도체층(130)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널과, 채널의 양측에 위치하며 채널에 도핑된 불순물보다 도핑 농도가 높은 제1 도핑 영역 및 제2 도핑 영역을 포함한다. 제1 도핑 영역 및 제2 도핑 영역은 각각 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극에 대응되며, 제1 도핑 영역 및 제2 도핑 영역 중 하나가 소스 영역이면, 나머지 하나는 드레인 영역에 해당한다. 또한, 반도체층(130)에서 서로 다른 트랜지스터의 제1 전극과 제2 전극의 사이 영역도 도핑되어 두 트랜지스터가 서로 전기적으로 연결될 수 있다.
- [0114] 채널에 도핑되는 불순물은 일 예로, 인(P), 비소(As), 안티몬(Sb)이거나 붕소(B), 알루미늄(Al), 인듐(In) 또는 갈륨(Ga)일 수 있다. 상기 불순물이 인, 비소, 안티몬 등을 포함하는 경우 트랜지스터는 전자가 캐리어인 N형 TFT일 수 있으며, 불순물이 붕소, 알루미늄, 인듐 또는 갈륨을 포함하는 경우 트랜지스터는 정공이 캐리어인 P형 TFT일 수 있다.
- [0115] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널 각각은 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극과 중첩하고, 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극과 제2 전극 사이에 위치한다. 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 실질적으로 동일한 적층 구조를 가질 수 있다. 이하에서는 구동 트랜지스터(T1)를 위주로 상세하게 설명하고, 나머지 트랜지스터(T2, T3, T4, T5, T6, T7)는 간략하게 설명한다.
- [0116] 게이트 전극(155)은 채널과 평면상 중첩한다. 제1 전극(S1) 및 제2 전극(D2)은 채널의 양측에 각각 위치한다. 게이트 전극(155)의 위에는 유지선(126)의 확장된 부분이 절연되어 위치한다. 유지선(126)의 확장된 부분은 게이트 전극(155)과 제2 게이트 절연막을 사이에 두고 평면상 중첩하여 유지 축전기(Cst)를 구성한다. 유지선(126)의 확장된 부분은 유지 축전기(Cst)의 제1 전극(도 1의 E1)이며, 게이트 전극(155)은 제2 유지 전극(도 1의 E2)을 이룬다. 유지선(126)의 확장된 부분은 게이트 전극(155)이 제1 데이터 연결 부재(71)와 연결될 수 있도록 개구(56)가 형성되어 있다. 개구(56)의 내에서 게이트 전극(155)의 상부면과 제1 데이터 연결 부재(71)가 오프닝(61)을 통하여 전기적으로 연결된다. 제1 데이터 연결 부재(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되어 구동 트랜지스터(T1)의 게이트 전극(155)과 제3 트랜지스터(T3)의 제2 전극(D3)을 연결시킨다.
- [0117] 전술한 중첩층(M1)은 구동 트랜지스터(T1)의 반도체층(130)과 중첩한다. 중첩층(M1)은 기본부(M1-1) 및 확장부(M1-S)를 포함한다.
- [0118] 기본부(M1-1)는 구동 트랜지스터(T1)의 반도체층(130)의 채널, 제1 전극(S1)의 적어도 일부 및 제2 전극(D1)의 적어도 일부와 중첩한다. 또한, 기본부(M1-1)는 게이트 전극(155) 및 유지선(126)의 확장된 부분인 축전기(Cst)의 제1 전극(도 1의 E1)과 중첩하도록 형성될 수 있다.
- [0119] 확장부(M1-S)는 중첩층(M1)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 소정의 폭만큼 확장되어 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)과 중첩한다. 도 3에서는, 확장부(M1-S)의 좌측 변이 상기 반도체층(130)의 좌측 변과 일치하도록 도시되어 있다.
- [0120] 제2 트랜지스터(T2)의 게이트 전극은 스캔선(151)의 일부일 수 있다. 제2 트랜지스터(T2)의 제1 전극에는 데이터선(171)이 오프닝(62)을 통해 연결되어 있으며, 제1 전극(S2) 및 제2 전극(D2)이 반도체층(130) 상에 위치할 수 있다.
- [0121] 제3 트랜지스터(T3)는 서로 인접하며 직렬로 연결된 두 개의 트랜지스터(T3-1, T3-2)로 구성되어 있다. 두 트랜

지스터(T3-1, T3-2)의 게이트 전극은 스캔선(151)의 일부 또는 스캔선(151)에서 상측으로 돌출된 부분일 수 있다. 이와 같은 구조를 듀얼 게이트(dual gate) 구조라 할 수 있으며, 누설 전류가 흐르는 것을 차단하는 역할을 수행할 수 있다.

[0122] 두 개의 트랜지스터가 직렬 연결된 구조를 간단하게 하나의 제3 트랜지스터(T3)로 설명하면, 제3 트랜지스터(T3)의 제1 전극(S3; 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)에 대응)은 제6 트랜지스터(T6)의 제1 전극(S6) 및 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다고 설명할 수 있다. 또한, 제3 트랜지스터(T3)의 제2 전극(D3; 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)에 대응)은 오프닝(63)을 통해 제1 데이터 연결 부재(71)와 연결되어 있다.

[0123] 제4 트랜지스터(T4)도 두 개의 제4 트랜지스터(T4)로 이루어져 있으며, 두 개의 제4 트랜지스터(T4)는 전단 스캔선(152)과 반도체층(130)이 만나는 부분에 형성되어 있다. 제4 트랜지스터(T4)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 하나의 제4 트랜지스터(T4)의 제1 전극(S4)이 다른 하나의 제3 트랜지스터(T3)의 제2 전극(D4)과 연결되는 구조를 가진다. 이와 같은 구조를 듀얼 게이트(dual gate) 구조라 할 수 있으며, 누설 전류를 차단하는 역할을 수행할 수 있다. 제4 트랜지스터(T4)의 제1 전극(S4)에는 제2 데이터 연결 부재(72)가 오프닝(65)을 통해 연결되어 있으며, 제4 트랜지스터(T4)의 제2 전극(D2)에는 제1 데이터 연결 부재(71)가 오프닝(63)을 통해 연결되어 있다.

[0124] 이와 같이, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)로 듀얼 게이트 구조를 사용함으로써, 오프 상태에서 채널의 전자 이동 경로를 차단하여 누설 전류가 발생하는 것을 효과적으로 방지할 수 있다.

[0125] 제5 트랜지스터(T5)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제5 트랜지스터(T5)의 제1 전극(S5)에는 구동 전압선(172)이 오프닝(67)을 통해 연결되어 있으며, 제2 전극(D5)은 반도체층(130)을 통하여 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.

[0126] 제6 트랜지스터(T6)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제6 트랜지스터(T6)의 제2 전극(D6)에는 제3 데이터 연결 부재(73)가 오프닝(69)을 통해 연결되어 있으며, 제1 전극(S6)은 반도체층(130)을 통하여 구동 트랜지스터의 제2 전극(D1)과 연결되어 있다.

[0127] 제7 트랜지스터(T7)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 제7 트랜지스터(T7)의 제1 전극(S7)에는 제3 데이터 연결 부재(73)가 오프닝(81)을 통해 연결되어 있고, 제1 전극(S7)은 제6 트랜지스터(T6)의 제2 전극(D6)과 연결되어 있다. 제7 트랜지스터(T7)의 제2 전극(D7)은 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있다.

[0128] 유지 축전기(Cst)는 제2 게이트 절연막(142)을 사이에 두고 중첩하는 제1 유지 전극(E1)과 제2 유지 전극(E2)을 포함한다. 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(155)에 해당하고, 제1 유지 전극(E1)은 유지선(126)의 확장된 부분일 수 있다. 여기서, 제2 게이트 절연막(142; 도 4 참고)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 및 제2 유지 전극들(E1, E2) 사이의 전압에 의해 정전 용량(capacitance)이 결정된다. 게이트 전극(155)을 제2 유지 전극(E2)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 트랜지스터(T1)의 채널에 의해 좁아진 공간에서 유지 축전기(Cst)를 형성할 수 있는 공간을 확보할 수 있다.

[0129] 제1 유지 전극(E1)에는 구동 전압선(172)이 오프닝(68)을 통해 연결되어 있다. 따라서 유지 축전기(Cst)는 구동 전압선(172)을 통해 제1 유지 전극(E1)에 전달된 구동 전압(ELVDD)과 게이트 전극(155)의 게이트 전압(Vg) 간의 차에 대응하는 전하를 저장한다.

[0130] 또한, 유지선(126)의 확장된 부분인 제1 유지 전극(E1)은 오프닝(60)을 통해 중첩층(M1)과 연결되어 있다. 제1 유지 전극(E1)은 오프닝(68)을 통해 연결된 구동 전압선(172)을 통해 구동 전압(ELVDD)을 전달받는다. 따라서, 중첩층(M1)은 제1 유지 전극(E1)을 통해 구동 전압(ELVDD)을 인가받는다.

[0131] 제2 데이터 연결 부재(72)는 오프닝(64)을 통해 초기화 전압선(127)과 연결되어 있다. 제3 데이터 연결 부재(73)에는 화소 전극(미도시)이 오프닝(81)을 통해 연결되어 있다.

[0132] 유기 발광 다이오드(OLED)는 오프닝(81)을 통해 연결된 화소 전극(미도시), 유기 발광층(미도시) 및 공통 전극(미도시)으로 이루어진다.

[0133] 제3 트랜지스터(T3)의 제3 노드(N3)의 상부에는 기생 축전기 제어 패턴(79)이 위치할 수 있다. 화소 내에는 기생 축전기가 존재하는데, 기생 축전기에 인가되는 전압이 변하면 화질 특성이 바뀔 수 있다. 기생 축전기 제어 패턴(79)에는 구동 전압선(172)이 오프닝(66)을 통해 연결되어 있다. 이로 인해, 기생 축전기에 일정한 직류 전

압인 구동 전압(ELVDD)이 인가됨으로써 화질 특성이 바뀌는 것을 방지할 수 있다. 기생 축전기 제어 패턴(79)은 도시된 것과 다른 영역에 위치할 수도 있고, 구동 전압(ELVDD) 외의 전압이 인가될 수도 있다.

- [0134] 제1 데이터 연결 부재(71)의 일단은 오프닝(61)을 통하여 게이트 전극(155)과 연결되어 있으며, 타단은 오프닝(63)을 통해 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다.
- [0135] 제2 데이터 연결 부재(72)의 일단은 오프닝(65)을 통해 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있고, 타단은 오프닝(64)을 통해 초기화 전압선(127)에 연결되어 있다.
- [0136] 제3 데이터 연결 부재(73)의 일단은 오프닝(81)을 통해 화소 전극(미도시)이 연결될 수 있고, 타단은 오프닝(69)을 통해 제6 트랜지스터(T6)의 제2 전극(D6)과 연결되어 있다.
- [0137] 반도체층(130) 및 복수의 신호선들(127, 151, 152, 153, 158, 171, 172, 741)의 구체적인 형상은 도 3에 도시된 바에 한정되지 않고, 추가로 식각되어 평면상 그 두께가 다를 수도 있다.
- [0138] 이하에서는 도 3에 도 4를 추가적으로 참고하여 일 실시예에 따른 유기 발광 표시 장치의 단면상 구조에 대해 적층 순서에 따라 설명한다. 도 3에서 설명한 내용과 동일한 내용에 대한 설명은 생략하기로 한다.
- [0139] 도 4를 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 기판(110)을 포함한다. 기판(110)은 플라스틱이나 폴리 이미드(PI)와 같은 플렉서블한 재료로 형성될 수 있다.
- [0140] 기판(110) 위에는 배리어층(111)이 위치한다. 배리어층(111)은 산화규소, 질화규소, 산화알루미늄 등의 무기 절연 물질을 포함하거나 폴리이미드 아크릴 등의 유기 절연 물질을 포함할 수 있다. 배리어층(111)은 불순물이 트랜지스터로 유입되는 것을 방지하고 기판(110) 일면을 평탄하게 할 수 있다. 실시예에 따라 배리어층(111)은 생략될 수 있다.
- [0141] 배리어층(111) 위에 증착층(M1)이 위치한다. 증착층(M1)은 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 상기 금속은 일 예로 몰리브덴, 크롬, 탄탈륨, 티타늄, 구리 또는 이들의 합금 등을 포함할 수 있다. 증착층(M1)은 단일막이거나 다중막일 수 있다.
- [0142] 증착층(M1)의 위에는 버퍼층(112)이 위치한다. 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있으며, 또한, 폴리이미드, 폴리 아크릴(에폭시 첨가) 등의 유기 절연 물질도 포함할 수 있다.
- [0143] 버퍼층(112) 위에는 구동 트랜지스터(T1)의 반도체층(130)이 위치한다. 상기 반도체층(130)은 채널, 제1 전극(S1) 및 제2 전극(D1)을 포함한다. 구체적인 내용은 전술한 바 여기서는 생략하기로 한다.
- [0144] 증착층(M1)은 그 상부의 구동 트랜지스터(T1)의 반도체층(130)과 중첩한다. 특히, 증착층(M1)은 구동 트랜지스터(T1)의 반도체층(130)의 채널 및 채널 일측에 위치하는 제1 전극(S1)과 중첩한다. 실시예에 따라 증착층(M1)은 구동 트랜지스터(T1)의 제2 전극(D1)의 일부와도 중첩할 수 있다.
- [0145] 증착층(M1)은 평면상 게이트 전극(155) 또는 유지선(126)과 완전히 중첩할 수 있으며 다른 층과 연결되기 위해 돌출된 영역을 포함할 수 있다. 증착층(M1)은 구동 트랜지스터(T1)와 중첩하는 어떠한 형태로 형성될 수 있으며 전술한 내용에 제한되는 것은 아니다.
- [0146] 본 실시예에서, 증착층(M1)은 기본부(M1-1) 및 확장부(M1-S)를 포함한다. 기본부(M1-1)는 구동 트랜지스터(T1)의 채널과 중첩하는 영역이다. 기본부(M1-1)의 좌단은 확장부(M1-S)와 연결되어 있고, 우단은 구동 트랜지스터(T1)의 제2 전극(D1)을 포함하는 반도체층(130)과 중첩하지 않도록 형성되어 있다. 그러나, 실시예에 따라서 기본부(M1-1)의 우단이 제2 전극(D1)의 적어도 일부와 중첩할 수도 있다.
- [0147] 확장부(M1-S)는 증착층(M1)이 구동 트랜지스터(T1)의 제1 전극(S1) 영역으로 확장되어 제1 전극(S1)과 중첩하는 부분이다. 여기서, 확장부(M1-S)는 그 상부에 위치한 구동 트랜지스터(T1)의 제1 전극(S1)과 완전히 중첩하도록 확장된다. 다시 말해, 확장부(M1-S)는 기본부(M1-1)의 좌단에 연결되어 확장부(M1-S)의 좌측 끝이 구동 트랜지스터(T1)의 제1 전극(S1)의 좌측 끝과 일치할 수 있다.
- [0148] 여기서, 증착층(M1)과 구동 트랜지스터(T1)의 반도체층(130)에 의하여 추가 유지 축전기(Cp)가 형성된다. 추가 유지 축전기(Cp)는 제1 추가 유지 축전기(Cm) 및 제2 추가 유지 축전기(Cse)를 포함한다.
- [0149] 증착층(M1)의 기본부(M1-1)와 구동 트랜지스터(T1)의 채널에 의해 제1 추가 유지 축전기(Cm)가 형성된다. 또한, 증착층(M1)의 확장부(M1-S)와 구동 트랜지스터(T1)의 제1 전극(S1)에 의해 제2 추가 유지 축전기(Cse)가 형성된

다. 이로써, 유지 축전기(Cst) 이외에도 추가 유지 축전기(Cp)가 추가로 형성되어 추가적인 커패시턴스가 생성되어 전체 정전 용량이 증가한다. 이에 따라, 일 실시예에 의한 유기 발광 표시 장치에서 순간 잔상이 감소하고 잔상 특성이 개선된다.

- [0150] 한편, 증첩층(M1)이 구동 트랜지스터(T1)의 제2 전극(D1)으로는 확장되지 않음에 따라, 인접하는 화소에 위치하는 증첩층(M1)과의 일정 간격을 두고 형성됨으로써, 전체 정전 용량은 증가하더라도 잔상 특성이 저하되는 불이익을 방지할 수 있다. 이에 따라 잔상 특성을 최대한으로 개선시킬 수 있다.
- [0151] 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극(제2 유지 전극(E2)), 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)을 포함하는 제1 게이트 도전체가 위치한다.
- [0152] 제1 게이트 도전체 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다.
- [0153] 제2 게이트 절연막(142) 위에는 유지선(126), 제1 유지 전극(E1), 초기화 전압선(127) 및 기생 축전기 제어 패턴(79)을 포함하는 제2 게이트 도전체가 위치한다.
- [0154] 제2 게이트 도전체 위에는 이를 덮는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다.
- [0155] 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72) 및 제3 데이터 연결 부재(73)를 포함하는 데이터 도전체가 위치한다.
- [0156] 데이터 도전체 위에는 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다.
- [0157] 보호막(180) 위에는 화소 전극(미도시)이 위치한다. 화소 전극은 보호막(180)에 형성된 오프닝(81)을 통하여 제3 데이터 연결 부재(73)와 연결되어 있다. 보호막(180) 및 화소 전극의 위에는 격벽(미도시)이 위치한다. 격벽은 화소 전극과 증첩하는 오픈 부분을 가지며, 오픈 부분에 유기 발광층이 위치한다. 유기 발광층 및 격벽의 위에는 공통 전극(미도시)이 위치한다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.
- [0158] 실시예에 따라서는 화소 전극이 정공 주입 전극인 애노드일 수 있고, 공통 전극이 전자 주입 전극인 캐소드일 수 있다. 이와 반대로, 화소 전극이 캐소드일 수 있고, 공통 전극이 애노드일 수도 있다. 화소 전극 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되면, 주입된 정공과 전자가 결합한 엑시톤이 여기 상태에서부터 기저 상태로 떨어질 때 발광하게 된다.
- [0159] 제1 게이트 도전체로 형성되는 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)은 제1 방향으로 연장되며, 제2 게이트 도전체로 형성되는 유지선(126) 및 초기화 전압선(127)도 제1 방향으로 연장되어 있다. 한편, 데이터 도전체로 형성되는 데이터선(171) 및 구동 전압선(172)은 제2 방향으로 연장되어 있다.
- [0160] 데이터선(171)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(62)을 통해 제2 트랜지스터(T2)의 제1 전극(S2)과 연결되어 있다.
- [0161] 구동 전압선(172)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(67)을 통해 제5 트랜지스터(T5)의 제1 전극(S5)에 연결되어 있고, 층간 절연막(160)에 형성된 오프닝(68)을 통해 유지선(126)의 확장된 부분(제1 유지 전극(E1))과 연결되어 있고, 층간 절연막(160)에 형성된 오프닝(66)을 통해 기생 축전기 제어 패턴(79)에 연결되어 있다.
- [0162] 제1 데이터 연결 부재(71)의 일단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(61)을 통하여 게이트 전극(155)과 연결되어 있으며, 타단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(63)을 통해 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다.
- [0163] 제2 데이터 연결 부재(72)의 일단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(65)을 통해 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있고, 타단은 층간 절연막(160)에 형성된 오프닝(64)을 통해 초기화 전압선(127)에 연결되어 있다.

- [0164] 제3 데이터 연결 부재(73)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(69)을 통해 제6 트랜지스터(T6)의 제2 전극과 연결되어 있다.
- [0165] 이때, 중첩층(M1)은 오프닝(60)을 통해 상기 유지선(126)의 확장된 부분(제1 유지 전극(E1))과 연결될 수 있다. 유지선(126)에는 오프닝(68)을 통해 구동 전압선(172)이 연결되어 있어, 유지선(126)에 구동 전압(ELVDD)이 인가될 수 있다. 이에 따라, 중첩층(M1)에는 유지선(126)을 통해 구동 전압(ELVDD)이 인가될 수 있다.
- [0166] 제1 데이터 연결 부재(71)는 오프닝(61)을 통해 게이트 전극(155)과 연결될 수 있다.
- [0167] 구동 전압(ELVDD)이 인가되는 중첩층(M1)과 구동 트랜지스터(T1)는 전술한 바와 같이 추가 유지 축전기(Cp)를 형성한다. 중첩층(M1)의 기본부(M1-1)와 구동 트랜지스터(T1)의 채널에 의해 제1 추가 유지 축전기(Cm)가 형성된다. 그리고, 중첩층(M1)의 확장부(M1-S)와 구동 트랜지스터(T1)의 제1 전극(S1)에 의해 제2 추가 유지 축전기(Cse)가 추가로 형성된다. 이에 따라, 전체 정전 용량이 증가하며, 순간 잔상이 감소하여 잔상 특성이 개선될 수 있다.
- [0168] 한편, 중첩층(M1)에 구동 전압(ELVDD)이 일정하게 인가되면, 중첩층(M1)의 전위가 일정하게 유지되어 주변의 전극에 영향을 주는 것을 막을 수 있고, 중첩하는 구동 트랜지스터(T1)에 대하여 광차단 기능을 가져 구동 트랜지스터(T1)의 누설 전류 및 특성 저하를 방지할 수 있다.
- [0169] 도시하지 않았으나, 공통 전극의 위에는 유기 발광 다이오드(OLED)를 보호하는 봉지층(도시되지 않음)이 위치한다. 봉지층은 공통 전극과 접할 수 있고, 공통 전극과 이격되어 있을 수도 있다. 봉지층은 무기막과 유기막이 적층된 박막 봉지층일 수 있으며, 무기막, 유기막, 무기막으로 구성된 3중층을 포함할 수 있다. 공통 전극과 봉지층 사이에는 캐핑층 및 기능층이 위치할 수도 있다.
- [0170] 이하에서는, 도 4에 도 5를 참고로 하여 일 실시예에 따른 중첩층과 반도체층 간의 관계에 대하여 설명한다.
- [0171] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 일부 박막층들의 층간 구조를 간략히 도시한 개략적인 단면도이다. 도 5의 단면도에는 도 4의 실시예에 따른 유기 발광 표시 장치에서 중첩층(M1), 반도체층(130), 게이트 전극(155) 및 유지선(126)을 도시되어 있고, 그 이외의 박막층들은 생략되어 있다.
- [0172] 도 5를 참고하면, 중첩층(M1)이 도시되어 있다. 중첩층(M1) 위에 버퍼층(112; 도 4 참고)이 위치할 수 있다.
- [0173] 중첩층(M1) 위에 구동 트랜지스터(T1)의 반도체층(130)이 위치한다. 도 3에서 전술한 바와 같이, 구동 트랜지스터(T1)의 반도체층(130)은 채널과, 채널 양측에 위치하는 제1 전극(S1) 및 제2 전극(D1)을 포함한다.
- [0174] 중첩층(M1)은 기본부(M1-1) 및 확장부(M1-S)를 포함한다. 기본부(M1-1)는 구동 트랜지스터(T1)의 반도체층(130)의 채널과 중첩하는 영역이며, 확장부(M1-S)는 중첩층(M1)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 확장되어 제1 전극(S1)과 중첩하는 부분이다.
- [0175] 여기서, 중첩층(M1), 구동 트랜지스터(T1)의 반도체층(130) 및 이들 사이의 버퍼층(112; 도 4 참고)에 의해 추가 유지 축전기(Cp)가 형성된다. 추가 유지 축전기(Cp)는 제1 추가 유지 축전기(Cm) 및 제2 추가 유지 축전기(Cse)를 포함한다.
- [0176] 중첩층(M1)의 기본부(M1-1)와 구동 트랜지스터(T1)의 채널에 의하여 제1 추가 유지 축전기(Cm)가 형성되고, 중첩층(M1)의 확장부(M1-S)와 구동 트랜지스터(T1)의 제1 전극(S1)에 의해 제2 추가 유지 축전기(Cse)가 형성된다. 따라서, 유지 축전기(Cst) 이외에도 제1 및 제2 추가 유지 축전기(Cm, Cse)를 포함하는 추가 유지 축전기(Cp)가 형성됨으로써 전체 정전 용량을 증가시켜, 순간 잔상을 감소시킬 수 있다.
- [0177] 이때, 중첩층(M1)이 구동 트랜지스터(T1)의 제2 전극(D1)으로는 확장되지 않는다. 이는 중첩층(M1)이 제2 전극(D1)으로도 확장될 경우, 인접한 화소에 형성된 중첩층(M1)과 오버랩되거나 최소한의 설계 마진(margin)을 확보하지 못함으로 인한 배선 단락(short) 등의 문제를 방지하기 위함이다.
- [0178] 그러나, 실시예에 따라서는 중첩층(M1)이 제2 전극(D1)으로도 일부 확장되어 구동 트랜지스터(T1)의 제2 전극(D1)과 후술할 제4 추가 유지 축전기(Cde)를 형성할 수도 있다.
- [0179] 반도체층(130) 위에 제1 게이트 절연막(141; 도 4 참고)이 위치할 수 있고, 그 위에 게이트 전극(155)이 위치한다. 게이트 전극(155)은 하부의 반도체층(130)의 채널 영역과 중첩할 수 있다.
- [0180] 게이트 전극(155) 위에는 제2 게이트 절연막(142; 도 4 참고)이 위치할 수 있고, 그 위에 유지선(126)이 위치한다. 여기서, 게이트 전극(155), 유지선(126) 및 이들 사이에 위치하는 제2 게이트 절연막(142)은 유지 축전기

(Cst)를 형성한다. 도 1에서 설명한 바와 같이 게이트 전극(155)은 구동 트랜지스터(T1)의 제2 유지 전극(E2)에 해당하고, 유지선(126)의 확장된 부분이 제1 유지 전극(E1)에 해당할 수 있다. 제2 게이트 절연막(142)이 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 및 제2 유지 전극들(E1, E2) 사이의 전압에 의해 정전 용량이 결정된다.

[0181] 특히, 중첩층(M1)의 확장부(M1-S)의 좌측 변이 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)의 좌측 변과 동일할 수 있다. 다시 말해, 확장부(M1-S)이 제1 전극(S1)으로 확장되는 소정의 폭이 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)의 폭과 동일할 수 있다.

[0182] 이에 더불어, 전술한 바와 같이 중첩층(M1)이 인접한 화소에 위치한 중첩층(M1)과의 오버랩을 방지하기 위해 구동 트랜지스터(T1)의 제2 전극(D1)으로는 확장하지 않음은 전술한 바와 같다. 이에 따라 중첩층(M1)의 면적이 잔상 특성을 최대한으로 개선하기 위한 정도로 증가되고, 이에 의한 제2 추가 유지 축전기(Cse)의 정전 용량이 형성된다. 결과적으로 전체 정전 용량(Cst+Cp)이 최적화되고, 이로써 순간 잔상이 최대한으로 감소되어 잔상 특성이 최적화된다.

[0183] 이하에서는 도 6을 사용하여 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구동에 대해 설명한다.

[0184] 도 6은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다. 도 6에서는 앞서 설명한 구성요소와 동일 유사한 구성에 대한 설명은 생략하고, 차이점을 중심으로 이하 설명한다.

[0185] 여기서 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 서로 직렬 연결된 두 트랜지스터를 포함하는 구조로 도시하였다. 여기서 직렬 연결된 구조는 두 트랜지스터(T3-1, T3-2)의 게이트 전극이 연결되어 동일한 신호를 인가 받으며, 일 트랜지스터의 출력이 타 트랜지스터의 입력으로 인가되는 구조를 의미한다.

[0186] 제3 트랜지스터(T3)는 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)가 직렬 연결된 구조를 가진다. 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)과 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)은 서로 연결되어 있으며, 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)도 서로 연결되어 있다. 제4 트랜지스터(T4)도 직렬 연결되어 있으나, 실시예에 따라서는 단일 트랜지스터로 형성될 수도 있다.

[0187] 전술한 실시예에서와 같이, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)로 듀얼 게이트 구조를 사용함으로써, 오프 상태에서 채널의 전자 이동 경로를 차단하여 누설 전류가 발생하는 것을 효과적으로 방지할 수 있다.

[0188] 도 6의 실시예에서는 중첩층(M1)이 기본부(M1-1), 확장부(M1-S) 이외에 연장부(M1-3)를 더 포함한다. 연장부(M1-3)는 제3 트랜지스터(T3)와 중첩할 수 있고, 기본부(M1-1)와 마찬가지로 구동 전압(ELVDD)을 공급받을 수 있다. 연장부(M1-3)에 일정한 전압, 본 실시예에서는 구동 전압(ELVDD)이 인가됨으로써 중첩층(M1)에 특정 전하가 주입되어 전위가 변하는 것을 막을 수 있다.

[0189] 중첩층(M1)의 연장부(M1-3)는 제3 트랜지스터(T3)의 반도체층(130) 아래에 위치하며 제3 트랜지스터(T3)의 반도체층(130)과 중첩한다. 구체적으로는, 제3 트랜지스터(T3)의 채널이 형성되는 반도체층(130)을 기준으로 제3 트랜지스터(T3)의 게이트 전극(G3)과 반대측에 위치한다. 연장부(M1-3)는 제3 트랜지스터(T3)의 제2 게이트 전극의 역할을 수행할 수도 있어 제2 게이트 전극이라고도 불릴 수 있다.

[0190] 여기서, 전술한 실시예에서 형성된 제2 추가 유지 축전기(Cse)에 더하여, 중첩층(M1)의 연장부(M1-3)와 제3 트랜지스터(T3)에 의해 제3 추가 유지 축전기가 형성됨으로써 전체 정전 용량이 증가되고 이에 따라 순간 잔상이 더욱 개선될 수 있다.

[0191] 이하에서는 도 7 및 도 8을 사용하여 일 실시예에 따른 유기 발광 표시 장치의 적층 구조에 대해 설명한다.

[0192] 도 7은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 8은 도 7에서 VIII-VIII선을 따라 자른 단면도이다. 도 7 및 도 8에서는 앞서 설명한 구성요소와 동일 유사한 구성에 대한 설명은 생략하고, 차이점을 중심으로 이하 설명한다.

[0193] 도 7을 참고하면, 중첩층(M1)은 기본부(M1-1), 확장부(M1-S) 및 연장부(M1-3)를 포함한다. 기본부(M1-1) 및 확장부(M1-S)에 대한 설명은 전술한 실시예와 동일한바, 이하에서는 생략한다.

[0194] 일 실시예에 따른 중첩층(M1)의 연장부(M1-3)는 제3 트랜지스터(T3)와 중첩할 수 있다. 본 실시예에서 연장부(M1-3)는 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2) 모두와 중첩할 수 있다. 연장부(M1-3)는 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드(N3)와 평면상 중첩하며, 두 트랜지스터(T3-1,

T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다.

- [0195] 연장부(M1-3)는 제3 트랜지스터(T3)의 반도체층(130) 아래에 위치하며 제3 트랜지스터(T3)의 반도체층(130)과 중첩한다. 구체적으로는, 연장부(M1-3)는 제3 트랜지스터(T3)의 채널이 형성되는 반도체층(130)을 기준으로 제3 트랜지스터(T3)의 게이트 전극(G3)과 반대측에 위치한다. 전술한 바와 같이, 제3 트랜지스터(T3)는 제3 트랜지스터(T3)의 제2 게이트 전극의 역할을 수행할 수도 있어 제2 게이트 전극이라고도 불릴 수 있다.
- [0196] 그러나 실시예에 따라서 중첩층(M1)은 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2) 중 적어도 어느 하나와 중첩하도록 형성될 수도 있다. 또한 이러한 실시예에 국한되지 않고 도 3의 실시예와 같이 구동 트랜지스터(T1)에만 중첩하는 형태를 가질 수 있음은 물론이다.
- [0197] 도 8을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 기관(110), 배리어층(111), 중첩층(M1) 중 연장부(M1-3), 버퍼층(112), 반도체층(130), 제1 게이트 절연막(141), 스캔선(151), 제2 게이트 절연막(142), 기생 축전기 제어 패턴(79), 제1 데이터 연결 부재(71) 및 보호막(180)을 포함한다.
- [0198] 연장부(M1-3)는 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성되며, 플라스틱이나 폴리 이미드(PI)로 형성된 기관(110)과 제3 트랜지스터(T3)의 반도체층(130)의 사이에 위치한다. 본 실시예에서 제3-2 트랜지스터(T3-2)와 중첩하고, 제3 트랜지스터(T3)의 제2 전극(D3)과는 중첩하지 않도록 형성되어 있다.
- [0199] 연장부(M1-3) 위에는 버퍼층(112)이 위치하고, 그 위에는 제3 트랜지스터(T3)의 반도체층(130)이 위치한다. 상기 반도체층(130)은 채널, 제1 전극(S3) 및 제2 전극(D3)을 포함한다. 구체적인 내용은 전술한 바 여기서는 생략하기로 한다.
- [0200] 도 7 및 도 8의 실시예에서 연장부(M1-3)와 제3 트랜지스터(T3)는 제3 추가 유지 축전기를 형성하고, 추가적인 정전 용량이 생성될 수 있다. 추가적인 정전 용량으로 인하여 제3 노드(N3)에서의 전압 변화를 완충함으로써 제3 노드(N3)에서의 신호 변화가 줄어들게 되고, 제3 트랜지스터(T3) 전체적으로도 특성이 향상될 수 있다.
- [0201] 제3 트랜지스터(T3) 위에는 제1 게이트 절연막(141)이 위치하고 그 위에 스캔선(151)이 위치한다.
- [0202] 스캔선(151) 위에는 제2 게이트 절연막(142)이 위치하고, 그 위에는 기생 축전기 제어 패턴(79)이 위치한다.
- [0203] 기생 축전기 제어 패턴(79) 위에는 층간 절연막(160)이 위치하고, 그 위에는 제1 데이터 연결 부재(71)가 위치한다.
- [0204] 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에는 오프닝(63)이 형성되어 제3 트랜지스터(T3)의 일부를 노출시킨다. 오프닝(63)을 통하여 제1 데이터 연결 부재(71)가 하부면의 제3 트랜지스터(T3)와 연결될 수 있다.
- [0205] 연장부(M1-3)는 기본부(M1-1)와 일체로 형성되어 있으므로 구동 전압(ELVDD)을 인가받는 기본부(M1-1)를 통해 구동 전압(ELVDD)을 인가받을 수 있다. 그러나 실시예는 이에 국한되지 않고, 연장부(M1-3)가 기본부(M1-1)와 분리되어 형성되거나, 연장부(M1-3)가 직접 구동 전압선(172)과 연결되도록 형성될 수도 있다. 실시예에 따라서는 연장부(M1-3)에 다른 전압이 인가될 수도 있다.
- [0206] 이하에서는 도 9 내지 도 12를 사용하여 실시예 및 비교예에 따른 특성을 살펴본다. 도 9 내지 도 12에서 중첩층(M1)은 도 6 내지 도 8의 실시예와 같이 연장부(M1-3)를 포함한다. 이하에서는, 앞서 설명한 구성요소와 동일 유사한 구성에 대한 설명은 생략하고, 차이점을 중심으로 설명한다.
- [0207] 도 9는 비교예에 따른 유기 발광 표시 장치의 화소 중 일부를 확대 도시한 확대도이고, 도 10 내지 도 12는 각각 다른 일 실시예에 따른 유기 발광 표시 장치의 화소 중 일부를 확대 도시한 확대도이다.
- [0208] 잔상을 비교하기 위하여 비교예 및 실시예를 가지고 실험하였다. 비교예 및 실시예에서는 인접하는 화소에 블랙과 화이트를 구분하여 표시하도록 하고, 그로부터 한 프레임 후에는 반대로 화이트와 블랙을 표시하도록 하였다. 이를 계속 반복적으로 표시하다가 잔상이 남는 정도를 순간 잔상이라 하며, 이를 살펴본 것이다.
- [0209] 도 9의 비교예에서, 중첩층(M1)은 기본부(M1-1) 및 연장부(M1-3)를 포함한다. 기본부(M1-1)는 구동 트랜지스터(T1)의 채널 영역과 중첩할 수 있다.
- [0210] 게이트 전극(155)에 해당하는 제2 유지 전극(E2) 및 유지선(126)의 확장된 부분에 해당하는 제1 유지 전극(E1)은 그 사이에 게이트 절연막(미도시)을 두고 유지 축전기(Cst)를 형성할 수 있다.
- [0211] 중첩층(M1)과 구동 트랜지스터(T1)의 반도체층(130)에 의해 추가 유지 축전기(Cp)가 형성될 수 있다. 추가 유지

축전기(Cp)는 제1 추가 유지 축전기(Cm) 및 제2 추가 유지 축전기(Cse)를 포함한다.

[0212] 중첩층(M1)의 기본부(M1-1)가 구동 트랜지스터(T1)의 채널과 중첩하여 제1 추가 유지 축전기(Cm)를 형성한다. 나아가, 중첩층(M1)이 구동 트랜지스터(T1)의 제1 전극(S1)의 일부와 중첩하여 제2 추가 유지 축전기(Cse)를 형성하고, 제2 전극(D1)의 일부와 중첩하여 제4 추가 유지 축전기(Cde)가 형성될 수 있다.

[0213] 이때, 게이트 전극(155)의 좌단과 기본부(M1-1) 좌단 간의 간격을 제1 간격(d1), 게이트 전극(155)의 우단과 기본부(M1-1) 우단 간의 간격을 제2 간격(d2)라고 한다.

[0214] 본 비교예에서, 제1 간격(d1) 및 제2 간격(d2)은 1 μm 내지 1.5 μm 범위 내의 값을 가질 수 있으며, 일 예로 1.25 μm 의 값을 가진다. 인접하는 화소 간의 중첩층(M1)은 서로 중첩하지 않는다.

[0215] 이때, 하단의 [표 1]을 참고하면, 도 9 내지 도 12의 비교예 및 실시예에 따른 각 유지 축전기(Cst, Cse, Cde)의 정전 용량 및 순간 잔상에 대한 실험 결과 수치를 나타내고 있다.

[0216] Reference는 중첩층(M1)이 포함되지 않은 유기 발광 표시 장치에서의 각 수치를 나타낸 것으로, 유지 축전기(Cst)의 정전 용량은 57.28 F의 값을 가지며, 순간 잔상은 7.6 초의 수치를 가진다.

[0217] 도 9의 비교예에서 중첩층(M1)의 기본부(M1-1)는 게이트 전극(155) 대비, 구동 트랜지스터(T1)의 채널 양측에 위치하는 제1 전극(S1) 및 제2 전극(D1) 쪽으로 각각 1.25 μm 의 간격만큼 확장되어 있다. 이때, 유지 축전기(Cst)의 정전 용량은 68.19 F의 값을 가지며, 각 추가 유지 축전기(Cse, Cde)의 정전 용량은 9.51 F, 4.23 F의 값을 가진다. 순간 잔상은 7.5 초로 중첩층(M1)을 포함하지 않을 때의 Reference와 비교할 때보다는 0.1 초만큼 개선됨을 확인할 수 있다.

표 1

	제1 간격(d1)(μm)	제2 간격(d2)(μm)	Cst(F)	Cde(F)	Cse(F)	순간잔상(초)
Reference	중첩층(M1) 미포함		57.28	-	-	7.6
도 9	1.25	1.25	68.19	9.51	4.23	7.5
도 10	1.75	1.75	67.71	10.08	4.66	6.9
도 11	3.85	1.75	67.60	11.84	5.29	4.4
도 12	-		67.51	11.47	7.94	7.6

[0220] 도 10 내지 도 12에서는 도 9의 비교예의 박막층들 중에서 중첩층(M1), 반도체층(130), 스캔선(151) 및 게이트 전극(155) 까지만 도시되어 있다.

[0221] 도 10의 실시예에서는 기본부(M1-1)가 제1 간격(d1) 및 제2 간격(d2)이 1.5 μm 내지 2.0 μm 범위 내의 값을 가질 수 있으며, 일 예로 각각 1.75 μm 의 값을 가지도록 형성되어 있다. 도 9와 비교할 때 기본부(M1-1)의 게이트 전극(155)으로부터의 각각 제1 전극(S1) 및 제2 전극(D1) 측으로의 간격이 0.5 μm 씩 증가되었다.

[0222] 이때, 기본부(M1-1)의 좌측 변은 구동 트랜지스터(T1)의 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)의 일부분과 중첩되도록 형성되어 있다. 기본부(M1-1)는 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)의 대부분과 중첩하지 않는다.

[0223] 상기 [표 1]을 참고하면, 유지 축전기(Cst)의 정전 용량은 67.71 F의 값을 가지며, 각 추가 유지 축전기(Cse, Cde)의 정전 용량은 10.08 F, 4.66 F의 값을 가진다. 순간 잔상은 6.9 초로 도 9의 실시예에 비해 0.6 초만큼 개선됨을 확인할 수 있다.

[0224] 도 11의 실시예에서는 기본부(M1-1)가 제1 간격(d1)은 2.0 μm 내지 4.0 μm 범위 내의 값을 가질 수 있으며, 제2 간격(d2)은 1.5 μm 내지 2.0 μm 범위 내의 값을 가질 수 있다. 일 예로, 제1 간격(d1)은 3.85 μm 을 가지고, 제2 간격(d2)은 1.75 μm 의 값을 가지도록 형성되어 있다. 도 10과 비교할 때 제1 간격(d1)은 2.1 μm 만큼 더 증가했고, 제2 전극(D1) 측으로의 간격은 동일하다. 즉, 중첩층(M1)은 기본부(M1-1)가 구동 트랜지스터(T1)의 제1 전극(S1)으로 더 확장됨에 따라 확장부(M1-S)를 더 포함한다.

[0225] 확장부(M1-S)는 기본부(M1-1)의 좌단에서, 구동 트랜지스터(T1)의 제1 전극(S1) 쪽으로, 제1 전극(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)과 중첩하도록 확장된 부분이다. 확장부(M1-S)의 좌측 변은 제1 전극

(S1) 및 제2 트랜지스터(T2)를 포함하는 반도체층(130)의 폭과 일치하도록 중첩하도록 형성될 수 있다.

- [0226] 인접한 화소에 형성되어 있는 중첩층(M1) 간에는 일정 간격 이상의 설계 마진(margin)이 필요하다. 인접한 화소에 형성되어 있는 중첩층(M1) 간의 간격을 제3 간격(d3)이라 한다. 도 11의 실시예에서는 인접한 화소의 중첩층(M1)은 제3 간격(d3)이 2.5 μm 의 값을 가지도록 패터닝되어 형성되어 있다.
- [0227] 상기 제3 간격(d3)이 2 μm 이하의 값을 가질 경우, 패터닝하는 식각 공정 등에서 남는 잔사로 인하여 배선 간의 단락(short) 등의 문제가 발생할 수 있어 일정 간격 이상의 설계 마진이 필요하다.
- [0228] 상기 [표 1]을 참고하면, 유지 축전기(Cst)의 정전 용량은 67.60 F의 값을 가지며, 각 추가 유지 축전기(Cse, Cde)의 정전 용량은 11.84 F, 5.29 F의 값을 가진다. 순간 잔상은 4.4 초로 도 9의 실시예에 비해 3.1 초만큼 개선됨을 확인할 수 있다. 전술한 일 실시예들에 비해 순간 잔상의 감소 정도가 약 5배 이상으로, 우수한 잔상 특성을 보인다.
- [0229] 도 12의 실시예에서는 확장부(M1-S)가 반도체층(130)의 좌측의 인접한 화소 영역을 넘어서까지 확장되어 있다. 인접한 화소의 기본부(M1-1) 및 연장부(M1-3)도 구동 트랜지스터(T1)의 제2 전극(D1)을 포함하는 반도체층(130)을 넘어서까지 확장되어 제2 확장부(M1-D)가 형성되어 있다. 따라서, 인접한 화소 각각에 형성되어 있는 중첩층(M1) 간에 중첩(overlap)이 발생한다. 즉, 확장부(M1-S) 및 제2 확장부(M1-D)가 중첩하게 된다.
- [0230] 상기 [표 1]을 참고하면, 유지 축전기(Cst)의 정전 용량은 67.51 F의 값을 가지며, 각 추가 유지 축전기(Cse, Cde)의 정전 용량은 11.47 F, 7.94 F의 값을 가진다. 순간 잔상은 7.6 초로 오히려 도 9의 실시예보다 순간 잔상이 0.1 초만큼 더 증가하였다.
- [0231] 도 12의 실시예에서, 중첩층(M1)의 면적은 전술한 실시예들에 비하여 최대값을 가짐에 따라 추가 유지 축전기(Cde, Cse)의 정전 용량이 가장 큰 값을 가진다. 그러나 본 실시예에서는 전술한 인접한 화소의 중첩층(M1) 간에 설계 마진이 없이 중첩하고 있으므로 추가 유지 축전기(Cde, Cse)의 정전 용량은 증가하였더라도, 잔사로 인한 단락(short) 등의 문제로 순간 잔상 개선 효과가 더 안 좋아진 것을 확인할 수 있다.
- [0232] 이하에서는, 도 13을 이용하여 실시예 및 비교예에 따른 잔상 특성을 살펴본다. 도 13은 비교예 및 실시예에 대한 순간 잔상을 나타낸 그래프이다.
- [0233] 도 13에서 y축은 초(sec)를 기준으로 하는 시간 축이며, 특정 정도의 잔상을 기준으로 해당 기준보다 콘트라스트 비(CR)가 크게 남아 있는 시간을 측정한 것이다. 즉, 시간이 길면 길수록 원하는 휘도가 아닌 다른 휘도로 오랫동안 표시하는 것을 의미하며, 블랙과 화이트를 표시할 때 회색이 시인되는 시간과 비례한다.
- [0234] 도 13을 통해 순간 잔상이 측정되는 시간을 살펴보면, Reference는 약 7.66 초 동안 회색이 시인되고, 도 11의 실시예는 약 4.42 초 동안 회색이 시인된다.
- [0235] 도 13의 그래프에는 생략되었으나, 전술한 [표 1]을 참고할 때, 도 9 및 도 10의 실시예에서 중첩층(M1)을 제1 간격(d1) 및 제2 간격(d2)이 일정 값을 가지도록 형성한 경우, 순간 잔상이 각각 Reference에 비해 0.1 초, 0.7 초 감소하였다.
- [0236] 도 11의 실시예에서는 중첩층(M1)의 제1 간격(d1)을 3.85 μm 로 증가시킴에 따라, 순간 잔상이 4.4 초로 Reference에 비해 3.2 초 감소하였다. 즉, 도 9의 비교예 및 도 10의 실시예보다 순간 잔상 감소의 폭이 약 5배로 나타나, 도 11의 실시예에 따른 경우 순간 잔상 효과가 가장 우수함을 확인하였다.
- [0237] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

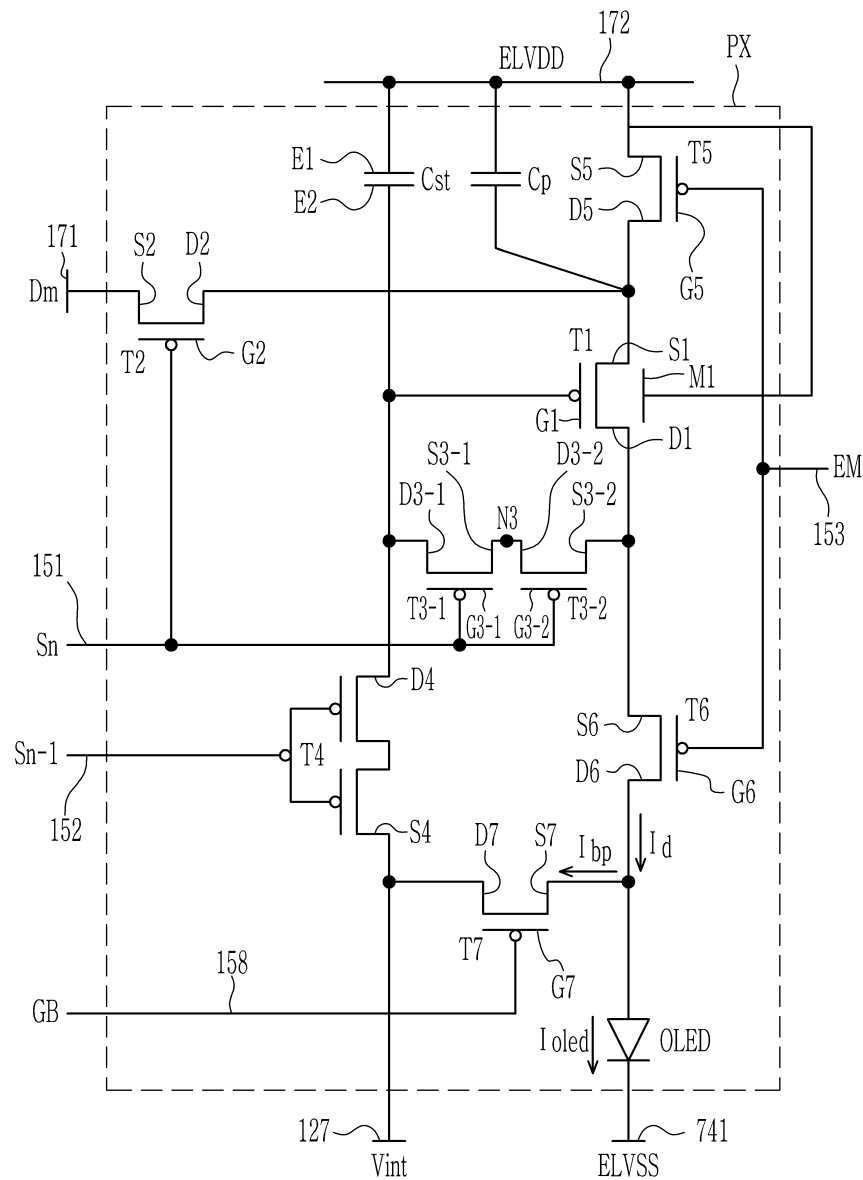
부호의 설명

- [0238] M1: 중첩층 M1-1: 기본부
M1-S: 확장부 M1-3: 연장부
110: 기판 111: 베리어층
112: 버퍼층 130: 반도체층
141: 제1 게이트 절연막 142: 제2 게이트 절연막

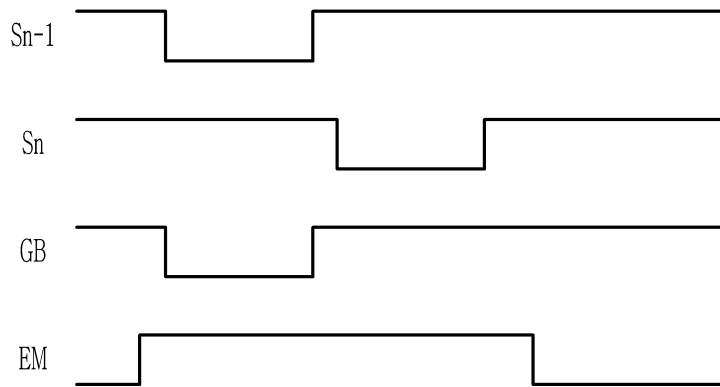
160: 층간 절연막 180: 보호막
 56: 개구 60, 61-69, 81: 오프닝
 126: 유지선 127: 초기화 전압선
 151: 스캔선 152: 전단 스캔선
 153: 발광 제어선 155: 게이트 전극
 158: 바이패스 제어선 171: 데이터선
 172: 구동 전압선 71, 72, 73: 데이터 연결 부재
 741: 공통 전압선 79: 기생 축전기 제어 패턴

도면

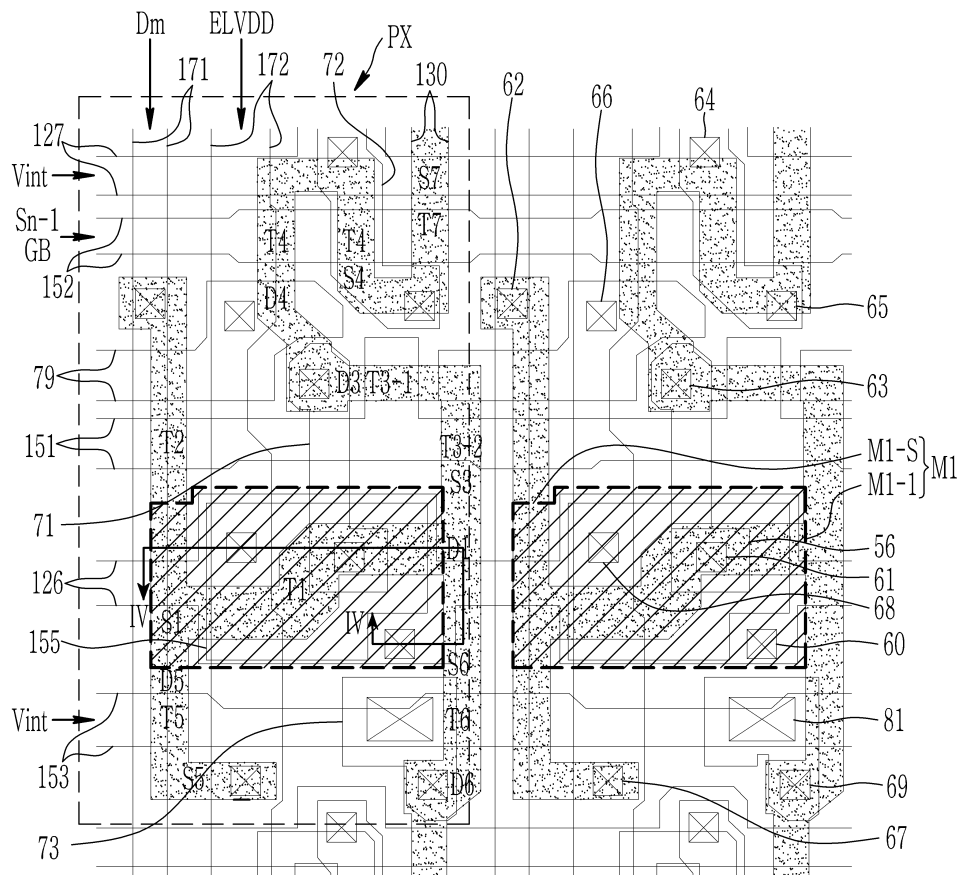
도면1



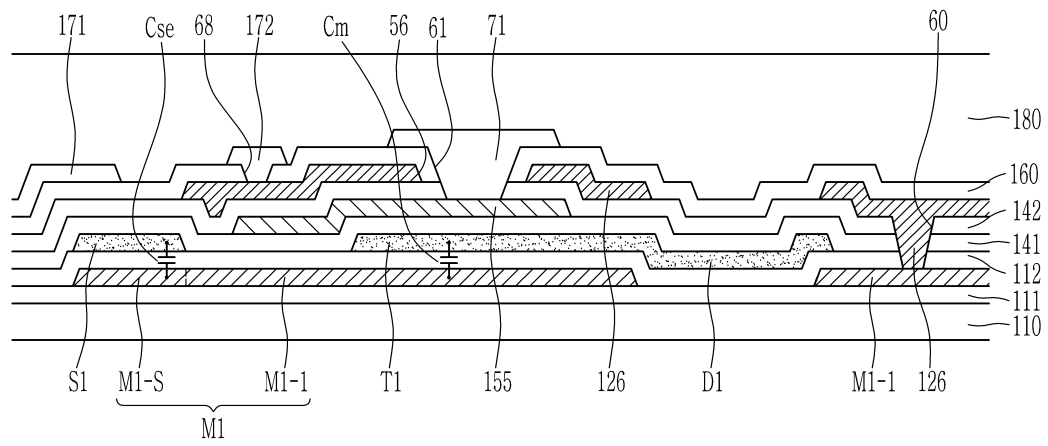
도면2



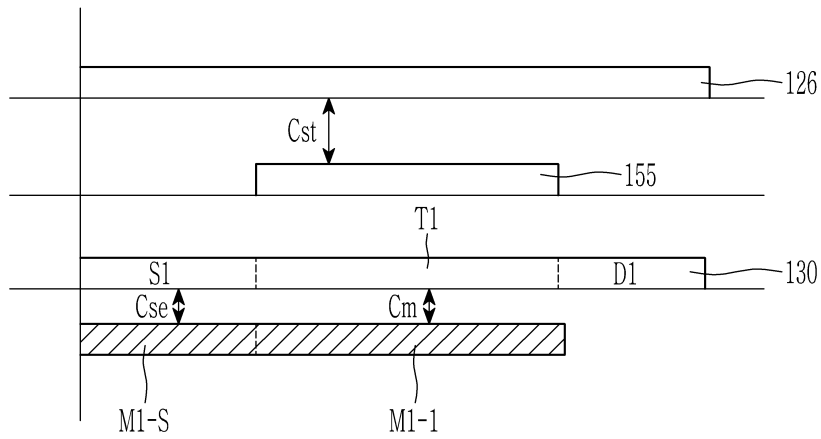
도면3



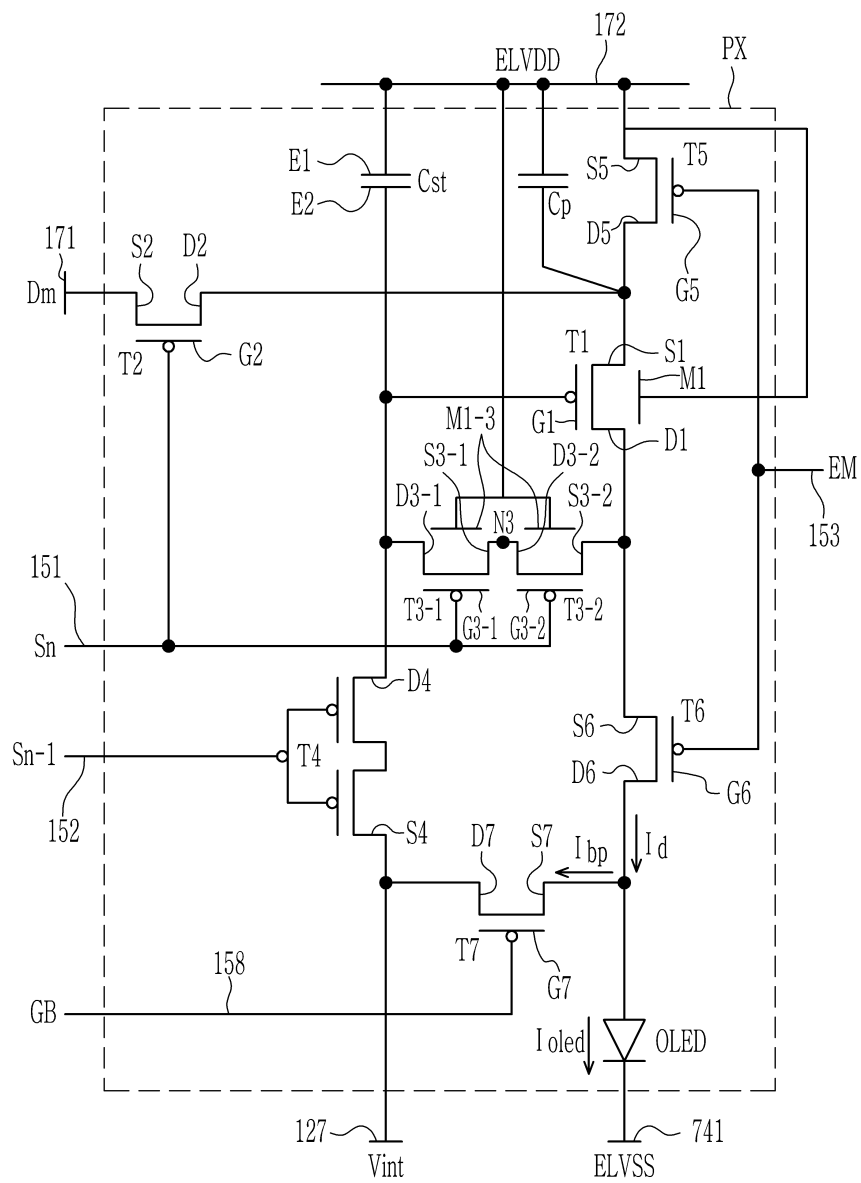
도면4



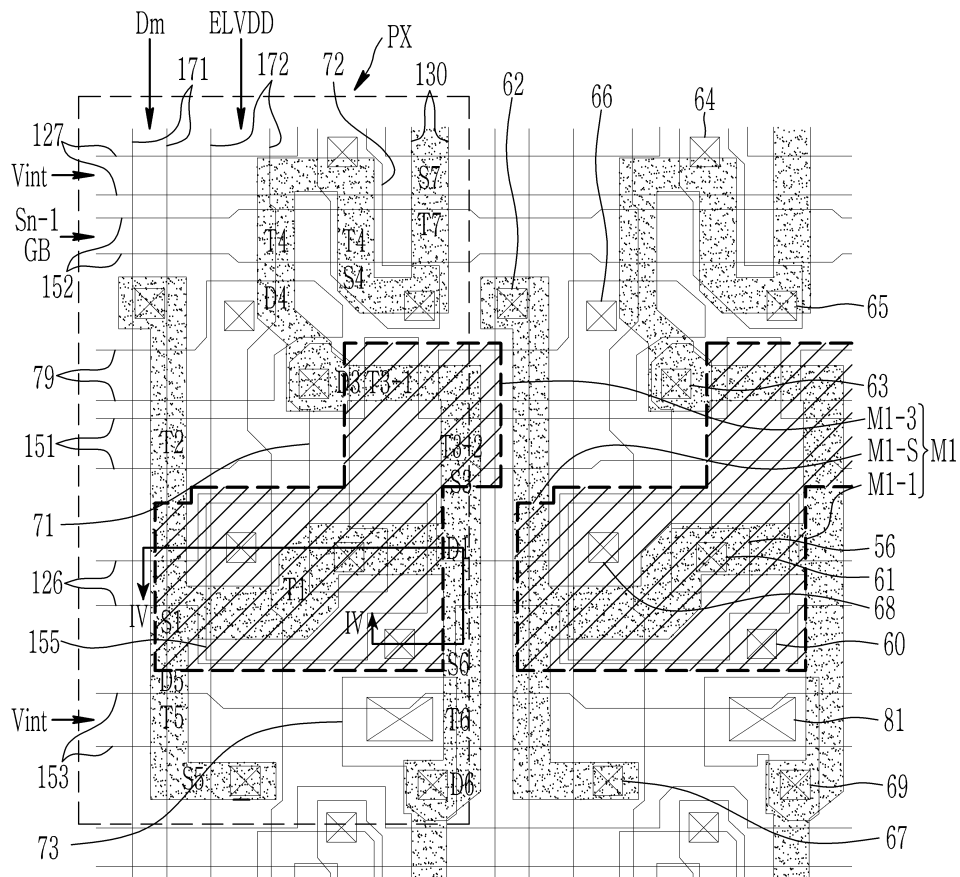
도면5



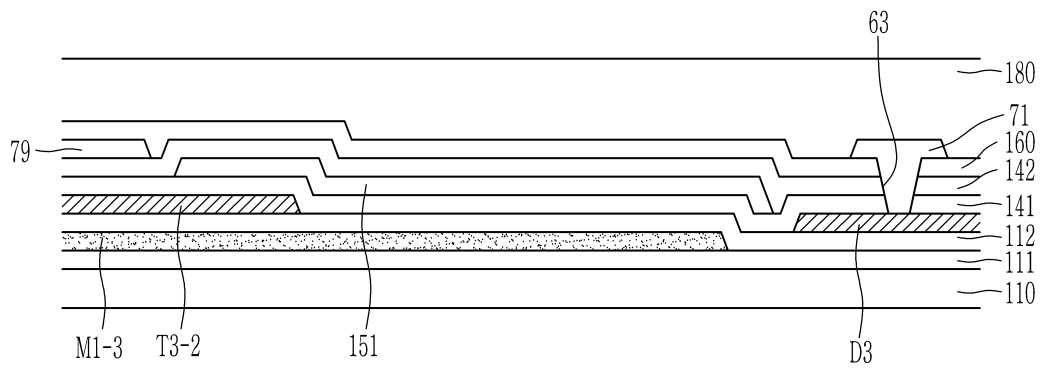
도면6



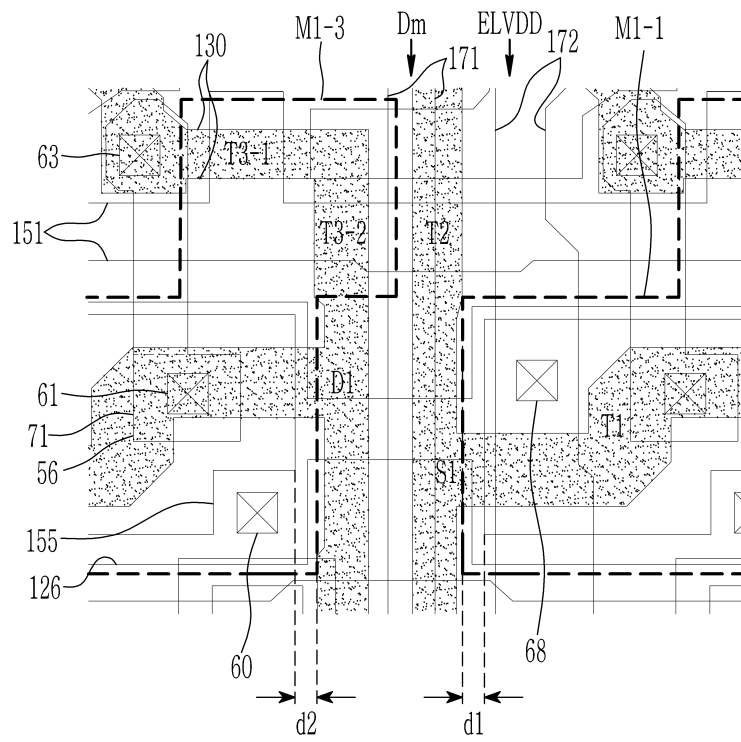
도면7



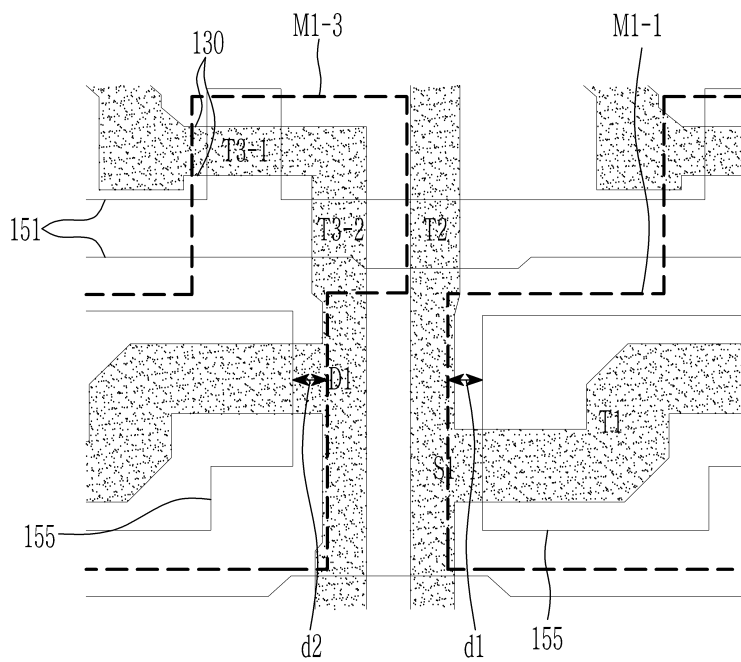
도면8



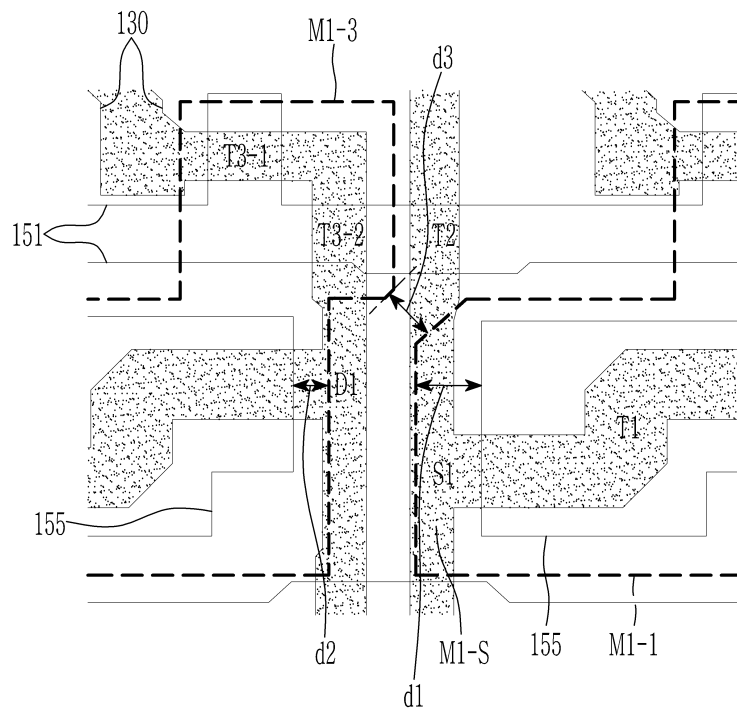
도면9



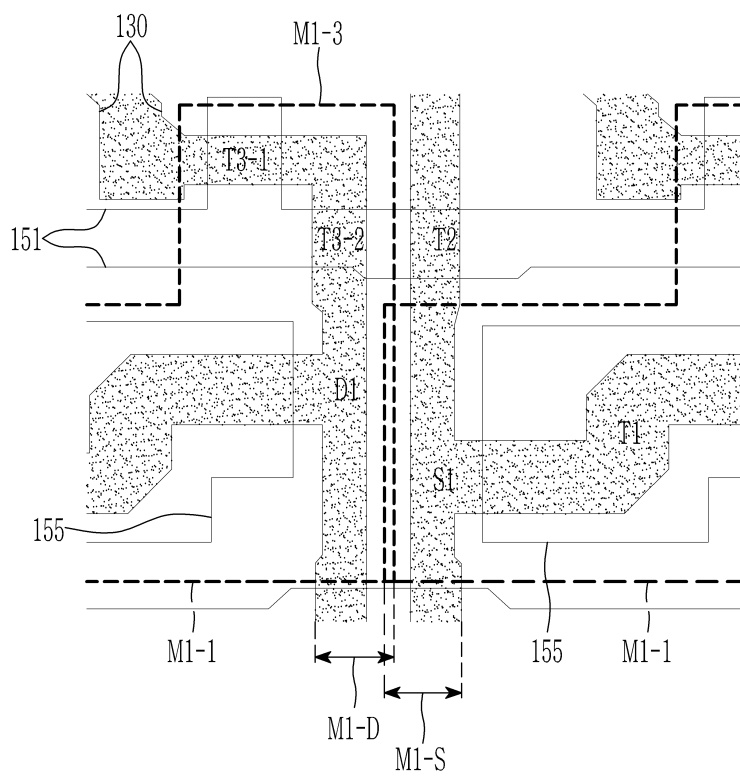
도면10



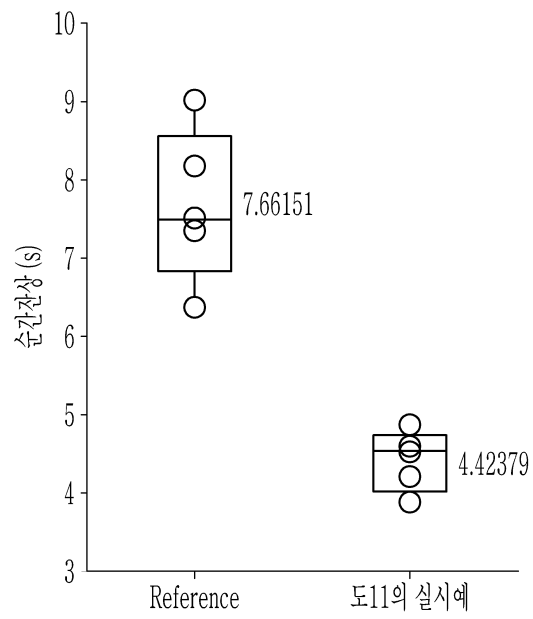
도면11



도면12



도면13



有机发光二极管显示器包括基板，在基板上的重叠层，在重叠层上的半导体层，在半导体层上的第一栅极导体，在第一栅极导体上的第二栅极导体，在第二栅极上的数据导体。栅极导体，重叠层上的驱动晶体管以及与该驱动晶体管连接的有机发光二极管。驱动晶体管在半导体层中包括第一电极，第二电极以及在它们之间的沟道。第一栅极导体的栅电极与沟道重叠。重叠层与驱动晶体管的沟道和第一电极的至少一部分重叠。第二栅极导体的存储线通过数据导体中的驱动电压线接收驱动电压。重叠层接收恒定电压。

