



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0061524
(43) 공개일자 2018년06월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/3266 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2310/0262 (2013.01)

(21) 출원번호 10-2016-0160279

(22) 출원일자 2016년11월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이영장

서울특별시 구로구 새말로 31 104동 603호 (구로동, 롯데아파트)

(74) 대리인

특허법인로알

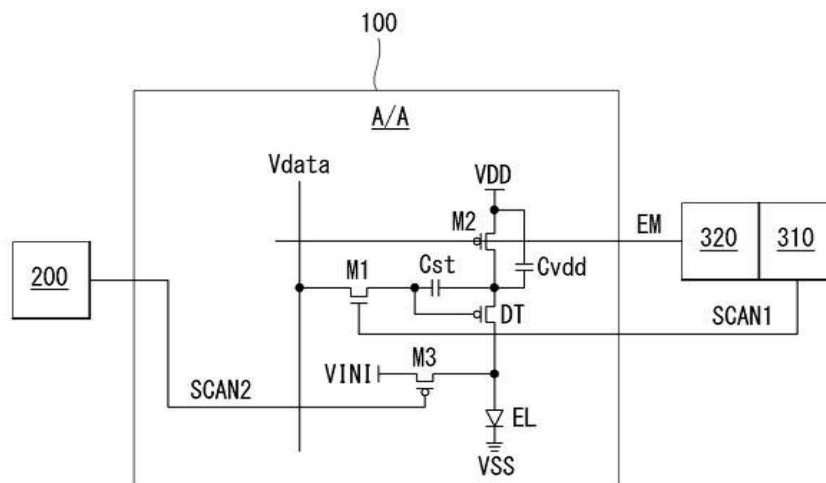
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시패널과 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널의 픽셀 회로는 하나 이상의 n 타입 트랜지스터와 두 개 이상의 p 타입 트랜지스터들을 포함한다. 표시패널의 게이트 구동부는 다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제1 게이트 구동 회로, 다수의 p 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 어느 하나에 제2 게이트 신호를 공급하는 제2 게이트 구동 회로, 및 다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 다른 하나에 제3 게이트 신호를 공급하는 제3 게이트 구동 회로를 구비한다.

대표도 - 도11



(52) CPC특허분류
G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들; 및

상기 게이트 라인들에 게이트 펄스를 공급하는 게이트 구동부를 구비하고,

상기 픽셀들 각각의 픽셀 회로는 하나 이상의 n 타입 트랜지스터와 두 개 이상의 p 타입 트랜지스터들을 포함하고,

상기 게이트 구동부는

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제1 게이트 구동 회로;

다수의 p 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 어느 하나에 제2 게이트 신호를 공급하는 제2 게이트 구동 회로; 및

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 다른 하나에 제3 게이트 신호를 공급하는 제3 게이트 구동 회로를 구비하는 표시패널.

청구항 2

제 1 항에 있어서,

상기 n 타입 트랜지스터들 각각이 Oxide TFT를 포함하는 표시패널.

청구항 3

제 1 항에 있어서,

상기 p 타입 트랜지스터들 각각이 LTPS TFT를 포함하는 표시패널.

청구항 4

제 1 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제3 게이트 구동회로들은 스타트 펄스를 공유하는 표시패널.

청구항 5

제 1 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제3 게이트 구동회로들은 스타트 펄스와 시프트 클럭들 중에서 일부를 공유하는 표시패널.

청구항 6

데이터 라인들과 게이트 라인들이 교차되고, 각각 n 타입 트랜지스터와 p 타입 트랜지스터를 포함한 픽셀들;

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제1 게이트 구동 회로; 및

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터에 제2 게이트 신호를 공급하는 제

2 게이트 구동 회로를 구비하고,

상기 제1 게이트 구동 회로와 상기 제2 게이트 구동 회로의 입력 신호들 중 일부가 공유되는 표시패널.

청구항 7

제 6 항에 있어서,

상기 n 타입 트랜지스터들 각각이 Oxide TFT를 포함하는 표시패널.

청구항 8

제 6 항에 있어서,

상기 p 타입 트랜지스터들 각각이 LTPS TFT를 포함하는 표시패널.

청구항 9

제 6 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제2 게이트 구동회로들은 스타트 펄스를 공유하는 표시패널.

청구항 10

제 6 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제2 게이트 구동회로들은 스타트 펄스와 시프트 클럭들 중에서 일부를 공유하는 표시패널.

청구항 11

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 액티브 영역;

상기 데이터 라인들에 입력 영상의 데이터 신호를 공급하는 데이터 구동부;

상기 게이트 라인들에 게이트 펄스를 공급하는 게이트 구동부를 구비하고,

상기 픽셀들 각각의 픽셀 회로는 하나 이상의 n 타입 트랜지스터와 두 개 이상의 p 타입 트랜지스터들을 포함하고,

상기 게이트 구동부는

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제1 게이트 구동 회로;

다수의 p 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 어느 하나에 제2 게이트 신호를 공급하는 제2 게이트 구동 회로; 및

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 다른 하나에 제3 게이트 신호를 공급하는 제3 게이트 구동 회로를 구비하는 전계 발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제3 게이트 구동회로들은 스타트 펄스를 공유하는 전계 발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 게이트 구동 회로를 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제3 게이트 구동회로들은 스타트 펄스와 시프트 클럭들 중에서 일부를 공유하는 전계 발광 표시장치.

청구항 14

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함하고, 상기 픽셀들 각각이 n 타입 트랜지스터와 p 타입 트랜지스터를 포함하는 액티브 영역;

상기 데이터 라인들에 입력 영상의 데이터 신호를 공급하는 데이터 구동부;

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제 1 게이트 구동 회로; 및

다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터에 제2 게이트 신호를 공급하는 제 2 게이트 구동 회로를 구비하고,

상기 제1 게이트 구동 회로와 상기 제2 게이트 구동 회로의 입력 신호들 중 일부가 공유되는 전계 발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제2 게이트 구동회로들은 스타트 펄스를 공유하는 전계 발광 표시장치.

청구항 16

제 14 항에 있어서,

상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함하고,

상기 제1 및 제2 게이트 구동회로들은 스타트 펄스와 시프트 클럭들 중에서 일부를 공유하는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 입력 영상이 표시되는 액티브 영역의 회로 소자들과 함께 게이트 구동 회로가 같은 기판 상에 배치된 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있

다.

[0004] 유기 발광 표시장치의 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0005] 평판 표시장치의 구동 회로는 데이터 신호를 데이터 라인들에 공급하는 데이터 구동회로, 게이트 신호(또는 스캔 신호)를 게이트 라인들(또는 스캔 라인들)에 공급하는 게이트 구동회로 등을 포함한다. 게이트 구동회로는 화면을 구성하는 액티브 영역의 TFT(Thin film transistor) 어레이와 함께 동일 기판 상에 직접 형성될 수 있다. 이하에서, 표시패널의 기판 상에 직접 형성되는 게이트 구동회로를 “GIP 회로”로 칭하기로 한다. GIP 회로는 스테이지들(stage)이 종속적으로 연결된 시프트 레지스터를 포함한다. GIP 회로는 스타트 펄스(start pulse) 또는 이전 스테이지로부터 수신된 캐리 신호를 스타트 펄스로서 입력 받아 클럭이 입력될 때 출력을 발생하고, 시프트 클럭 타이밍에 맞추어 출력을 시프트함으로써 게이트 신호를 게이트 라인들에 순차적으로 공급할 수 있다.

[0006] 평판 표시장치의 픽셀들 각각은 컬러 구현을 위하여 컬러가 서로 다른 다수의 서브 픽셀들로 나뉘어지고, 서브 픽셀들 각각은 스위치 소자 또는 구동 소자로 이용되는 트랜지스터를 포함한다. 이러한 트랜지스터는 TFT로 구현될 수 있다. GIP 회로는 픽셀들 각각에 형성된 트랜지스터의 게이트에 게이트 신호를 공급하여 그 트랜지스터를 온/오프 제어한다.

[0007] 유기 발광 표시장치는 서브 픽셀들마다 배치된 픽셀 회로를 포함한다. 픽셀 회로들 각각은 다수의 트랜지스터들을 포함한다. 이러한 트랜지스터들에 파형이 다른 게이트 신호가 인가될 수 있다. 픽셀 회로에 인가되는 게이트 신호들의 개수 만큼 GIP 회로가 필요하다. GIP 회로 각각은 시프트 레지스터를 포함하고, 시프트 레지스터를 제어하기 위한 스타트 펄스, 시프트 클럭 등이 전송되는 배선들이 필요하다.

[0008] 픽셀 회로에 위상이 다른 두 개 이상의 게이트 신호들이 인가될 수 있다. 다른 게이트 신호에 비하여 위상이 반전된 게이트 신호를 생성하는 경우에, GIP 회로의 출력 노드에 인버터 회로를 연결하고, 그 인버터 회로를 이용하여 GIP 회로의 출력 신호를 반전한다. 예를 들어, 픽셀 회로에 스캔 신호와 발광 신호(Emission signal, 이하, “게이트 신호”라 함)가 인가되는 경우에, GIP 회로는 스캔 신호를 발생하는 제1 GIP 회로와, 게이트 신호를 출력하는 제2 GIP 회로 및 인버터를 포함한다. GIP 회로는 표시패널의 기판 상에서 영상이 표시되는 액티브 영역(Active area, A/A) 밖의 베젤 영역(Bezel area)에 배치된다. 따라서, GIP 회로가 커지면 표시패널 상에서 베젤 영역이 커지기 때문에 네로우 베젤(narrow bezel)을 구현할 수 없다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 GIP 회로의 크기를 줄일 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 표시패널은 데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들, 및 상기 게이트 라인들에 게이트 펄스를 공급하는 게이트 구동부를 구비한다. 상기 픽셀들 각각의 픽셀 회로는 하나 이상의 n 타입 트랜지스터와 두 개 이상의 p 타입 트랜지스터들을 포함한다. 상기 게이트 구동부는 다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제1 게이트 구동회로, 다수의 p 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 어느 하나에 제2 게이트 신호를 공급하는 제2 게이트 구동회로, 및 다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터들 중 다른 하나에 제3 게이트 신호를 공급하는 제3 게이트 구동회로를 구비한다.

[0011] 상기 n 타입 트랜지스터들 각각이 Oxide TFT를 포함한다.

[0012] 상기 p 타입 트랜지스터들 각각이 LTPS TFT를 포함한다.

[0013] 상기 게이트 구동회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레

지스터를 포함한다. 상기 제1 및 제3 게이트 구동회로들은 스타트 펄스를 공유한다.

[0014] 상기 게이트 구동 회로들 각각은 스타트 펄스와 시프트 클럭들을 입력 받아 출력 신호를 시프트하는 시프트 레지스터를 포함한다. 상기 제1 및 제3 게이트 구동회로들은 스타트 펄스와 시프트 클럭들 중에서 일부를 공유한다.

[0015] 본 발명의 표시패널은 데이터 라인들과 게이트 라인들이 교차되고, 각각 n 타입 트랜지스터와 p 타입 트랜지스터를 포함한 픽셀들; 다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 n 타입 트랜지스터에 제1 게이트 신호를 공급하는 제1 게이트 구동 회로; 및 다수의 n 타입 트랜지스터들을 이용하여 상기 픽셀 회로의 p 타입 트랜지스터에 제2 게이트 신호를 공급하는 제2 게이트 구동 회로를 구비한다. 상기 제1 게이트 구동 회로와 상기 제2 게이트 구동 회로의 입력 신호들 중 일부가 공유된다.

[0016] 본 발명의 전계 발광 표시장치는 상기 표시패널을 포함한다.

발명의 효과

[0017] 본 발명은 n 타입 TFT들로 이루어진 GIP 회로를 이용하여 픽셀 회로의 n 타입 TFT와 p 타입 TFT의 게이트 신호를 발생함으로써 픽셀들 각각에 n 타입 TFT와 p 타입 TFT가 내장된 표시패널에서 GIP 회로의 크기와 베젤 영역의 크기를 최소화할 수 있다. 나아가, 본 발명은 GIP 회로들 간에 스타트 펄스와 시프트 클럭이 공유될 수 있으므로 GIP 회로와 베젤 영역을 더 줄일 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
 도 2는 도 1에 도시된 액티브 영역의 일부를 개략적으로 보여 주는 평면도이다.
 도 3은 표시패널의 n 개 라인들에 인가되는 게이트 신호의 일 예를 보여 주는 파형도이다.
 도 4는 픽셀 회로의 일 예를 보여 주는 회로도이다.
 도 5는 도 4에 도시된 픽셀 회로의 입력 신호들을 보여 주는 파형도이다.
 도 6은 제2 GIP 회로가 스타트 펄스를 공유하는 두 개의 GIP 회로들로 구성된 예를 개략적으로 보여 주는 도면이다.
 도 7은 GIP 회로에서 시프트 레지스터의 회로 구성을 개략적으로 보여 주는 도면이다.
 도 8은 도 7에 도시된 시프트 레지스터에서 제n 출력을 발생하는 스테이지를 보여 주는 회로도이다.
 도 9는 n 타입 TFT들로 구현된 제2 GIP 회로에서 제n 스테이지의 Q 노드 전압, QB 노드 전압 및 출력 전압을 보여 주는 파형도이다.
 도 10은 GIP 회로들에 인가되는 시프트 클럭을 보여 주는 파형도이다.
 도 11은 픽셀 회로와 GIP 회로들의 연결 관계를 보여 주는 회로도이다.
 도 12는 제1 GIP 회로를 보여 주는 회로도이다.
 도 13은 제2-1 GIP 회로를 보여 주는 회로도이다.
 도 14는 제2-2 GIP 회로를 보여 주는 회로도이다.
 도 15는 제2-1 GIP 회로들에 연결된 VST 배선 및 CLK 배선들을 보여 주는 도면이다.
 도 16 및 도 17은 표시패널(100)의 TFT 어레이 기관에서 TFT들의 단면 구조를 보여 주는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의

범주에 의해 정의될 뿐이다.

- [0020] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0021] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0022] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0023] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0024] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0025] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0026] 본 발명의 GIP 회로와 픽셀 회로 각각은 산화물 반도체를 포함한 Oxide TFT과, 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 LTPS TFT를 포함한다. Oxide TFT는 n 타입 TFT(NMOS)로 구현되고, LTPS TFT는 p 타입 TFT(PMOS)로 구현될 수 있다.
- [0027] 본 발명의 GIP 회로와 픽셀 회로 각각은 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS)를 포함한다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0028] GIP 회로로부터 출력되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스위칭한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있음에 주의하여야 한다.
- [0030] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다. 도 2는 도 1에 도시된 액티브 영역의 일부를 개략적으로 보여 주는 평면도이다. 도 3은 표시패널의 n 개 라인들에 인가되는 게이트 신호의 일 예를 보여 주는 파형도이다.
- [0031] 도 1 내지 도 4를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동

회로를 포함한다.

- [0032] 표시패널(100)은 입력 영상을 표시하는 액티브 영역(A/A)을 포함한다. 액티브 영역(A/A)에 픽셀 어레이가 배치된다. 픽셀 어레이는 다수의 데이터 라인들(DL), 데이터 라인들(GL)과 교차되는 다수의 게이트 라인들(GL), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0033] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 필터를 더 포함할 수 있다. 서브 픽셀들(SP) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 발광 소자, 다수의 TFT들, 및 커패시터를 포함한다. 픽셀 회로는 데이터 라인(DL)과 게이트 라인(GL)에 연결된다.
- [0034] 본 발명의 픽셀 회로는 도 4의 예와 같이, 하나 이상의 n 타입 트랜지스터와 두 개 이상의 p 타입 트랜지스터들을 포함한다.
- [0035] Oxide TFF는 n 타입 TFT(NMOS)로 구현될 수 있다. Oxide TFT는 오프 상태에서 누설 전류가 작은 장점이 있다. LTPS(Low Temperature Poly Silicon, LTPS) TFT는 p 타입 TFT(PMOS)로 구현될 수 있다. LTPS TFT는 캐리어의 이동도가 높아 구동 효율과 소비 전력에 장점이 있다. 픽셀 회로는 도 4에 도시된 회로로 구현될 수 있으나 이에 한정되지 않는다는 것에 주의하여야 한다.
- [0036] 도 4에 도시된 픽셀 회로의 경우, 서브 픽셀들(SP) 각각에 제1 게이트 신호(SCAN1), 제2 게이트 신호(SCAN2), 및 제3 게이트 신호(EM) 등의 게이트 신호들이 인가된다. 표시패널의 각 라인(LINE#1~LIN#3) 마다, 서브 픽셀들(SP)에 제1 게이트 신호(SCAN1)가 공급되는 제1 게이트 라인(GL1), 제2 게이트 신호(SCAN2)가 공급되는 제2 게이트 라인(GL2), 및 제3 게이트 신호(EM)이 공급되는 제3 게이트 라인(GL3) 등의 게이트 라인들이 연결된다.
- [0037] 도 2 및 도 3에, SCAN1(1), SCAN2(1), 및 EM(1)은 게이트 라인들(GL1(1), GL2(1), 및 GL3(1))을 통해 제1 라인(LINE#1)의 서브 픽셀들에 인가되는 게이트 신호들이다. SCAN1(2), SCAN2(2), 및 EM(2)은 게이트 라인들(GL1(2), GL2(2), GL3(2))을 통해 제2 라인(LINE#2)의 서브 픽셀들에 인가되는 게이트 신호들이다. SCAN1(3), SCAN2(3), 및 EM(3)은 게이트 라인들(GL1(3), GL2(3), GL3(3))을 통해 제3 라인(LINE#3)의 서브 픽셀들에 인가되는 게이트 신호들이다. 도 2에서 DATA1~DATA3은 데이터 라인들(DL1~DL3)을 통해 서브 픽셀들(SP)에 공급되는 데이터 신호이다.
- [0038] 표시패널(100)은 도 4에 도시된 바와 같이 픽셀 구동 전압(VDD)을 서브 픽셀들(SP)에 공급하기 위한 제1 전원 라인(PL1), 초기화 전압(VINI)을 서브 픽셀들(SP)에 공급하기 위한 제2 전원 라인(PL2), 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극 등을 더 포함할 수 있다. 전원 라인들은 도시하지 않은 전원 회로에 연결된다.
- [0039] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0040] 표시패널 구동회로(12, 13)는 데이터 구동부(12)와 게이트 구동부(13)를 구비한다. 표시패널 구동회로(12, 13)는 타이밍 컨트롤러(11)의 제어 하에 디스플레이 모드에서 입력 영상의 데이터를 표시패널(100)의 픽셀들에 기입하는 반면, 센서 모드에서 픽셀들을 포토 센서로 구동한다.
- [0041] 표시패널 구동회로는 타이밍 컨트롤러(Timing controller, TCON)(120)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동 회로는 타이밍 컨트롤러(120)의 제어 하에 구동되는 데이터 구동부(110)와 GIP 회로(200, 300)를 구비한다. 표시패널(100)에는 터치 센서들이 배치될 수 있다. 이 경우에, 표시패널 구동회로는 도시하지 않은 터치 센서 구동부를 더 포함한다.
- [0042] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 프레임 개수 만큼 변화가 없을 때 표시장치의 소비 전력을 줄이기 위하여 설정될 수 있다. 다시 말하여, 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.
- [0043] 데이터 구동부(110)는 노말 구동 모드(Normal driving mode)에서 매 프레임 마다 타이밍 컨트롤러(120)로부터

수신되는 입력 영상의 디지털 데이터(DATA)를 데이터 전압으로 변환한 후, 그 데이터 전압을 데이터 라인들(14)에 공급한다. 데이터 구동부(110)는 디지털 데이터를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter, 이하 "DAC"라 함)를 이용하여 데이터 전압을 출력한다. 저속 구동 모드(Low Refresh mode)에서 타이밍 콘트롤러(120)의 제어 하에 데이터 구동부(11)의 구동 주파수가 낮아진다. 예를 들어, 데이터 구동부(110)는 노말 구동 모드에서 매 프레임 기간마다 입력 영상의 데이터 전압을 출력한다. 데이터 구동부(110)는 저속 구동 모드 기간 내에서 일부 프레임 기간에 입력 영상의 데이터 전압을 출력하고 나머지 프레임 기간에 출력을 발생하지 않는다. 따라서, 저속 구동 모드에서 데이터 구동부(110)의 구동 주파수와 소비 전력이 기본 구동 모드 보다 대폭 낮아진다.

[0044] 데이터 구동부(110)와 표시패널(100)의 데이터 라인들(DL) 사이에 도시하지 않은 멀티플렉서(multiplexer)가 배치될 수 있다. 멀티플렉서는 데이터 구동부(110)에서 하나의 채널을 통해 출력되는 데이터 전압을 $N(N$ 은 2 이상의 양의 정수) 개의 데이터 라인들(DL)로 분배함으로써 데이터 구동부(110)의 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.

[0045] GIP 회로(200, 300)는 타이밍 콘트롤러(120)의 제어 하에 게이트 신호들(SCAN1, SCAN2, EM)를 출력하여 게이트 라인들(GL)을 통해 데이터 전압이 충전되는 픽셀들을 선택한다. GIP 회로(200, 300)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호들(SCAN1, SCAN2, EM)을 시프트시킴으로써 그 신호들을 게이트 라인들(GL)에 순차적으로 공급할 수 있다.

[0046] GIP 회로(200, 300)는 제1 GIP 회로(200)와, 제2 GIP 회로(300)를 포함한다. 제1 GIP 회로(200)는 p 타입 TFT들로 구현되어 제2 게이트 신호(SCAN2)를 출력한다. 제2 GIP 회로(300)는 n 타입 TFT들로 구현되어 제1 및 제3 게이트 신호(SCAN1, EM)를 출력한다. 제1 및 제2 GIP 회로들(200, 300)은 액티브 영역(A/D)을 사이에 두고 분리될 수 있다. 도 6에 도시된 바와 같이, 제1 GIP 회로(200)는 표시패널(100)의 일측 베젤 영역(BZ)에 배치되고, 제2 GIP 회로(300)는 표시패널(100)의 타측 베젤 영역(BZ)에 배치될 수 있다. 베젤이 없는 모델의 경우, 제1 및 제2 GIP 회로들(200, 300)은 액티브 영역(A/A) 내에 분산 배치될 수 있다. 한편, 제1 및 제2 GIP 회로(200, 300)의 배치는 도 6에 한정되지 않는다는 것에 주의하여야 한다.

[0047] 게이트 구동부(120)는 저속 구동 모드에서 타이밍 콘트롤러(120)의 제어 하에 구동 주파수가 낮아진다. 따라서, 게이트 구동부(120)의 구동 주파수와 소비 전력이 기본 구동 모드 보다 대폭 낮아진다.

[0048] 타이밍 콘트롤러(120)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system), 웨어러블 기기 시스템 중 어느 하나일 수 있다.

[0049] 타이밍 콘트롤러(101)는 표시패널 구동회로(110, 200, 300)의 구동 주파수를 낮추는 저속 구동 제어 모듈을 포함한다. 전술한 바와 같이 저속 구동 모드는 정지 영상에만 한정되지 않는다는 것에 주의하여야 한다.

[0050] 타이밍 콘트롤러(101)는 기본 구동 모드에서 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수 $\times i$ (i 는 0보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 200, 300)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0051] 타이밍 콘트롤러(120)는 저속 구동 모드에서 표시패널 구동 회로(110, 200, 300)의 구동 주파수를 낮춘다. 예를 들어, 타이밍 콘트롤러(120)는 초(sec) 당 픽셀들에 데이터가 1회 기입되도록 표시패널 구동 회로의 구동 주파수를 1 Hz 수준으로 낮출 수 있다. 저속 구동 모드의 주파수는 1 Hz에 한정되지 않는다. 그 결과, 표시패널(100)의 픽셀들은 저속 구동 모드에서 대부분의 시간 동안 새로운 데이터 전압을 충전하지 않고 이미 충전된 데이터 전압을 유지한다.

[0052] 타이밍 콘트롤러(120)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(GDC), 및 GIP 회로(200, 300)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 발생한다. 타이밍 콘트롤러(120)로부터 출력된 게이트 타이밍 제어 신호(GDC)의 전압 레벨은 레벨 시프터(210, 310)를 통해 변환되어 GIP 회로들(200, 300)에 공급된다. 레벨 시프터(210, 310)는 게이트 타이밍 제어 신호(GDC)의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어 신호(GDC)의 하이 레벨 전압(high level voltage)을 게이트 하이

전압(VGH)으로 변환한다.

- [0053] 게이트 타이밍 제어신호(GDC)는 스타트 펄스(Gate Start Pulse), 시프트 클럭(Gate Shift Clock) 등을 포함한다. 스타트 펄스는 매 프레임 기간마다 프레임 기간의 초기에 1회 발생되어 GIP 회로(200, 300)에 입력된다. 게이트 스타트 펄스(VST)는 매 프레임 기간마다 GIP 회로(200, 300)의 스타트 타이밍을 제어한다. 시프트 클럭은 GIP 회로(200, 300)로부터 출력되는 게이트 신호의 시프트 타이밍(shift timing)을 제어한다.
- [0054] 도 4는 픽셀 회로의 일 예를 보여 주는 회로도이다. 도 5는 도 4에 도시된 픽셀 회로의 입력 신호들을 보여 주는 파형도이다.
- [0055] 도 4 및 도 5를 참조하면, 픽셀 회로는 발광 소자(EL)과, 다수의 TFT들(Thin Film Transistor)(MT1-MT3, DT), 커패시터(Cst, Cvd)를 포함한다.
- [0056] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 데이터 전압(Vdata)에 따라 제4 TFT(DT)에 의해 조절되는 전류량으로 발광한다. OLED의 전류패스는 제2 TFT(M2)에 의해 스위칭된다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제3 노드(n3)에 연결되고, 캐소드는 저전위 전원 전압(VSS)에 인가되는 VSS 전극에 연결된다.
- [0057] 제1 커패시터(Cst)는 제1 노드(n1)와 제2 노드(n2) 사이에 연결된다. 제2 커패시터(Cvd)는 픽셀 구동 전압(VDD)이 공급되는 제1 전원 라인(PL1)과 제2 노드(n1) 사이에 연결된다. 픽셀 구동 전압(VDD)은 제1 전원 라인(PL1)을 통해 서브 픽셀들(SP)에 공급된다.
- [0058] 제1 TFT(M1)는 오프 기간이 긴 스위치 소자이기 때문에 오프 상태에서 누설 전류가 작은 n 타입 Oxide TFT로 구현된다. 제1 TFT(M1)를 Oxide TFT로 구현하면 누설 전류를 줄여 소비 전력을 줄일 수 있을 뿐 아니라 누설 전류로 인한 픽셀의 전압 감소를 방지할 수 있기 때문에 플리커 방지 효과를 높일 수 있다. 제2, 제3 및 제4 TFT(M2, M3, DT)는 p 타입 LTPS인 TFT로 구현될 수 있다. 구동 소자로 이용되는 제4 TFT(DT)와 오프 기간이 짧은 제2 TFT(M2)를 LTPS TFT로 구현하면 전하 이동도가 높기 때문에 OLED에 흐르는 전류량을 크게 하여 구동 효율을 높일 수 있고 소비 전력을 개선할 수 있다.
- [0059] 서브 픽셀들 각각에 1 수평 기간(1H) 동안 제1 게이트 신호(SCAN1), 제2 게이트 신호(SCAN2), 및 제3 게이트 신호(EM)가 인가되어 스위치 소자들(M1, M2, M3)의 온/오프 타이밍을 정의한다. 제1 TFT(M1)가 n 타입 Oxide TFT로 구현되기 때문에 제1 게이트 신호(SCAN1)의 게이트 온 전압은 게이트 하이 전압(VGH)으로 설정되고, 그 게이트 오프 전압은 게이트 로우 전압(VGL)으로 설정된다. 제2 내지 제4 TFT들(M2, M3, DT)이 p 타입 LTPS TFT로 구현되기 때문에 제2 및 제3 게이트 신호(SCAN2, EM)의 게이트 온 전압은 VGL로 설정되고, 그 게이트 오프 전압은 VGH로 설정된다.
- [0060] 제1 게이트 신호(SCAN1)는 1 수평 기간(1H) 동안 게이트 온 전압(VGH)을 유지하고, 그 이후 나머지 프레임 기간 동안 게이트 오프 전압(VGL)으로 유지된다. 제2 게이트 신호(SCAN2)는 1 수평 기간(1H) 내의 초기에 할당된 초기화 기간(Ti) 내에서 게이트 온 전압(VGL)으로 발생되고 그 이후 나머지 프레임 기간 동안 게이트 오프 전압(VGH)으로 유지된다. 제3 게이트 신호(EM)는 1 수평 기간(1H) 내에서 샘플링 기간(Ts) 동안 게이트 온 전압(VGL)로 발생되고 초기화 기간(Ti)과 프로그래밍 기간(Tw) 동안 게이트 오프 전압(VGH)으로 반전된다. 제3 게이트 신호(EM)는 1 수평 기간(1H) 이후 나머지 프레임 기간 즉, 발광 기간(Tem) 동안 게이트 온 전압(VGL)으로 유지되거나, 서브 픽셀들의 듀티 구동(Duty driving)을 위해 미리 설정된 PWM(Pulse Width Modulation)의 듀티 비(duty ratio)에 따라 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 전압 레벨이 반전될 수 있다.
- [0061] 제1 TFT(M1)는 제1 게이트 신호(SCAN1)에 응답하여 데이터 전압(Vdata)을 제1 노드(n1)에 공급하는 스위치 소자이다. 제1 TFT(M1)는 제1 게이트 라인(GL1)에 연결된 게이트, 데이터 라인(DL1)에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다.
- [0062] 제2 TFT(M2)는 제3 게이트 신호(EM)에 응답하여 OLED(EL)에 흐르는 전류를 스위칭하는 스위치 소자이다. 제2 TFT(M2)의 게이트는 제3 게이트 라인(GL3)에 연결된다. 제2 TFT(M2)의 제1 전극은 픽셀 구동 전압(VDD)이 공급되는 제1 전원 라인(PL1)에 연결된다. 제2 TFT(M2)의 제2 전극은 제2 노드(n2)에 연결된다.
- [0063] 제3 TFT(M3)는 제2 게이트 신호(SCAN2)에 응답하여 초기화 전압(Vini)을 제3 노드(n3)에 공급한다. 제3 TFT(M3)는 제2 게이트 라인(GL2)에 연결된 게이트, 제3 노드(n3)에 연결된 제1 전극, 및 제2 전원 라인(PL2)에

연결된 제2 전극을 포함한다.

[0064] 제4 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED(EL)에 흐르는 전류(Ioled)를 조절하는 구동 소자이다. 제4 TFT(DT)는 제1 노드(n1)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.

[0065] 서브 픽셀들은 도 5에 도시된 1 수평 기간(1H) 동안 초기화 기간(ti), 샘플링 기간(ts), 프로그래밍 기간(tw), 및 에미션 기간(tw)으로 동작하여 구동 소자인 제4 TFT(DT)의 문턱 전압을 샘플링하고, 문턱 전압 만큼 현재 프레임 기간에 입력된 데이터 전압(Vdata)을 보상한다.

[0066] 초기화 기간(Ti)이 시작될 때, 제1 게이트 신호(SCAN1)가 VGH로 발생되고, 제2 게이트 신호(SCAN1, SCAN2)가 VGL로 발생된다. 이와 동시에, 제3 게이트 신호(EM)는 VGH로 발생된 후 VGL로 반전된다. 초기화 기간(Ti) 동안, 제2 TFT(M2)는 턴-오프되어 OLED의 전류 패스를 차단한다. 제1 및 제3 TFT들(M1, M3)은 초기화 기간(Ti) 동안 턴-온된다. 초기화 기간(ti) 동안, 데이터 라인(DL1)에 소정의 기준 전압(Vref)이 공급된다. 초기화 기간(ti) 동안 제1 노드(n1)의 전압은 기준 전압(Vref)으로 초기화되고, 제2 노드(n2)의 전압은 소정의 초기화 전압(Vini)으로 초기화된다. 초기화 기간(t1) 후에 제2 게이트 신호(SCAN2)는 VGH로 반전되어 제3 TFT(M3)가 턴-오프된다.

[0067] 샘플링 기간(Ts) 동안, 제1 게이트 신호(SCAN1)는 VGH를 유지하고, 제2 게이트 신호(SCAN2)는 VGH로 유지된다. 제3 게이트 신호(EM)는 샘플링 기간(ts)이 시작될 때 VGH로 반전된다. 샘플링 기간(Ts) 동안, 제1 TFT(M1)는 온 상태를 유지한다. 제2 TFT(M2)는 샘플링 기간(Ts) 동안 턴-오프된다. 제3 TFT(M3)는 샘플링 기간(Ts) 동안, 오프 상태를 유지한다. 샘플링 기간(Ts) 동안, 데이터 라인(DL1)에 기준 전압(Vref)이 공급된다. 샘플링 기간(ts) 동안, 제1 노드(n1)의 전압은 기준 전압(Vref)으로 유지되는데 반해, 제2 및 제3 노드(n2, n3)의 전압은 제4 TFT(T4)의 드레인-소스 간 전류(Ids)에 의해 상승한다. 이러한 소스 팔로워(source-follower) 방식에 따라 제4 TFT(DT)의 게이트-소스 간 전압(Vgs)은 제4 TFT(DT)의 문턱 전압(Vth)으로서 샘플링된다.

[0068] 프로그래밍 기간(Tw) 동안 제1 TFT(M1)는 온 상태를 유지하고 나머지 제2 및 제3 TFT들(M2, M3)은 오프 상태를 유지한다. 프로그래밍 기간(tw) 동안 데이터 라인(DL)에 입력 영상의 데이터 전압(Vdata)이 공급된다. 데이터 전압이 제1 노드(n2)에 인가되고, 제1 노드(n1)의 전압 변화분(Vdata-Vref)에 대한 커패시터들(Cst, Cvdd) 간의 전압 분배 결과가 제2 노드(n2)에 반영됨으로써 제4 TFT(DT)의 게이트-소스 간 전압(Vgs)이 프로그래밍된다. 프로그래밍 기간(Tw) 동안, 제1 노드(n1)의 전압은 데이터 전압(Vdata)이고, 제2 노드(n2)의 전압은 샘플링 기간(Ts)을 통해 설정된 "Vref-Vth"에 커패시터들(Cst, C) 간의 전압 분배 결과(C'*(Vdata-Vref))가 더해져 "Vref-Vth+C'*(Vdata-Vref)"가 된다. 결국, 제4 TFT(DT)의 게이트-소스 간 전압(Vgs)은 프로그래밍 기간(tw)을 통해 "Vdata-Vref+Vth-C'*(Vdata-Vref)"으로 프로그래밍된다. 여기서, C'는 Cst/(Cst+C)이다.

[0069] 발광 기간(Tem)이 시작될 때, 제1 및 제3 게이트 신호(SACN1, EM)는 VGL로 반전되는 반면, 제2 게이트 신호(SCAN2)는 VGH를 유지한다. 발광 기간(Tem) 동안, 제2 TFT(M2)는 온 상태를 유지하여 OLED의 전류 패스를 형성한다. 제1 및 제3 TFT(M1, M3)는 오프 상태를 유지한다. 제4 TFT(DT)는 발광 기간(Tem) 동안 데이터 전압에 따라 OLED의 전류량을 조절한다.

[0070] 발광 기간(Tem) 동안 OLED에 흐르는 전류(Ioled)는 수학식 1과 같다. OLED는 이 전류에 의해 발광되어 입력 영상의 밝기를 표현한다.

$$I_{oled} = \frac{k}{2} [(1-C')(Vdata-Vref)]^2$$

[0071]

[0072] 여기서, k는 제4 TFT(T4)의 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수이다.

[0073] 프로그래밍 기간(tw)을 통해 프로그래밍 된 Vgs에 Vth가 포함되어 있으므로, Ioled 에서 Vth가 소거된다. 따라서, 구동 소자 즉, 제4 TFT(T4)의 문턱 전압(Vth)이 OLED의 전류(Ioled)에 영향을 주지 않는다.

[0074] 도 6은 제2 GIP 회로(300)가 스타트 펄스를 공유하는 두 개의 GIP 회로들로 구성된 예를 개략적으로 보여 주는 도면이다.

[0075] 도 6을 참조하면, 제1 GIP 회로(200)는 제1 스타트 펄스(VST1)와 시프트 클럭(CLK(SCAN2))을 입력 받아 제2 게이트 신호(SCAN2)를 순차적으로 출력하는 시프트 레지스터로 구성된다. 제1 GIP 회로(200)의 트랜지스터들은 도

12에 도시된 바와 같이 p 타입 TFT들로 구현될 수 있다.

- [0076] 제2 GIP 회로(300)는 제2 스타트 펄스(VST2)를 공유하는 제2-1 GIP 회로(310) 및 제2-2 GIP 회로(320)를 구비한다. 제2-1 GIP 회로(310)는 제2 스타트 펄스(VST2)와 시프트 클럭(CLK(SCAN1))을 입력 받아 제1 게이트 신호(SCAN1)를 순차적으로 출력하는 시프트 레지스터로 구성된다. 제2-2 GIP 회로(320)는 제2 스타트 펄스(VST2)와 시프트 클럭(CLK(EM))을 입력 받아 제3 게이트 신호(EM)를 순차적으로 출력하는 시프트 레지스터로 구성된다.
- [0077] 제1 게이트 신호(SCAN1)와 제3 게이트 신호(EM)는 도 5에서 알 수 있는 바와 같이 중간부의 파형이 일부 다르지만 1 수평 기간 내에서 최초 라이징 타이밍이 같고 동일한 위상으로 발생된다. 그 결과, 스타트 펄스(VST2)가 제2-1 및 제2-2 GIP 회로들(310, 320)에서 공유될 수 있다. 나아가, 도 12 및 도 13에 도시된 바와 같이 제2-1 및 제2-2 GIP 회로들(310, 320)에서 스타트 펄스(VST2)와 시프트 클럭(SC1_CLK3, SC1_CLK4)이 공유될 수 있으므로 그 만큼 베젤 영역에서 배선 수를 줄일 수 있다. 따라서, 본 발명은 표시패널(100)에서 GIP 회로들이 배치되는 베젤 영역의 크기를 줄일 수 있다.
- [0078] 도 7은 GIP 회로들(200, 310, 320)에서 시프트 레지스터 회로 구성을 개략적으로 보여 주는 도면이다. 도 8은 도 7에 도시된 시프트 레지스터에서 제n 출력을 발생하는 제n 스테이지를 보여 주는 회로도이다.
- [0079] 도 7 및 도 8을 참조하면, GIP 회로들(200, 310, 320) 각각은 캐리 신호 배선을 통해 종속적으로 접속된 다수의 스테이지들(stage)(ST(n)~ST(n+3))을 이용하여 시프트 클럭(CLK)의 타이밍에 맞추어 출력 전압을 시프트(shift)한다.
- [0080] 스테이지들(ST(n)~ST(n+3)) 각각은 스타트 펄스(start pulse) 또는 이전 스테이지로부터 수신된 캐리 신호(CAR)를 스타트 펄스로서 입력 받아 시프트 클럭이 입력될 때 출력을 발생한다.
- [0081] 스테이지들(ST(n)~ST(n+3)) 각각은 Q 노드 전압에 응답하여 출력 노드를 충전하여 출력 전압(Vout(n)~(n+3))을 높이는 풀업 트랜지스터(pull-up transistor, Tu), QB 노드 전압에 응답하여 출력 노드를 방전하여 출력 전압을 낮추는 풀다운 트랜지스터(Pull-down transistor, Td), 및 Q 노드와 QB 노드를 충방전하는 스위치 회로(70)를 포함한다. 스테이지들 각각의 출력 노드는 표시패널의 게이트 라인에 연결된다.
- [0082] 풀업 트랜지스터(Tu)는 Q 노드가 프리 차징(pre-charging)된 상태에서 시프트 클럭(CLK)이 입력될 때 출력 노드를 충전한다. 풀업 트랜지스터(Tu)에 시프트 클럭(CLK)이 입력될 때 풀업 트랜지스터(Tu)의 기생 용량을 통해 플로팅된 Q 노드의 전압이 부트스트래핑(bootstrapping)에 의해 Q 노드의 전압이 프리 차징 전압 보다 더 상승하여 풀업 트랜지스터(Tu)가 턴-온된다. 풀업 트랜지스터(Tu)에 인가된 시프트 클럭(CLK)의 파형으로 게이트 신호(SCAN1, SCAN2, EM)가 발생될 수 있다. 풀다운 트랜지스터(Td)는 QB 전압이 충전될 때 출력 노드를 게이트 오프 전압이 인가되는 노드에 연결하여 출력 전압을 게이트 오프 전압까지 방전시킨다.
- [0083] 스위치 회로(70)는 VST 단자를 통해 입력되는 스타트 펄스(VST) 또는 이전 스테이지로부터 수신되는 캐리 신호에 응답하여 Q 노드를 충전하고, RST 단자 또는 VNEXT 단자를 통해 수신되는 신호에 응답하여 Q 노드를 방전한다. RST 단자에는 모든 스테이지들(S(N-1), S(N), S(N+1))의 Q 노드를 동시에 방전시키기 위한 리셋 신호가 인가된다. VNEXT 단자에는 Q 노드를 방전하기 위하여 다음 스테이지로부터 발생된 캐리 신호이다.
- [0084] 도 9는 n 타입 TFT들로 구현된 제2 GIP 회로(310, 320)에서 제n 스테이지의 Q 노드 전압, QB 노드 전압 및 출력 전압(Vout(n))을 보여 주는 파형도이다. p 타입 TFT들로 구현된 제1 GIP 회로(200)의 경우에 도 9의 파형은 위상이 반전된다.
- [0085] 도 10은 GIP 회로들(200, 310, 311)에 인가되는 시프트 클럭을 보여 주는 파형도이다.
- [0086] 도 10을 참조하면, 제1 시프트 클럭(CLK(SCAN2))은 제2 게이트 신호(SCAN2)의 파형과 같은 파형으로 발생되고 순차적으로 시프트되는 4 상(phase) 클럭(SC2_CLK1~CLK4)을 포함한다. 제1 시프트 클럭(CLK(SCAN1))은 제1 GIP 회로(200)에 공급된다.
- [0087] 제2-1 시프트 클럭(CLK(SCAN1))은 제1 게이트 신호(SCAN1)의 파형과 같은 파형으로 발생되고 순차적으로 시프트되는 4 상 클럭(SC1_CLK1~CLK4)을 포함한다. 제2-1 시프트 클럭(CLK(SCAN1))은 제2-1 GIP 회로(310)에 공급된다.
- [0088] 제2-2 시프트 클럭(CLK(EM))은 제3 게이트 신호(EM)의 파형과 같은 파형으로 발생되고 순차적으로 시프트되는 4 상 클럭(EM_CLK1~CLK4)을 포함한다. 제2-2 시프트 클럭(CLK(EM))은 제2-2 GIP 회로(320)에 공급된다.
- [0089] 제2-1 시프트 클럭(CLK(SCAN1))과 제2-2 시프트 클럭(CLK(EM))은 1 수평 기간(1H) 내에서 최초 라이징 타이밍과

최후 폴링 타이밍이 동기되어 위상이 같다. 따라서, GIP 회로에서 풀업 트랜지스터에 인가되는 시프트 클럭 이외의 다른 시프트 클럭은 제2-1 GIP 회로(310)와 제2 GIPO 회로(320)에서 공유된다.

- [0090] 시프트 클럭들(CLK(SCAN1), CLK(SCAN2), CLK(EM))은 4 상 클럭에 한정되지 않는다. 예컨대, 게이트 신호의 중첩 구간과 펄스폭에 따라 시프트 클럭들은 2 상 클럭, 6 상 클럭 또는 8 상 클럭으로 발생될 수 있다.
- [0091] 도 11은 픽셀 회로와 GIP 회로들의 연결 관계를 보여 주는 회로도이다.
- [0092] 도 11을 참조하면, 제2-1 GIP 회로(310)는 다수의 p 타입 TFT들을 이용하여 픽셀 회로의 p 타입 TFT(M3)에 게이트 신호(SCAN2)를 공급한다. 제1 GIP 회로(200)는 제1 스타트 펄스(VST1)와 시프트 클럭(CLK(SCAN2))을 입력받아 제2 게이트 신호(SCAN2)를 출력한다. 제2 게이트 신호(SCAN2)는 제2 게이트 라인(GL2)을 통해 서브 픽셀들에 공급된다.
- [0093] 제2-1 GIP 회로(310)는 다수의 n 타입 TFT들을 이용하여 픽셀 회로의 n 타입 TFT(M1)에 게이트 신호(SCAN1)를 공급한다. 제2-2 GIP 회로(320)는 다수의 n 타입 트랜지스터들을 이용하여 픽셀 회로의 p 타입 TFT(M2)에 다른 게이트 신호(EM)를 공급한다.
- [0094] 제2-1 GIP 회로(310)는 제2 스타트 펄스(VST2)와 시프트 클럭(CLK(SCAN1))을 입력받아 제1 게이트 신호(SCAN1)를 출력한다. 제1 게이트 신호(SCAN1)는 제1 게이트 라인(GL1)을 통해 서브 픽셀들에 공급된다. 제2-2 GIP 회로(320)는 제2 스타트 펄스(VST2)와 시프트 클럭(CLK(EM))을 입력받아 제3 게이트 신호(EM)를 출력한다. 제3 게이트 신호(EM1)는 제3 게이트 라인(GL3)을 통해 서브 픽셀들에 공급된다.
- [0095] GIP 회로들(200, 310, 320)은 도 12 내지 도 13과 같은 회로로 구현될 수 있으나 이에 한정되지 않는다.
- [0096] 도 12는 제1 GIP 회로(200)를 보여 주는 회로도이다.
- [0097] 도 12를 참조하면, 제1 GIP 회로(200)는 p 타입 TFT들로 구성된다. 제1 GIP 회로(200)의 제n 스테이지는 Q 노드 전압에 응답하여 출력 노드를 충전하여 출력 전압(OUT)을 게이트 온 전압(VGL)으로 충전하는 풀업 트랜지스터(PM6), QB 노드 전압에 응답하여 출력 전압(OUT)을 게이트 오프 전압(VGH)으로 조정하는 풀다운 트랜지스터(PM7), 및 Q 노드와 QB 노드를 충방전하는 스위치 회로를 포함한다. 출력 전압(OUT)은 제2 게이트 신호(SCAN2)로서 제2 게이트 라인(GL2)에 공급되고 또한, 다른 스테이지에 캐리 신호(CAR)로서 전송된다. 스위치 회로는 다수의 TFT들(PM1~PM5, PM8)을 포함한다. 제1 GIP 회로(200)의 제n 스테이지는 VGL이 공급되는 VGL 노드, VGH가 공급되는 VGH 노드, 시프트 클럭(SC2_CLK1, SC2_CLK3, SC2_CLK4)이 입력되는 CLK 노드들, 및 제1 스타트 펄스(VST1) 혹은 이전 스테이지의 캐리신호가 입력되는 VST 노드를 포함한다.
- [0098] 제1 및 제2 TFT(PM1, PM2)는 VST 노드와 제1 CLK 노드를 통해 입력되는 신호에 응답하여 VGL을 Q 노드에 공급하여 Q 노드를 VGL로 프리 차징한다. 제1 및 제2 TFT(PM1, PM2)는 게이트 전압이 VGL일 때 턴-온되어 Q 노드를 프리 차징한다. 제1 CLK 노드는 Q 노드의 프리 차징 타이밍에 동기되는 시프트 클럭(SC2_CLK4)이 입력된다. 제1 TFT(PM1)는 VST 노드에 연결된 게이트, VGL 노드에 연결된 제1 전극, 및 제2 TFT(PM2)에 연결된 제2 전극을 포함한다. 제2 TFT(PM2)는 제1 CLK 노드에 연결된 게이트, 제1 TFT(PM1)에 연결된 제1 전극, 및 Q 노드에 연결된 제2 전극을 포함한다.
- [0099] 제3 TFT(PM3)는 QB 노드 전압에 응답하여 Q 노드를 충방전한다. 제3 TFT(PM3)는 QB 노드의 전압이 VGL일 때 턴-온된다. 제3 TFT(PM3)는 QB 노드에 연결된 게이트, Q 노드에 연결된 제1 전극, 및 VGH 노드에 연결된 제2 전극을 포함한다.
- [0100] 제4 TFT(PM4)는 제2 CLK 노드를 통해 입력되는 시프트 클럭(SC2_CLK3)의 VGL에 응답하여 턴온되어 QB 노드에 VGL를 공급하여 QB 노드를 프리 차징한다. 제4 TFT(PM4)는 제2 CLK 노드에 연결된 게이트, VGL 노드에 연결된 제1 전극, 및 QB 노드에 연결된 제2 전극을 포함한다.
- [0101] 제5 TFT(PM5)는 VST 노드를 통해 입력되는 신호의 VGL에 응답하여 턴온되어 QB 노드를 VGH 노드에 연결하여 Q 노드의 전압을 VGH로 조정한다. 제5 TFT(PM5)는 VST 노드에 연결된 게이트, QB 노드에 연결된 제1 전극, 및 VGH 노드에 연결된 제2 전극을 포함한다.
- [0102] 제6 TFT(PM6)는 제3 CLK 노드를 통해 시프트 클럭(SC2_CLK1)이 입력될 때 턴-온되어 출력 노드의 전압을 VGL로 조정하는 풀업 트랜지스터이다. 제6 TFT(PM6)가 턴-온될 때, 출력 노드에 연결된 제2 게이트 라인(GL2)의 전압이 게이트 온 전압(VGL)으로 변한다. Q 노드가 VGL로 프리차징된 상태에서 시프트 클럭(SC2_CLK1)이 VGL 전압으로 제6 TFT(PM6)에 입력되면, 부트스트래핑(bootstrapping)에 의해 Q 노드의 전압이 2VGL로 상승하여 제6

TFT(PM6)가 턴-온된다. 제6 TFT(PM6)는 Q 노드에 연결된 게이트, 제3 CLK 노드에 연결된 제1 전극, 및 출력 노드에 연결된 제2 전극을 포함한다.

[0103] 제7 TFT(PM7)는 QB 노드의 VGL에 응답하여 턴-온되어 출력 노드를 VGH 노드에 연결하여 제2 게이트 라인(GL2)의 전압을 게이트 오프 전압(VGH)으로 조정한다. 제7 TFT(PM7)는 QB 노드에 연결된 게이트, 출력 노드에 연결된 제1 전극, 및 VGH 노드에 연결된 제2 전극을 포함한다.

[0104] 도 13은 제2-1 GIP 회로(310)를 보여 주는 회로도이다. 도 14는 제2-2 GIP 회로(320)를 보여 주는 회로도이다. 도 13 및 도 14에 도시된 바와 같이, 제2-1 및 제2-2 GIP 회로(310, 320)들은 동일한 회로로 구현될 수 있으나 이에 한정되지 않는다.

[0105] 도 13을 참조하면, 제2-1 GIP 회로(310)는 n 타입 TFT들로 구성된다. 제2-1 GIP 회로(310)의 제n 스테이지는 Q 노드 전압에 응답하여 출력 노드를 충전하여 출력 전압(OUT)을 게이트 온 전압(VGH)으로 충전하는 풀업 트랜지스터(NM16), QB 노드 전압에 응답하여 출력 전압(OUT)을 게이트 오프 전압(VGL)으로 낮추는 풀다운 트랜지스터(NM17), 및 Q 노드와 QB 노드를 충전하는 스위치 회로를 포함한다. 스위치 회로는 다수의 TFT들(NM11~NM15, NM18)을 포함한다. 출력 전압(OUT)은 제1 게이트 신호(SCAN1)로서 제1 게이트 라인(GL1)에 공급되고 또한, 다른 스테이지에 캐리 신호(CAR)로서 전송된다.

[0106] 제2-1 GIP 회로(310)의 제n 스테이지는 VGL이 공급되는 VGL 노드, VGH가 공급되는 VGH 노드, 시프트 클럭(SC1_CLK1, SC1_CLK3, SC1_CLK4)이 입력되는 CLK 노드들, 및 제2 스타트 펄스(VST2) 혹은 이전 스테이지의 캐리신호가 입력되는 VST 노드를 포함한다.

[0107] 제1 및 제2 TFT(NM11, NM12)는 VST 노드와 제1 CLK 노드를 통해 입력되는 신호에 응답하여 VGH를 Q 노드에 공급하여 Q 노드를 VGH로 프리 차징한다. 제1 및 제2 TFT(NM11, NM12)는 게이트 전압이 VGH일 때 턴-온되어 Q 노드를 프리 차징한다. 제1 CLK 노드는 Q 노드의 프리 차징 타이밍에 동기되는 시프트 클럭(SC1_CLK4)이 입력된다. 제1 TFT(NM11)는 VST 노드에 연결된 게이트, VGH 노드에 연결된 제1 전극, 및 제2 TFT(NM12)에 연결된 제2 전극을 포함한다. 제2 TFT(NM12)는 제1 CLK 노드에 연결된 게이트, 제1 TFT(NM11)에 연결된 제1 전극, 및 Q 노드에 연결된 제2 전극을 포함한다.

[0108] 제3 TFT(NM13)는 QB 노드 전압에 응답하여 Q 노드를 충전한다. 제3 TFT(NM13)는 QB 노드의 전압이 VGH일 때 턴-온된다. 제3 TFT(NM13)는 QB 노드에 연결된 게이트, Q 노드에 연결된 제1 전극, 및 VGL 노드에 연결된 제2 전극을 포함한다.

[0109] 제4 TFT(NM14)는 제2 CLK 노드를 통해 입력되는 시프트 클럭(SC1_CLK3)의 VGH에 응답하여 턴-온되어 QB 노드에 VGH를 공급하여 QB 노드를 프리 차징한다. 제4 TFT(NM14)는 제2 CLK 노드에 연결된 게이트, VGH 노드에 연결된 제1 전극, 및 QB 노드에 연결된 제2 전극을 포함한다.

[0110] 제5 TFT(NM15)는 VST 노드를 통해 입력되는 신호의 VGH에 응답하여 턴-온되어 QB 노드를 VGL 노드에 연결하여 Q 노드의 전압을 VGL로 방전한다. 제5 TFT(NM15)는 VST 노드에 연결된 게이트, QB 노드에 연결된 제1 전극, 및 VGL 노드에 연결된 제2 전극을 포함한다.

[0111] 제6 TFT(NM16)는 제3 CLK 노드를 통해 시프트 클럭(SC1_CLK1)이 입력될 때 턴-온되어 출력 노드의 전압을 VGH로 높이는 풀업 트랜지스터이다. 제6 TFT(NM16)가 턴-온될 때, 출력 노드에 연결된 제1 게이트 라인(GL1)의 전압이 게이트 온 전압(VGH)으로 변한다. Q 노드가 VGH로 프리차징된 상태에서 시프트 클럭(SC1_CLK1)이 VGH 전압으로 제6 TFT(NM16)에 입력되면, 부트스트래핑에 의해 Q 노드의 전압이 2VGH로 상승하여 제6 TFT(NM16)가 턴-온된다. 제6 TFT(NM16)는 Q 노드에 연결된 게이트, 제3 CLK 노드에 연결된 제1 전극, 및 출력 노드에 연결된 제2 전극을 포함한다.

[0112] 제7 TFT(NM17)는 QB 노드의 VGH에 응답하여 턴-온되어 출력 노드를 VGL 노드에 연결하여 제1 게이트 라인(GL1)의 전압을 게이트 오프 전압(VGL)으로 낮춘다. 제7 TFT(NM17)는 QB 노드에 연결된 게이트, 출력 노드에 연결된 제1 전극, 및 VGL 노드에 연결된 제2 전극을 포함한다.

[0113] 도 14를 참조하면, 제2-2 GIP 회로(320)는 n 타입 TFT들로 구성된다. 제2-2 GIP 회로(320)의 제n 스테이지는 Q 노드 전압에 응답하여 출력 노드를 충전하여 출력 전압(OUT)을 게이트 온 전압(VGH)으로 충전하는 풀업 트랜지스터(NM26), QB 노드 전압에 응답하여 출력 전압(OUT)을 게이트 오프 전압(VGL)으로 낮추는 풀다운 트랜지스터(NM27), 및 Q 노드와 QB 노드를 충전하는 스위치 회로를 포함한다. 스위치 회로는 다수의 TFT들(NM21~NM25, NM28)을 포함한다. 출력 전압(OUT)은 제3 게이트 신호(EM)로서 제3 게이트 라인(GL3)에 공급되고

또한, 다른 스테이지에 캐리 신호(CAR)로서 전송된다.

- [0114] 제2-2 GIP 회로(310)의 제 n 스테이지는 VGL이 공급되는 VGL 노드, VGH가 공급되는 VGH 노드, 시프트 클럭(EM_CLK1, EM_CLK3, EM_CLK4)이 입력되는 CLK 노드들, 및 제2 스타트 펄스(VST2) 혹은 이전 스테이지의 캐리 신호가 입력되는 VST 노드를 포함한다.
- [0115] 제2-1 및 제2-2 GIP 회로(310, 320)로부터 출력되는 신호의 위상이 같고 시프트 클럭들(CLK(SCAN1), CLK(EM))의 위상도 같다. 따라서, 제2-1 및 제2-2 GIP 회로(310, 320)의 스타트 펄스(VST)가 공유되어 도 15에 도시된 바와 같이 VST 배선(151) 개수를 줄일 수 있고 타이밍 콘트롤러(120)의 출력 핀 수를 줄일 수 있다.
- [0116] 제2-1 시프트 클럭(CLK(SCAN1))과 제2-2 시프트 클럭(CLK(EM))은 1 수평 기간(1H) 내에서 위상이 같다. 제2-1 및 제2 GIP 회로(310, 320)의 제1 및 제2 CLK 노드에 인가되는 시프트 클럭은 공유될 수 있다. 예컨대, 도 13 및 도 14에 도시된 바와 같이 제2-2 GIP 회로(320)의 제1 및 제2 CLK 노드에 인가되는 시프트 클럭이 SC1_CLK3, SC1_CLK4으로 인가되어 제2-1 GIP 회로(310)와 시프트 클럭을 공유할 수 있다.
- [0117] 제1 및 제2 TFT(NM21, NM22)는 VST 노드와 제1 CLK 노드를 통해 입력되는 신호에 응답하여 VGH를 Q 노드에 공급하여 Q 노드를 VGH로 프리 차징한다. 제1 및 제2 TFT(NM21, NM22)는 게이트 전압이 VGH일 때 턴-온되어 Q 노드를 프리 차징한다. 제1 CLK 노드는 Q 노드의 프리 차징 타이밍에 동기되는 시프트 클럭(EM_CLK4 또는 SC1_CLK4)이 입력된다. 제1 TFT(NM21)는 VST 노드에 연결된 게이트, VGH 노드에 연결된 제1 전극, 및 제2 TFT(NM22)에 연결된 제2 전극을 포함한다. 제2 TFT(NM22)는 제1 CLK 노드에 연결된 게이트, 제1 TFT(NM21)에 연결된 제1 전극, 및 Q 노드에 연결된 제2 전극을 포함한다.
- [0118] 제3 TFT(NM23)는 QB 노드 전압에 응답하여 Q 노드를 충방전한다. 제3 TFT(NM23)는 QB 노드의 전압이 VGH일 때 턴-온된다. 제3 TFT(NM23)는 QB 노드에 연결된 게이트, Q 노드에 연결된 제1 전극, 및 VGL 노드에 연결된 제2 전극을 포함한다.
- [0119] 제4 TFT(NM24)는 제2 CLK 노드를 통해 입력되는 시프트 클럭(EM_CLK3 또는 SC1_CLK3)의 VGH에 응답하여 턴온되어 QB 노드에 VGH를 공급하여 QB 노드를 프리 차징한다. 제4 TFT(NM24)는 제2 CLK 노드에 연결된 게이트, VGH 노드에 연결된 제1 전극, 및 QB 노드에 연결된 제2 전극을 포함한다.
- [0120] 제5 TFT(NM25)는 VST 노드를 통해 입력되는 신호의 VGH에 응답하여 턴온되어 QB 노드를 VGL 노드에 연결하여 Q 노드의 전압을 VGL로 방전한다. 제5 TFT(NM25)는 VST 노드에 연결된 게이트, QB 노드에 연결된 제1 전극, 및 VGL 노드에 연결된 제2 전극을 포함한다.
- [0121] 제6 TFT(NM26)는 제3 CLK 노드를 통해 시프트 클럭(EM_CLK1)이 입력될 때 턴-온되어 출력 노드의 전압을 VGH로 높이는 풀업 트랜지스터이다. 제6 TFT(NM26)가 턴-온될 때, 출력 노드에 연결된 제3 게이트 라인(GL3)의 전압이 게이트 온 전압(VGH)으로 변한다. Q 노드가 VGH로 프리차징된 상태에서 시프트 클럭(SC1_CLK1)이 VGH 전압으로 제6 TFT(NM26)에 입력되면, 부트스트래핑에 의해 Q 노드의 전압이 2VGH로 상승하여 제6 TFT(NM26)가 턴-온된다. 제6 TFT(NM26)는 Q 노드에 연결된 게이트, 제3 CLK 노드에 연결된 제1 전극, 및 출력 노드에 연결된 제2 전극을 포함한다.
- [0122] 제7 TFT(NM27)는 QB 노드의 VGH에 응답하여 턴-온되어 출력 노드를 VGL 노드에 연결하여 제3 게이트 라인(GL3)의 전압을 게이트 오프 전압(VGL)으로 낮춘다. 제7 TFT(NM27)는 QB 노드에 연결된 게이트, 출력 노드에 연결된 제1 전극, 및 VGL 노드에 연결된 제2 전극을 포함한다.
- [0123] 도 12 내지 도 14에서 GIP 회로들(200, 310, 320)의 출력 노드는 하나로 예시되었지만 게이트 신호 출력 노드와 캐리 신호 출력 노드로 분리될 수 있다. 이 경우 Q 노드에 연결되는 풀업 트랜지스터가 추가된다. 또한, 풀다운 트랜지스터들의 DC gate bias stress를 경감하기 위하여 QB 노드를 분리하고, QB 노드들 각각에 풀다운 트랜지스터들을 연결하여 QB 노드들을 교대로 교류 구동할 수도 있다.
- [0124] 도 15는 제2-1 GIP 회로들에 연결된 VST 배선(151) 및 CLK 배선들을 보여 주는 도면이다. 도 15에서 “SC11~SC15”는 제2-1 GIP 회로(310)의 스테이지 연결 구조를 보여 준다. EM1~EM5는 ”는 제2-1 GIP 회로(310)의 스테이지 연결 구조를 보여 준다.
- [0125] 도 16 및 도 17은 표시패널(100)의 TFT 어레이 기관에서 TFT들의 단면 구조를 보여 주는 도면들이다.
- [0126] 도 16을 참조하면, 액티브 영역(A/A)의 서브 픽셀들은 p 타입 TFT(PT1)와 n 타입 TFT(NT1)를 포함한다. 제1 GIP 회로(200)는 p 타입 TFT(PT2)로 구성되고, 제2 GIP 회로(310, 320)는 n 타입 TFT(NT2)로 구성된다. LTPS

TFT는 탑-게이트 구조의 p 타입 TFT(PT1, PT2)로 구현될 수 있다. Oxide TFT는 바텀-게이트 구조의 n 타입 TFT(NT1, NT2)로 구현될 수 있다.

- [0127] 기판(SUB)의 전체 표면 위에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF)은 생략될 수 있다. 버퍼층(BUF)과 기판(SUB) 사이에서 필요한 부분에만 선택적으로 차광층(Light shield layer)가 형성될 수 있다. 차광층은 그 위에 배치된 TFT의 반도체층으로 외부의 빛이 유입되는 것을 방지할 목적으로 형성할 수 있다.
- [0128] 버퍼층(BUF) 위에는 제1 반도체 패턴(PACT1)이 형성된다. 제1 반도체 패턴(PACT1, PACT2)은 p 타입 TFT들(PT1, PT2)의 채널 영역을 포함한다. 채널 영역은 TFT의 게이트와 반도체 패턴의 중첩되는 영역으로 정의된다. 제1 반도체 패턴(PACT1, PACT2)의 양측 각각에는 불순물이 도핑되어 p 타입 반도체 영역으로 변한다. p 타입 반도체 영역에 TFT(PT1, PT2)의 소스 또는 드레인이 연결된다.
- [0129] 제1 게이트 절연막(GI1)은 제1 반도체 패턴(PACT1, PACT2)을 덮도록 버퍼막(BUF) 상에 형성된다. 게이트 절연막(GI1) 위에는 제1 게이트 금속 패턴들(G11, G21, G31, G41)이 형성된다. 제1 게이트 금속 패턴들(G11, G21, G31, G41)은 p 타입 TFT들(PT1, PT2)과 n 타입 TFT들(NT1, NT2)의 게이트를 포함한다.
- [0130] 층간 절연막(ILD)은 제1 게이트 금속 패턴들(G11, G21, G31, G41)을 덮도록 제1 게이트 절연막(GI1) 상에 형성된다. 층간 절연막(ILD) 상에 제2 게이트 금속 패턴(G12, G32)이 형성된다. 층간 절연막(ILD)을 사이에 두고 중첩된 게이트 절연막 패턴들(G11-G12, G31-G32) 사이에 커패시터가 형성된다.
- [0131] 제2 게이트 절연막(GI2)은 제2 게이트 금속 패턴(G12, G32)을 덮도록 층간 절연막(ILD) 상에 형성된다. 제2 게이트 절연막(GI2) 상에 제2 반도체 패턴(NACT1, NACT2)과, 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)이 형성된다. 제2 반도체 패턴(NACT1, NACT2)은 n 타입 TFT들(NT1, NT2)의 채널 영역을 정의한다. 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)은 절연막들(GI1, ILD, GI2)을 관통하는 콘택홀(contact hole)을 통해 p 타입 TFT들(PT1, PT2)의 제1 반도체 패턴(PACT1, PACT2)에 연결된다. 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)은 p 타입 TFT들(PT1, PT2)과 n 타입 TFT들(NT1, NT2)의 소스와 드레인을 포함한다. 또한, 소스-드레인 금속 패턴들(SD12, SD21, SD41, SD42)은 제2 반도체 패턴들(NACT1, NACT2)에서 불순물이 도핑된 양측 n 타입 반도체 영역에 접촉된다.
- [0132] 보호막(PAS)은 제2 반도체 패턴(NACT1, NACT2)과, 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)을 덮도록 제2 게이트 절연막(GI2) 상에 형성된다. 평탄화막(PLN)은 보호막(PAS) 상에 형성된다. OLED의 애노드(ANO)는 평탄화막(PLN)과 보호막(PAS)을 관통하는 콘택홀을 통해 p 타입 TFT(PT1)에 연결된다.
- [0133] 뱅크 패턴(BNK)은 평탄화막(PLN) 상에 형성되어 OLED 발광 영역을 정의한다. OLED 발광 영역에 OLED의 유기 화합물층(OL)이 적층되고 그 위에 캐소드(CAT)가 형성된다. 페이스 씸(Face seal, FSEAL)은 캐소드(CAT)를 덮도록 TFT 어레이 기판 상에 형성되어 OLED가 습기에 노출되지 않도록 투습을 방지한다.
- [0134] 도 17을 참조하면, 액티브 영역(A/A)의 서브 픽셀들은 p 타입 TFT(PT1)와 n 타입 TFT(NT1)를 포함한다. 제1 GIP 회로(200)는 p 타입 TFT(PT2)로 구성되고, 제2 GIP 회로(310, 320)는 n 타입 TFT(NT2)로 구성된다. 도 17의 예는 LTPS TFT가 탑-게이트 구조로 p 타입 TFT(PT1, PT2)로 구현되고, Oxide TFT가 바텀-게이트 구조의 n 타입 TFT(NT1, NT2)로 구현된 예이다. 이 실시예는 p 타입 TFT(PT1, PT2)의 게이트(G11, G31)와 n 타입 TFT(NT1, NT2)의 게이트(G21, G41)이 절연막(ILD1, ILD2)을 사이에 두고 분리된다.
- [0135] 기판(SUB)의 전체 표면 위에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF)은 생략될 수 있다. 버퍼층(BUF)과 기판(SUB) 사이에서 필요한 부분에만 선택적으로 차광층(Light shield layer)가 형성될 수 있다. 차광층은 그 위에 배치된 TFT의 반도체층으로 외부의 빛이 유입되는 것을 방지할 목적으로 형성할 수 있다.
- [0136] 버퍼층(BUF) 위에는 제1 반도체 패턴(PACT1)이 형성된다. 제1 반도체 패턴(PACT1, PACT2)은 p 타입 TFT들(PT1, PT2)의 채널 영역을 포함한다. 제1 반도체 패턴(PACT1, PACT2)의 양측 각각에는 불순물이 도핑되어 p 타입 반도체 영역으로 변한다. p 타입 반도체 영역에 TFT(PT1, PT2)의 소스 또는 드레인이 연결된다.
- [0137] 제1 게이트 절연막(GI1)은 제1 반도체 패턴(PACT1, PACT2)을 덮도록 버퍼막(BUF) 상에 형성된다. 제1 게이트 절연막(GI1) 위에는 제1 게이트 금속 패턴들(G11, G31)이 형성된다. 제1 게이트 금속 패턴들(G11, G31)은 p 타입 TFT들(PT1, PT2)의 게이트를 포함한다.
- [0138] 제1 층간 절연막(ILD1)은 제1 게이트 금속 패턴들(G11, G31)을 덮도록 게이트 절연막(GI1) 상에 형성된다. 제1 층간 절연막(ILD1) 상에 제2 게이트 금속 패턴(G12, G32)이 형성된다. 층간 절연막(ILD)을 사이에 두고 중첩된

게이트 절연막 패턴들(G11-G12, G31-G32) 사이에 커패시터가 형성된다.

[0139] 제2 층간 절연막(ILD2)은 제2 게이트 금속 패턴(G12, G32)을 덮도록 제1 층간 절연막(ILD1) 상에 형성된다. 제2 층간 절연막(ILD2) 상에 제2 반도체 패턴(NACT1, NACT2)이 형성된다. 제2 반도체 패턴(NACT1, NACT2)은 n 타입 TFT들(NT1, NT2)의 채널 영역을 정의한다. 제2 반도체 패턴(NACT1, NACT2)의 양측 각각에는 불순물이 도핑되어 n 타입 반도체 영역으로 변한다. 제2 반도체 패턴(NACT1, NACT2) 상에 제2 게이트 절연막 패턴(GI2)과 제3 게이트 금속 패턴(G21, G41)이 적층된다. 제2 게이트 금속 패턴들(G21, G41)은 n 타입 TFT들(NT1, NT2)의 게이트를 포함한다.

[0140] 보호막(PAS)은 제2 반도체 패턴(NACT1, NACT2)과 제3 게이트 금속 패턴(G21, G41)을 덮도록 제2 층간 절연막(ILD2) 상에 형성된다. 보호막(PAS) 상에 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)이 형성된다. 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)은 절연막들(GI1, ILD1, ILD2, PAS)을 관통하는 콘택홀을 통해 p 타입 TFT들(PT1, PT2)의 제1 반도체 패턴(PACT1, PACT2)에 연결된다. 또한, 소스-드레인 금속 패턴들(SD12, SD21, SD41, SD42)은 보호막(PAS)을 관통하는 콘택홀을 통해 n 타입 TFT들(NT1, NT2)의 제2 반도체 패턴(NACT1, NACT2)에 연결된다. 소스-드레인 금속 패턴들(SD11, SD12, SD21, SD31, SD32, SD41, SD42)은 p 타입 TFT들(PT1, PT2)과 n 타입 TFT들(NT1, NT2)의 소스와 드레인을 포함한다.

[0141] 평탄화막(PLN)은 보호막(PAS) 상에 형성된다. OLED의 애노드(ANO)는 평탄화막(PLN)을 관통하는 콘택홀을 통해 p 타입 TFT(PT1)에 연결된다.

[0142] बैं크 패턴(BNK)은 평탄화막(PLN) 상에 형성되어 OLED 발광 영역을 정의한다. OLED 발광 영역에 OLED의 유기 화합물층(OL)이 적층되고 그 위에 캐소드(CAT)가 형성된다. 페이스 셀(FSEAL)은 캐소드(CAT)를 덮도록 TFT 어레이 기판 상에 형성되어 OLED가 습기에 노출되지 않도록 투습을 방지한다.

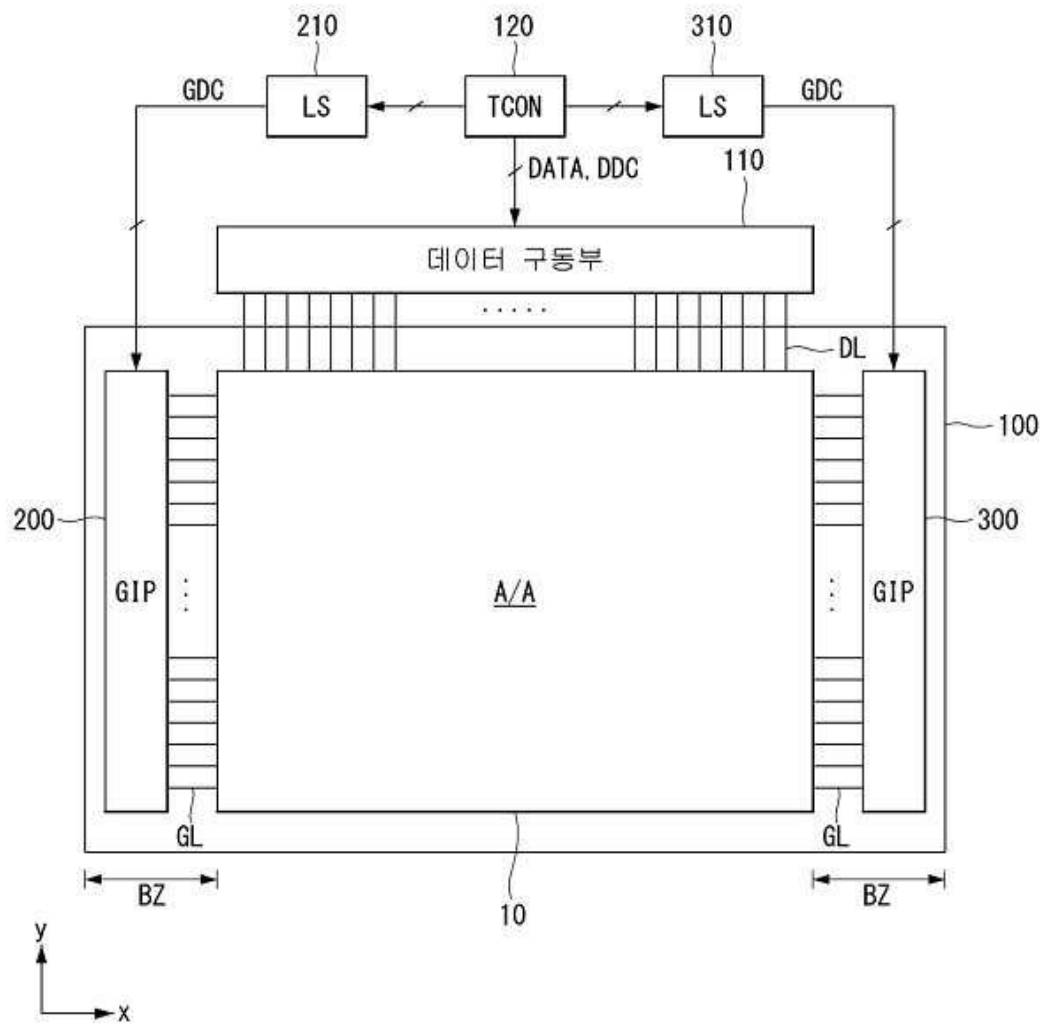
[0143] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

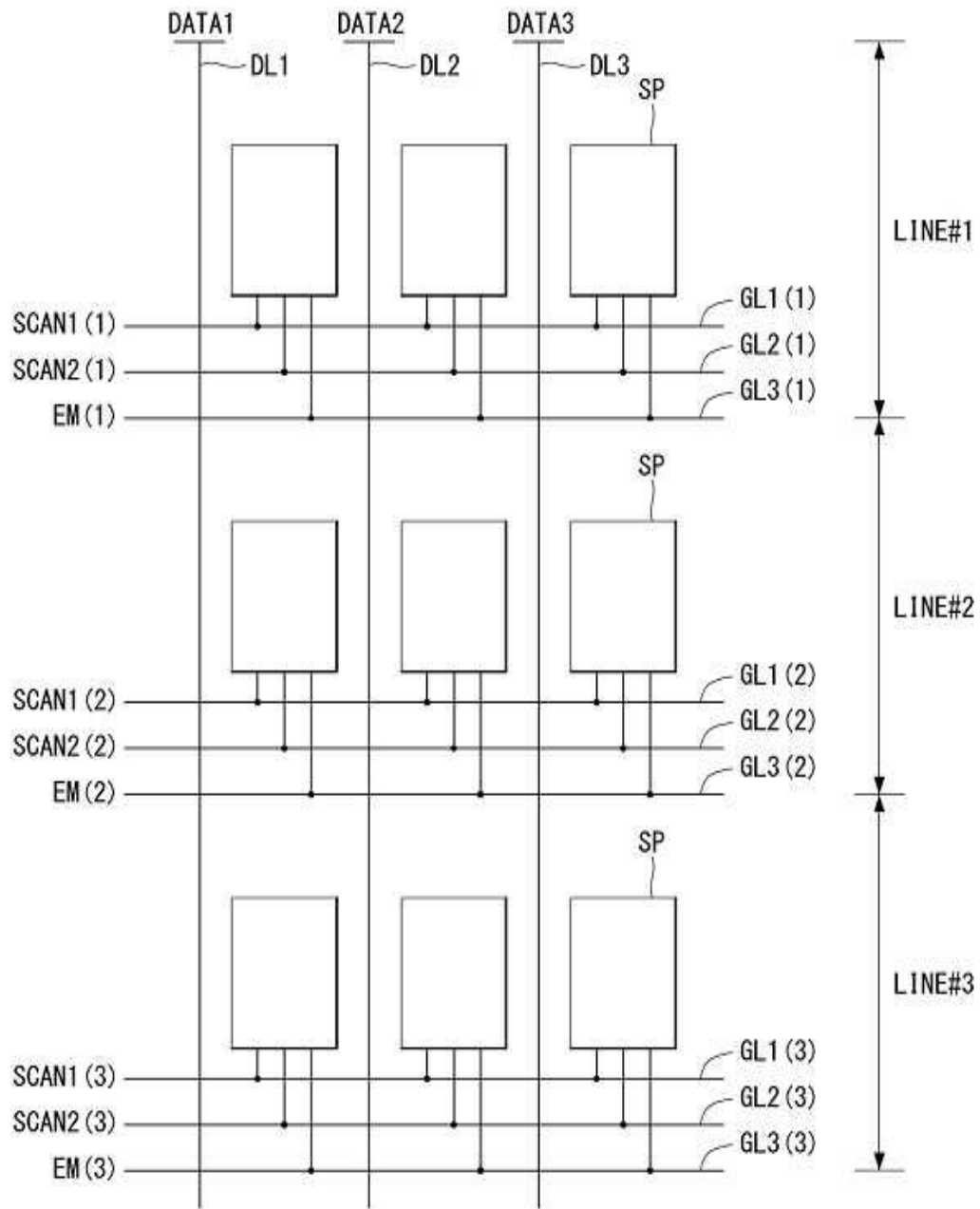
[0144] 100 : 표시패널 110 : 데이터 구동부
120 : 타이밍 컨트롤러 210, 310 : 레벨 시프터
200, 300, 310, 320 : GIP 회로(게이트 구동부)
M2, M3, DT, PM1~PM8 : p 타입 TFT(LTPS TFT)
M1, NM11~NM18, NM21~NM28 : n 타입 TFT(Oxide TFT)

도면

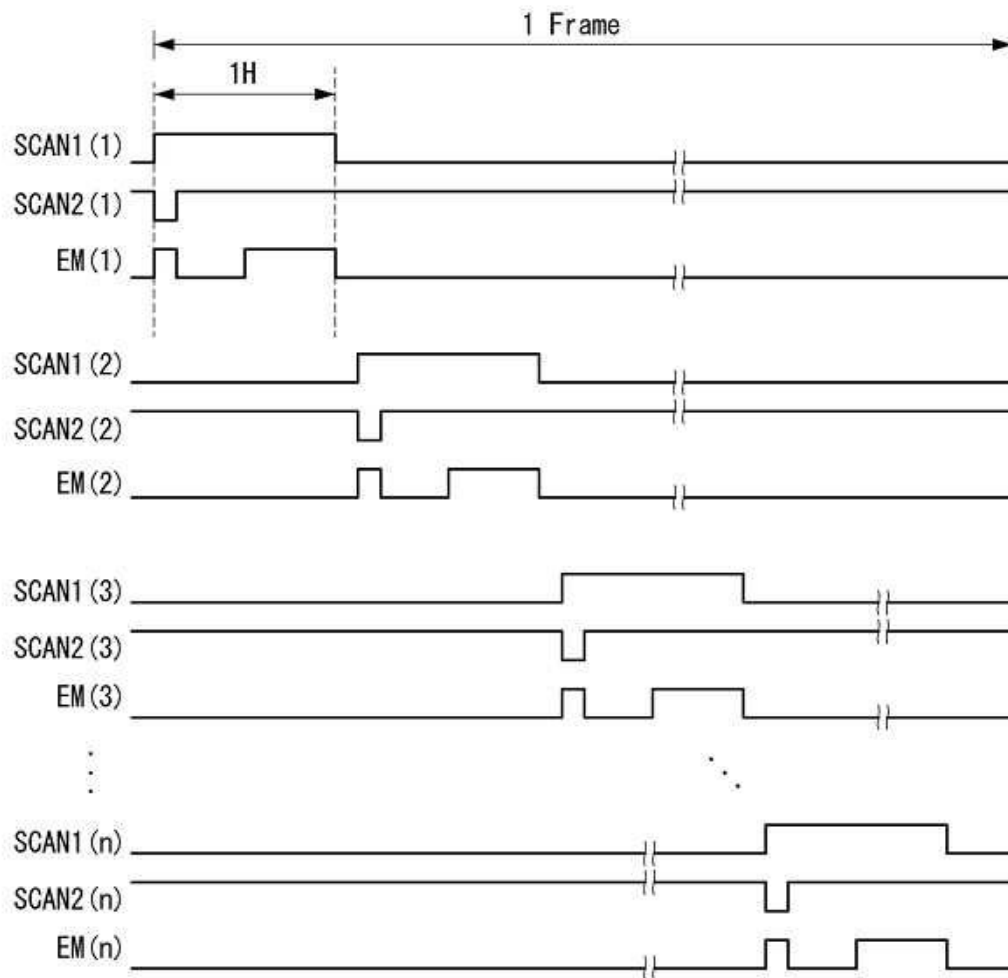
도면1



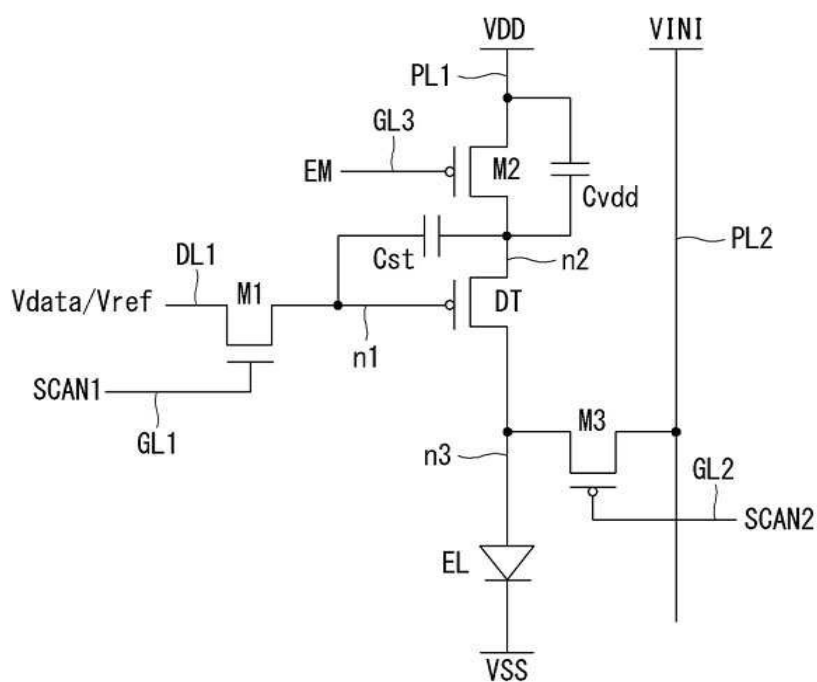
도면2



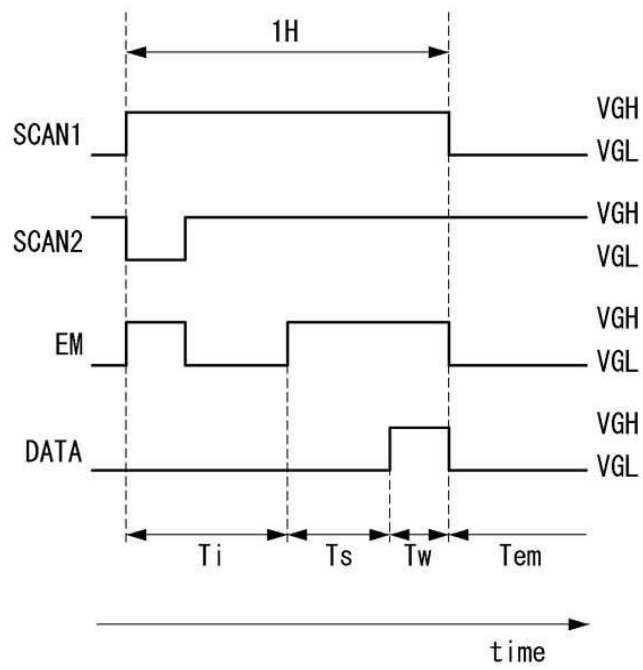
도면3



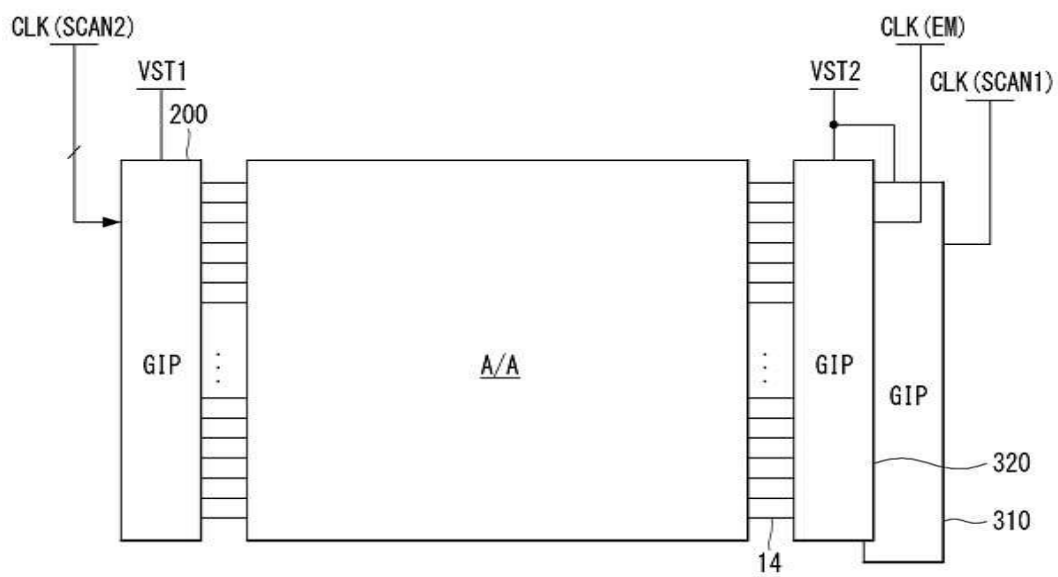
도면4



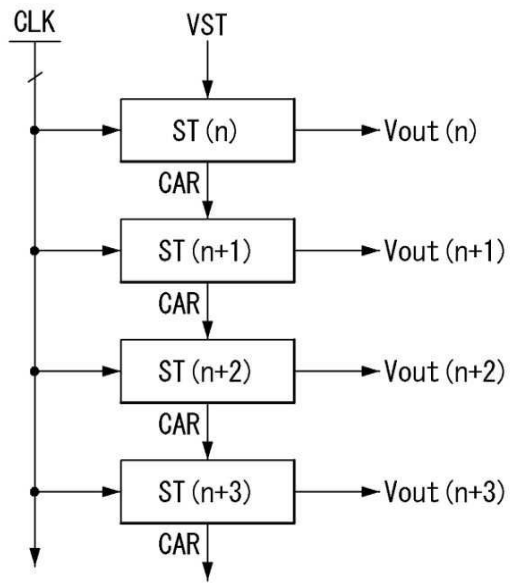
도면5



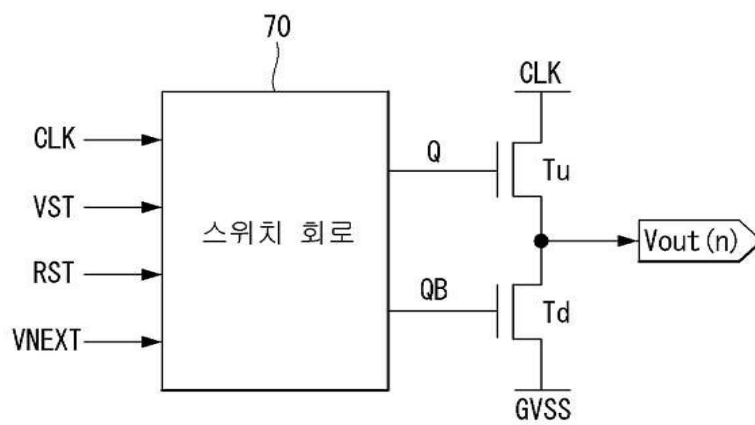
도면6



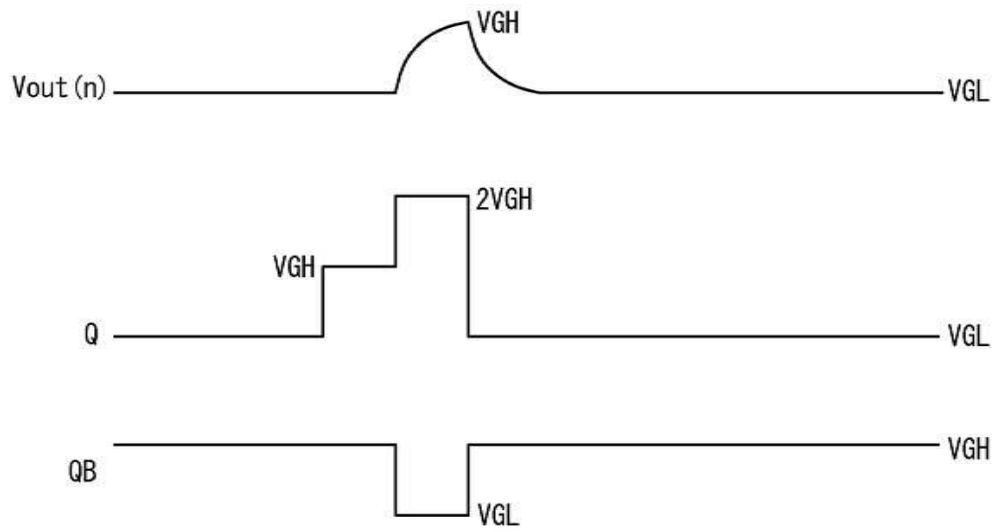
도면7



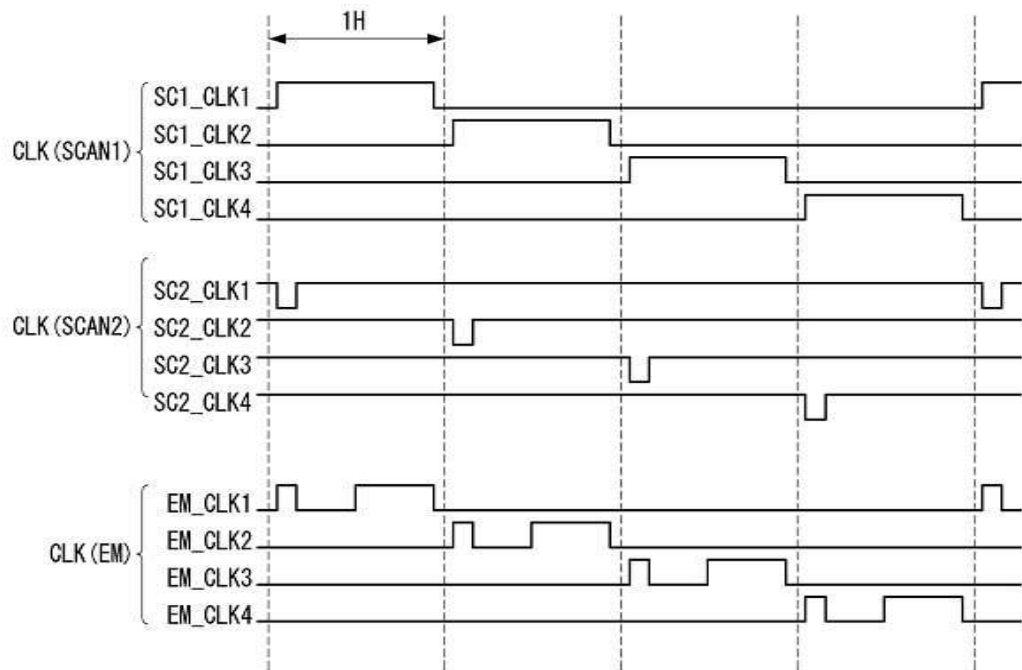
도면8



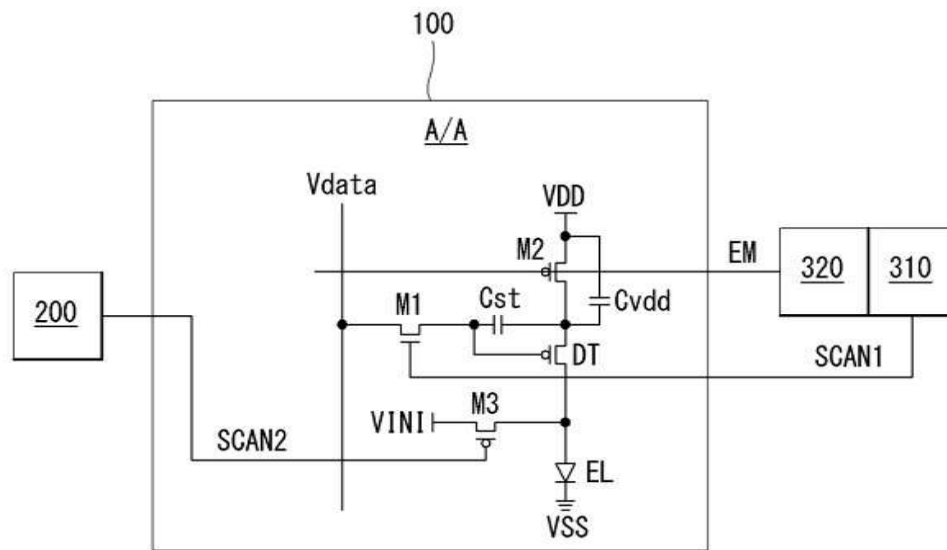
도면9



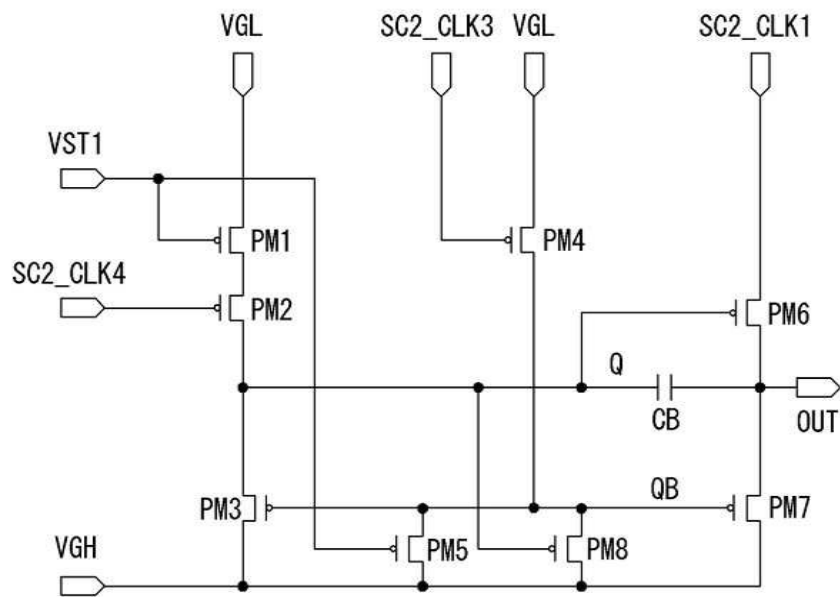
도면10



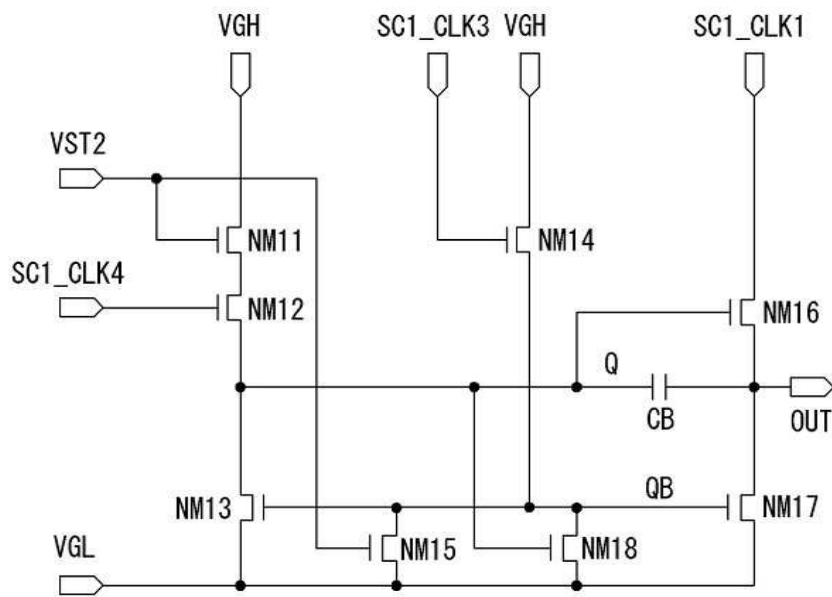
도면11



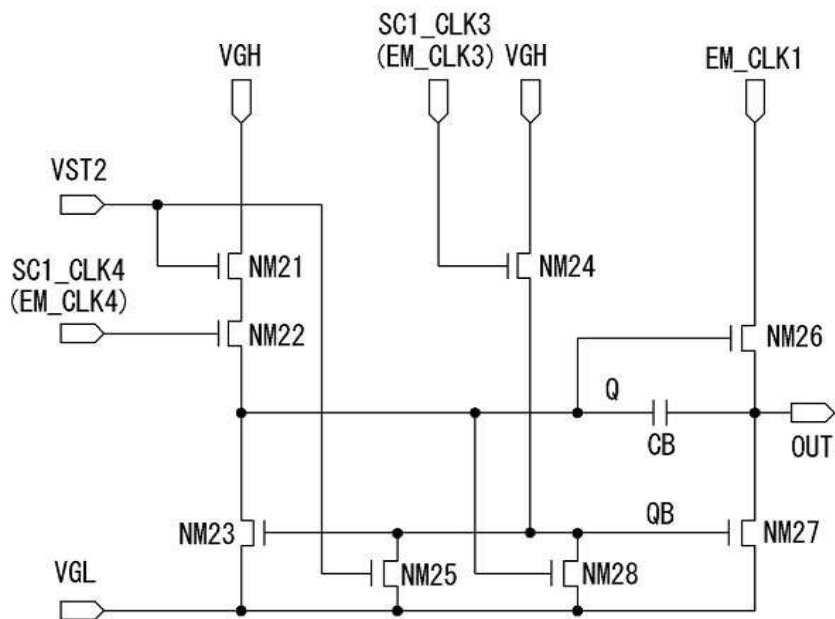
도면12



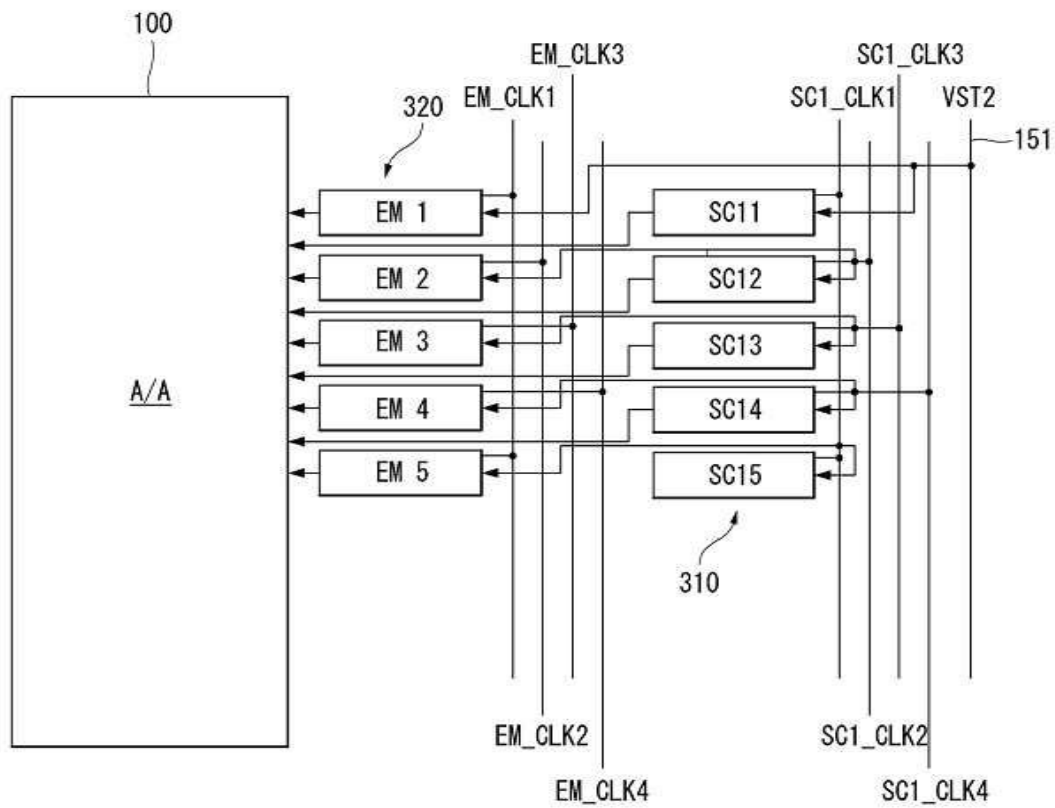
도면13



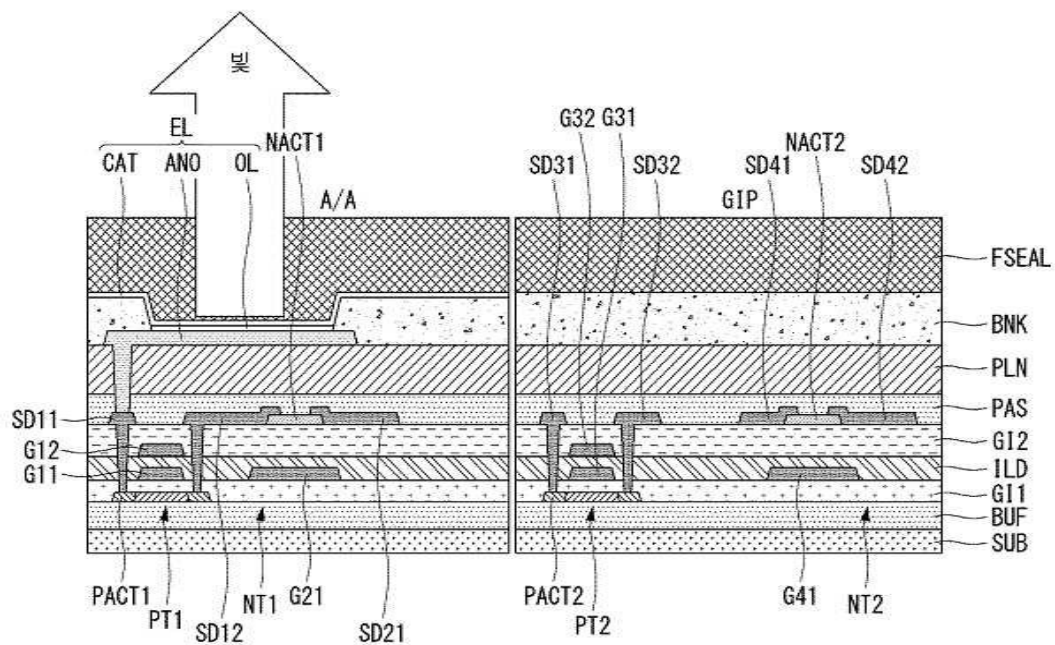
도면14



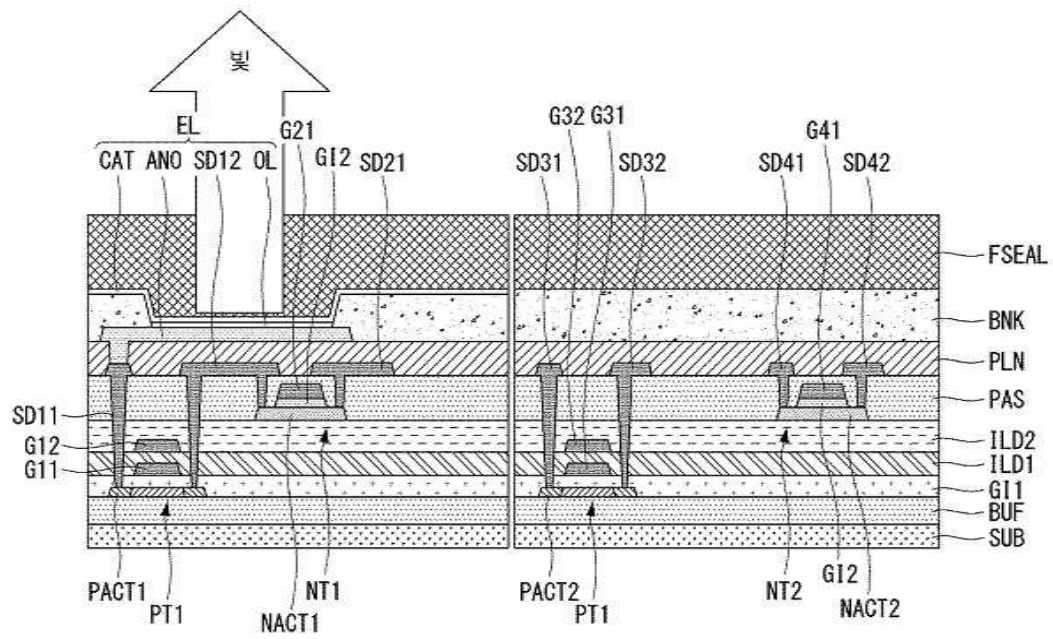
도면15



도면16



도면17



专利名称(译)	显示面板和电致发光显示器使用相同的显示器		
公开(公告)号	KR1020180061524A	公开(公告)日	2018-06-08
申请号	KR1020160160279	申请日	2016-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG JANG 이영장		
发明人	이영장		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2310/0262 G09G2310/0286 G09G3/3233 G09G3/3275 G09G2300/0819 G09G2300/0861 G09G2300/0866 G09G2310/08 G09G2320/0247 G09G2320/045 G09G2354/00		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域该显示面板的像素电路包括至少一个n型晶体管和两个或更多个P型晶体管。显示面板的栅极驱动单元包括第一栅极驱动电路，使用多个N型晶体管将第一栅极信号提供给像素电路的n型晶体管，第二栅极驱动电路将第二栅极信号提供给P型中的任何一种使用多个P型晶体管的像素电路的晶体管，以及在像素电路的p型晶体管中使用多个N型晶体管将第三栅极信号提供给不同的第三栅极信号的第三栅极驱动电路。

