(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0036850
(43) 공개일자 2018년04월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2016-0126627
(22) 출원일자 2016년09월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
송준근
경기도 부천시 심중로114번길 17 (중동)
최진호
경기도 파주시 새말2길 75 302호 (금촌동,금란빌라)
김성중
경기도 고양시 일산서구 성저로46번길 5 (대화동) 101호
(74) 대리인
특허법인(유한)유일하이스트

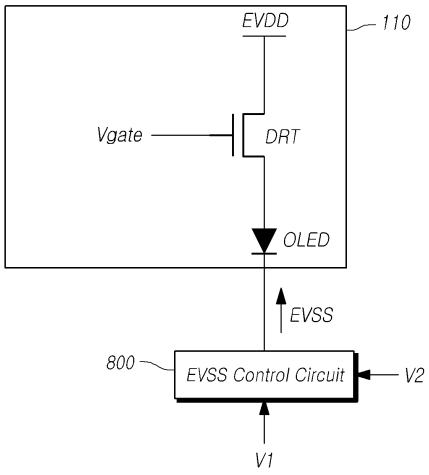
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **유기발광표시모듈, 유기발광표시장치 및 기저전압 제어 시스템**

(57) 요 약

본 실시예들은, 디스플레이 구동 모드 구간 동안 제1 전압에 해당하는 상기 기저 전압을 상기 제2 전극에 인가해주고, 센싱 구동 모드 구간 동안 제2 전압에 해당하는 상기 기저 전압을 상기 제2 전극에 인가해주기 위한 기저전압 제어회로를 포함하고, 기저전압 제어회로 내 제어 트랜지스터의 게이트 노드가 파워 집적회로의 리셋 노드에 전기적으로 연결되는 구조를 갖는 유기발광표시모듈, 유기발광표시장치 및 기저전압 제어 시스템에 관한 것이다. 이러한 본 실시예들에 의하면, 센싱 정확도를 높여주기 위하여 센싱 구동 구간에 기저전압을 제어할 수 있을 뿐만 아니라, 전원이 비정상적인 상황에서도 기저전압 제어회로 내부 트랜지스터가 번트 되는 현상을 방지해줄 수 있다.

대 표 도 - 도8



(52) CPC특허분류
G09G 2300/043 (2013.01)
G09G 2330/028 (2013.01)

명 세 서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인에 정의되는 다수의 서브픽셀이 배열된 유기발광표시패널; 및

상기 다수의 데이터 라인을 구동하는 데이터 드라이버; 및

상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터를 포함하고,

상기 유기발광다이오드는 제1 전극 및 제2 전극을 포함하고,

상기 제1 전극에는 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드가 전기적으로 연결되고, 상기 제2 전극에는 기저 전압이 인가되며,

디스플레이 구동 모드 구간 동안 제1 전압에 해당하는 상기 기저 전압을 상기 제2 전극에 인가해주고, 센싱 구동 모드 구간 동안 제2 전압에 해당하는 상기 기저 전압을 상기 제2 전극에 인가해주기 위한 기저전압 제어회로; 및

상기 제2 전압을 출력하는 파워 집적회로를 더 포함하고,

상기 기저전압 제어회로는,

상기 제2 전압을 상기 제1 전압보다는 높게 제어하여 출력하고,

게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 상기 제2 전극과 전기적으로 연결되고, 소스 노드가 상기 제1 전압이 인가되는 제1 전압 노드와 사이에 전기적으로 연결된 제어 트랜지스터를 포함하고,

상기 제어 트랜지스터의 드레인 노드는,

상기 제2 전압이 인가되는 제2 전압 노드가 전기적으로 연결되고,

상기 제어 트랜지스터의 게이트 노드는,

제3 전압이 인가되는 제3 전압 노드가 전기적으로 연결되고,

다이오드를 통해 상기 파워 집적회로의 리셋 노드와 전기적으로 연결되는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제어 신호가 하이 레벨 전압인 경우,

상기 제어 트랜지스터의 게이트 노드의 전압은 상기 리셋 노드의 리셋 신호와 동기화되는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 파워 집적회로에 입력된 입력 전원 또는 상기 제어 트랜지스터의 게이트 노드에 인가되는 상기 제3 전압이 비정상적으로 전압 레벨이 변경됨에 따라, 상기 제어 트랜지스터의 게이트 노드의 변화되는 전압 파형의 폴링 타임은,

상기 리셋 노드의 전압 파형의 변화에 따라 결정되는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 파워 집적회로에 입력된 입력 전원 또는 상기 제어 트랜지스터의 게이트 노드에 인가되는 상기 제3 전압이 비정상적으로 전압 레벨이 변경되는 경우,

상기 제어 트랜지스터를 도통하는 전류 파형은 상기 리셋 노드의 전압 파형에 따라 변경되는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 다이오드는,

상기 제어 트랜지스터의 게이트 노드에서 상기 리셋 노드의 방향으로만 전류가 흐르도록 하는 다이오드인 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 제어 신호가 로우 레벨 전압인 경우,

상기 제어 트랜지스터의 게이트 노드는 상기 리셋 노드와 무관한 전압 상태인 유기발광표시장치.

청구항 7

다수의 데이터 라인 및 다수의 게이트 라인에 정의되는 다수의 서브픽셀이 배열된 유기발광표시패널을 포함하는 유기발광표시모듈에 있어서,

상기 유기발광표시패널의 각 서브픽셀은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하기 위한 구동 트랜지스터를 포함하고,

상기 유기발광다이오드는 제1 전극 및 제2 전극을 포함하고,

상기 제1 전극에는 상기 구동 트랜지스터의 소스 노드 또는 드레인 노드가 전기적으로 연결되고, 상기 제2 전극에는 기저 전압이 인가되며,

디스플레이 구동 모드 구간 동안, 제1 전압에 해당하는 상기 기저 전압이 상기 제2 전극에 인가되고, 센싱 구동 모드 구간 동안 제2 전압에 해당하는 상기 기저 전압이 상기 제2 전극에 인가되도록 제어하는 기저전압 제어회로를 더 포함하고,

상기 기저전압 제어회로는,

상기 제2 전압을 상기 제1 전압보다는 높게 제어하여 출력하고,

게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 상기 제2 전극과 전기적으로 연결되고, 소스 노드가 상기 제1 전압이 인가되는 제1 전압 노드와 사이에 전기적으로 연결된 제어 트랜지스터를 포함하고,

상기 제어 트랜지스터의 드레인 노드는,

상기 제2 전압이 인가되는 제2 전압 노드가 전기적으로 연결되고,

상기 제어 트랜지스터의 게이트 노드는,

제3 전압이 인가되는 제3 전압 노드가 전기적으로 연결되고,

다이오드를 통해 상기 기저전압 제어회로의 외부에 위치한 리셋 노드와 전기적으로 연결되는 유기발광표시모듈.

청구항 8

유기발광표시패널에 공급되는 기저전압을 제어하는 기저전압 제어 시스템에 있어서,

제1 구동 모드 구간 동안 제1 전압에 해당하는 기저 전압이 상기 유기발광표시패널에 공급되고, 제2 구동 모드 구간 동안 상기 제1 전압보다 높은 제2 전압에 해당하는 상기 기저 전압이 상기 유기발광표시패널에 공급되도록

제어하는 기저전압 제어회로; 및

상기 제2 전압을 출력하는 파워 집적회로를 포함하고,

상기 기저전압 제어회로는,

게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 상기 제2 전극과 전기적으로 연결되고, 소스 노드가 상기 제1 전압이 인가되는 제1 전압 노드와 사이에 전기적으로 연결된 제어 트랜지스터를 포함하고,

상기 제어 트랜지스터의 드레인 노드는,

상기 제2 전압이 인가되는 제2 전압 노드가 전기적으로 연결되고,

상기 제어 트랜지스터의 게이트 노드는,

제3 전압이 인가되는 제3 전압 노드가 전기적으로 연결되고,

다이오드를 통해 상기 파워 집적회로의 리셋 노드와 전기적으로 연결되는 기저전압 제어 시스템.

청구항 9

제8항에 있어서,

상기 제어 신호가 하이 레벨 전압인 경우,

상기 제어 트랜지스터의 게이트 노드의 전압은 상기 리셋 노드의 리셋 신호와 동기화되는 기저전압 제어 시스템.

청구항 10

제8항에 있어서,

상기 다이오드는,

상기 제어 트랜지스터의 게이트 노드에서 상기 리셋 노드의 방향으로만 전류가 흐르도록 하는 다이오드인 기저전압 제어 시스템.

청구항 11

제10항에 있어서,

상기 제어 신호가 로우 레벨 전압인 경우,

상기 제어 트랜지스터의 게이트 노드는 상기 리셋 노드와 무관한 전압 상태인 기저전압 제어 시스템.

발명의 설명

기 술 분 야

[0001] 본 실시예들은 유기발광표시모듈, 유기발광표시장치 및 기저전압 제어 시스템에 관한 것이다.

배 경 기 술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드 및 구동 트랜지스터가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 유기발광표시패널에 배치된 구동 트랜지스터는 구동시간이 길어짐에 따라 특성치가 변화하게 되고, 그 변화 정도가 구동 트랜지스터마다 차이가 난다.

[0005] 따라서, 유기발광표시장치는, 구동 트랜지스터의 특성치를 센싱하고 보상해주는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0006] 본 실시예들의 목적은, 센싱 정확도를 높여주기 위하여 센싱 구동 구간에 기저전압을 제어하는 데 있다.

[0007] 본 실시예들의 다른 목적은, 전원이 비정상적인 상황에서도 기저전압 제어회로 내부 트랜지스터가 번트 되는 현상을 방지해주는 데 있다.

[0008] 본 실시예들의 또 다른 목적은, 전원이 비정상적인 상황에서, 기저전압 제어회로 내부 트랜지스터의 게이트 폴링 타임이 늘어지는 현상을 방지해주는 데 있다.

과제의 해결 수단

[0009] 일 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 정의되는 다수의 서브픽셀이 배열된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하는 유기발광표시장치를 제공할 수 있다.

[0010] 유기발광표시장치에서, 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터를 포함할 수 있다.

[0011] 유기발광다이오드는 제1 전극 및 제2 전극을 포함할 수 있다.

[0012] 제1 전극에는 구동 트랜지스터의 소스 노드 또는 드레인 노드가 전기적으로 연결되고, 제2 전극에는 기저 전압이 인가된다.

[0013] 유기발광표시장치는 디스플레이 구동 모드 구간 동안 제1 전압에 해당하는 기저 전압을 제2 전극에 인가해주고, 센싱 구동 모드 구간 동안 제2 전압에 해당하는 기저 전압을 제2 전극에 인가해주기 위한 기저전압 제어회로와, 제2 전압을 출력하는 파워 집적회로를 더 포함할 수 있다.

[0014] 기저전압 제어회로는, 제2 전압을 제1 전압보다는 높게 제어하여 출력할 수 있다.

[0015] 기저전압 제어회로는, 게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 제2 전극과 전기적으로 연결되고, 소스 노드가 제1 전압이 인가되는 제1 전압 노드와 사이에 전기적으로 연결된 제어 트랜지스터를 포함할 수 있다.

[0016] 제어 트랜지스터의 드레인 노드는 제2 전압이 인가되는 제2 전압 노드가 전기적으로 연결되고, 제어 트랜지스터의 게이트 노드는 제3 전압이 인가되는 제3 전압 노드가 전기적으로 연결될 수 있다.

[0017] 제어 트랜지스터의 게이트 노드는 다이오드를 통해 파워 집적회로의 리셋 노드와도 전기적으로 연결될 수 있다.

[0018] 다른 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 정의되는 다수의 서브픽셀이 배열된 유기발광표시패널을 포함하는 유기발광표시모듈을 제공할 수 있다.

[0019] 유기발광표시패널의 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동 트랜지스터를 포함할 수 있다.

[0020] 유기발광다이오드는 제1 전극 및 제2 전극을 포함할 수 있다.

[0021] 제1 전극에는 구동 트랜지스터의 소스 노드 또는 드레인 노드가 전기적으로 연결되고, 제2 전극에는 기저 전압이 인가될 수 있다.

[0022] 유기발광표시모듈은, 디스플레이 구동 모드 구간 동안, 제1 전압에 해당하는 기저 전압이 제2 전극에 인가되고, 센싱 구동 모드 구간 동안 제2 전압에 해당하는 기저 전압이 제2 전극에 인가되도록 제어하는 기저전압 제어회로를 더 포함할 수 있다.

[0023] 기저전압 제어회로는, 제2 전압을 제1 전압보다는 높게 제어하여 출력할 수 있다.

[0024] 기저전압 제어회로는, 게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 제2 전극과 전기적으로 연결되고, 소스 노드가 제1 전압이 인가되는 제1 전압 노드와 사이에 전기적으로 연결된 제어 트랜지스터를 포함할 수 있다.

[0025] 제어 트랜지스터의 드레인 노드는 제2 전압이 인가되는 제2 전압 노드가 전기적으로 연결될 수 있다.

[0026] 제어 트랜지스터의 게이트 노드는 제3 전압이 인가되는 제3 전압 노드가 전기적으로 연결될 수 있다.

[0027] 제어 트랜지스터의 게이트 노드는 다이오드를 통해 기저전압 제어회로의 외부에 위치한 리셋 노드와 전기적으로 연결될 수도 있다.

[0028] 다른 측면에서, 본 실시예들은, 유기발광표시패널에 공급되는 기저전압을 제어하는 기저전압 제어 시스템을 제공할 수 있다.

[0029] 기저전압 제어 시스템은, 제1 구동 모드 구간 동안 제1 전압에 해당하는 기저 전압이 유기발광표시패널에 공급되고, 제2 구동 모드 구간 동안 제1 전압보다 높은 제2 전압에 해당하는 기저 전압이 유기발광표시패널에 공급되도록 제어하는 기저전압 제어회로와, 제2 전압을 출력하는 파워 집적회로를 포함할 수 있다.

[0030] 기저전압 제어회로는, 게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 제2 전극과 전기적으로 연결되고, 소스 노드가 제1 전압이 인가되는 제1 전압 노드와 사이에 전기적으로 연결된 제어 트랜지스터를 포함할 수 있다.

[0031] 제어 트랜지스터의 드레인 노드는 제2 전압이 인가되는 제2 전압 노드가 전기적으로 연결될 수 있다.

[0032] 제어 트랜지스터의 게이트 노드는 제3 전압이 인가되는 제3 전압 노드가 전기적으로 연결될 수 있다.

[0033] 제어 트랜지스터의 게이트 노드는 다이오드를 통해 파워 집적회로의 리셋 노드와 전기적으로 연결될 수 있다.

발명의 효과

[0034] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 센싱 정확도를 높여주기 위하여 센싱 구동 구간에 기저전압을 제어할 수 있다.

[0035] 또한, 본 실시예들에 의하면, 전원이 비정상적인 상황에서도 기저전압 제어회로 내부 트랜지스터가 번트 되는 현상을 방지해줄 수 있다.

[0036] 또한, 본 실시예들에 의하면, 전원이 비정상적인 상황에서, 기저전압 제어회로 내부 트랜지스터의 게이트 폴링 타임이 늘어지는 현상을 방지해줄 수 있다.

도면의 간단한 설명

[0037] 도 1은 본 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.

도 2는 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.

도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 다른 예시도이다.

도 4는 본 실시예들에 따른 유기발광표시장치의 보상 회로의 예시도이다.

도 5는 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 문턱전압 센싱 구동 방식을 설명하기 위한 도면이다.

도 6은 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 이동도 센싱 구동 방식을 설명하기 위한 도면이다.

도 7은 본 실시예들에 따른 유기발광표시장치의 센싱 타이밍의 예시도이다.

도 8은 본 실시예들에 따른 유기발광표시장치의 기저전압 제어 기능을 설명하기 위한 도면이다.

도 9는 본 실시예들에 따른 유기발광표시장치의 기저전압 제어에 따른 구동구간 별로 기저전압을 나타낸 도면이다.

도 10은 본 실시예들에 따른 유기발광표시장치의 기저전압 제어회로의 예시도이다.

도 11은 본 실시예들에 따른 유기발광표시장치에서, 파워 집적회로와 기저전압 제어회로 간의 전압 전달을 나타낸 도면이다.

도 12는 본 실시예들에 따른 유기발광표시장치에서, Vin이 정상인 경우, 주요 신호 파형도이다.

도 13은 본 실시예들에 따른 유기발광표시장치에서, Vin이 비정상인 경우, 주요 신호 파형도이다.

도 14는 본 실시예들에 따른 유기발광표시장치에서, Vin이 비정상인 경우, 누설 전류 발생으로 인한 번트 현상을 나타낸 도면이다.

도 15는 본 실시예들에 따른 유기발광표시장치의 기저전압 제어회로의 다른 예시도이다.

도 16은 본 실시예들에 따른 유기발광표시장치에 도 15의 기저전압 제어회로를 적용한 경우, Vin이 비정상인 경우, 주요 신호 파형도이다.

도 17은 본 실시예들에 따른 유기발광표시장치의 기저전압 제어회로의 제어 트랜지스터의 게이트 노드가 리셋 노드에 동기화되는 상황을 나타낸 도면이다.

도 18은 본 실시예들에 따른 유기발광표시장치의 기저전압 제어회로의 제어 트랜지스터의 게이트 노드가 리셋 노드에 동기화되지 않는 상황을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0039] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0040] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

[0041] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP: Sub Pixel)이 배열된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.

[0042] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.

[0043] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.

[0044] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.

[0045] 이러한 컨트롤러(140)는, 데이터 드라이버(120)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(120)와 함께 집적회로로 구현될 수 있다.

[0046] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.

[0047] 이러한 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.

[0048] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.

[0049] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital

Converter)를 더 포함할 수 있다.

[0050] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.

[0051] 이러한 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.

[0052] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.

[0053] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.

[0054] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.

[0055] 데이터 드라이버(120)는, 도 1에서와 같이, 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.

[0056] 게이트 드라이버(130)는, 도 1에서와 같이, 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.

[0057] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.

[0058] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.

[0059] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.

[0060] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.

[0061] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.

[0062] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.

[0063] 유기발광표시패널(110)에 배열된 각 서브픽셀(SP)은 자발광 소자인 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.

[0064] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.

[0065] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.

[0066] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀(SP)은, 기본적으로, 유기발광다

이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT: Driving Transistor)와, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 제1 노드(N1)로 데이터 전압을 전달해주기 위한 제1 트랜지스터(T1)와, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지하는 스토리지 캐패시터(Cst: Storage Capacitor)를 포함하여 구성될 수 있다.

[0067] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.

[0068] 유기발광다이오드(OLED)의 제2전극에는 기저 전압(EVSS)이 인가될 수 있다.

[0069] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.

[0070] 구동 트랜지스터(DRT)는 제1 노드(N1), 제2 노드(N2) 및 제3노드(N3)를 갖는다.

[0071] 구동 트랜지스터(DRT)의 제1 노드(N1)는 게이트 노드에 해당하는 노드로서, 제1 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.

[0072] 구동 트랜지스터(DRT)의 제2 노드(N2)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다.

[0073] 구동 트랜지스터(DRT)의 제3노드(N3)는 구동 전압(EVDD)이 인가되는 노드로서, 구동 전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.

[0074] 구동 트랜지스터(DRT)와 제1 트랜지스터(T1)는, 도 2의 예시와 같이 n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.

[0075] 제1 트랜지스터(T1)는 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결되고, 게이트 라인을 통해 스캔 신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.

[0076] 이러한 제1 트랜지스터(T1)는 스캔 신호(SCAN)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제1 노드(N1)로 전달해줄 수 있다.

[0077] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다.

[0078] 이러한 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.

[0079] 한편, 본 실시예들에 따른 유기발광표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.

[0080] 이에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자가 갖는 고유한 특성치가 변할 수 있다. 여기서, 회로 소자의 고유 특성치는, 유기발광다이오드(OLED)의 문턱전압, 구동 트랜지스터(DRT)의 문턱전압, 구동 트랜지스터(DRT)의 이동도 등을 포함할 수 있다.

[0081] 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기할 수 있다. 따라서, 회로 소자의 특성치 변화는 서브픽셀의 휘도 변화와 동일한 개념으로 사용될 수 있다.

[0082] 또한, 회로 소자 간의 특성치 변화의 정도는 각 회로 소자의 열화 정도의 차이에 따라 서로 다를 수 있다.

[0083] 이러한 회로 소자 간의 특성치 변화 정도의 차이는, 회로 소자 간 특성치 편차가 발생시켜, 서브픽셀 간의 휘도 편차를 야기할 수 있다. 따라서, 회로 소자 간의 특성치 편차는 서브픽셀 간의 휘도 편차와 동일한 개념으로 사용될 수 있다.

[0084] 회로 소자의 특성치 변화(서브픽셀의 휘도 변화)와 회로 소자 간 특성치 편차(서브픽셀 간 휘도 편차)는, 서브픽셀의 휘도 표현력에 대한 정확도를 떨어뜨리거나 화면 이상 현상을 발생시키는 등의 문제를 발생시킬 수 있다.

[0085] 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀에 대한 특성치를 센싱하는 센싱 기능과, 센싱 결과를 이

용하여 서브픽셀 특성치를 보상해주는 보상 기능을 제공할 수 있다.

[0086] 본 명세서에서, 서브픽셀에 대한 특성치를 센싱한다는 것은, 서브픽셀 내 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED))의 특성치 또는 특성치 변화를 센싱한다는 것, 또는 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED)) 간의 특성치 편차를 센싱한다는 것을 의미할 수 있다.

[0087] 본 명세서에서, 서브픽셀에 대한 특성치를 보상한다는 것은, 서브픽셀 내 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED))의 특성치 또는 특성치 변화를 미리 정해진 수준으로 만들어주거나, 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED)) 간의 특성치 편차를 줄여주거나 제거하는 것을 의미할 수 있다.

[0088] 본 실시예들에 따른 유기발광표시장치(100)는, 센싱 기능 및 보상 기능을 제공하기 위하여, 이에 적절한 서브픽셀 구조와, 센싱 및 보상 구성을 포함하는 보상 회로를 포함할 수 있다.

[0089] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 다른 예시도이다.

[0090] 도 3에 도시된 서브픽셀 구조는, 센싱 기능 및 보상 기능을 제공하기 위해 적절한 서브픽셀 구조의 예시이다.

[0091] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀은, 일 예로, 유기발광다이오드(OLED), 구동 트랜지스터(DRT), 제1 트랜지스터(T1) 및 스토리지 캐패시터(Cst) 이외에, 제2 트랜지스터(T2)를 더 포함할 수 있다.

[0092] 도 3을 참조하면, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압(Vref: Reference Voltage)을 공급하는 기준 전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결되고, 게이트 노드로 스캔 신호의 일종인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.

[0093] 전술한 제2 트랜지스터(T2)를 더 포함함으로써, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상태를 효과적으로 제어해줄 수 있다.

[0094] 이러한 제2 트랜지스터(T2)는 센싱 신호(SENSE)에 의해 턴-온 되어 기준 전압 라인(RVL)을 통해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)에 인가해준다.

[0095] 또한, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)에 대한 전압 센싱 경로 중 하나로 활용될 수 있다.

[0096] 한편, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 서로 다른 게이트 라인을 통해, 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드로 각각 인가될 수도 있다.

[0097] 경우에 따라서는, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 라인을 통해 제1 트랜지스터(T1)의 게이트 노드 및 제2 트랜지스터(T2)의 게이트 노드에 공통으로 인가될 수도 있다.

[0098] 도 4는 본 실시예들에 따른 유기발광표시장치(100)의 보상 회로의 예시도이다.

[0099] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀에 대한 특성치를 파악하기 위하여 전압 센싱을 통해 센싱 데이터를 생성하여 출력하는 센싱부(410)와, 센싱 데이터를 저장하는 메모리(420)와, 센싱 데이터를 이용하여 서브픽셀에 대한 특성치를 파악하고, 이를 토대로, 서브픽셀에 대한 특성치를 보상해주는 보상 프로세스를 수행하는 보상부(430) 등을 포함할 수 있다.

[0100] 일 예로, 센싱부(410)는 적어도 하나의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 포함하여 구현될 수 있다.

[0101] 각 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)는 데이터 드라이버(120)에 포함된 각 소스 드라이버 집적회로(SDIC)의 내부에 포함될 수 있으며, 경우에 따라서는, 소스 드라이버 집적회로(SDIC)의 외부에 포함될 수도 있다.

[0102] 보상부(430)는 컨트롤러(140)의 내부에 포함될 수 있으며, 경우에 따라서는, 컨트롤러(140)의 외부에 포함될 수도 있다.

[0103] 센싱부(410)에서 출력되는 센싱 데이터는, 일 예로, LVDS (Low Voltage Differential Signaling) 데이터 포맷으로 되어 있을 수 있다.

[0104] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 기준 전압 라인(RVL)에 기준 전압(Vref)이 인가되는 여부를 제어해주는 초기화 스위치(SPRE)와, 기준 전압 라인(RVL)과 센싱부(410) 간의 연결 여부를 제어해주는 샘플링 스위치(SAM)를 포함할 수 있다.

[0105] 초기화 스위치(SPRE)는, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)가 원하는 회로 소자의 특성치를 반영하는 전압 상태가 되도록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 인가 상태를 제어하기 위한 스위치이다.

[0106] 초기화 스위치(SPRE)가 턴-온 되면, 기준 전압(Vref)이 기준전압 라인(RVL)으로 공급되어 턴-온 되어 있는 제2 트랜지스터(T2)를 통해 구동 트랜지스터(DRT)의 제2 노드(N2)로 인가될 수 있다.

[0107] 샘플링 스위치(SAM)는, 턴-온 되어, 기준 전압 라인(RVL)과 센싱부(410)를 전기적으로 연결해준다.

[0108] 샘플링 스위치(SAM)는, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)가 원하는 회로 소자의 특성치를 반영하는 전압 상태가 되었을 때, 턴-온 되도록, 온-오프 타이밍이 제어된다.

[0109] 샘플링 스위치(SAM)가 턴-온 되면, 센싱부(410)는 연결된 기준 전압 라인(RVL)의 전압을 센싱할 수 있다.

[0110] 센싱부(410)가 기준 전압 라인(RVL)의 전압을 센싱할 때, 제2 트랜지스터(T2)가 턴-온 되어 있는 경우, 구동 트랜지스터(DRT)의 저항 성분을 무시할 수 있다면, 센싱부(410)에 의해 센싱되는 전압은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압에 해당할 수 있다.

[0111] 센싱부(410)에 의해 센싱되는 전압은, 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압일 수 있다.

[0112] 기준 전압 라인(RVL) 상에 라인 캐패시터가 존재한다면, 센싱부(410)에 의해 센싱되는 전압은, 기준 전압 라인(RVL) 상의 라인 캐패시터에 충전된 전압일 수도 있다.

[0113] 여기서, 기준 전압 라인(RVL)은 센싱 라인이라고도 한다.

[0114] 일 예로, 센싱부(410)에 의해 센싱되는 전압은, 구동 트랜지스터(DRT)의 문턱전압(Vth) 또는 문턱전압 편차(ΔVth)을 포함하는 전압 값(Vdata-Vth 또는 Vdata-ΔVth, 여기서, Vdata는 센싱 구동용 데이터 전압임)이거나, 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 전압 값일 수도 있다.

[0115] 한편, 기준전압 라인(RVL)은, 일 예로, 서브픽셀 열마다 1개씩 배치될 수도 있고, 둘 이상의 서브픽셀 열마다 1개씩 배치될 수도 있다.

[0116] 예를 들어, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성된 경우, 기준전압 라인(RVL)은 4개의 서브픽셀 열(적색 서브픽셀 열, 흰색 서브픽셀 열, 녹색 서브픽셀 열, 청색 서브픽셀 열)을 포함하는 1개의 픽셀 열마다 1개씩 배치될 수도 있다.

[0117] 아래에서는, 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동 및 이동도 센싱 구동에 대하여 간략하게 설명한다.

[0118] 도 5는 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동 방식을 설명하기 위한 도면이다.

[0119] 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동은 초기화 단계, 트래킹 단계 및 샘플링 단계를 포함하는 센싱 프로세스로 진행될 수 있다.

[0120] 초기화 단계는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)를 초기화 시키는 단계이다.

[0121] 이러한 초기화 단계에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온 되고, 초기화 스위치(SPRE)가 턴-온 된다.

[0122] 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 각각은, 문턱전압 센싱 구동용 데이터 전압(Vdata)과 기준 전압(Vref)으로 초기화된다(V1=Vdata, V2=Vref).

[0123] 트래킹 단계는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 문턱전압 또는 그 변화를 반영하는 전압 상태가 될 때까지 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 변화시키는 단계이다.

[0124] 즉, 트래킹 단계는, 문턱전압 또는 그 변화를 반영할 수 있는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을

트래킹하는 단계이다.

[0125] 이러한 트래킹 단계에서는, 초기화 스위치(SPRE)가 턴-오프 또는 제2 트랜지스터(T2)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)가 플로팅(Floating) 된다.

[0126] 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 상승한다.

[0127] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)은 상승이 이루어지다가 상승 폭이 서서히 줄어들어 포화하게 된다.

[0128] 구동 트랜지스터(DRT)의 제2 노드(N2)의 포화된 전압은 데이터 전압(Vdata)과 문턱전압(Vth)의 차이 또는 데이터 전압(Vdata)과 문턱전압 편차(ΔVth)의 차이에 해당할 수 있다.

[0129] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 포화되면, 샘플링 단계가 진행될 수 있다.

[0130] 샘플링 단계는, 구동 트랜지스터(DRT)의 문턱전압 또는 그 변화를 반영하는 전압을 측정하는 단계로서, 센싱부(410)가 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 센싱하는 단계이다.

[0131] 이러한 샘플링 단계에서, 샘플링 스위치(SAM)가 턴-온 되어, 센싱부(410)는 기준 전압 라인(RVL)과 연결되어, 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 센싱한다.

[0132] 센싱부(410)에 의해 센싱된 전압(Vsen)은 데이터 전압(Vdata)에서 문턱전압(Vth)을 뺀 전압(Vdata-Vth) 또는 데이터 전압(Vdata)에서 문턱전압 편차(ΔVth)을 뺀 전압(Vdata-ΔVth)일 수 있다. 여기서, Vth는 포지티브 문턱전압 또는 네거티브 문턱전압일 수 있다.

[0133] 도 6은 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터(DRT)에 대한 이동도 센싱 구동 방식을 설명하기 위한 도면이다.

[0134] 구동 트랜지스터(DRT)에 대한 이동도 센싱 구동은 초기화 단계, 트래킹 단계 및 샘플링 단계를 포함하는 센싱 프로세스로 진행될 수 있다.

[0135] 초기화 단계는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)를 초기화 시키는 단계이다.

[0136] 이러한 초기화 단계에서는, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온 되고, 초기화 스위치(SPRE)가 턴-온 된다.

[0137] 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 각각은 이동도 센싱 구동용 데이터 전압(Vdata)과 기준 전압(Vref)으로 초기화된다(V1=Vdata, V2=Vref).

[0138] 트래킹 단계는, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 이동도 또는 그 변화를 반영하는 전압 상태가 될 때까지 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 변화시키는 단계이다.

[0139] 즉, 트래킹 단계는, 이동도 또는 그 변화를 반영할 수 있는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 트래킹하는 단계이다.

[0140] 이러한 트래킹 단계에서는, 초기화 스위치(SPRE)가 턴-오프 되어 또는 제2 트랜지스터(T2)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제2 노드(N2)가 플로팅 된다. 이때, 제1 트랜지스터(T1)가 턴-오프 되어, 구동 트랜지스터(DRT)의 제1 노드(N1)도 함께 플로팅 될 수 있다.

[0141] 이에 따라, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 상승하기 시작한다.

[0142] 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)의 상승 속도는 구동 트랜지스터(DRT)의 전류 능력(즉, 이동도)에 따라 달라진다.

[0143] 전류 능력(이동도)이 큰 구동 트랜지스터(DRT)일 수록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 더욱 가파르게 상승한다.

[0144] 트래킹 단계가 일정 시간(Δt) 동안 진행된 이후, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)이 미리 정해진 일정 시간(Δt) 동안 상승한 이후, 샘플링 단계가 진행될 수 있다.

[0145] 트래킹 단계 동안, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)의 상승 속도는, 일정 시간(Δt) 동안의 전압 변화량(ΔV)에 해당한다.

[0146] 샘플링 단계에서는, 샘플링 스위치(SAM)가 턴-온 되어, 센싱부(410)와 기준 전압 라인(RVL)이 전기적으로 연결

된다.

[0147] 이에 따라, 센싱부(410)는 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압(V2)을 센싱한다.

[0148] 센싱부(410)에 의해 센싱된 전압(Vsen)은, 초기화 전압(Vref)에서 일정 시간(Δt) 동안 전압 변화량(ΔV)만큼 상승된 전압으로서, 이동도에 대응되는 전압이다.

[0149] 도 5 및 도 6을 참조하여 전술한 바와 같은 문턱전압 또는 이동도 센싱 구동에 따라 센싱부(410)는 문턱전압 센싱 또는 이동도 센싱을 위해 센싱된 전압(Vsen)을 디지털 값으로 변환하고, 변환된 디지털 값(센싱 값)을 포함하는 센싱 데이터를 생성하여 출력한다.

[0150] 센싱부(410)에서 출력된 센싱 데이터는 메모리(420)에 저장되거나 보상부(430)로 제공될 수 있다.

[0151] 보상부(430)는 메모리(420)에 저장되거나 센싱부(410)에서 제공된 센싱 데이터를 토대로 해당 서브픽셀 내 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도) 또는 구동 트랜지스터(DRT)의 특성치 변화(예: 문턱전압 변화, 이동도 변화)를 파악하고, 특성치 보상 프로세스를 수행할 수 있다.

[0152] 여기서, 구동 트랜지스터(DRT)의 특성치 변화는 이전 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미하거나, 기준 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미할 수도 있다.

[0153] 여기서, 구동 트랜지스터(DRT) 간의 특성치 또는 특성치 변화를 비교해보면, 구동 트랜지스터(DRT) 간의 특성치 편차를 파악할 수 있다. 구동 트랜지스터(DRT)의 특성치 변화가 기준 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미하는 경우, 구동 트랜지스터(DRT)의 특성치 변화로부터 구동 트랜지스터(DRT) 간의 특성치 편차(즉, 서브픽셀 휘도 편차)를 파악할 수도 있다.

[0154] 특성치 보상 프로세스는, 구동 트랜지스터(DRT)의 문턱전압을 보상하는 문턱전압 보상 처리와, 구동 트랜지스터(DRT)의 이동도를 보상하는 이동도 보상 처리를 포함할 수 있다.

[0155] 문턱전압 보상 처리는 문턱전압 또는 문턱전압 편차(문턱전압 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리(420)에 저장하거나, 연산된 보상값으로 해당 영상 데이터(Data)를 변경하는 처리를 포함할 수 있다.

[0156] 이동도 보상 처리는 이동도 또는 이동도 편차(이동도 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리(420)에 저장하거나, 연산된 보상값으로 해당 영상 데이터(Data)를 변경하는 처리를 포함할 수 있다.

[0157] 보상부(430)는 문턱전압 보상 처리 또는 이동도 보상 처리를 통해 영상 데이터(Data)를 변경하여 변경된 데이터를 데이터 드라이버(120) 내 해당 소스 드라이버 집적회로(SDIC)로 공급해줄 수 있다.

[0158] 이에 따라, 해당 소스 드라이버 집적회로(SDIC)는, 보상부(430)에서 변경된 데이터를 디지털 아날로그 컨버터(DAC: Digital to Analog Converter)를 통해 데이터 전압으로 변환하여 해당 서브픽셀로 공급해줌으로써, 서브픽셀 특성치 보상(문턱전압 보상, 이동도 보상)이 실제로 이루어지게 된다.

[0159] 이러한 서브픽셀 특성치 보상이 이루어짐에 따라, 서브픽셀 간의 휘도 편차를 줄여주거나 방지해줌으로써, 화상 품질을 향상시켜줄 수 있다.

[0160] 도 7은 본 실시예들에 따른 유기발광표시장치(100)의 센싱 타이밍의 예시도이다.

[0161] 도 7을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는,

[0162] 파워 온 신호가 발생하면, 유기발광표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수 있다. 이러한 센싱 프로세스를 "온-센싱 프로세스(On-Sensing Process)"라고 한다.

[0163] 또한, 파워 오프 신호가 발생하면, 전원 차단 등의 오프 시퀀스(Off-Sequence)가 진행되기 이전에, 유기발광표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수도 있다. 이러한 센싱 프로세스를 "오프-센싱 프로세스(Off-Sensing Process)"라고 한다.

[0164] 또한, 파워 온 신호가 발생한 이후, 디스플레이 구동 중에서 블랭크 시간 마다 유기발광표시패널(110)에 배치된 각 서브픽셀 내 구동 트랜지스터(DRT)의 특성치를 센싱할 수도 있다. 이러한 센싱 프로세스를 "실시간 센싱 프로세스(Real-time Sensing Process)"라고 한다.

[0165] 이러한 실시간 센싱 프로세스(Real-time Sensing Process)은, 수직 동기 신호(Vsync)를 기준으로 액티브 시간

(Active Time) 사이의 블랭크 시간(Blank Time) 마다 진행될 수 있다.

[0166] 구동 트랜지스터(DRT)의 문턱전압 센싱(Vth Sensing)은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 포화 시간이 필요하기 때문에, 구동 트랜지스터(DRT)의 이동도 센싱(Mobility Sensing)에 비해, 상대적으로 오랜 시간이 걸린다.

[0167] 이러한 점을 고려하여, 구동 트랜지스터(DRT)의 문턱전압 센싱은 사용자 입력 등에 따라 파워 오프 신호가 발생한 이후, 디스플레이 구동이 되지 않는 동안, 진행될 수 있다.

[0168] 즉, 구동 트랜지스터(DRT)의 문턱전압 센싱은 오프-센싱 프로세스(Off-Sensing Process)로 진행될 수 있다.

[0169] 구동 트랜지스터(DRT)의 이동도 센싱은 파워 오프 신호가 발생한 이후에도 수행될 수 있지만, 짧은 시간이 걸리는 점을 고려하여, 디스플레이 구동이 시작하기 이전 또는 디스플레이 구동 중에도 실시간으로 진행될 수 있다.

[0170] 즉, 구동 트랜지스터(DRT)의 이동도 센싱은 파워 온 신호가 발생하여 디스플레이 구동이 시작하기 이전에 온-센싱 프로세스(On-Sensing Proces)로 진행될 수도 있고, 디스플레이 구동 중에 블랭크 시간 마다 실시간-센싱 프로세스(Real-Time Sensing Process)로 진행될 수 있다.

[0171] 도 8은 본 실시예들에 따른 유기발광표시장치(100)의 기저전압 제어 기능을 설명하기 위한 도면이고, 도 9는 본 실시예들에 따른 유기발광표시장치의 기저전압 제어에 따른 구동구간 별로 기저전압을 나타낸 도면이다.

[0172] 도 8을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 유기발광표시패널(110)에 공급되는 기저전압(EVSS)을 제어하는 기저전압 제어기능을 제공할 수 있다.

[0173] 이러한 기저전압 제어기능은 기저전압 제어회로(800)에 의해 실행된다.

[0174] 기저전압 제어기능은 구동 트랜지스터(DRT)의 특성치를 센싱할 때 유기발광다이오드(OLED)를 정확하게 턴-오프시키기 위하여, 센싱 구동 구간 동안, 유기발광다이오드(OLED)의 제2 전극에 인가되는 기저전압(EVSS)을 높여주는 기능이다.

[0175] 따라서, 기저전압 제어회로(800)는, 영상 표시를 위한 디스플레이 구동 구간(제1 구동 모드 구간) 동안, 제1 전압(V1)의 기저전압(EVSS)이 유기발광표시패널(110)로 공급되도록 제어하고, 구동 트랜지스터(DRT)의 특성치를 센싱하는 센싱 구동 구간(제2 구동 모드 구간) 동안, 제1 전압(V1) 보다 높은 제2 전압(V2)의 기저전압(EVSS)이 유기발광표시패널(110)로 공급되도록 제어한다.

[0176] 도 10은 본 실시예들에 따른 유기발광표시장치(100)의 기저전압 제어회로(800)의 예시도이다.

[0177] 도 10을 참조하면, 기저전압 제어회로(800)는 양 단(소스, 드레인)에 제1 전압(V1)과 제2 전압(V2)을 인가받는 제어 트랜지스터(CT)를 포함한다. 여기서, 제어 트랜지스터(CT)는 NMOS 트랜지스터일 수 있다.

[0178] 제어 트랜지스터(CT)의 게이트 노드에는 제어 신호(CS)가 인가되고, 제3 전압(V3, 예: VCC)이 인가되는 제3 전압 노드(NV3)가 전기적으로 연결될 수 있다.

[0179] 제어 트랜지스터(CT)의 게이트 노드에는 또 다른 제어 신호(ECS)가 더 인가될 수 도 있다.

[0180] 제어 트랜지스터(CT)의 드레인 노드는 유기발광다이오드(OLED)의 제2 전극과 전기적으로 연결되고, 제2 전압이 인가되는 제2 전압 노드(NV2)가 전기적으로 연결될 수 있다.

[0181] 제어 트랜지스터(CT)의 소스 노드가 제1 전압(OV)이 인가되는 제1 전압 노드(NV1)와 사이에 전기적으로 연결될 수 있다.

[0182] 도 11은 본 실시예들에 따른 유기발광표시장치(100)에서, 파워 집적회로(PMIC)와 기저전압 제어회로(800) 간의 전압 전달을 나타낸 도면이다.

[0183] 도 11을 참조하면, 파워 집적회로(PMIC)는 Vin 전원을 입력받아 각종 신호(CS, V2, V3, RST)를 출력한다.

[0184] 파워 집적회로(PMIC)는 기저전압 제어에 필요한 제2 전압(V2), 제3 전압(V3) 및 제어신호(CS)를 기저전압 제어회로(800)로 출력한다.

[0185] 파워 집적회로(PMIC)는 컨트롤러(140)로 리셋 신호(RST)를 출력할 수 있다.

[0186] 도 12는 본 실시예들에 따른 유기발광표시장치에서, Vin이 정상인 경우, 주요 신호 파형도이고, 도 13은 본 실시예들에 따른 유기발광표시장치에서, Vin이 비정상인 경우, 주요 신호 파형도이고, 도 14는 본 실시예들에 따

른 유기발광표시장치에서, Vin이 비정상인 경우, 누설 전류 발생으로 인한 번트 현상을 나타낸 도면이다.

[0187] 파워 집적회로(PNIC)가 입력 받는 Vin 전원이 정상인 경우, 제어 트랜지스터(CT)의 Vgs, 파워 집적회로(PNIC)의 리셋 신호(RST), 제어 트랜지스터(CT)를 도통하는 전류인 EVDD 전류는, 도 12에 도시된 바와 같다.

[0188] 도 13을 참조하면, 파워 집적회로(PNIC)가 입력 받는 Vin 전원이 비정상인 경우, 즉, Vin 전원이 비정상적으로 on/off가 반복되는 상황이 발생하는 경우, 제어 트랜지스터(CT)의 게이트 폴링 타임이 길어질 수 있다.

[0189] 이로 인해, 제어 트랜지스터(CT)는 정확한 시점에 턴-오프 되지 못하고, 턴-오프 되어야 하지만 턴-오프 되지 못한 구간에 EVDD 전류가 제어 트랜지스터(CT)로 유입되는 상황이 발생한다.

[0190] 이로 인해, 도 14에 도시된 바와 같이, 제어 트랜지스터(CT) 및 파워 집적회로(PMIC)가 타버리는 번트 현상이 발생할 수도 있다.

[0191] 아래에서는, Vin 전원이 비정상인 경우에 발생하는 문제점을 해결하기 위한 기저전압 제어회로(800)를 제시한다.

[0192] 도 15는 본 실시예들에 따른 유기발광표시장치(100)의 기저전압 제어회로(800)의 다른 예시도이다.

[0193] 도 15를 참조하면, 유기발광표시패널(110)에 배열된 각 서브픽셀(SP)은 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(DRT) 등을 포함할 수 있다.

[0194] 유기발광다이오드(OLED)는 제1 전극, 유기 발광층 및 제2 전극을 포함할 수 있으며,

[0195] 제1 전극에는 구동 트랜지스터(DRT)의 소스 노드 또는 드레인 노드가 전기적으로 연결되고, 제2 전극에는 기전전압(EVSS)이 인가될 수 있다.

[0196] 유기발광표시장치(100)의 기저전압 제어 시스템은, 디스플레이 구동 모드 구간 동안 제1 전압(V1)에 해당하는 기전전압(EVSS)을 제2 전극에 인가해주고, 센싱 구동 모드 구간 동안 제2 전압(V2)에 해당하는 기전전압(EVSS)을 제2 전극에 인가해주기 위한 기저전압 제어회로(800)와, 기저전압 제어회로(800)로 제2 전압(V2)을 출력하는 파워 집적회로(PMIC)를 포함할 수 있다.

[0197] 기저전압 제어회로(800)는, 제2 전압(V2)을 제1 전압(V1)보다는 높게 제어하여 출력할 수 있다.

[0198] 기저전압 제어회로(800)는, 게이트 노드에 인가되는 제어 신호에 의해 제어되며, 드레인 노드가 제2 전극과 전기적으로 연결되고, 소스 노드가 제1 전압(V1)이 인가되는 제1 전압 노드(NV1)와 사이에 전기적으로 연결된 제어 트랜지스터(CT)를 포함할 수 있다.

[0199] 제어 트랜지스터(CT)의 드레인 노드는, 제2 전압(V2)이 인가되는 제2 전압 노드(NV2)가 전기적으로 연결된다.

[0200] 제어 트랜지스터(CT)의 게이트 노드는, 제3 전압(V3)이 인가되는 제3 전압 노드(NV3)가 전기적으로 연결된다.

[0201] 제어 트랜지스터(CT)의 게이트 노드는, 다이오드(D) 및 저항(R)을 통해 기저전압 제어회로(800)의 외부에 위치한 파워 집적회로(PMIC)의 리셋 노드(NR)와 전기적으로 연결된다.

[0202] 전술한 바에 따르면, 제어 트랜지스터(CT)의 게이트 노드의 전압이 리셋 노드(NR)의 리셋 신호(RST)와 동기화됨으로써, Vin이 비정상적인 상황에서 제어 트랜지스터(CT)의 게이트 노드의 전압의 폴링 타임이 길어지는 현상을 방지해줄 수 있다. 이로 인해, 제어 트랜지스터(CT) 및 파워 집적회로(PMIC)의 번트 현상을 방지해줄 수 있다.

[0203] 도 16은 본 실시예들에 따른 유기발광표시장치(100)에 도 15의 기저전압 제어회로(800)를 적용한 경우, Vin이 비정상인 경우, 주요 신호 파형도이다.

[0204] 도 16을 참조하면, 제어 트랜지스터(CT)의 게이트 노드의 전압이 리셋 노드(NR)의 리셋 신호(RST)와 동기화됨으로써, Vin이 비정상적인 상황에서, 제어 트랜지스터(CT)의 게이트 노드의 전압의 폴링 타임이 길어지지 않는다(A 부분).

[0205] 파워 집적회로(PMIC)에 입력된 입력 전원(Vin) 또는 제어 트랜지스터(CT)의 게이트 노드에 인가되는 제3 전압(V3)이 비정상적으로 전압 레벨이 변경됨에 따라, 제어 트랜지스터(CT)의 게이트 노드의 변화되는 전압 파형의 폴링 타임은, 리셋 노드(NR)의 전압 파형의 변화에 따라 결정될 수 있다(도 13과 비교).

[0206] 도 16을 참조하면, 파워 집적회로(PMIC)에 입력된 입력 전원 또는 제어 트랜지스터(CT)의 게이트 노드에 인가되는 제3 전압(V3)이 비정상적으로 전압 레벨이 변경되는 경우, 제어 트랜지스터(CT)를 도통하는 전류(EVDD 전류)

파형은 리셋 노드(NR)의 전압 파형에 따라 변경될 수 있다(도 13과 비교).

[0207] 이와 같이, 제어 트랜지스터(CT)를 도통하는 전류가 필요한 시점에 오프 시킴으로써 누설 전류에 의한 번트 불량을 방지할 수 있다.

[0208] 도 17은 본 실시예들에 따른 유기발광표시장치(100)의 기저전압 제어회로(800)의 제어 트랜지스터(CT)의 게이트 노드가 리셋 노드(NR)에 동기화되는 상황을 나타낸 도면이다.

[0209] 도 17을 참조하면, 제어 신호(CS)가 하이 레벨 전압이고, 리셋 신호(RST)가 로우 레벨 전압인 경우, 제어 트랜지스터(CT)의 게이트 노드의 전압은 리셋 노드(NR)의 리셋 신호(RST)와 동기화될 수 있다.

[0210] 전술한 바에 따르면, 제어 신호(CS)가 하이 레벨 전압인 상황에서, 비정상적인 Vin에 의해, 제어 트랜지스터(CT)의 게이트 전압이 불안정해져서 제어 트랜지스터(CT)의 게이트 전압을 로우 레벨 전압으로 낮게 해주어야 하는 경우, 리셋 신호(RST)와의 동기화에 의해, 제어 트랜지스터(CT)의 게이트 전압이 리셋 신호(RST)에 따라 긴 폴링 타임 없이 신속하게 낮아질 수 있다.

[0211] 전술한 바와 같이, 제어 트랜지스터(CT)의 게이트 노드는, 다이오드(D)를 통해, 파워 집적회로(PMIC)의 리셋 노드(NR)와 전기적으로 연결된다.

[0212] 여기서, 다이오드(D)는, 제어 트랜지스터(CT)의 게이트 노드에서 리셋 노드(NR)의 방향으로만 전류가 흐르도록 하는 다이오드이다.

[0213] 이러한 다이오드(D)에 의해 기저전압 제어회로(800)의 오동작을 방지해줄 수 있다.

[0214] 예를 들어, 제2 전압(V2)의 기저전압(EVSS)을 공급해야 하는 상황과 같이, 제어 트랜지스터(CT)의 게이트 전압(Vg)이 로우 레벨 전압으로 되어야 할 때, 다이오드(D)에 의해, 하이 레벨 전압의 리셋 신호(RST)가 제어 트랜지스터(CT)의 게이트 노드에 동기화되는 것을 방지해줄 수 있다. 이러한 상황을 도 18에 도시하였다.

[0215] 도 18은 본 실시예들에 따른 유기발광표시장치(100)의 기저전압 제어회로(800)의 제어 트랜지스터(CT)의 게이트 노드가 리셋 노드(NR)에 동기화되지 않는 상황을 나타낸 도면이다.

[0216] 도 18을 참조하면, 제어 신호(CS)가 로우 레벨 전압인 경우, 다이오드(D)에 의해, 제어 트랜지스터(CT)의 게이트 노드는 리셋 노드(NR)와 무관한 전압 상태이다.

[0217] 이에 따라, 기저전압 제어회로(800)의 오 동작이 방지될 수 있다.

[0218] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 센싱 정확도를 높여주기 위하여 센싱 구동 구간에 기저전압을 제어할 수 있다.

[0219] 또한, 본 실시예들에 의하면, 전원이 비정상적인 상황에서도 기저전압 제어회로 내부 트랜지스터(CT)가 번트 되는 현상을 방지해줄 수 있다.

[0220] 또한, 본 실시예들에 의하면, 전원이 비정상적인 상황에서, 기저전압 제어회로 내부 트랜지스터(CT)의 게이트 폴링 타임이 늘어지는 현상을 방지해줄 수 있다.

[0221] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0222] 100: 유기발광표시장치

110: 유기발광표시패널

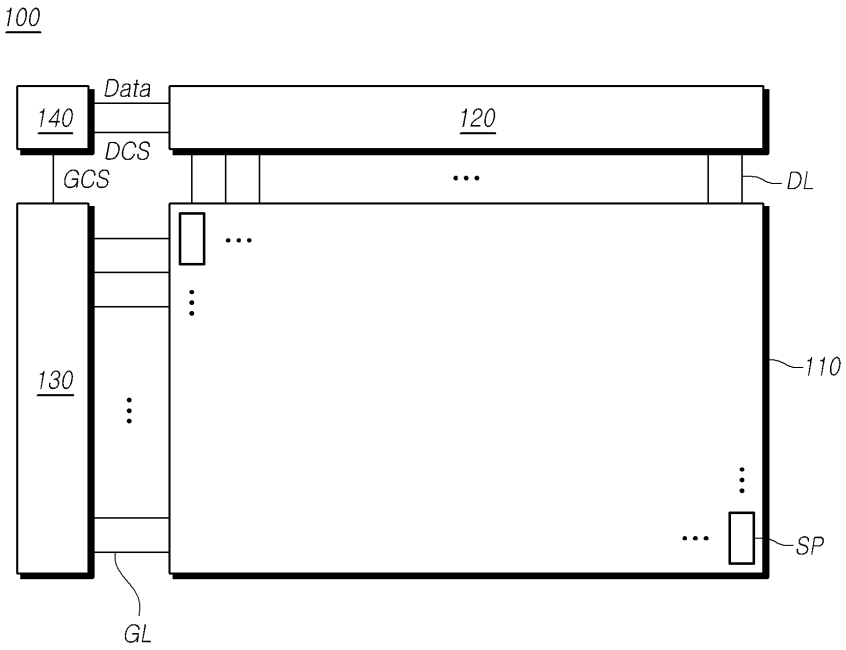
120: 데이터 드라이버

130: 게이트 드라이버

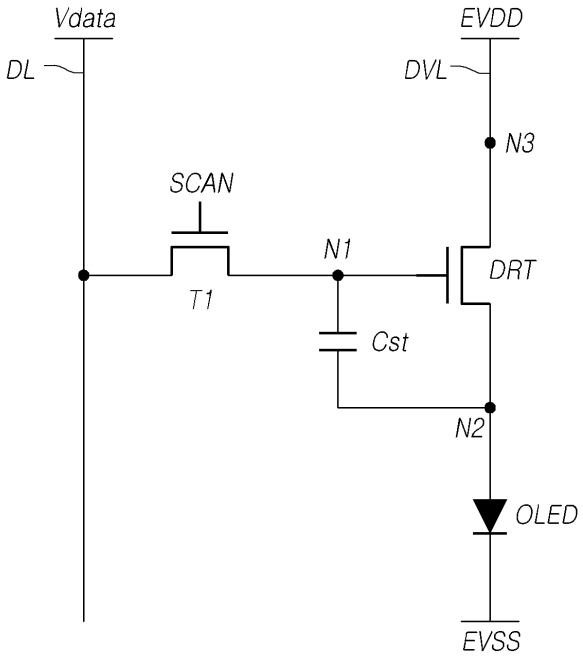
140: 컨트롤러

도면

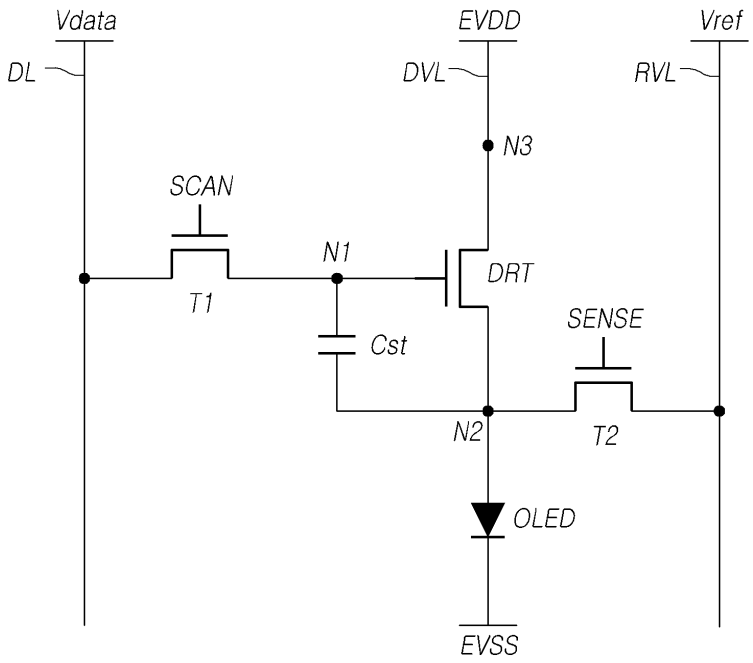
도면1



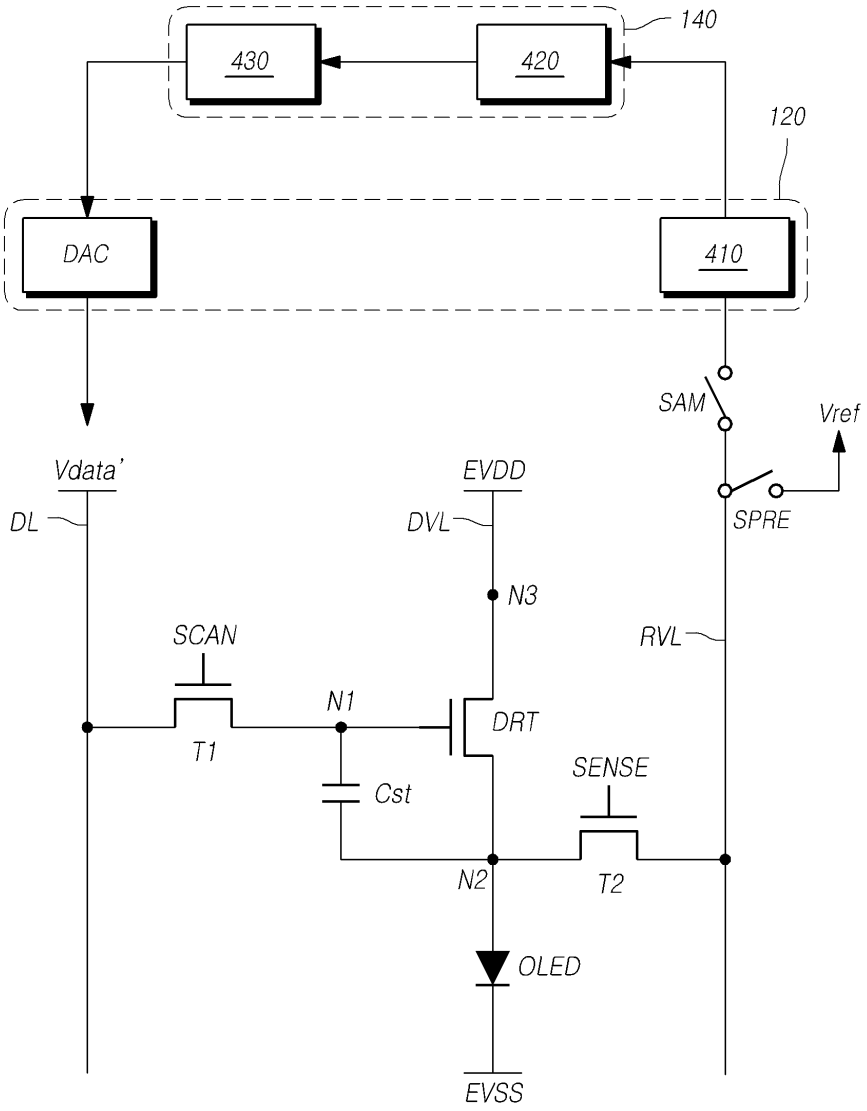
도면2



도면3

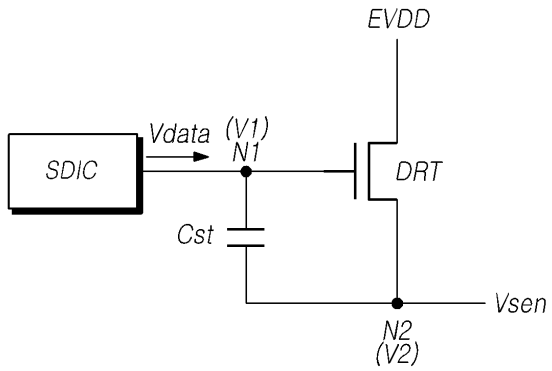

Vdata
EVDD
Vref
DL
DVL
RVL
N3
SCAN
N1
DRT
T1
SENSE
Cst
N2
T2
OLED
EVSS

도면4

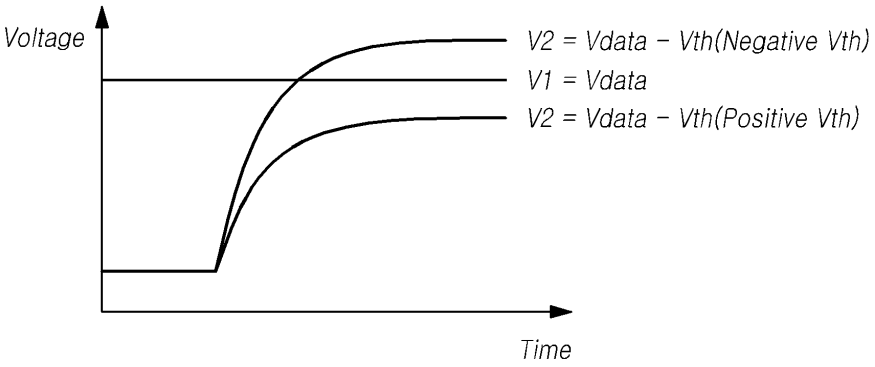

140
430
420
120
DAC
410
SAM
Vref
Vdata'
EVDD
DL
DVL
SPRE
N3
SCAN
RVL
N1
DRT
T1
SENSE
Cst
N2
T2
OLED
EVSS

도면5

Vth Sensing

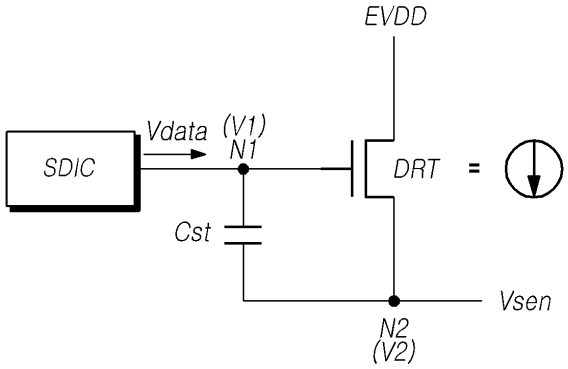


Vsen Wave

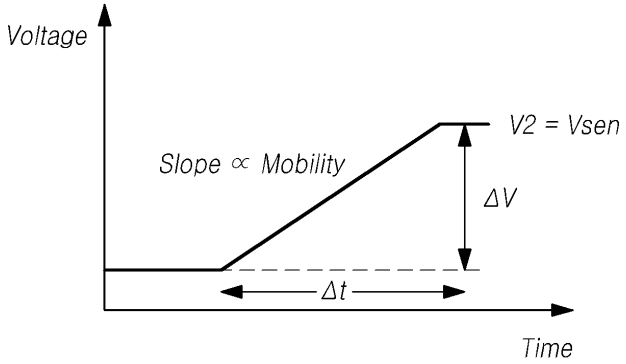


도면6

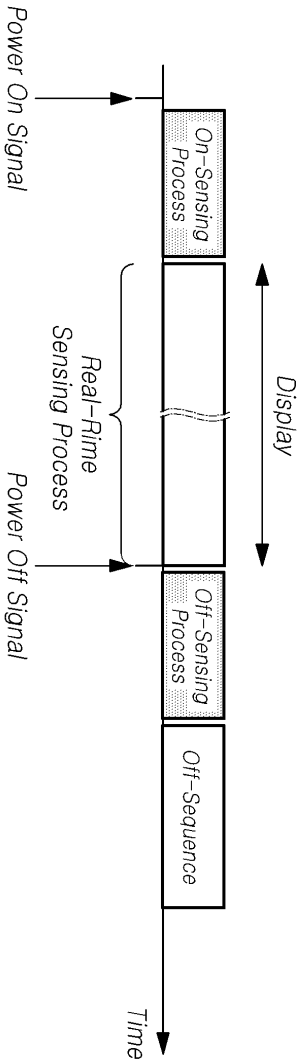
Mobility Sensing



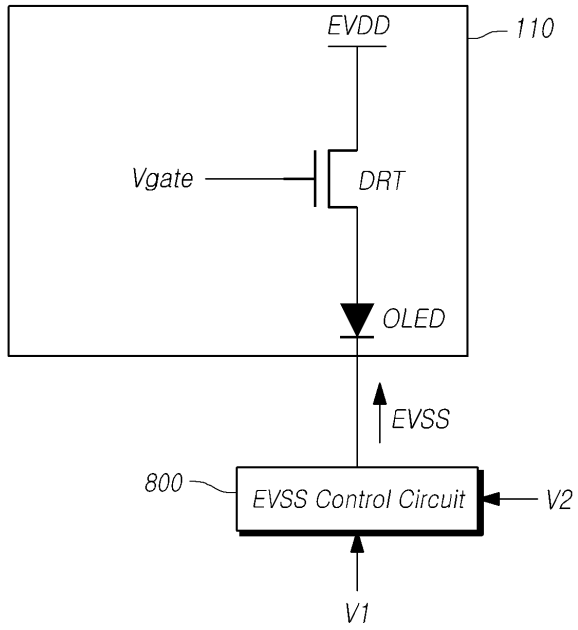
Vsen Wave



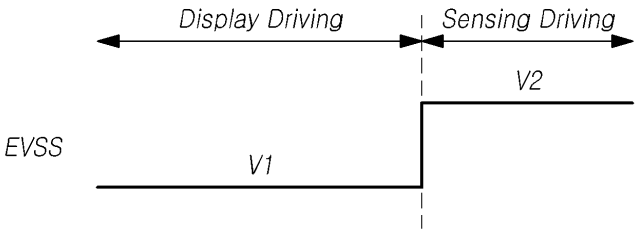
도면7


Power On Signal
On-Sensing Process
Real-Rime Sensing Process
Display
Power Off Signal
Off-Sensing Process
Off-Sequence
Time

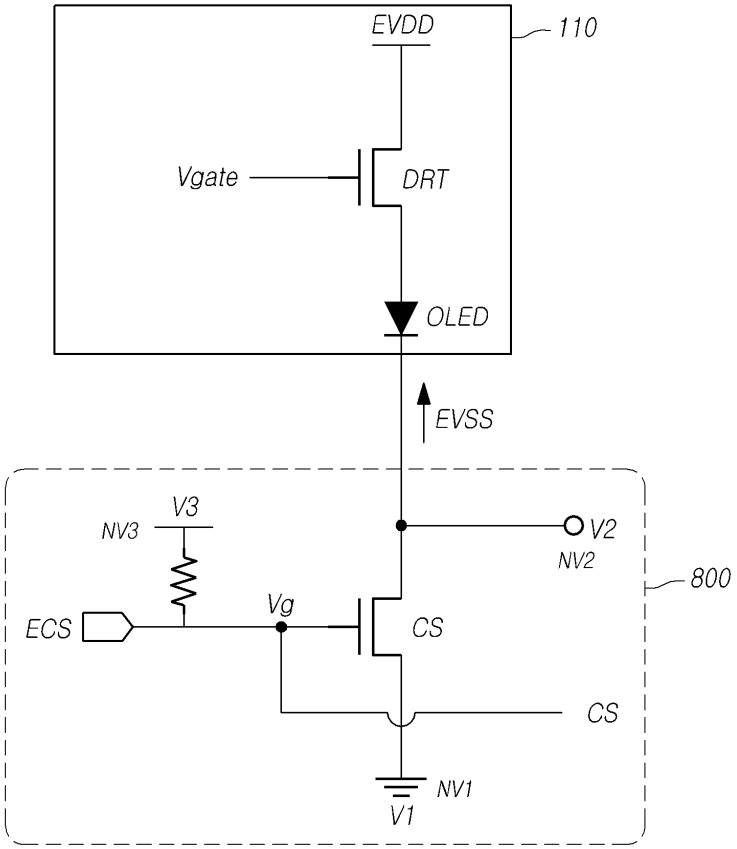
도면8


EVDD
110
Vgate
DRT
OLED
EVSS
800
EVSS Control Circuit
V2
V1

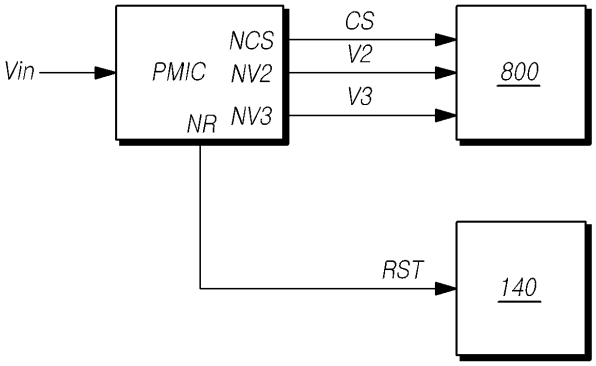
도면9


Display Driving
Sensing Driving
V2
EVSS
V1

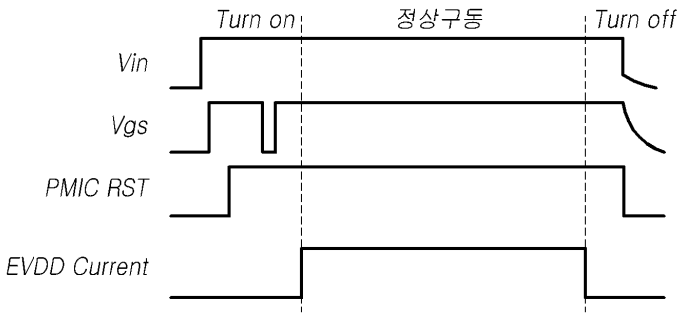
도면10


EVDD
110
Vgate
DRT
OLED
EVSS
V3
NV3
V2
NV2
800
ECS
Vg
CS
CS
NV1
V1

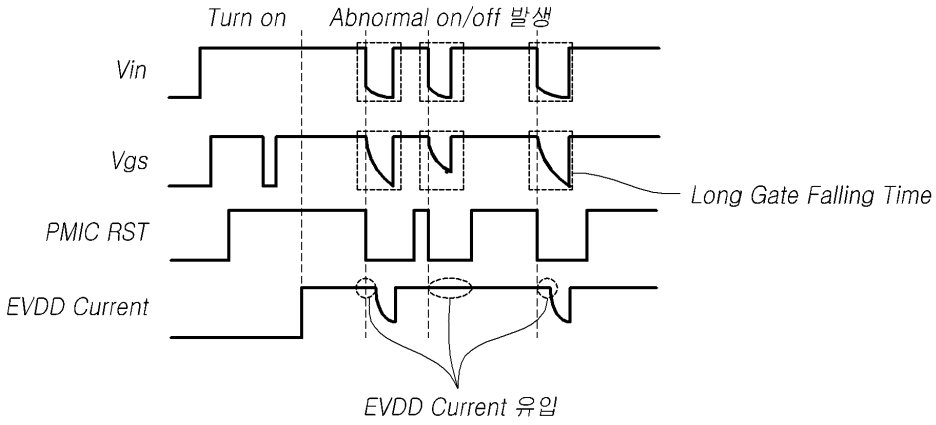
도면11


Vin
PMIC
NCS
NV2
NR
NV3
CS
V2
V3
800
RST
140

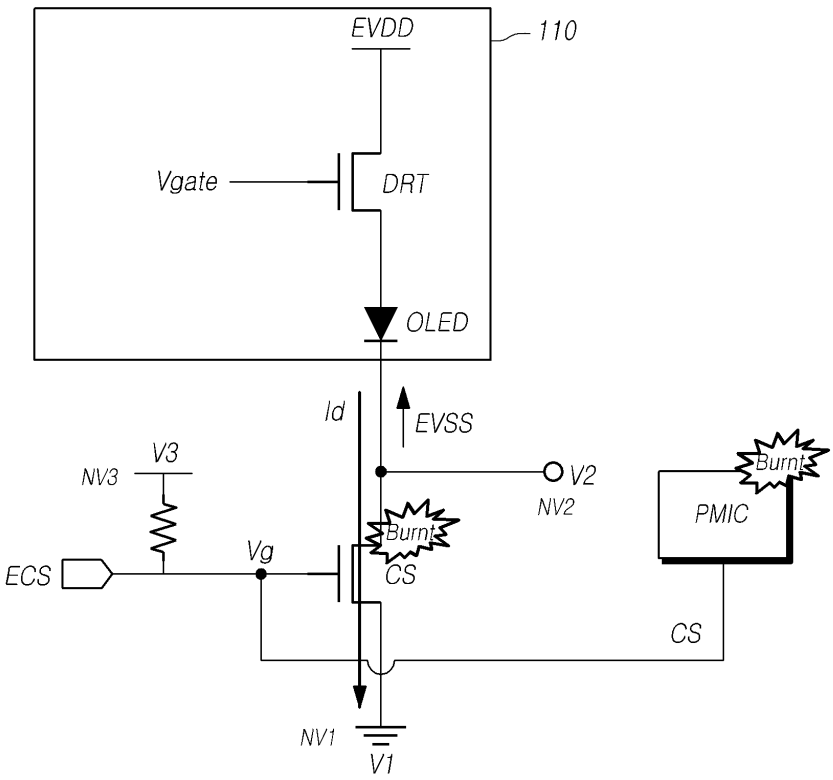
도면12


Turn on
정상구동
Turn off
Vin
Vgs
PMIC RST
EVDD Current

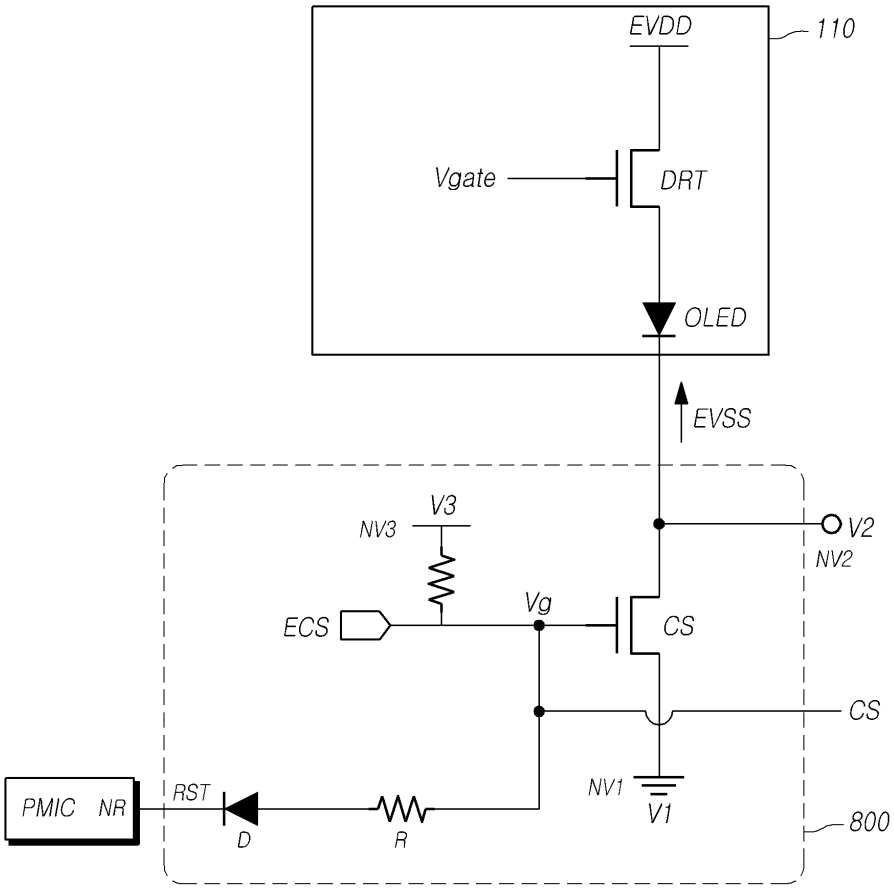
도면13


Turn on
Abnormal on/off 발생
Vin
Vgs
Long Gate Falling Time
PMIC RST
EVDD Current
EVDD Current 유입

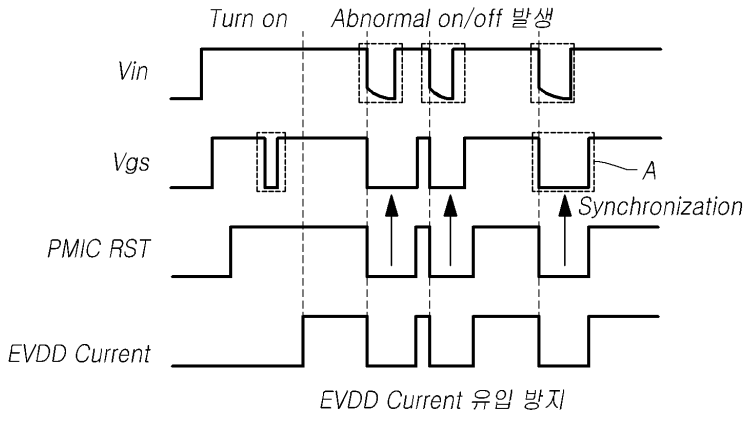
도면14


EVDD
110
Vgate
DRT
OLED
Id
EVSS
V3
NV3
V2
NV2
Burnt
PMIC
Burnt
ECS
Vg
CS
CS
NV1
V1

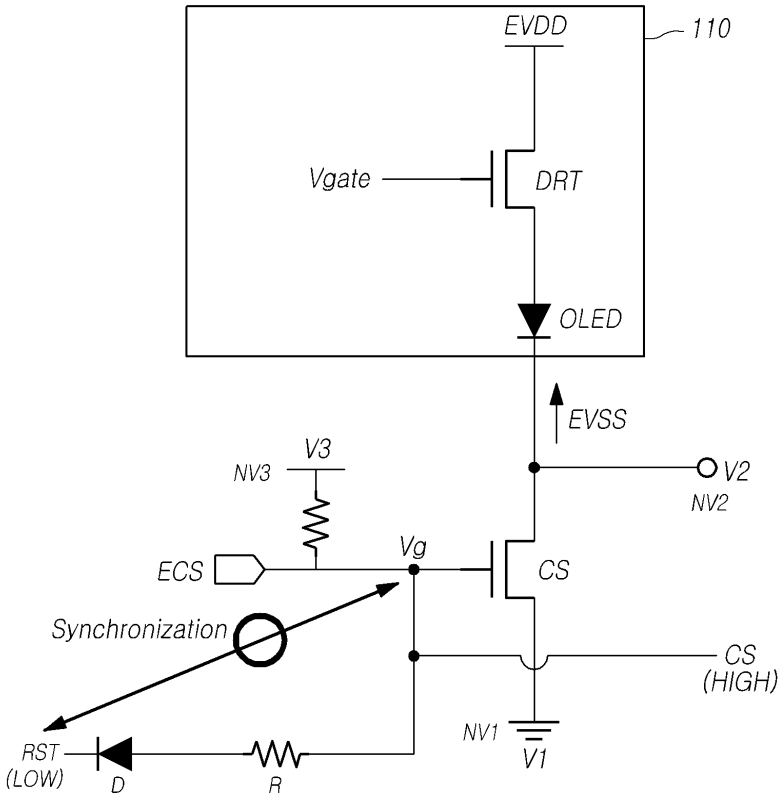
도면15


EVDD
110
Vgate
DRT
OLED
EVSS
V3
NV3
V2
NV2
Vg
ECS
CS
CS
PMIC
NR
RST
D
R
NV1
V1
800

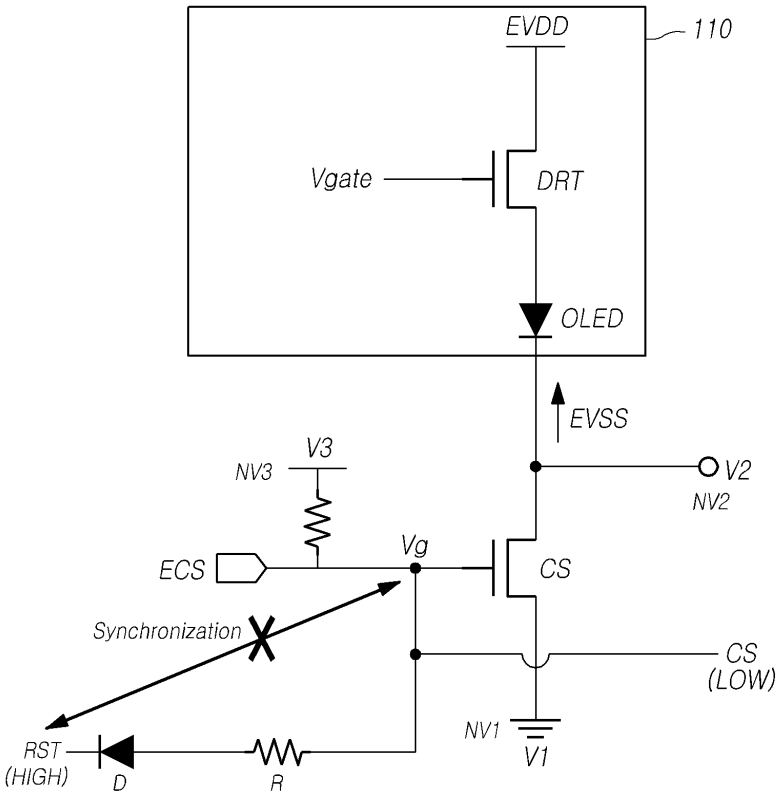
도면16


Turn on
Abnormal on/off 발생
Vin
Vgs
A
Synchronization
PMIC RST
EVDD Current
EVDD Current 유입 방지

도면17


EVDD
110
Vgate
DRT
OLED
EVSS
V3
NV3
V2
NV2
Vg
ECS
CS
Synchronization
CS
(HIGH)
NV1
V1
RST
(LOW)
D
R

도면18


EVDD
110
Vgate
DRT
OLED
EVSS
V3
NV3
V2
NV2
ECS
Vg
CS
Synchronization
CS
(LOW)
NV1
V1
RST
(HIGH)
D
R

专利名称(译)	有机发光显示模块，有机发光显示器和基础电压控制系统		
公开(公告)号	KR1020180036850A	公开(公告)日	2018-04-10
申请号	KR1020160126627	申请日	2016-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG JOON KEUN 송준근 CHOI JIN HO 최진호 KIM SUNG JOONG 김성중		
发明人	송준근 최진호 김성중		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2330/028 G09G2230/00 G09G2300/043		

摘要(译)

本实施例在显示驱动模式时段期间将对应于第一电压的基极电压施加到第二电极，并且在感测驱动模式时段期间将对应于第二电压的基极电压施加到第二电极。并且，基极低压控制电路中的控制晶体管的栅极节点电连接到功率集成电路的复位节点，有机发光显示器和基极电压控制系统会的。根据这些实施例，不仅可以在感测驱动时段中控制基极电压以便提高感测精度，而且可以防止基极电压控制电路中的晶体管在异常功率条件下被烧毁。

