



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0048775
(43) 공개일자 2017년05월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

H01L 27/3248 (2013.01)

(21) 출원번호 10-2015-0149287

(22) 출원일자 2015년10월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김석중

서울특별시 영등포구 당산로42길 13 (당산동5가, 당산동1차 효성아파트) 102동 1704호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 12 항

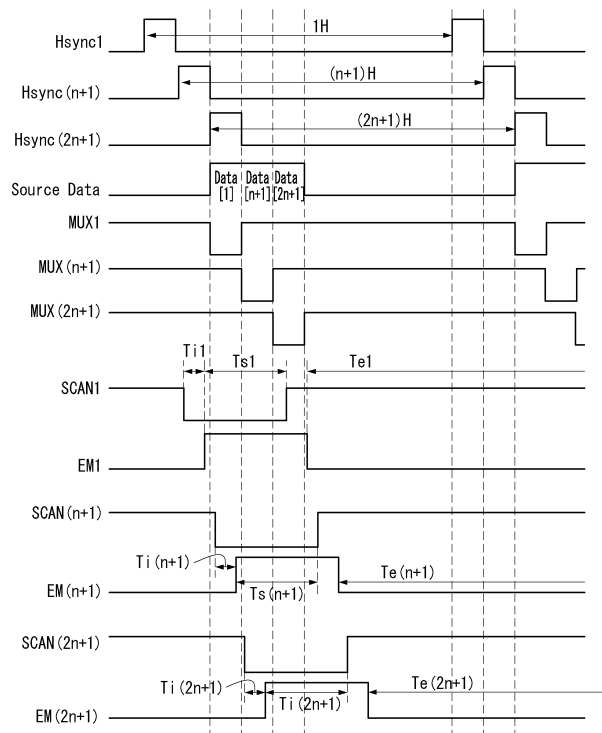
(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광다이오드 표시장치는 제1 및 제2 패널블록, 제1 및 제2 쉬프트레지스터 및 데이터 구동부를 포함한다. 제1 패널블록에는 제1 내지 제 n (n 은 2 이상의 자연수) 게이트라인이 배열되고, 제2 패널블록에는 제 $(n+1)$ 내지 제 $2n$ 게이트라인이 배열된다. 제1 쉬프트레지스터는 제1 내지 제 n 스캔신호 및 제1 내지 제 n

(뒷면에 계속)

대표도 - 도6



먹스신호를 제1 패널블록에 순차적으로 인가하고, 제2 쉬프트레지스터는 제(n+1) 내지 제2n 스캔신호 및 제(n+1) 내지 제2n 먹스신호를 제2 패널블록에 순차적으로 인가한다. 데이터 구동부는 열 방향을 따라 상기 제1 패널블록 및 제2 패널블록을 걸쳐서 배치되는 데이터라인에 데이터전압을 공급한다. 제1 및 제2 쉬프트레지스터는 스타트 신호를 동시에 입력받아서 동작한다. 제1 패널블록 또는 제2 패널블록 상에서 i (i 는 $2n$ 이하의 자연수) 번째 수평라인에 배치된 제 i 화소들은 구동트랜지스터 스캔 트랜지스터 및 먹스 트랜지스터를 포함한다. 먹스 트랜지스터는 스캔 트랜지스터의 턴-온 전압과 동기되는 먹스신호에 의해서 동작한다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

제1 내지 제 n (n 은 2 이상의 자연수) 게이트라인이 배열되는 제1 패널블록;

제 $(n+1)$ 내지 제 $2n$ 게이트라인이 배열되는 제2 패널블록;

제1 내지 제 n 스캔신호 및 제1 내지 제 n 먹스신호를 상기 제1 패널블록에 순차적으로 인가하는 제1 쉬프트레지스터;

제 $(n+1)$ 내지 제 $2n$ 스캔신호 및 제 $(n+1)$ 내지 제 $2n$ 먹스신호를 상기 제2 패널블록에 순차적으로 인가하는 제2 쉬프트레지스터; 및

열 방향을 따라 상기 제1 패널블록 및 제2 패널블록을 걸쳐서 배치되는 데이터라인에 데이터전압을 공급하는 데이터 구동부를 포함하고,

상기 제1 및 제2 쉬프트레지스터는 스타트 신호를 동시에 입력받아서 동작하며,

상기 제1 패널블록 또는 제2 패널블록 상에서 i (i 는 $2n$ 이하의 자연수) 번째 수평라인에 배치된 제 i 화소들은

유기발광다이오드에 공급되는 구동전류를 제어하는 구동 트랜지스터;

상기 데이터라인과 상기 구동 트랜지스터의 게이트전극 사이에 접속되고, 제 i 스캔신호에 의해서 턴-온되는 스캔 트랜지스터; 및

상기 데이터라인과 상기 구동 트랜지스터의 게이트전극 사이에 접속되어, 제 i 먹스신호에 의해서 동작하는 먹스 트랜지스터를 포함하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 i 화소들의 초기화 기간, 샘플링 기간 및 발광 기간의 초기 구간을 포함하는 스캔기간을 제 i 수평기간이라고 할 때,

상기 제2 쉬프트 레지스터는, 제 $(n+1)$ 수평기간이 적어도 일부 구간 제1 수평기간과 중첩되도록 상기 제 $(n+1)$ 스캔신호를 출력하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터 구동부는

제1 데이터 기입 기간 동안, 제1 화소들에 데이터전압을 공급하고,

상기 제1 데이터 기입 기간과 중첩되지 않는 제 $(n+1)$ 데이터 기입 기간 동안, 제 $(n+1)$ 화소들에 데이터전압을 공급하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 제2 쉬프트레지스터는

상기 제 $(n+j)$ 수평기간이 상기 제 j 수평기간에 비해 상기 제1 데이터 기입 기간 만큼 지연되도록 상기 제 $(n+1)$ 스캔신호를 출력하는 유기발광다이오드 표시장치.

청구항 5

제 1 항에 있어서,

상기 제 i 화소는

상기 구동 트랜지스터의 게이트전극이 제1 노드에 접속하고, 드레인전극이 제2 노드에 접속하고, 상기 유기발광 다이오드가 제3 노드에 접속할 때,

상기 제2 노드와 상기 제3 노드 사이에 접속하고, 게이트전극이 제 i 발광제어신호를 입력받는 제2 트랜지스터;

제4 노드 및 기준전압 입력단 사이에 접속하고, 게이트전극이 상기 제 i 발광제어신호를 입력받는 제3 트랜지스터;

상기 제3 노드 및 제4 노드 사이에 접속하고, 게이트전극이 상기 제 i 스캔신호를 입력받는 제4 트랜지스터; 및

상기 제1 노드와 상기 제4 노드 사이에 접속하는 스토리지 커패시터를 더 포함하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

초기화 기간 동안, 상기 제1 내지 제4 트랜지스터는 턴-온 되어, 상기 제1 노드 내지 제4 노드를 기준전압으로 초기화하는 유기발광다이오드 표시장치.

청구항 7

제 5 항에 있어서,

데이터 기입 기간 동안, 상기 제 i 먹스 트랜지스터 및 제 i 스캔 트랜지스터는 동시에 턴-온 되어, 상기 데이터 라인으로부터 제공받는 데이터전압을 상기 제4 노드에 충전하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 제 $(n+1)$ 먹스신호는 상기 제1 먹스신호에 비해 상기 데이터 기입 기간 만큼 위상이 지연되는 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 제1 쉬프트레지스터는 제1 클럭신호의 타이밍에 대응하여 상기 제1 스캔신호를 출력하고,

상기 제2 쉬프트레지스터는 제2 클럭신호의 타이밍에 대응하여 상기 제 $(n+1)$ 스캔신호를 출력하며,

상기 제2 클럭신호는 상기 제1 클럭신호에 비하여 위상이 지연되는 유기발광다이오드 표시장치.

청구항 10

유기발광다이오드에 공급되는 구동전류를 제어하는 구동 트랜지스터, 데이터라인과 상기 구동 트랜지스터 게이트전극 사이에 접속하는 스캔 트랜지스터를 포함하는 화소들이 배열된 표시장치를 구동하는 방법에 있어서,

제1 내지 제 n 게이트라인을 순차적으로 스캔하는 단계; 및

제 $(n+1)$ 내지 제 $2n$ 게이트라인을 순차적으로 스캔하는 단계를 포함하되,

제1 게이트라인을 스캔하는 제1 수평기간과 제 $(n+1)$ 게이트라인을 수평하는 제 $(n+1)$ 수평기간은 적어도 일부 구간에서 중첩되고,

제1 수평기간 중에서 제1 데이터 기입 기간과 및 제 $(n+1)$ 수평기간 중에서 제 $(n+1)$ 데이터 기입 기간은 중첩되지 않는 유기발광다이오드 표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

제1 게이트라인을 스캔하기 위한 제1 게이트신호들과 제(n+1) 게이트라인을 스캔하기 위한 제(n+1) 게이트신호들은 동일한 스타트신호를 이용하여 생성되기 시작하는 유기발광다이오드 표시장치의 구동방법.

청구항 12

제 10 항에 있어서,

제i 수평라인을 스캔하는 제i 수평기간은

상기 화소의 각 노드의 전압을 초기화하는 제i 초기화 기간; 및

상기 구동 트랜지스터의 게이트전극에 데이터전압을 인가하는 제i 데이터 기입 기간을 포함하고,

제(n+1) 초기화 기간을 위한 제(n+1) 게이트신호는 제1 초기화 기간의 동작을 제어하는 제1 게이트신호 보다 제1 데이터 기입 기간 만큼 지연되어 상기 제(n+1) 게이트라인에 인가되는 유기발광다이오드 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광다이오드 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 유기발광다이오드 표시장치는 유기발광다이오드를 포함하는 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 유기발광다이오드에 흐르는 구동 전류를 제어하는 구동 트랜지스터(Thin Film Transistor), 구동 트랜지스터의 게이트-소스 간 전압을 한 프레임 동안 일정하게 유지시키는 스토리지 커패시터, 및 게이트신호에 응답하여 구동 트랜지스터의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스캔 트랜지스터를 포함한다. 구동전류는 데이터전압에 따른 구동 트랜지스터의 게이트-소스 간 전압에 의해 결정되며, 화소의 휘도는 유기발광다이오드에 흐르는 구동전류의 크기에 비례한다.

[0003] 유기발광다이오드 표시장치는 각 수평라인에 배열되는 화소들을 순차적으로 구동한다. 그 결과, 표시패널이 고 해상도가 되어 수평라인이 늘어나면 하나의 수평라인을 스캔하는 수평기간(H)이 짧아진다. 수평기간(H)이 짧아지면 데이터전압을 인가하는 시간이 부족하기 때문에 데이터 기입이 원활하지 못하고, 구동트랜지스터의 문턱전압(V_{th})을 샘플링하는 시간도 부족해지기 때문에 표시장치의 구동이 원활하지 못하게 된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 스캔기간을 늘릴 수 있는 유기발광다이오드 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0005] 본 발명에 의한 유기발광다이오드 표시장치는 제1 및 제2 패널블록, 제1 및 제2 쉬프트레지스터 및 데이터 구동부를 포함한다. 제1 패널블록에는 제1 내지 제n($n \geq 2$ 이상의 자연수) 게이트라인이 배열되고, 제2 패널블록에는 제(n+1) 내지 제2n 게이트라인이 배열된다. 제1 쉬프트레지스터는 제1 내지 제n 스캔신호 및 제1 내지 제n 먹스신호를 제1 패널블록에 순차적으로 인가하고, 제2 쉬프트레지스터는 제(n+1) 내지 제2n 스캔신호 및 제(n+1) 내지 제2n 먹스신호를 제2 패널블록에 순차적으로 인가한다. 데이터 구동부는 열 방향을 따라 제1 패널블록 및 제2 패널블록을 걸쳐서 배치되는 데이터라인에 데이터전압을 공급한다. 제1 및 제2 쉬프트레지스터는 스타트 신호를 동시에 입력받아서 동작한다. i (i 는 $2n$ 이하의 자연수) 번째 수평라인에 배치된 제i 화소들은 구동 트랜지스터, 스캔 트랜지스터 및 먹스 트랜지스터를 포함한다. 구동 트랜지스터는 유기발광다이오드에 공급되는 구동전류를 제어한다. 스캔 트랜지스터는 데이터라인과 구동 트랜지스터의 게이트전극 사이에 접속되고, 제i 스캔신호에 의해서 턴-온된다. 먹스 트랜지스터는 데이터라인과 구동 트랜지스터의 게이트전극 사이에 접

속되어, 스캔 트랜지스터의 턴-온 전압과 동기되는 제i 먹스신호에 의해서 동작한다.

발명의 효과

[0006] 본 발명은 표시패널을 블록단위로 분할하여 구동하되, 각 블록들을 스캔하는 기간이 중첩되도록 하여 하나의 수평라인을 스캔하는 수평기간을 길게 확보할 수 있다. 따라서 데이터전압을 충전하는 시간 및 샘플링하는 시간을 길게 확보할 수 있다.

[0007] 또한 본 발명은 수평기간을 2 배 이상 확보할 수 있기 때문에, 구동 주파수를 높여서 고속 구동을 할 수도 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 따른 유기발광다이오드 표시장치를 보여주는 도면.

도 2는 본 발명에 의한 화소 구조를 나타내는 도면.

도 3 및 도 4는 본 발명에 의한 쉬프트레지스터의 구성을 나타내는 도면.

도 5는 스캔신호 스테이지의 구성을 나타내는 모식도.

도 6 및 도 7은 본 발명에 의한 구동신호의 타이밍을 나타내는 도면.

도 8은 비교 예에 의한 각 수평라인의 수평기간을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예를 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0010] 도 1은 본 발명에 따른 유기발광다이오드 표시장치를 나타내는 도면이고, 도 2는 본 발명에 의한 화소 구조를 나타내는 도면이다.

[0011] 도 1 및 도 2를 참조하면, 본 발명의 실시 예에 따른 유기발광다이오드 표시장치는 화소들(PXL)이 매트릭스 형태로 배열되는 표시패널(100)과, 데이터라인들(DL)을 구동시키기 위한 데이터 구동부(120)와, 게이트라인(GL)을 구동하는 게이트 구동부(130,140)와, 데이터 구동부(120) 및 게이트 구동부(130,140)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(110)를 구비한다.

[0012] 표시패널(100)은 복수 개의 패널블록(PB1, PB2, PB3)으로 분할 구동된다. 도 1은 3개의 패널블록으로 분할되는 실시 예를 나타내고 있지만, 패널블록의 개수는 이에 한정되지 않고 2개 이상의 임의의 개수가 될 수 있다. 각 패널블록(PB1, PB2, PB3)은 분할 구동을 위한 기준이 될 뿐이고, 물리적으로 분리될 필요는 없다. 각 패널블록(PB1, PB2, PB3)은 n 개의 수평라인을 포함하고, 각 수평라인에는 게이트라인(GL)이 배열된다. 제1 패널블록(PB1)은 제1 내지 제n 게이트라인(GL1~GLn)을 포함하고, 제2 패널블록(PB2)은 제(1+1) 내지 제2n 게이트라인(GL[n+1]~GL2n)을 포함하며, 제3 패널블록(PB3)은 제(2n+1) 내지 제3n 게이트라인(GL[2n+1]~GL3n)을 포함한다. 각 게이트라인(GL)은 하나의 수평라인에 배열된 화소들을 스캔하기 위한 것으로, 도 2에서와 같이 스캔라인(SL), 에미션라인(EML) 및 먹스 라인(ML)을 포함한다. 게이트라인(GL)의 개수 및 종류는 이에 한정되지 않으며, 화소 구조에 따라서 달라질 수 있다.

[0013] 데이터라인(DL)은 열 방향으로 배열되고, 제1 패널블록(PB1) 및 제2 패널블록(PB2)에 걸쳐서 배치된다.

[0014] 화소(PXL)를 구성하는 트랜지스터들은 산화물 반도체층을 포함하는 산화물 트랜지스터로 구현될 수 있다. 산화물 트랜지스터는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(100)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다. 화소(PXL)들 각각은 구동 트랜지스터의 문턱전압 변화를 보상하기 위해 다수의 트랜지스터들과 스토리지 커패시터들을 포함한다.

[0015] 타이밍 콘트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 제

정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 컨트롤러(110)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.

[0016] 타이밍 컨트롤러(110)는 제1 내지 제3 클럭신호(CLKi_1~CLKi_3)를 레벨 쉬프터(130)로 인가한다. 제1 내지 제3 클럭신호(CLKi_1~ CLKi_3)는 각각 제1 내지 제3 게이트신호의 출력 타이밍을 결정한다.

[0017] 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다. 데이터 구동부(120)는 제1 내지 제3 패널블록(PB1,PB2,PB3)을 스캔하는 수평기간이 중첩되는 기간 내에서, 각 패널블록에 시분할로 데이터전압을 공급한다.

[0018] 게이트 구동부(130,140)는 타이밍 컨트롤러의 제어 하에 게이트 라인들(GL)에 게이트 펄스를 순차적으로 공급한다. 게이트 구동부로부터 출력된 게이트 펄스는 데이터 전압에 동기된다. 게이트 구동부(130,140)는 타이밍 컨트롤러(110)와 표시패널(100)의 스캔라인들 사이에 접속된 레벨 쉬프터(level shiftet)(140), 및 쉬프트레지스터(140)를 구비한다. 레벨 쉬프터(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트클럭들(CLK)의 TTL(Transistor-Transistor- Logic) 로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅한다. 쉬프트레지스터(140)는 제1 내지 제3 쉬프트레지스터(140-1, 140-2, 140-3)를 포함한다. 제1 쉬프트레지스터(140-1)는 제1 패널블록(PB1)을 구동하고, 제2 쉬프트레지스터(140-2)는 제2 패널블록(PB2)을 구동하며, 제3 쉬프트레지스터(140-3)는 제3 패널블록(PB3)을 구동한다. 제1 내지 제3 쉬프트레지스터(140-1, 140-2, 140-3)는 동시에 스타트신호(VST)를 입력받아서, 게이트신호들을 출력하기 위한 세팅을 동시에 시작한다.

[0019] 도 2는 실시 예에 의한 화소 구조를 나타내는 도면이다.

[0020] 도 2를 참조하여, 본 발명에 의한 화소(P)들의 구조를 살펴보면 다음과 같다.

[0021] 각 화소(P)는 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(T1) 내지 제5 트랜지스터(T5), 맥스 트랜지스터(Tmux) 및 스토리지 커패시터(Cst)를 포함한다. 본 발명의 실시 예에서는 각 트랜지스터들이 P 타입으로 구현되는 것을 개시하고 있으나, 각 트랜지스터들의 반도체 타입은 이에 한정되지 않는다.

[0022] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)의 애노드전극은 제3 노드(n3)에 접속되고, 그의 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.

[0023] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 제1 노드(n1)에 접속되고, 소스전극은 제2 노드(n2)에 접속되며, 드레인전극은 고전위 구동전압(ELVDD) 입력단에 접속된다.

[0024] 제1 트랜지스터(T1)의 제1 및 제2 전극은 각각 제1 노드(n1)와 제2 노드(n2)에 접속되고, 게이트전극은 스캔라인(SL)에 접속된다. 즉, 제1 트랜지스터(T1)는 스캔신호(SCAN)에 의해서 스위칭되어 제1 노드(n1)와 제2 노드(n2)를 접속시킨다.

[0025] 제2 트랜지스터(T2)의 제1 및 제2 전극은 각각 제2 노드(n2) 및 제3 노드(n3)에 접속하고, 게이트전극은 에미션라인(EL)에 연결된다. 즉, 제2 트랜지스터(T2)는 발광제어신호(EM)에 응답하여 구동 트랜지스터(DT)와 유기발광다이오드(OLED) 간의 전류경로를 연결시킨다.

[0026] 제3 트랜지스터(T3)의 제1 및 제2 전극은 각각 제4 노드(n4)와 기준전압(Vref) 입력단에 접속된다.

[0027] 제4 트랜지스터(T4)의 제1 및 제2 전극은 각각 제3 노드(n3)와 기준전압(Vref) 입력단에 접속하며, 게이트전극은 스캔라인(SL)에 접속된다. 즉, 제4 트랜지스터(T4)는 스캔신호(SCAN)에 응답하여 기준전압(Vref)을 제3 노드(n3)에 제공한다.

[0028] 제5 트랜지스터(T5)와 맥스 트랜지스터(Tmux)는 데이터라인(DL)과 제4 노드(n4)사이에 접속된다. 제5 트랜지스터(T5)의 게이트전극은 스캔라인(SL)에 접속되고, 맥스 트랜지스터(Tmux)의 게이트전극은 맥스라인(ML)에 접속

된다. 즉, 제5 트랜지스터(T5) 및 맥스 트랜지스터(Tmux)는 스캔신호(SCAN)와 맥스신호(MUX)가 동기될 때, 모두 턴-온되어 데이터전압(Vdata)을 제4 노드(n4)에 제공한다.

- [0029] 스토리지 커패시터(Cst)는 제1 노드(n1)와 제4 노드(n4) 사이에 접속된다. 스토리지 커패시터(Cst)는 소스팔로워(source-follower) 방식에 따라 구동 트랜지스터의 문턱전압을 샘플링하는 데 이용된다.
- [0030] 도 3 본 발명에 의한 쉬프트 레지스터를 나타내는 도면이고, 도 4는 도 3의 제1 쉬프트레지스터를 나타내는 도면이다. 이하의 설명에서 "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다. 예컨대, 제1 쉬프트레지스터(140-1)에서 제i(i는 n 보다 작은 자연수) 스테이지(STGi)를 기준으로, 전단 스테이지는 제1 스테이지(ST1) 내지 제(i-1) 스테이지(STG[i-1]) 중 어느 하나를 지시한다. "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, 제i(i는 n 보다 작은 자연수) 스테이지(STGi)를 기준으로, 후단 스테이지는 제(i+1) 스테이지(STG[i+1]) 내지 제n 스테이지(STG[n]) 중 어느 하나를 지시한다.
- [0031] 본 발명에 의한 쉬프트레지스터(140)는 제1 내지 제3 쉬프트레지스터(140-1, 140-2, 140-3)를 포함한다. 제1 쉬프트레지스터(140-1)는 제1 내지 제n 게이트신호를 출력하기 위한 제1 내지 제n 스테이지(STG[1]~STG[n])를 포함한다. 제2 및 제3 쉬프트레지스터들(140-2, 140-3) 또한 각각 n 개의 게이트신호를 출력하기 위한 n 개의 스테이지를 포함한다.
- [0032] 제1 쉬프트레지스터(140-1)는 스타트신호(VST), 제1 클럭신호(CLKi_1) 및 제1 리셋신호(QRSTi_1)를 입력받아, 제1 게이트신호 내지 제n 게이트신호를 순차적으로 출력한다. 게이트신호는 스캔신호(SCAN), 발광제어신호(EM) 및 맥스신호(MUX)를 포함한다. 제1 클럭신호(CLKi_1)는 스테이지(STG)가 생성하는 게이트신호의 출력 타이밍을 결정한다. 제1 클럭신호(CLKi_1)는 실시 예에 따라 위상이 달라질 수 있으며, 예컨대, 위상이 4상인 제1 클럭신호(CLKi_1)는 CLK1, CLK2, CLK3 및 CLK4를 포함할 수 있다. 리셋신호(QRST)는 스테이지(STG)가 출력하는 게이트신호의 폴링 타이밍을 결정한다. 또한, 도면에서는 한 종류의 클럭신호 만을 도시하였지만, 스캔신호(SCAN), 발광제어신호(EM) 및 맥스신호(MUX)를 생성하기 위한 클럭신호들은 구분될 수 있다.
- [0033] 제2 쉬프트레지스터(140-2)는 스타트신호(VST), 제2 클럭신호(CLKi_2) 및 제2 리셋신호(QRSTi_2)를 입력받아, 제(n+1) 게이트신호 내지 제2n 게이트신호를 순차적으로 출력한다. 제2 클럭신호(CLKi_2)는 제2 쉬프트레지스터(140-2)의 스테이지들이 각각 생성하는 게이트신호의 출력 타이밍을 결정한다. 제2 클럭신호(CLKi_2)는 실시 예에 따라 위상이 달라질 수 있으며, 제1 클럭신호(CLKi_1)와 동일한 위상을 가질 수 있다. 제2 리셋신호(QRSTi_2)는 제2 쉬프트레지스터(140-2)의 스테이지들이 각각 출력하는 게이트신호의 폴링 타이밍을 결정한다.
- [0034] 마찬가지로, 제3 쉬프트레지스터(140-3)는 스타트신호(VST), 제3 클럭신호(CLKi_3) 및 제3 리셋신호(QRSTi_3)를 입력받아, 제(2n+1) 게이트신호 내지 제3n 게이트신호를 순차적으로 출력한다. 제3 클럭신호(CLKi_3)는 제3 쉬프트레지스터(140-3)의 스테이지들이 각각 생성하는 게이트신호의 출력 타이밍을 결정한다. 제3 클럭신호(CLKi_3)는 실시 예에 따라 위상이 달라질 수 있으며, 제1 및 제2 클럭신호(CLKi_1, CLKi_2)와 동일한 위상을 가질 수 있다. 제3 리셋신호(QRSTi_3)는 제3 쉬프트레지스터(140-3)의 스테이지들이 각각 출력하는 게이트신호의 폴링 타이밍을 결정한다.
- [0035] 제1 내지 제3 쉬프트레지스터(140-1, 140-2, 140-3)는 스타트신호(VST)를 동시에 입력받는다. 즉, 스타트신호(VST)는 제1 스테이지(STG1), 제(n+1) 스테이지(STG[n+1]) 및 제(2n+1) 스테이지(STG[2n+1])에 동시에 인가된다.
- [0036] 제1 쉬프트레지스터(140-1)에서, 제1 스테이지(STG1) 내지 제(n-1) 스테이지(STG[n-1])의 게이트신호 중에서 적어도 어느 하나는 후단 스테이지에 인가되는 캐리신호가 된다. 예컨대, 제1 스캔신호(SCAN1)는 제2 스테이지(STG2)에 인가되고, 제(n-1) 스캔신호(SCAN[n-1])는 제n 스테이지(STG[n])에 인가된다. 캐리신호는 스캔신호 이외에 맥스신호(MUX) 또는 발광제어신호(EM)가 이용될 수도 있다. 마찬가지로, 제2 쉬프트레지스터(140-2)에서, 제(n+1) 스테이지(STG[n+1]) 내지 제(2n-1) 스테이지(STG[2n-1])의 출력신호는 후단 스테이지에 인가되는 캐리신호가 되고, 제3 쉬프트레지스터(140-3)에서, 제(2n+1) 스테이지(STG[2n+1]) 내지 제(3n-1) 스테이지(STG[3n-1])의 출력신호는 후단 스테이지에 인가되는 캐리신호가 된다.
- [0037] 제1 스테이지(STG1)는 게이트신호 중에서 제1 스캔신호(SCAN1)를 제1 스캔라인(SL)에 인가하고, 제1 발광제어신호(EM)를 제1 에미션라인(EML)에 인가하며, 제1 맥스신호(MUX1)를 맥스라인(ML)에 인가한다.
- [0038] 제1 스테이지(STG1)는 하나의 스테이지에서 제1 스캔신호(SCAN1), 제1 발광제어신호(EM1) 및 제1 맥스신호(MUX1)를 생성하거나, 각각의 신호들을 개별적으로 생성하기 위한 스테이지들을 포함할 수 있다. 예컨대, 제1

스테이지(STG1)는 3 개의 스테이지를 포함하고, 각 스테이지는 제1 스캔신호(SCAN1), 제1 발광제어신호(EM1) 및 제1 믹스신호(MUX1)를 개별적으로 생성할 수 있다.

- [0039] 도 5는 하나의 스테이지가 하나의 게이트신호, 예컨대, 제i 스테이지 중에서 제i 스캔신호(SCAN)를 생성하는 스테이지를 도시하고 있다.
- [0040] 도 5를 참조하면, 제1 스캔신호를 생성하는 스테이지는 풀업 트랜지스터(Pull-up transistor, Tpu), 풀다운 트랜지스터(Pull-down transistor, Tpd) 및 노드 제어회로(NCON)를 포함한다.
- [0041] 풀업 트랜지스터(Tpu)는 Q 노드(Q) 전압에 따라 첫 번째 제1 클럭신호(CLK1_1)의 하이레벨 전압을 출력한다. 풀다운 트랜지스터(Tpd)는 QB 노드(QB) 전압에 따라 출력 전압을 저전위 전압(VSS)까지 방전시킨다.
- [0042] 노드 제어회로(NCON)는 Q 노드(Q)와 QB 노드(QB)의 전압을 제어한다. 노드 제어회로(NCON)는 스타트펄스(VST)에 응답하여 Q 노드(Q)를 충전시킨다. 제1 스캔신호(SCAN)를 출력하는 스테이지 이외의 스테이지들은 이전단 스캔신호(SCAN)에 응답하여 Q 노드(Q)를 충전할 수 있다. 노드 제어회로(NCON)는 리셋신호(QRST)에 응답하여 Q 노드(Q)를 저전위전압(VSS)으로 방전시킴으로써, 출력단을 통해서 출력되는 스캔신호(SCAN)의 출력을 중지시킨다.
- [0043] 도 6은 본 발명에 의한 유기발광다이오드 표시장치의 동작을 위한 구동신호들의 타이밍을 나타내는 모식도이다. 도 6은 제1 내지 제3 쉬프트레지스터(140-1, 140-2, 140-3)의 첫 번째 스테이지들의 출력신호들을 중심으로 도시되어 있으며, k(k는 2n 이하의 자연수) 수평기간(H)은 k 수평라인(HLk)에 배열되는 화소(Pk)들에 수평기간을 의미한다. 수평기간은 화소들의 초기화기간, 샘플링 기간 및 발광 기간의 초기 기간을 포함한다. 도 6에서 도시되는 수평기간은 도 2에 도시된 화소 구조에 대한 실시 예이며, 화소 구조의 실시 예가 변경될 경우에, 수평기간은 달라질 수 있다.
- [0044] 도 6을 참조하여, 본 발명에 의한 유기발광다이오드 표시장치의 구동방법을 살펴보면 다음과 같다. 이하, 본 발명의 화소 구조에서 트랜지스터들은 P형을 이용한 실시 예를 중심으로 설명되기 때문에, 각 게이트신호들의 턴-온전압은 로우레벨 전압을 지칭하고, 턴-오프전압은 하이레벨신호들을 지칭한다.
- [0045] 스타트신호(VST)는 제1 내지 제3 쉬프트레지스터(140-1, 140-2, 140-3)의 첫 번째 스테이지들인 제1 스테이지(STG[1]), 제(n+1) 스테이지(STG[n+1]) 및 제(2n+1) 스테이지(STG[2n+1])들에 동시에 인가된다. 스타트신호(VST)에 의해서 제1 스테이지(STG[1]), 제(n+1) 스테이지(STG[n+1]) 및 제(2n+1) 스테이지(STG[2n+1])들의 Q 노드(Q)는 프리차징된다.
- [0046] 스타트신호(VST)에 의해서 제1 스테이지(STG[1]), 제(n+1) 스테이지(STG[n+1]) 및 제(2n+1) 스테이지(STG[2n+1])들의 Q 노드(Q)는 충전되고, 게이트신호들을 생성하기 시작한다.
- [0047] 제1 초기화 기간(Ti1) 동안에, 제1 스테이지(STG[1])는 턴-온 전압의 제1 스캔신호(SCAN1) 및 제1 발광제어신호(EM1)를 출력한다. 제1 초기화 기간(Ti1) 동안에, 제1 수평라인(HL1)에 배열된 화소들은 초기화 동작을 수행한다.
- [0048] 제1 샘플링 기간(Ts1) 동안에, 제1 스테이지(STG1)는 턴-온 전압의 제1 스캔신호(SCAN1)를 출력하고, 턴-오프 전압의 제1 발광제어신호(EM1)를 출력한다. 제1 샘플링 기간(Ts1)은 제1 데이터 기입 기간(Td1)을 포함한다. 제1 데이터 기입 기간(Td1) 동안에, 제1 스테이지(STG1)는 턴-온 전압의 제1 믹스신호(MUX1)를 출력한다. 제1 수평라인(HL1)에 배열된 화소(P1)들은 제1 데이터 기입 기간(Td1) 동안에 데이터전압을 제공받으며, 제1 샘플링 기간(Ts1) 동안에 구동 트랜지스터(DT)의 문턱전압(Vth)을 샘플링한다.
- [0049] 제1 발광 기간(Te1) 동안에, 제1 스테이지(STG1)는 턴-온 전압의 제1 스캔신호(SCAN)를 출력하고, 턴-오프 전압의 제1 발광제어신호(EM1)를 출력한다. 제1 발광 기간(Te1) 동안에, 제1 수평라인(HL1)에 배열된 화소(P1)들은 제1 데이터 기입 기간(Td1)에 기입된 데이터전압에 대응하는 밝기로 발광한다.
- [0050] 제(n+1) 초기화 기간(Ti[n+1]) 동안에, 제(n+1) 스테이지(STG[n+1])는 턴-온 전압의 제(n+1) 스캔신호(SCAN[n+1]) 및 제(n+1) 발광제어신호(EM[n+1])를 출력한다. 제(n+1) 초기화 기간(Ti[n+1])은 제1 초기화 기간(Ti1) 시작 시점에서 일정기간 경과 후에 시작된다. 제(n+1) 초기화 기간(Ti[n+1])이 제1 초기화 기간(Ti1)에서 지연되는 이유는 제(n+1) 데이터 기입 기간(Td[n+1])이 제1 데이터 기입 기간(Td1)과 중첩되는 것을 방지하기 위해서이다. 따라서, 제(n+1) 스테이지는 제1 초기화 기간(Ti1)이 시작 시점에서 제1 데이터 기입 기간(Td1) 만큼 경과한 이후에, 제(n+1) 수평라인(HL[n+1])의 초기화 동작을 수행한다.

- [0051] 이어서, 제(n+1) 스테이지(STG[n+1])는 제1 스테이지(STG)와 마찬가지로 샘플링 동작 및 발광을 위한 게이트신호들을 출력한다.
- [0052] 마찬가지로, 제(2n+1) 스테이지(STG[2n+1])는 제(n+1) 스테이지(STG[n+1])가 제(n+1) 게이트신호를 출력하고 제2 데이터 기입 기간(Td2)이 경과한 이후에, 제(2n+1) 게이트신호를 출력한다.
- [0053] 도 7은 각 수평라인의 수평기간을 나타내는 도면이다.
- [0054] 표시패널(100)의 전체 수평라인(HL)의 개수가 3n 개이고, 표시패널(100)이 3개의 패널블록으로 분할 구동될 경우에, 하나의 패널블록에 속하는 수평라인은 n개가 된다. 제1 수평기간(1H)과 제(n+1) 수평기간([n+1]H)은 중첩되고, 제(n+1) 수평기간([n+1]H)과 제(2n+1) 수평기간([2n+1]H)은 중첩된다. 실시 예는 제1 수평기간(HL1)과 제(n+1) 수평기간([n+1]H)이 위상 지연차이가 데이터 기입 기간(Td)이고, 제(n+1) 수평기간([n+1]H)과 제(2n+1) 수평기간([2n+1]H)의 위상차이가 데이터 기입 기간(Td)인 것을 나타내고 있다. 그 결과, 제3 패널블록(PB3)에 속하는 제(2n+1) 내지 제3n 수평라인(HL[2n+1]~HL[3n]) 각각의 수평기간은 (1프레임-2*Td)/n이 된다. 제1 패널블록(PB1) 및 제2 패널블록(PB2)의 수평기간 또한 제3 패널블록(PB3)에 속하는 수평라인들의 수평기간과 동일하게 설정된다.
- [0055] 데이터 입력 기간(Td1)은 한 프레임 기간에 비해서 매우 짧은 시간이기 때문에, 수평기간(H)은 대략 “1프레임/n”이 된다.
- [0056] 도 8은 비교 예에 의한 수평라인의 수평기간을 나타내는 도면이다. 도 8에서 보는 바와 같이, 3n 개의 수평라인을 순차적으로 구동할 때에는 한 개의 수평라인을 스캔하는 수평기간(H')은 “1프레임/3n” 이 된다.
- [0057] 다시 말해서, 본 발명에 의한 수평기간은 비교 예에 대비하여 3배 정도 길게 확보할 수 있다. 본 발명은 수평기간을 길게 확보할 수 있기 때문에, 데이터 기입 기간(Td) 또는 문턱전압(Vth)을 샘플링하는 기간을 충분히 확보할 수 있다. 고해상도의 표시장치는 수평라인이 많아지기 때문에 데이터 기입 기간(Td)이 짧아질 수밖에 없고, 그 결과 화소(P)들에 데이터를 인가하는 기간이 짧아진다. 따라서, 고해상도 표시장치에서는 데이터 기입이 원활하지 못하거나 스캔 트랜지스터가 동작하지 못해서 데이터 기입이 안 될 수 있다. 본 발명은 수평기간을 충분히 확보하여 데이터 기입 기간을 늘릴 수 있기 때문에 고해상도 모델에서도 데이터 기입을 원활히 할 수 있다. 또한, 샘플링 기간도 충분히 확보할 수 있어서, 구동 트랜지스터(DT)의 문턱전압(Vth) 보상을 효율적으로 할 수 있다.
- [0058] 다음의 [표 1]은 화소 구동기간에 따른 각 노드의 전압을 나타내고 있다. 도 2 및 도 6과, [표 1]을 결부하여, 화소(P)들의 동작을 살펴보면 다음과 같다.

표 1

	제1 노드	제2 노드	제4 노드
초기화 기간	Vref	Vref	Vref
샘플링 기간	VDD+Vth	VDD+Vth	Vdata
발광 기간	VDD+Vth-(Vdata-Vref)	VDD	Vref

- [0060] 각 화소(P)들의 동작은 초기화 기간(Ti), 샘플링 기간(Ts) 및 발광기간(Te)을 포함한다. 초기화 기간(Ti)은 화소(P)의 주요 노드 전압을 초기화하는 기간이다. 샘플링 기간(Ts)은 구동 트랜지스터(DT)의 문턱전압을 샘플링하고, 스토리지 커패시터(Cst)에 접속하는 제4 노드(4n)에 데이터전압(Data)을 충전하는 기간이다. 발광기간(Te)은 문턱전압에 영향없이 유기발광다이오드를 발광시키는 구간이다.
- [0061] 초기화 기간(Ti) 동안에, 스캔신호(SCAN) 및 발광제어신호(EM)는 턴-온 전압으로 화소(P)에 인가된다. 제1 내지 제4 트랜지스터(T1~T4)는 스캔신호(SCAN) 및 발광제어신호(EM)에 의해서 턴-온된다. 제3 노드(n3)는 제4 트랜지스터(T4)를 경유하는 기준전압(Vref)으로 초기화된다. 제2 노드(n2)는 제2 및 제4 트랜지스터(T2, T4)를 경유하는 기준전압(Vref)으로 초기화된다. 제1 노드(n1)는 제2 노드(n2) 및 제1 트랜지스터(T1)를 경유하는 기준전압(Vref)으로 초기화된다. 제4 노드(n4)는 제3 트랜지스터(T3)를 경유하는 기준전압(Vref)으로 초기화된다. 그 결과, 제1 내지 제4 노드(n1~n4)는 모두 기준전압(Vref)으로 초기화된다.
- [0062] 샘플링 기간(Ts) 동안에, 스캔신호(SCAN)는 턴-온전압을 유지하고, 발광제어신호(EM)는 턴-오프전압으로 반전된다. 발광제어신호(EM)가 턴-오프전압으로 반전됨에 따라 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 턴-오프된다. 샘플링 기간(Ts)중에서 데이터 기입 기간(Td) 동안에는 믹스신호(MUX)가 턴-온전압으로 화소(P)에 인가된

다.

[0063] 데이터 기입 기간(Td) 동안에, 먹스 트랜지스터(Tmux) 및 제5 트랜지스터(5T)는 턴-온 되어, 데이터라인(DL)으로부터 제공받는 데이터전압(Vdata)은 제4 노드(n4)에 충전된다. 그 결과 제4 노드(n4)는 고전위전압(VDD)에서 데이터전압(Vdata)이 더해진 전압이 된다.

[0064] 그리고 제2 노드(n2)가 플로팅 된 상태에서 제4 노드(n4)의 전압이 높아지면서, 제1 노드(n1) 전압도 상승한다. 제1 노드(n1) 전압이 상승함에 따라, 구동 트랜지스터(DT)는 턴-온되어 드레인 전극과 소스전극을 경유하는 전류가 흐른다. 구동 트랜지스터(DT)의 드레인 전극과 소스전극을 흐르는 전류는 구동 트랜지스터(DT)의 게이트-소스 전압(Vgs)이 문턱전압(Vth)으로 포화될 때까지 흐른다. 즉, 샘플링 기간(Ts) 동안에 구동 트랜지스터(DT)의 게이트전극의 전압은 "고전위전압(VDD)+구동 트랜지스터 문턱전압(Vth)"이 된다.

[0065] 샘플링 기간(Ts)이 종료된 이후, 스캔신호(SCAN)는 턴-오프전압으로 반전되고, 발광기간(Te)이 종료되는 시점까지 턴-오프 전압레벨을 유지한다. 발광기간(Te) 동안, 발광제어신호(EM)는 턴-온 전압으로 반전된다.

[0066] 제3 트랜지스터(T3)는 발광제어신호(EM)에 의해서 턴-온되어 기준전압을 제4 노드(n4)에 충전한다. 그 결과, 샘플링 기간(Ts) 동안에 데이터전압(Vdata)이 충전된 제4 노드(n4)는 발광 기간(Te)에서 기준전압(Vref)으로 변한다. 즉, 발광 기간(Te)에서 제4 노드(n4)는 데이터전압(Vdata)에서 기준전압(Vref)의 차이에 해당하는 "Vdata-Vref" 만큼 전압레벨이 변한다. 제4 노드(n4)의 전압이 변할 때, 스토리지 커패시터(Cst)의 커플링에 의해서 제1 노드(n1)의 전압레벨도 변한다. 다시 말해서, 제1 노드(n1)의 전압은 샘플링 기간(Ts)에 "ELVDD-Vth"의 전압으로 설정된 상태에서 "ELVDD-Vth-(Vdata-Vref)"의 전압으로 변한다.

[0067] 결국, 발광기간(Te) 동안에 OLED에 흐르는 구동전류(Ioled)에 대한 관계식은 아래의 수학식 1과 같이 된다.

수학식 1

$$I_{oled} = \frac{k}{2} (V_{sg} - V_{th})^2 = \frac{k}{2} (VDD - VDD + V_{th} + V_{data} - V_{ref} - V_{th})^2 = \frac{k}{2} (V_{data} - V_{ref})^2$$

[0069] 수학식 1에서, k는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0070] 유기발광다이오드(OLED)는 이러한 구동전류 관계식에 의해 발광함으로써 원하는 계조를 표시할 수 있다. [수학식 1]에서 보는 바와 같이, 유기발광다이오드(OLED)의 구동전류(Ioled) 관계식은 $k/2(V_{sg} - V_{th})^2$ 인데, 프로그래밍 시간(Tp)을 통해 프로그래밍된 Vsg에는 Vth 성분이 이미 포함되어 있으므로, 최종적인 구동전류(Ioled) 관계식에서 Vth 성분은 소거되게 된다. 이는 문턱전압(Vth) 변화가 구동전류(Ioled)에 미치는 영향이 제거된 것을 나타내고 있다.

[0071] 도 2에서 제1 및 제3 트랜지스터(T1, T2, T3)는 누설전류로 인하여 발광 휘도가 왜곡되는 문제를 개선하기 위해서 더블 게이트 구조로 형성될 수 있다.

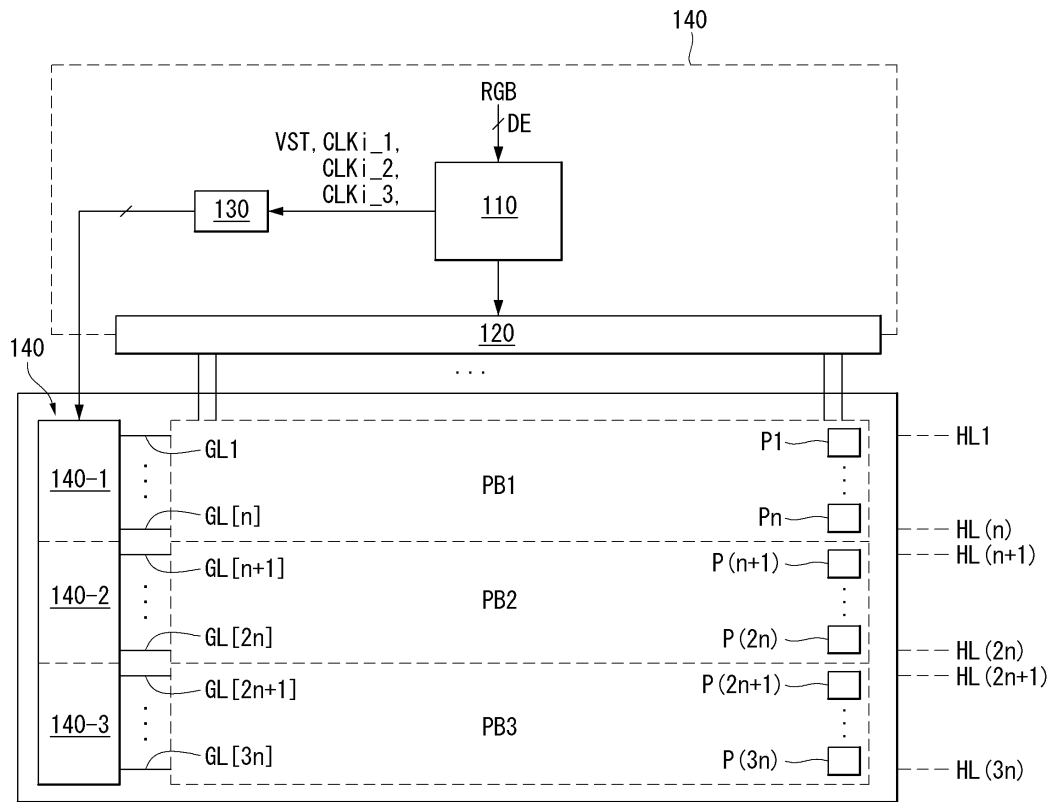
[0072] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

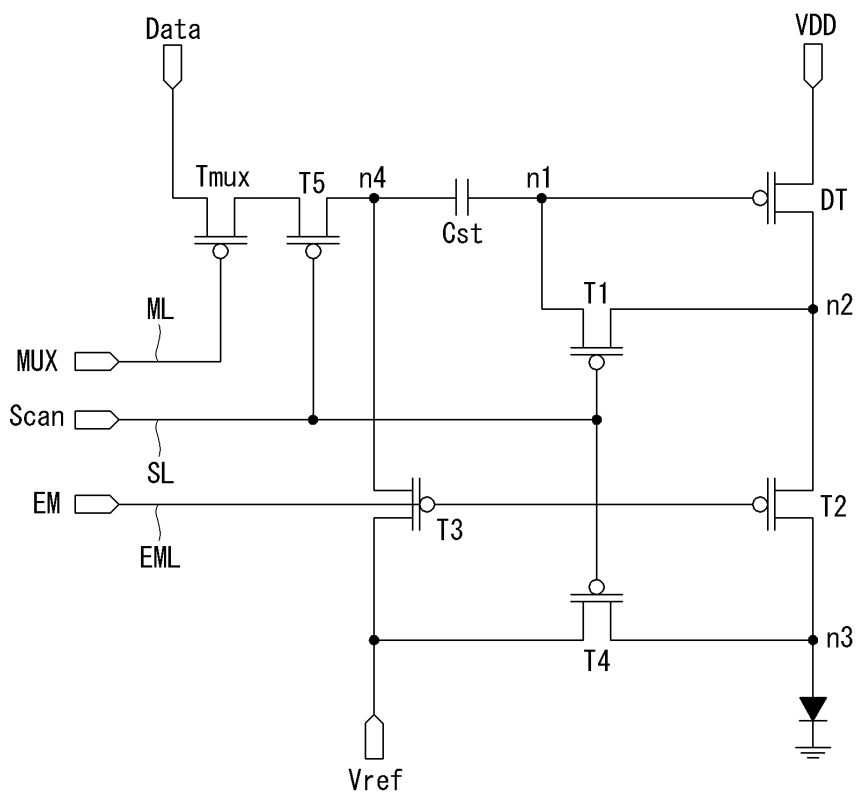
[0073] 100: 표시패널 110: 타이밍 컨트롤러
120: 데이터 구동부 130: 레벨 쉬프터
140: 쉬프트레지스터 Tmux: 먹스 트랜지스터

도면

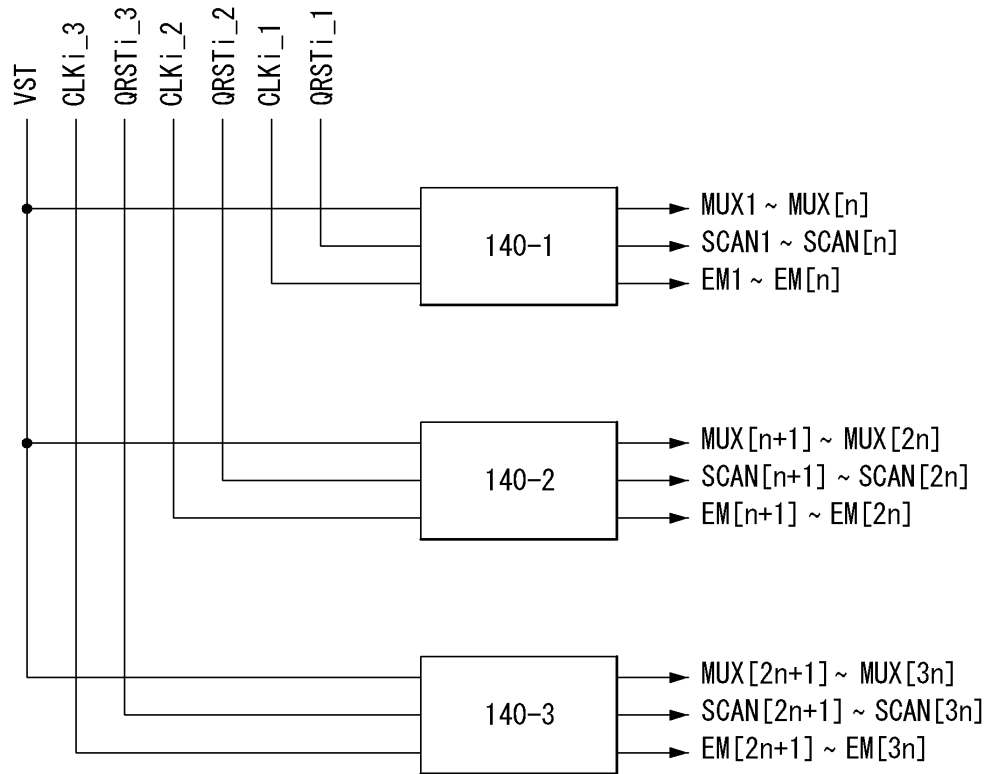
도면1



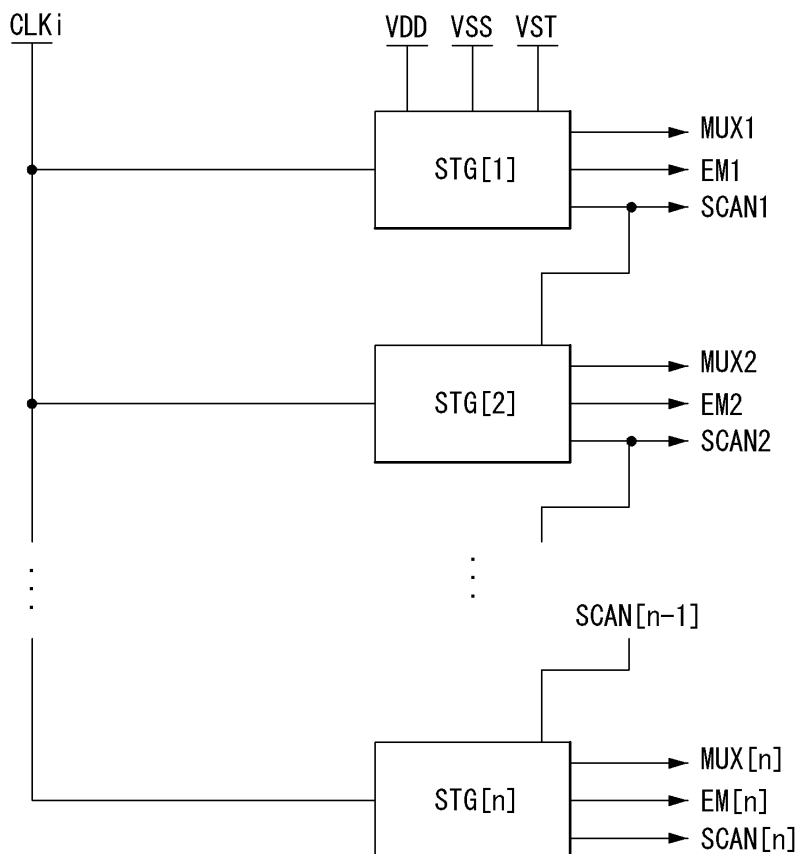
도면2



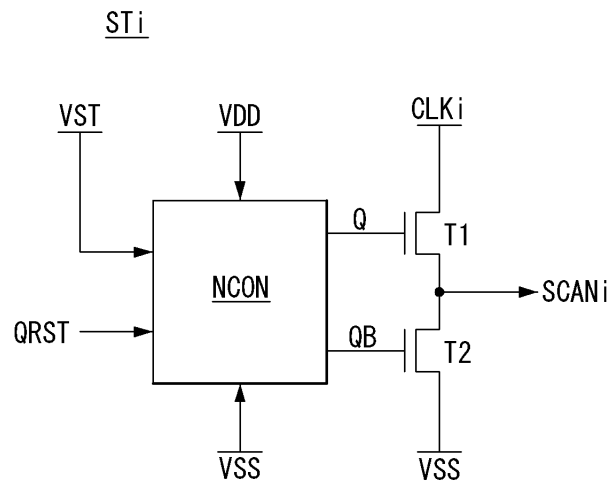
도면3



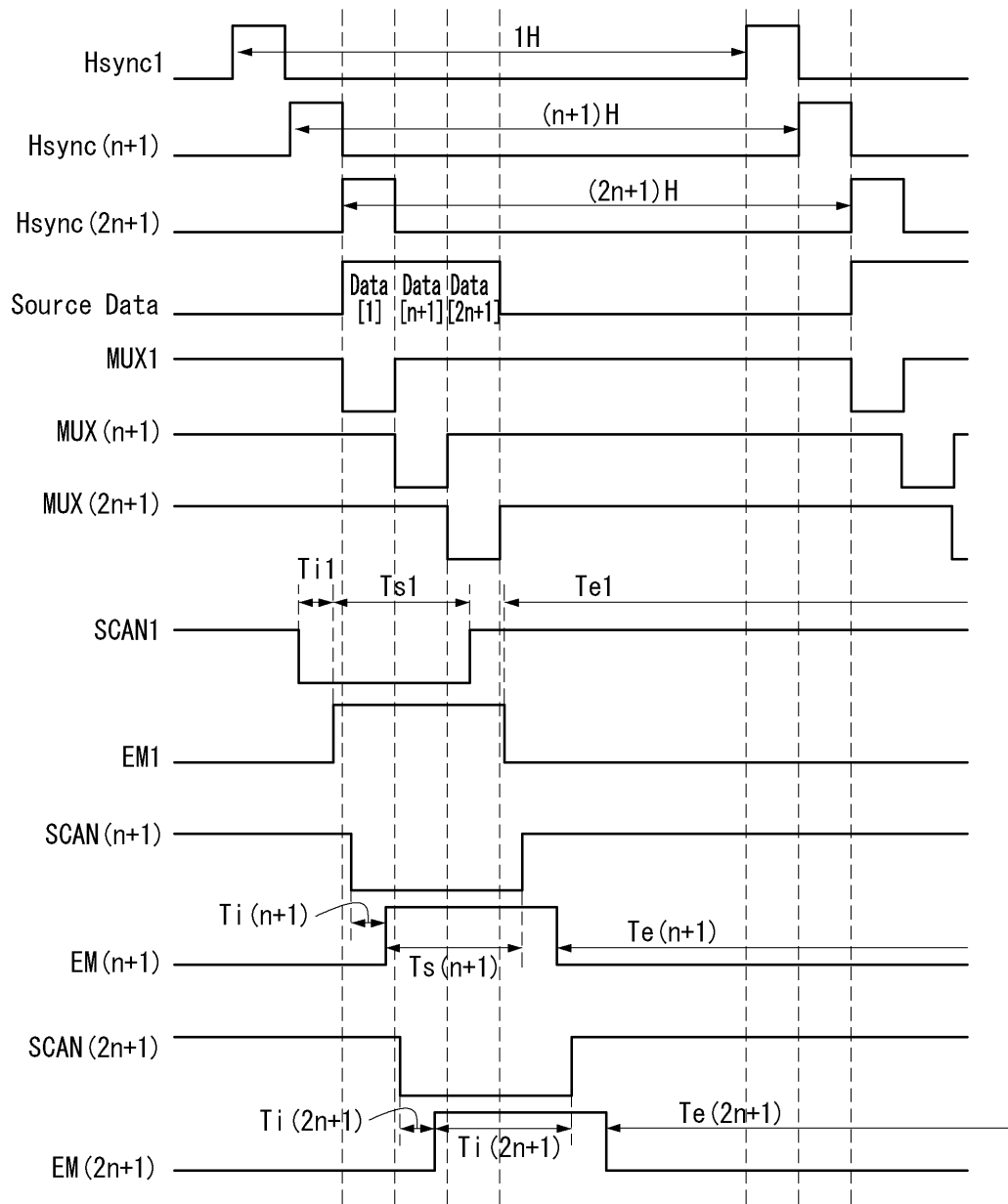
도면4



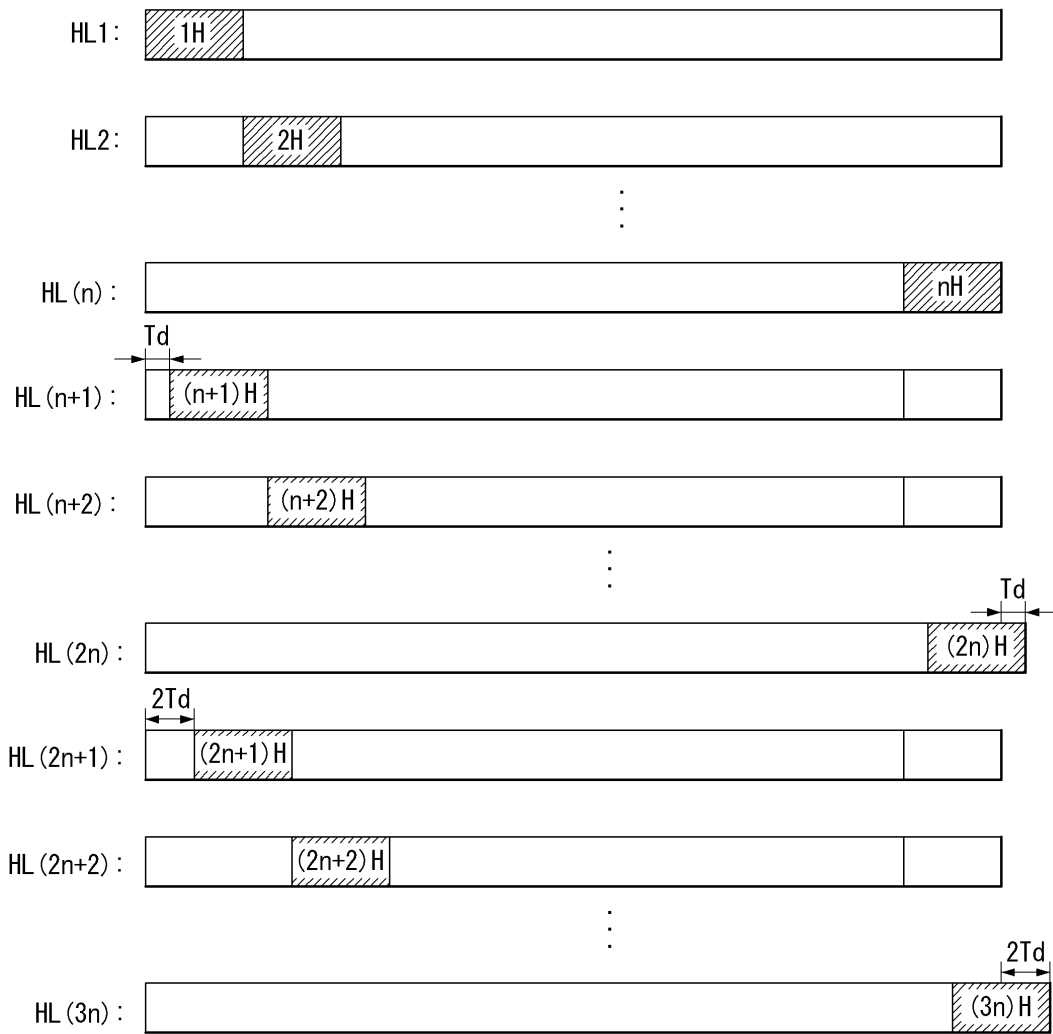
도면5



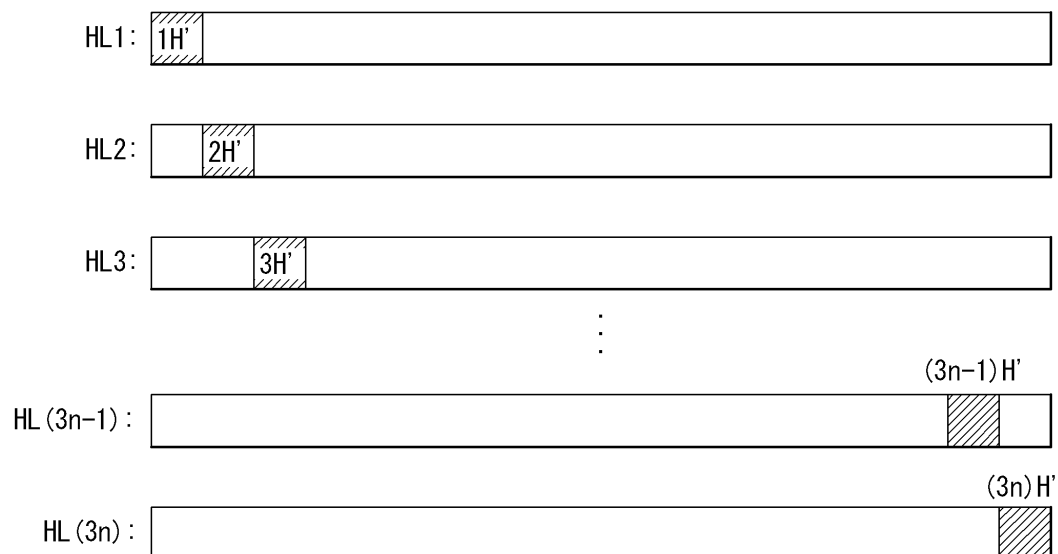
도면6



도면7



도면8



专利名称(译)	标题：OLED显示器件		
公开(公告)号	KR1020170048775A	公开(公告)日	2017-05-10
申请号	KR1020150149287	申请日	2015-10-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEOK JONG 김석중		
发明人	김석중		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 H01L27/3248 G09G2310/0286 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示装置包括第一和第二面板块，第一和第二移位寄存器，以及数据驱动器。在第一面板块中，布置第一到第 n （ n 是大于2的自然数）栅极线，并且将 $(n+1)$ 到 $2n$ 栅极线布置在第二面板块中。连续第一移位寄存器在第一面板块中施加第一到第 n 扫描信号和第一到第 n 个MUX信号，并且第二移位寄存器连续地将第 $(n+1)$ 个施加到 $2n$ 扫描信号和 $(n+1)$ 到第二个面板块中的 $2n$ MUX信号。数据驱动器将数据电压提供给跨越第一面板块和第二面板块的数据线，并根据列方向排列。同时的第一和第二移位寄存器接收并操作启动信号。布置在 i 中的第一面板块或第二面板块上的 i 像素（ i 是小于 $2n$ 的自然数）数字水平线包括驱动晶体管扫描晶体管和MUX晶体管。MUX晶体管与扫描晶体管的导通电压同步的MUX信号进行操作。

