



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0098281

(43) 공개일자 2015년08월28일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0019212

(22) 출원일자 2014년02월19일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

최천기

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리앤목특허법인

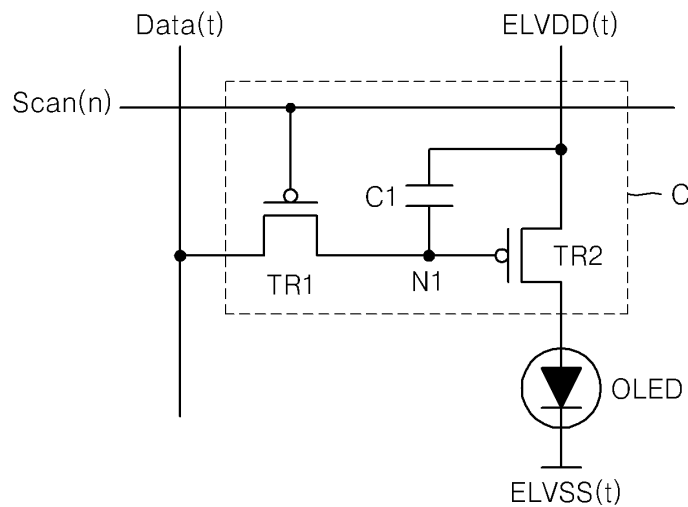
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 디스플레이 장치 및 이의 제조 방법

(57) 요약

본 실시예는 기판, 상기 기판 상에 형성된 유기발광소자 및 상기 유기발광소자로 전류를 공급하기 위한 화소 회로를 포함하고, 상기 화소 회로는, 상기 기판 상에 형성된 스위칭 트랜지스터와 구동 트랜지스터를 포함하고, 상기 스위칭 트랜지스터는, 상기 기판 상의 제1 게이트 전극과, 제1 절연층을 사이에 두고 상기 제1 게이트 전극 상에 형성된 산화물 반도체층을 포함하고, 상기 구동 트랜지스터는, 상기 기판 상의 활성층과, 상기 제1 절연층을 사이에 두고 상기 활성층 상에 형성된 제2 게이트 전극을 포함하는 유기 발광 디스플레이 장치를 개시한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성된 유기발광소자; 및

상기 유기발광소자로 전류를 공급하기 위한 화소 회로;를 포함하고,

상기 화소 회로는, 상기 기관 상에 형성된 스위칭 트랜지스터와 구동 트랜지스터를 포함하고,

상기 스위칭 트랜지스터는, 상기 기관 상의 제1 게이트 전극과, 제1 절연층을 사이에 두고 상기 제1 게이트 전극 상에 형성된 산화물 반도체층을 포함하고,

상기 구동 트랜지스터는, 상기 기관 상의 활성층과, 상기 제1 절연층을 사이에 두고 상기 활성층 상에 형성된 제2 게이트 전극을 포함하는 유기 발광 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 산화물 반도체층은, 갈륨(Ga), 인듐(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 중에서 하나 이상의 원소와 산소(O)를 포함하는 유기 발광 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 제1 게이트 전극은, 불순물이 도핑된 다결정 실리콘층인 유기 발광 디스플레이 장치.

청구항 4

제3항에 있어서,

상기 활성층은, 채널영역 및 상기 채널영역의 양측에 상기 불순물이 도핑된 소스영역과 드레인영역을 포함하는 유기 발광 디스플레이 장치.

청구항 5

제4항에 있어서,

상기 산화물 반도체층과 상기 제2 게이트 전극 상의 제2 절연층을 더 포함하고,

상기 스위칭 트랜지스터는, 상기 제2 절연층을 관통하여 상기 산화물 반도체층과 접하는 제1 소스 전극 및 제1 드레인 전극을 포함하는 유기 발광 디스플레이 장치.

청구항 6

제5항에 있어서,

상기 구동 트랜지스터는, 상기 제1 절연층 및 상기 제2 절연층을 관통하여 상기 소스 영역 및 상기 드레인 영역과 각각 접하는 제2 소스 전극과 제2 드레인 전극을 포함하는 유기 발광 디스플레이 장치.

청구항 7

제4항에 있어서,

상기 화소 회로는 커패시터를 더 포함하고,

상기 커패시터는, 상기 기관 상의 제1 전극과, 상기 제1 절연층을 사이에 두고 상기 제1 전극 상에 형성된 제2 전극을 포함하는 유기 발광 디스플레이 장치.

청구항 8

제7항에 있어서,

상기 제1 전극은, 상기 불순물이 도핑된 상기 다결정 실리콘층으로 형성되고,

상기 제2 전극은, 상기 산화물 반도체층으로 형성된 유기 발광 디스플레이 장치.

청구항 9

제7항에 있어서,

상기 커패시터는, 상기 제2 절연층을 사이에 두고 상기 제2 전극 상에 형성된 제3 전극을 더 포함하는 유기 발광 디스플레이 장치.

청구항 10

제1항에 있어서,

상기 유기발광소자는, 애노드 전극, 캐소드 전극 및 상기 애노드 전극과 상기 캐소드 전극 사이에 위치하는 유기발광층을 포함하는 유기 발광 디스플레이 장치.

청구항 11

기판 상에 다결정 실리콘층을 형성하고, 상기 다결정 실리콘층을 패터닝하여 제1 게이트 전극의 중간층 및 활성층의 중간층을 형성하는 패터닝 단계;

상기 제1 게이트 전극의 중간층 및 상기 활성층의 중간층 상에 제1 절연층을 형성하는 단계;

상기 활성층의 중간층 상에 위치하도록, 상기 제1 절연층 상에 제2 게이트 전극을 형성하는 단계;

상기 제1 게이트 전극의 중간층과 상기 활성층의 중간층에 불순물을 도핑하여, 제1 게이트 전극과 활성층을 형성하는 도핑 단계;

상기 제1 게이트 전극 상에 위치하도록, 상기 제1 절연층 상에 산화물 반도체층을 형성하는 단계;

상기 제2 게이트 전극과 상기 산화물 반도체층 상에 제2 절연층을 형성하는 단계; 및

상기 제2 절연층을 관통하여 상기 산화물 반도체층과 접하는 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계;를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 활성층은, 상기 제2 게이트 전극과 중첩하는 위치의 채널영역 및, 상기 채널 영역의 양측에 각각 위치하고, 상기 불순물이 도핑되어 형성된 소스 영역과 드레인 영역을 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 13

제12항에 있어서,

상기 제1 절연층 및 상기 제2 절연층을 관통하여, 상기 소스 영역 및 상기 드레인 영역과 각각 접하는 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 14

제11항에 있어서,

상기 제1 게이트 전극은 스위칭 트랜지스터의 게이트 전극이고, 상기 제2 게이트 전극은 구동 트랜지스터의 게이트 전극인 유기 발광 디스플레이 장치의 제조 방법.

청구항 15

제11항에 있어서,

상기 산화물 반도체층은, 갈륨(Ga), 인듐(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 중에서 하나 이상의 원소와 산소(O)를 포함하여 형성된 유기 발광 디스플레이 장치의 제조 방법.

청구항 16

제11항에 있어서,

상기 다결정 실리콘층은, 상기 기판 상에 비정질 실리콘층을 도포한 후, 상기 비정질 실리콘층을 결정화하여 형성되는 유기 발광 디스플레이 장치의 제조 방법.

청구항 17

제11항에 있어서,

상기 불순물은 P형 불순물인 유기 발광 디스플레이 장치의 제조 방법.

청구항 18

제11항에 있어서,

상기 패터닝 단계시, 제1 전극의 중간층을 더 형성하고,

상기 도핑 단계시, 상기 제1 전극의 중간층을 상기 불순물로 도핑하여, 상기 커패시터의 제1 전극을 형성하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 산화물 반도체층의 형성시, 상기 제1 전극과 중첩하는 위치에 상기 커패시터의 제2 전극을 더 형성하는 유기 발광 디스플레이 장치의 제조 방법.

청구항 20

제19항에 있어서,

상기 제2 절연층 상에 상기 제2 전극과 중첩하는 상기 커패시터의 제3 전극을 더 형성하는 유기 발광 디스플레이 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명의 실시예들은 유기 발광 디스플레이 장치 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 디스플레이 장치는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 구비한 유기 발광 소자를 포함하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 결합하여 생성된 엑시톤(exiton)이 여기 상태(exited state)로부터 기저 상태(ground state)로 떨어지면서 빛을 발생시키는 자발광형 표시 장치이다.

[0003] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 넓은 시야각, 높은 콘트라스트(contrast) 및 빠른 응답 속도 등의 고품위 특성으로 인해 차세대 표시 장치로 주목 받고 있다. 이와 같은 유기 발광 디스플레이 장치는, 복수의 트랜지스터와 커패시터를 가지는 복수의 화소들을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들은 유기 발광 디스플레이 장치 및 이의 제조 방법을 제공한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예는, 기판, 상기 기판 상에 형성된 유기발광소자 및 상기 유기발광소자로 전류를 공급하기 위한 화소 회로를 포함하고, 상기 화소 회로는, 상기 기판 상에 형성된 스위칭 트랜지스터와 구동 트랜지스터를 포함하고, 상기 스위칭 트랜지스터는, 상기 기판 상의 제1 게이트 전극과, 제1 절연층을 사이에 두고 상기 제1 게이트 전극 상에 형성된 산화물 반도체층을 포함하고, 상기 구동 트랜지스터는, 상기 기판 상의 활성층과, 상기 제1 절연층을 사이에 두고 상기 활성층 상에 형성된 제2 게이트 전극을 포함하는 유기 발광 디스플레이 장치를 개시한다.

[0006] 본 실시예에 있어서, 상기 산화물 반도체층은, 갈륨(Ga), 인듐(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 중에서 하나 이상의 원소와 산소(O)를 포함할 수 있다.

[0007] 본 실시예에 있어서, 상기 제1 게이트 전극은, 불순물이 도핑된 다결정 실리콘층일 수 있다.

[0008] 본 실시예에 있어서, 상기 활성층은, 채널영역 및 상기 채널영역의 양측에 상기 불순물이 도핑된 소스영역과 드레인영역을 포함할 수 있다.

[0009] 본 실시예에 있어서, 상기 산화물 반도체층과 상기 제2 게이트 전극 상의 제2 절연층을 더 포함하고, 상기 스위칭 트랜지스터는, 상기 제2 절연층을 관통하여 상기 산화물 반도체층과 접하는 제1 소스 전극 및 제1 드레인 전극을 포함할 수 있다.

[0010] 본 실시예에 있어서, 상기 구동 트랜지스터는, 상기 제1 절연층 및 상기 제2 절연층을 관통하여 상기 소스 영역 및 상기 드레인 영역과 각각 접하는 제2 소스 전극과 제2 드레인 전극을 포함할 수 있다.

[0011] 본 실시예에 있어서, 상기 화소 회로는 커패시터를 더 포함하고, 상기 커패시터는, 상기 기판 상의 제1 전극과, 상기 제1 절연층을 사이에 두고 상기 제1 전극 상에 형성된 제2 전극을 포함할 수 있다.

[0012] 본 실시예에 있어서, 상기 제1 전극은, 상기 불순물이 도핑된 상기 다결정 실리콘층으로 형성되고, 상기 제2 전극은, 상기 산화물 반도체층으로 형성될 수 있다.

[0013] 본 실시예에 있어서, 상기 커패시터는, 상기 제2 절연층을 사이에 두고 상기 제2 전극 상에 형성된 제3 전극을 더 포함할 수 있다.

[0014] 본 실시예에 있어서, 상기 유기발광소자는, 애노드 전극, 캐소드 전극 및 상기 애노드 전극과 상기 캐소드 전극 사이에 위치하는 유기발광층을 포함할 수 있다.

[0015] 본 발명의 다른 실시예는, 기판 상에 다결정 실리콘층을 형성하고, 상기 다결정 실리콘층을 패터닝하여 제1 게이트 전극의 중간층 및 활성층의 중간층을 형성하는 패터닝 단계, 상기 제1 게이트 전극의 중간층 및 상기 활성층의 중간층 상에 제1 절연층을 형성하는 단계, 상기 활성층의 중간층 상에 위치하도록, 상기 제1 절연층 상에 제2 게이트 전극을 형성하는 단계, 상기 제1 게이트 전극의 중간층과 상기 활성층의 중간층에 불순물을 도핑하여, 제1 게이트 전극과 활성층을 형성하는 도핑 단계, 상기 제1 게이트 전극 상에 위치하도록, 상기 제1 절연층 상에 산화물 반도체층을 형성하는 단계, 상기 제2 게이트 전극과 상기 산화물 반도체층 상에 제2 절연층을 형성하는 단계 및 상기 제2 절연층을 관통하여 상기 산화물 반도체층과 접하는 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치의 제조 방법을 개시한다.

[0016] 본 실시예에 있어서, 상기 활성층은, 상기 제2 게이트 전극과 중첩하는 위치의 채널영역 및, 상기 채널 영역의 양측에 각각 위치하고, 상기 불순물이 도핑되어 형성된 소스 영역과 드레인 영역을 포함할 수 있다.

[0017] 본 실시예에 있어서, 상기 제1 절연층 및 상기 제2 절연층을 관통하여, 상기 소스 영역 및 상기 드레인 영역과 각각 접하는 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계를 더 포함할 수 있다.

[0018] 본 실시예에 있어서, 상기 제1 게이트 전극은 스위칭 트랜지스터의 게이트 전극이고, 상기 제2 게이트 전극은 구동 트랜지스터의 게이트 전극일 수 있다.

[0019] 본 실시예에 있어서, 상기 산화물 반도체층은, 갈륨(Ga), 인듐(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 중에서 하나 이상의 원소와 산소(O)를 포함하여 형성될 수 있다.

[0020] 본 실시예에 있어서, 상기 다결정 실리콘층은, 상기 기판 상에 비정질 실리콘층을 도포한 후, 상기 비정질 실리

콘층을 결정화하여 형성될 수 있다.

[0021] 본 실시예에 있어서, 상기 불순물은 P형 불순물일 수 있다.

[0022] 본 실시예에 있어서, 상기 패터닝 단계시, 제1 전극의 중간층을 더 형성하고, 상기 도핑 단계시, 상기 제1 전극의 중간층을 상기 불순물로 도핑하여, 상기 커패시터의 제1 전극을 형성할 수 있다.

[0023] 본 실시예에 있어서, 상기 산화물 반도체층의 형성시, 상기 제1 전극과 중첩하는 위치에 상기 커패시터의 제2 전극을 더 형성할 수 있다.

[0024] 본 실시예에 있어서, 상기 제2 절연층 상에 상기 제2 전극과 중첩하는 상기 커패시터의 제3 전극을 더 형성할 수 있다.

발명의 효과

[0025] 본 실시예에 관한 유기 발광 디스플레이 장치는, 전자 이동도(Mobility)가 우수한 다결정 실리콘과, 누설 전류가 작은 산화물 반도체를 트랜지스터들의 활성층으로 동시에 사용할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시한 평면도이다.

도 2는 도 1의 유기 발광 디스플레이 장치에 포함된 화소에 대한 회로도이다.

도 3은 도 2의 화소 회로에 포함된 박막 트랜지스터들 및 커패시터를 개략적으로 도시한 부분 단면도이다.

도 4 내지 도 8은 도 3의 박막 트랜지스터들 및 커패시터의 제조 과정을 순차적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0028] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0029] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 각 도면에서, 구성요소는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었으며, 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

[0030] 각 구성요소의 설명에 있어서, '상(on)'에 또는 '하(under)'에 형성되는 것으로 기재되는 경우에 있어, 상(on)과 하(under)는 직접 또는 다른 구성요소를 개재하여 형성되는 것을 모두 포함하며, 상(on) 및 하(under)에 대한 기준은 도면을 기준으로 설명한다.

[0031] 이하, 본 발명의 실시 예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시한 평면도이고, 도 2는 도 1의 유기 발광 디스플레이 장치에 포함된 화소에 대한 회로도이며, 도 3은 도 2의 화소 회로에 포함된 박막 트랜지스터들 및 커패시터를 개략적으로 도시한 부분 단면도이다.

[0033] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치(100)는, 기판(101), 기판(101) 상에 형성된 유기 발광 소자(OLED) 및 유기 발광 소자(OLED)로 전류를 공급하기 위한 화소 회로(C)를 포함할 수 있다.

[0034] 기판(101)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 다만, 본 발명은 이에 한하지 않

으며, 기관(101)은 세라믹, 플라스틱, 또는 스테인리스 강 등으로 이루어질 수도 있다. 기관(101) 상에는 기관(101)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등으로 형성되는 버퍼층(미도시)이 더 구비될 수 있다.

[0035] 기관(101)은 표시 영역(DA)과 비표시영역(NA)으로 구획될 수 있다. 표시 영역(DA)에는 유기발광소자(organic light emitting device, OLED) 등을 포함하는 복수의 화소들이 형성되어 화상을 표시하며, 비표시 영역(NA)에는 패드부(미도시) 등이 배치되어, 전원 공급장치(미도시) 또는 신호 생성 장치(미도시)로부터의 전기적 신호를 표시 영역(DA)으로 전달할 수 있다.

[0036] 복수의 화소들 각각은, 도 2에 도시된 바와 같이, 유기 발광 소자(OLED)와 유기 발광 소자(OLED)로 전류를 공급하기 위한 화소 회로(C)를 구비할 수 있다.

[0037] 유기 발광 소자(OLED)는, 정공 주입 전극인 애노드(anode) 전극과, 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다. 애노드 전극은 화소 회로(C)에 접속되고, 캐소드 전극은 제2 전원(ELVSS(t))에 접속된다. 유기 발광 소자(OLED)는 화소 회로(C)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.

[0038] 화소 회로(C)는 적어도 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 커패시터(C1)를 포함한다.

[0039] 제1 트랜지스터(TR1)는 기관(101) 상의 제1 게이트 전극(310), 제1 절연층(102)을 사이에 두고 제1 게이트 전극(310) 상에 형성된 산화물 반도체층(320), 산화물 반도체층(320)과 접속한 제1 소스 전극(332) 및 제1 드레인 전극(334)을 포함할 수 있다. 제1 소스 전극(332) 및 제1 드레인 전극(334)은 산화물 반도체층(320) 상에 형성된 제2 절연층(103)을 관통하여 산화물 반도체층(320)과 접속할 수 있다.

[0040] 제1 게이트 전극(310)은 불순물이 도핑된 다결정 실리콘층으로 형성될 수 있다. 일 예로, 불순물은 붕소(B)와 같은 P형 불순물일 수 있다. 그러나, 본 발명은 이에 한하지 않으며, 불순물은 인(P)과 같은 N형 불순물일 수도 있다.

[0041] 산화물 반도체층(320)은 상기 불순물이 도핑되지 않으며, 갈륨(Ga), 인듐(In), 아연(Zn), 및 주석(Sn) 중에서 선택된 하나 이상의 원소와 산소(O)를 포함하여 형성될 수 있다.

[0042] 이와 같은, 제1 트랜지스터(TR1)의 제1 게이트 전극(310)은 스캔 라인(S)에 접속되고, 제1 소스 전극(332)은 데이터 라인(D)에 접속되며, 제1 드레인 전극(334)은 제1 노드(N1)에 접속된다. 따라서, 제1 게이트 전극(310)에는 스캔신호(Scan(n))가 입력되고, 제1 소스 전극(332)으로는 데이터신호(Data(t))가 입력됨으로써, 제1 트랜지스터(TR1)는 데이터 신호를 전달하는 스위칭 트랜지스터로서의 역할을 수행한다.

[0043] 한편, 제1 트랜지스터(TR1)는 데이터 전압을 커패시터(C1)로 전달하고, 커패시터(C1)는 전달받은 전압을 저장한다. 이때, 제1 트랜지스터(TR1)는 상술한 바와 같이 산화물 반도체층(320)을 활성층으로 사용하므로, 제1 트랜지스터(TR1)의 누설전류는 다결정 실리콘층을 활성층으로 사용하는 경우보다 감소하게 된다. 따라서, 커패시터(C1)에 저장되는 전압의 감소를 최소화할 수 있으므로, 커패시터(C1)의 크기를 보다 작게 형성할 수 있다.

[0044] 제2 트랜지스터(TR2)는 기관(101) 상의 활성층(210), 제1 절연층(102)을 사이에 두고 활성층(210) 상에 형성된 제2 게이트 전극(220) 및 활성층(210)에 접속된 제2 소스 전극(232) 및 제2 드레인 전극(234)을 포함할 수 있다. 제2 소스 전극(232) 및 제2 드레인 전극(234)은 제1 절연층(102) 및 제2 게이트 전극(220) 상에 형성된 제2 절연층(103)을 관통하여 활성층(210)과 접속될 수 있다.

[0045] 활성층(210)은 다결정 실리콘층으로 형성되며, 불순물이 도핑되지 않은 중앙의 채널 영역(212)과, 채널 영역(212)의 양측에 불순물이 도핑되어 형성된 소스 영역(214) 및 드레인 영역(216)을 포함한다.

[0046] 제2 소스 전극(232)과 제2 드레인 전극(234)은 각각 소스 영역(214) 및 드레인 영역(216)과 접속한다. 이때, 불순물은 상기 제1 게이트 전극(310)에 도핑된 불순물과 동일할 수 있다.

[0047] 이와 같은 제2 트랜지스터(TR2)의 게이트 전극(220)은 제1 노드(N1)에 접속되고, 제2 소스 전극(232)은 제1 전원(ELVDD(t))에 접속되며, 제2 드레인 전극(234)은 유기 발광 소자(OLED)의 화소 전극에 접속된다. 따라서, 제2 트랜지스터(TR2)는 데이터 신호에 따라 유기 발광 소자(OLED)를 구동시키기 위한 구동 트랜지스터로서의 역할을 수행한다. 구체적으로, 제2 트랜지스터(TR2)는 커패시터(C1)에 저장된 전압과 문턱 전압의 차이의 제공에 비례하는 출력 전류를 유기 발광 소자(OLED)로 공급한다.

[0048] 한편, 제2 트랜지스터(TR2)는 활성층(210)이 다결정 실리콘층으로 형성되어 우수한 전자 이동도를 가지므로, 제

2 트랜지스터(TR2)는 보다 작은 크기를 가지고 형성될 수 있다.

- [0049] 커패시터(C1)는, 기판(101) 상의 제1 전극(410) 및, 제1 절연층(102)을 사이에 두고 제1 전극(410) 상에 형성된 제2 전극(420)을 포함할 수 있다. 또한, 커패시터(C1)는 제2 절연층(103)을 사이에 두고, 제2 전극(420) 상에 형성된 제3 전극(430)을 더 포함할 수 있다. 따라서, 제1 절연층(102)과 제2 절연층(103)은 커패시터(C1)의 유전층으로 기능할 수 있다.
- [0050] 제1 전극(410)은 제1 게이트 전극(310)과 동일한 재질 즉, 불순물이 도핑된 다결정 실리콘층으로 형성될 수 있으며, 제2 전극(420)은 산화물 반도체층(320)과 동일한 재질로 형성될 수 있다.
- [0051] 제3 전극(430)은 제1 소스 전극(332), 제1 드레인 전극(334), 제2 소스 전극(232) 및 제2 드레인 전극(234)과 동일한 재질로 형성될 수 있다.
- [0052] 커패시터(C1)는 제1 전극(410)과 제2 전극(420) 사이 및 제2 전극(420)과 제3 전극(430) 사이의 두 개의 커패시터가 병렬로 연결되어 밀도가 증가하게 되므로, 커패시터(C1)의 크기를 감소시킬 수 있다.
- [0053] 이와 같은 커패시터(C1)는 제1 노드(N1)와 제2 트랜지스터(TR2)의 제1 전극 즉, 제1 전원(ELVDD(t)) 사이에 접속된다. 커패시터(C1)는 제1 트랜지스터(TR1)로부터 전송 받은 전압과 제1 전원(ELVDD(t))에서 공급되는 전압의 차이에 해당하는 전압을 저장한다.
- [0054] 한편, 도 2 및 도 3에서는, 하나의 화소에 두 개의 트랜지스터(TR1, TR2)와 하나의 커패시터(C1)가 포함된 구성을 도시하고 설명하였으나, 본 발명을 이에 한정되지 않는다. 즉, 하나의 화소에는 셋 이상의 박막 트랜지스터와 둘 이상의 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성될 수도 있다.
- [0055] 도 4 내지 도 8은 도 3의 박막 트랜지스터들 및 커패시터의 제조 과정을 순차적으로 도시한 단면도들이다.
- [0056] 먼저, 도 4와 같이 기판(101) 상에 다결정 실리콘층을 형성하고, 다결정 실리콘층을 패터닝하여 제1 게이트 전극의 중간층(202) 및 활성층의 중간층(201)을 형성한 후, 제1 게이트 전극의 중간층(202) 및 활성층의 중간층(201) 상에 제1 절연층(102)을 형성한다. 한편, 다결정 실리콘층을 패터닝할 때는, 커패시터의 제1 전극의 중간층(203)을 더 형성할 수 있다.
- [0057] 또한, 다결정 실리콘층을 형성하기 전에, 기판(101) 상에 버퍼층(미도시)을 먼저 형성할 수 있다. 버퍼층(미도시)은 SiO₂ 및/또는 SiNx 등으로 이루어질 수 있으며, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0058] 다결정 실리콘층은, 일 예로 비정질 실리콘을 결정화하여 형성될 수 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0059] 제1 절연층(102)은 SiO₂, SiNx 등을 단층 또는 복수 층 포함할 수 있고, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등에 의해 형성될 수 있다.
- [0060] 다음으로, 도 5와 같이, 활성층의 중간층(201) 상에 위치하도록, 제1 절연층(102) 상에 제2 게이트 전극(220)을 형성한다. 게이트 전극(220)은 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo를 함유할 수 있고, Al:Nd, Mo:W 합금 등과 같은 합금을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0061] 이어서, 도 6에 도시된 바와 같이, 활성층의 중간층(201), 제1 게이트 전극의 중간층(202), 및 제1 전극의 중간층(203)에 불순물을 도핑하여, 각각 활성층(210), 제1 게이트 전극(310) 및 제1 전극(410)을 형성한다.
- [0062] 불순물은 일 예로, 붕소(B)와 같은 P형 불순물일 수 있다. 또는, 불순물은 인(P)과 같은 N형 불순물일 수도 있다.
- [0063] 상기 불순물의 도핑시, 활성층(210)은 제2 게이트 전극(220)을 셀프 얼라인(self align) 마스크로 사용함으로써, 제2 게이트 전극(220)과 중첩하는 위치의 채널영역(212) 및, 채널 영역(212)의 양측에 각각 위치하고, 불순물이 도핑되어 형성된 소스 영역(214)과 드레인 영역(216)을 포함할 수 있다.
- [0064] 또한, 제1 게이트 전극(310)과 제1 전극(410)은 상기 불순물이 도핑된 다결정 실리콘층으로 형성된다. 따라서,

제1 게이트 전극(310)과 제1 전극(410)이 활성층(210)과 동시에 형성되므로, 제1 게이트 전극(310)과 제1 전극(410)을 금속 등의 재질로 형성하는 경우에 비해, 사용되는 마스크 수가 감소되어 제조 공정이 단순화 될 수 있다.

[0065] 다음으로, 도 7과 같이, 제1 절연층(102) 상에 산화물 반도체층(320)을 형성하고, 산화물 반도체층(320) 및 제2 게이트 전극(220) 상에 제2 절연층(103)을 형성한다. 이때, 산화물 반도체층(320)의 형성시 산화물 반도체층(320)과 동일한 재질에 의해 제1 전극(410) 상에 제2 전극(420)을 함께 형성할 수 있다.

[0066] 산화물 반도체층(320)은 제1 게이트 전극(310) 상에 위치하며, 갈륨(Ga), 인듐(In), 아연(Zn), 및 주석(Sn) 중 에서 하나 이상의 원소와 산소(O)를 포함하여 형성될 수 있다. 또한, 산화물 반도체층(320)은 도 6에서 도시한 불순물의 도핑 단계 후에 형성되므로, 산화물 반도체층(320)에는 불순물이 도핑되지 않는다. 그 결과, 산화물 반도체층(320)에 불순물이 도핑될 때의 제1 트랜지스터(도 2의 TR1)의 특성이 변화하고, 그에 따른 제1 트랜지스터(도 2의 TR1)의 신뢰성이 저하되는 것을 방지할 수 있다.

[0067] 또한, 상술한 바와 같이 스위칭 트랜지스터로 기능하는 제1 트랜지스터(도 2의 TR1)의 활성층이 산화물 반도체층(320)으로 형성되므로, 제1 트랜지스터(도 2의 TR1)의 누설전류가 감소되므로, 커패시터(도 2의 C1)의 크기를 감소시킬 수 있다.

[0068] 제2 절연층(103)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 또한, 제2 절연층(103)은 SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 제2 절연층(103)은 유기 발광 소자(도 2의 OLED)의 캐소드 전극이 형성될 상면을 평탄하게 하는 평탄화막 또는 산화물 반도체층(320) 및 제2 게이트 전극(220)을 보호하는 패시베이션막(passivation layer)의 기능을 수행할 수 있다.

[0069] 제2 절연층(103)을 형성한 후에는, 제1 절연층(102) 및 제2 절연층(103)을 함께 패터닝하여, 소스 영역(214)과 드레인 영역(216)을 각각 노출시키는 제1 비아홀(h1)과 제2 비아홀(h2)을 형성한다. 또한, 제2 절연층(103)을 패터닝하여, 산화물 반도체층(320)을 노출시키는 제3 비아홀(h3) 및 제4 비아홀(h4)을 형성한다.

[0070] 다음으로, 도 8과 같이, 제2 절연층(103)을 관통하여 산화물 반도체층(320)과 접하는 제1 소스 전극(332) 및 제1 드레인 전극(334)을 형성한다. 제1 소스 전극(332) 및 제1 드레인 전극(334)은 각각 제3 비아 홀(h3)과 제4 비아 홀(h4)에 충전됨으로써, 산화물 반도체층(320)과 접속된다.

[0071] 또한, 제1 절연층(102) 및 제2 절연층(103)을 관통하여, 소스 영역(214) 및 드레인 영역(216)과 각각 접하는 제2 소스 전극(232) 및 제2 드레인 전극(234)을 형성한다. 제2 소스 전극(232) 및 제2 드레인 전극(234)은 각각 제1 비아 홀(h1)과 제2 비아 홀(h2)에 충전됨으로써, 소스 영역(214) 및 드레인 영역(216)에 각각 접할 수 있다.

[0072] 또한, 제2 절연층(103) 상에 제2 전극(420)과 중첩하는 위치에 제3 전극(430)을 형성할 수 있다.

[0073] 이상에서 설명한 바와 같이, 본 발명에 따른 유기 발광 디스플레이 장치(100)는, 스위칭 트랜지스터인 제1 트랜지스터(TR1)가 산화물 반도체층(320)을 포함하여 형성됨으로써 누설전류를 최소화하여 커패시터(C1)의 크기를 감소시킬 수 있다. 또한, 산화물 반도체층(320)에는 불순물이 도핑되지 않으므로, 불순물의 도핑에 의해 제1 트랜지스터(TR1)의 특성 및 신뢰성이 저하되는 것을 방지할 수 있다.

[0074] 또한, 구동 트랜지스터인 제2 트랜지스터(TR2)는 불순물이 도핑된 다결정 실리콘층을 포함하여 형성됨으로써, 우수한 전자 이동도를 가지므로, 제2 트랜지스터(TR1)의 크기를 감소시킬 수 있다.

[0075] 이상에서는 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

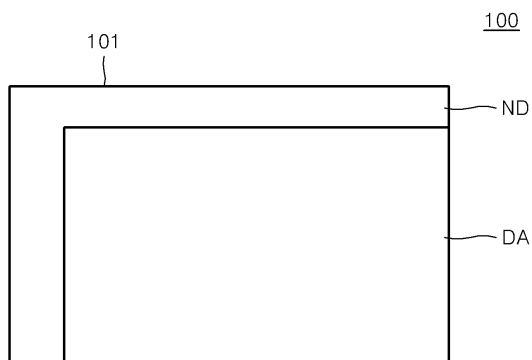
[0076] 100: 유기 발광 디스플레이 장치

101: 기판 102: 제1 절연층

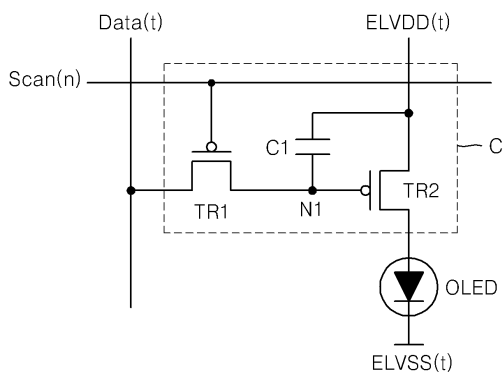
103: 제2 절연층 210: 활성층
 212: 채널 영역 214: 소스 영역
 216: 드레인 영역 220: 제2 게이트 전극
 232: 제2 소스 전극 234: 제2 드레인 전극
 310: 제1 게이트 전극 320: 산화물 반도체층
 332: 제1 소스 전극 334: 제2 드레인 전극
 410: 제1 전극 420: 제2 전극
 430: 제3 전극 TR1: 제1 트랜지스터
 TR2: 제2 트랜지스터 C1: 커패시터
 OLED: 유기 발광 소자

도면

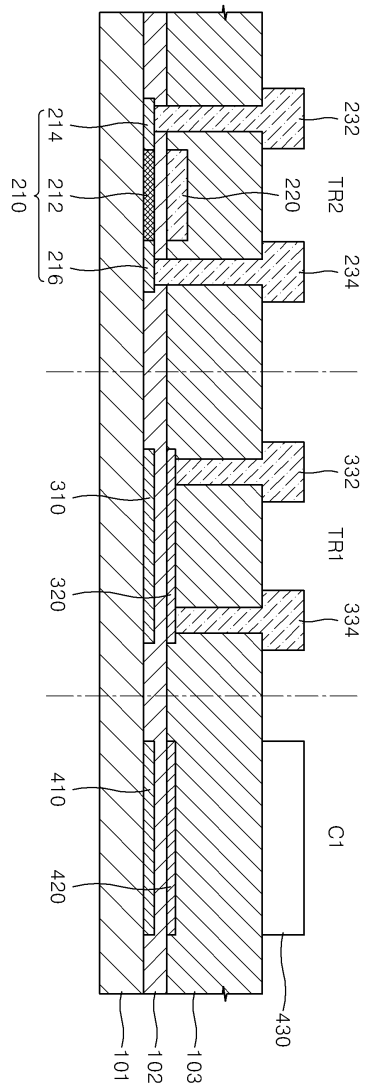
도면1



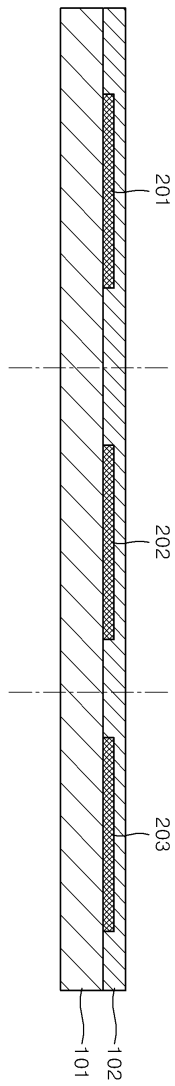
도면2



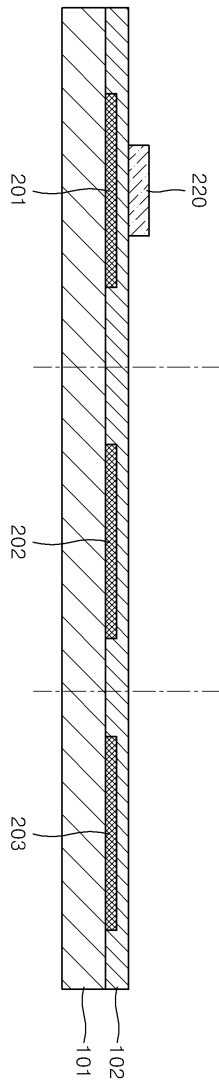
도면3



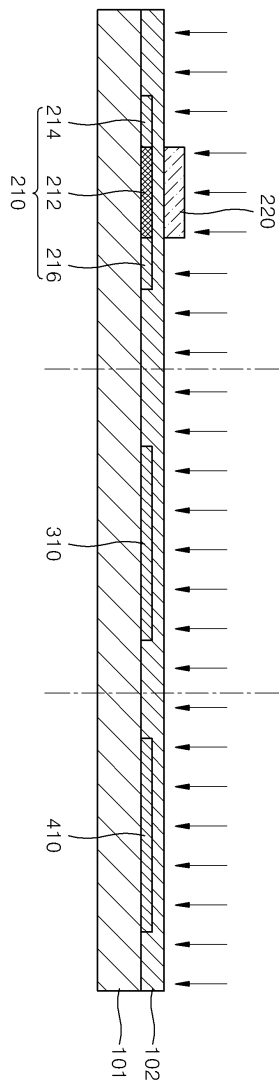
도면4



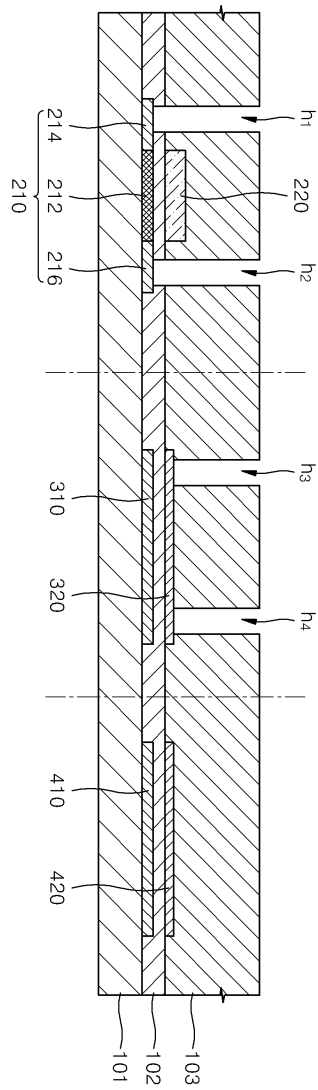
도면5



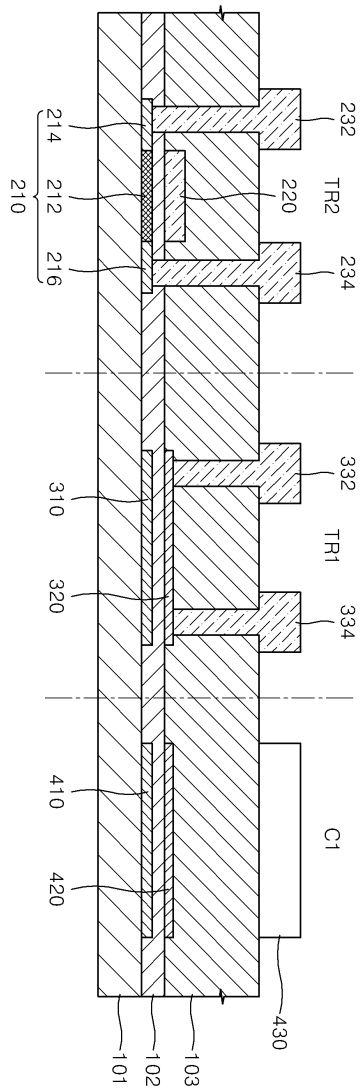
도면6



도면7



도면8



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	KR1020150098281A	公开(公告)日	2015-08-28
申请号	KR1020140019212	申请日	2014-02-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI CHAUN GI 최천기		
发明人	최천기		
IPC分类号	H01L27/32		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，本发明包括：基板；形成在基板上的有机发光元件；以及向有机发光元件提供电流的像素电路。像素电路包括开关晶体管和形成在基板上的驱动晶体管。开关晶体管包括：基板上的第一栅电极；氧化物半导体层形成在第一栅电极上，同时在它们之间具有第一绝缘层。驱动晶体管包括：衬底上的有源层；第二栅电极形成在有源层上，同时在其间具有第一绝缘层。COPYRIGHT KIPO 2015

