



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0140987  
(43) 공개일자 2014년12월10일

(51) 국제특허분류(Int. Cl.)  
H01L 51/50 (2006.01) H05B 33/10 (2006.01)  
(21) 출원번호 10-2013-0062113  
(22) 출원일자 2013년05월30일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
박경훈  
경기도 용인시 기흥구 삼성2로 95(농서동)  
박선  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(뒷면에 계속)  
(74) 대리인  
리앤목특허법인

전체 청구항 수 : 총 30 항

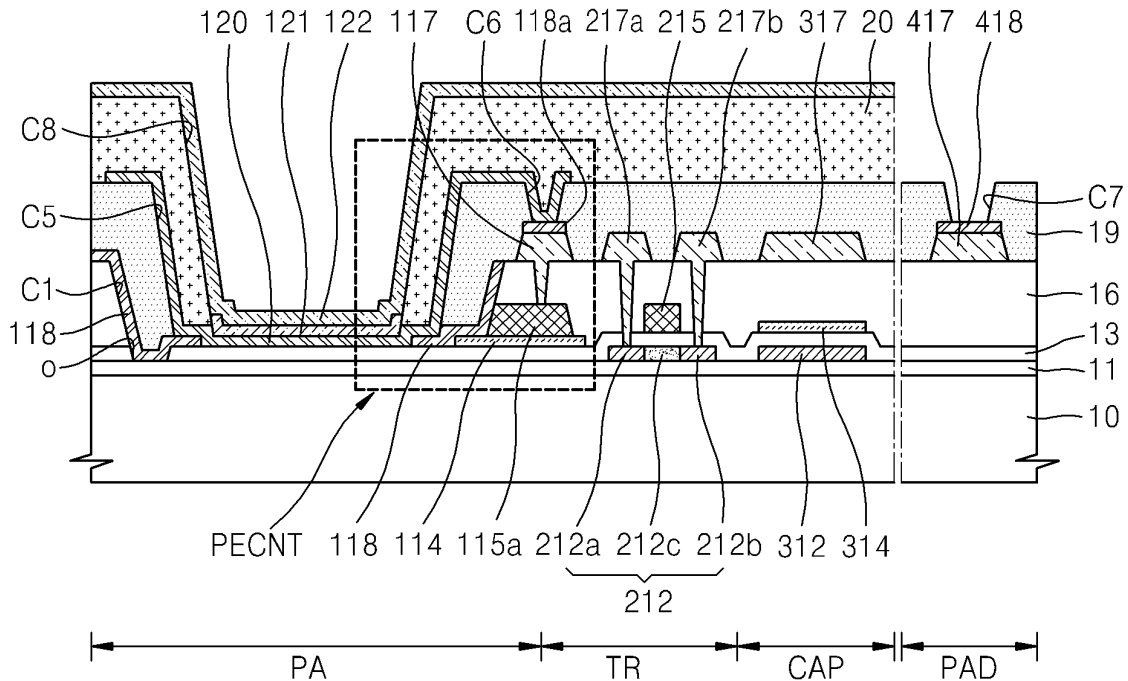
(54) 발명의 명칭 유기발광표시장치 및 그 제조 방법

(57) 요약

본 발명은, 활성층, 게이트 전극, 소스 전극과 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1 절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2 절연층을 포함하는 박막 트랜지스터가 형성된 기판과, 소스 전극 및 드레인 전극과 동일층에 배치된 제1 패드층과, 제1 패드층 상에 배치된 제2

(뒷면에 계속)

대표도 - 도2



패드층을 구비한 패드 전극과, 기판상에 형성되는 결합 보조층과, 상기 결합 보조층 상에 형성되며 제1 개구를 포함하는 제3 절연층과 제3 절연층의 제1 개구에 형성되며 소스 전극 및 상기 드레인 전극 중 어느 하나와 전기적으로 연결되는 화소 전극과, 화소 전극의 가장자리 단부를 덮도록 화소 전극 상에 형성되며, 제3 절연층에 형성된 제1 개구와 대응되는 위치에 형성된 제2 개구를 통해 화소를 정의하는 제4 절연층과, 화소 전극 상에 배치된 유기 발광층, 및 유기 발광층 상에 배치된 대향 전극을 포함하는 유기발광표시장치 및 그 제조 방법에 관한 것이다.

(72) 발명자

**송영호**

경기도 용인시 기흥구 삼성2로 95(농서동)

**송지훈**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**이윤규**

경기도 용인시 기흥구 삼성2로 95 (농서동)

## 특허청구의 범위

### 청구항 1

활성층, 게이트 전극, 소스 전극과 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1 절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2 절연층을 포함하는 박막 트랜지스터가 형성된 기판;

상기 소스 전극 및 상기 드레인 전극과 동일층에 배치된 제1 패드층과, 상기 제1 패드층 상에 배치된 제2 패드층을 구비한 패드 전극;

상기 기판상에 형성되는 결합 보조층;

상기 결합 보조층 상에 형성되며, 제1 개구를 포함하는 제3 절연층;

상기 제3 절연층의 상기 제1 개구에 형성되며, 상기 소스 전극 및 상기 드레인 전극 중 어느 하나와 전기적으로 연결되는 화소 전극;

상기 화소 전극의 가장자리 단부를 덮도록 상기 화소 전극 상에 형성되며, 상기 제3 절연층에 형성된 상기 제1 개구와 대응되는 위치에 형성된 제2 개구를 통해 화소를 정의하는 제4 절연층;

상기 화소 전극 상에 배치된 유기 발광층; 및

상기 유기 발광층 상에 배치된 대향 전극;을 포함하는, 유기발광표시장치.

### 청구항 2

제1항에 있어서,

상기 결합 보조층의 내측 단부는 상기 제3 절연층의 상기 제1 개구의 식각면까지 연장되는, 유기발광표시장치.

### 청구항 3

제1항에 있어서,

상기 결합 보조층의 내측 단부는 상기 제3 절연층의 상기 제1 개구의 식각면을 지나도록 연장되어 상기 제1 개구를 통해 노출되는, 유기발광표시장치.

### 청구항 4

제3항에 있어서,

상기 제4 절연층은 상기 제1 개구에 의해 노출된 상기 결합 보조층의 내측 단부를 덮는, 유기발광표시장치.

### 청구항 5

제3항에 있어서,

상기 결합 보조층의 내측 단부 상에는 상기 화소 전극이 바로 접촉하는, 유기발광표시장치.

### 청구항 6

제1항에 있어서,

상기 결합 보조층은 상기 화소를 적어도 일 부분을 둘러싸는, 유기발광표시장치.

### 청구항 7

제1항에 있어서,

상기 제3 절연층은 유기 절연층인, 유기발광표시장치.

### 청구항 8

제1항에 있어서,

상기 제4 절연층은 유기 절연층인, 유기발광표시장치.

**청구항 9**

제1항에 있어서,

상기 제3 절연층은 상기 소스 전극과 상기 드레인 전극을 덮는, 유기발광표시장치.

**청구항 10**

제1항에 있어서,

상기 결합 보조층과 상기 제2 패드층은 동일한 재료를 포함하는, 유기발광표시장치.

**청구항 11**

제1항에 있어서,

상기 결합 보조층은 투명 도전성 산화물을 포함하는, 유기발광표시장치.

**청구항 12**

제11항에 있어서,

상기 결합 보조층은 IT0를 포함하는, 유기발광표시장치.

**청구항 13**

제1항에 있어서,

상기 제1 패드층은 상기 소스 전극 및 드레인 전극과 동일한 재료를 포함하는, 유기발광표시장치.

**청구항 14**

제1항에 있어서,

상기 화소 전극은, 반투과 금속층을 포함하는, 유기발광표시장치.

**청구항 15**

제14항에 있어서,

상기 반투과 금속층은 은(Ag) 또는 은 합금으로 이루어진, 유기발광표시장치.

**청구항 16**

제14항에 있어서,

상기 반투과 금속층 상에 투명 도전성 산화물의 보호층이 더 적층된, 유기발광표시장치.

**청구항 17**

제1항에 있어서,

상기 제1 절연층의 일부는 상기 화소의 가장자리와 대응되는 영역에 형성된 홈을 포함하는, 유기발광표시장치.

**청구항 18**

제1항에 있어서,

상기 기판과 상기 제1 절연층 상에는 무기물로 형성되는 버퍼층을 더 포함하는, 유기발광표시장치.

**청구항 19**

제1항에 있어서,

상기 제2 절연층에 형성된 개구와, 상기 제3 절연층의 상기 제1 개구, 및 상기 제4 절연층의 상기 제2 개구는 중첩적으로 형성되고,

상기 제1 개구는 상기 제2 개구보다 크고, 상기 제2 절연층에 형성된 상기 개구 보다 작은, 유기발광표시장치.

#### 청구항 20

제1항에 있어서,

상기 제3 절연층 상에 형성된 콘택홀을 통해서 상기 소스 전극 및 상기 드레인 전극 중 하나와 상기 화소 전극을 전기적으로 접속시키는 화소 전극 콘택부를 포함하고,

상기 화소 전극 콘택부는 복수의 접속 지점을 갖는, 유기발광표시장치.

#### 청구항 21

제20항에 있어서,

상기 화소 전극 콘택부는 상기 소스 전극 및 상기 드레인 전극과 동일한 재료를 포함하는 제1 콘택층 및 상기 제2 패드층과 동일한 재료를 포함하는 제2 콘택층을 포함하는, 유기발광표시장치.

#### 청구항 22

제21항에 있어서,

상기 화소 전극은 상기 제2 콘택층과 전기적으로 접촉하는 유기발광표시장치.

#### 청구항 23

제21항에 있어서,

상기 화소 전극 콘택부는 상기 제1 절연층과 상기 제2 절연층 사이에 위치하고 상기 커패시터의 제2 전극과 동일한 재료를 포함하는 제3 콘택층 및, 상기 제3 콘택층상에 형성된 제4 콘택층을 더 포함하는, 유기발광표시장치.

#### 청구항 24

제23항에 있어서,

상기 화소 전극은 상기 제3 콘택층과 전기적으로 접촉하는 유기발광표시장치.

#### 청구항 25

기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 제1 전극을 형성하는 제1 마스크 공정;

제1 절연층을 형성하고, 상기 제1 절연층 상에 투명 도전성 산화물층을 형성하고, 상기 투명 도전성 산화물층을 패터닝하여 커패시터의 제2 전극을 형성하는 제2 마스크 공정;

제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 상기 제2 전극과 동일층에 박막 트랜지스터의 게이트 전극을 형성하는 제3 마스크 공정;

제2 절연층을 형성하고, 상기 제2 절연층에 상기 활성층의 일부를 노출시키는 콘택홀 및 상기 활성층의 측면에 이격된 영역에 제1 개구를 형성하는 제4 마스크 공정;

제2 금속층을 형성하고, 상기 제2 금속층을 패터닝하여 소스 전극과 드레인 전극, 및 패드 전극의 제1 패드층을 형성하는 제5 마스크 공정;

투명 도전성 산화물층을 형성하고, 상기 투명 도전성 산화물을 패터닝하여 상기 제1 패드층 상에 제2 패드층, 및 상기 제1 개구의 식각면을 덮는 결합 보조층을 형성하는 제6 마스크 공정;

유기 절연층으로 제3 절연층을 형성하고, 상기 제3 절연층의 상기 제1 개구와 중첩되는 영역에 상기 제1 개구보

다 작은 제2 개구 및, 상기 제2 패드층의 상면을 노출시키는 개구를 형성하는 제7 마스크 공정;

반투과 금속층을 형성하고, 상기 반투과 금속층을 패터닝하여 상기 제2 개구에 화소 전극을 형성하는 제8 마스크 공정;

제4 절연층을 형성하고, 상기 제4 절연층에 상기 상기 화소 전극의 상면을 노출시키며 화소를 정의하는 제3 개구를 형성하는 제9 마스크 공정;

상기 화소 전극 상에 유기 발광층을 형성하는 공정; 및

상기 유기 발광층 상에 대향 전극을 형성하는 공정;을 포함하는 유기발광표시장치의 제조 방법.

#### 청구항 26

제25항에 있어서,

상기 제6 마스크 공정에서 상기 결합 보조층은 상기 화소의 적어도 일부를 둘러싸도록 상기 제1 개구의 상기 식각면 상에 형성되는, 유기발광표시장치의 제조 방법.

#### 청구항 27

제25항에 있어서,

상기 결합 보조층의 내측 단부는 상기 제2 개구의 식각면까지 연장되거나 제2 개구의 식각면을 지나 상기 화소를 향해 돌출되는, 유기발광표시장치의 제조 방법.

#### 청구항 28

제25항에 있어서,

상기 제9 마스크 공정에서 상기 제4 절연층의 상기 제3 개구는, 상기 제3 개구의 식각면이 상기 결합 보조층의 내측 단부보다 상기 화소 중심을 향해 돌출되도록 형성되는, 유기발광표시장치의 제조 방법.

#### 청구항 29

제25항에 있어서,

상기 제2 금속층의 패터닝 시 화소 콘택부의 제1 콘택층을 형성하고, 상기 제2 패드층을 형성하는 상기 투명 도전성 산화물을 패터닝하여 상기 제1 콘택층 상에 제2 콘택층을 형성하는, 유기발광표시장치의 제조 방법.

#### 청구항 30

제25항에 있어서,

상기 커패시터의 제2 전극을 형성하는 투명 도전성 산화물로 제3 콘택층을 형성하고, 상기 제1 금속층으로 상기 제3 콘택층 상의 제4 콘택층을 형성하는, 유기발광표시장치의 제조 방법.

### 명세서

#### 기술분야

[0001] 본 발명은 유기발광표시장치 및 그 제조 방법에 관한 것이다.

#### 배경기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 포함하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 재결합하여 소멸하면서 빛을 내는 자발광형 표시 장치이다. 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목받고 있다.

#### 발명의 내용

## 해결하려는 과제

[0003] 본 발명의 일실시예는, 유기발광표시장치 및 그 제조 방법에 관한 것이다.

## 과제의 해결 수단

- [0004] 본 발명의 일 측면에 따르면, 활성층, 게이트 전극, 소스 전극과 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1 절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2 절연층을 포함하는 박막 트랜지스터가 형성된 기판; 상기 소스 전극 및 상기 드레인 전극과 동일층에 배치된 제1 패드층과, 상기 제1 패드층 상에 배치된 제2 패드층을 구비한 패드 전극; 상기 기판상에 형성되는 결합 보조층: 상기 결합 보조층 상에 형성되며, 제1 개구를 포함하는 제3 절연층; 상기 제3 절연층의 상기 제1 개구에 형성되며, 상기 소스 전극 및 상기 드레인 전극 중 어느 하나와 전기적으로 연결되는 화소 전극; 상기 화소 전극의 가장자리 단부를 덮도록 상기 화소 전극 상에 형성되며, 상기 제3 절연층에 형성된 상기 제1 개구와 대응되는 위치에 형성된 제2 개구를 통해 화소를 정의하는 제4 절연층; 상기 화소 전극 상에 배치된 유기 발광층; 및 상기 유기 발광층 상에 배치된 대향 전극;을 포함하는, 유기발광표시장치를 제공한다.
- [0005] 본 발명의 일 특징에 따르면, 상기 결합 보조층의 내측 단부는 상기 제3 절연층의 상기 제1 개구의 식각면까지 연장될 수 있다.
- [0006] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층의 내측 단부는 상기 제3 절연층의 상기 제1 개구의 식각면을 지나도록 연장되어 상기 제1 개구를 통해 노출될 수 있다.
- [0007] 본 발명의 또 다른 특징에 따르면, 상기 제4 절연층은 상기 제1 개구에 의해 노출된 상기 결합 보조층의 내측 단부를 덮을 수 있다.
- [0008] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층의 내측 단부 상에는 상기 화소 전극이 바로 접촉할 수 있다.
- [0009] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층은 상기 화소를 적어도 일 부분을 둘러쌀 수 있다.
- [0010] 본 발명의 또 다른 특징에 따르면, 상기 제3 절연층은 유기 절연층일 수 있다.
- [0011] 본 발명의 또 다른 특징에 따르면, 상기 제4 절연층은 유기 절연층일 수 있다.
- [0012] 본 발명의 또 다른 특징에 따르면, 상기 제3 절연층은 상기 소스 전극과 상기 드레인 전극을 덮을 수 있다.
- [0013] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층과 상기 제2 패드층은 동일한 재료를 포함할 수 있다.
- [0014] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층은 투명 도전성 산화물을 포함할 수 있다.
- [0015] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층은 ITO를 포함할 수 있다.
- [0016] 본 발명의 또 다른 특징에 따르면, 상기 제1 패드층은 상기 소스 전극 및 드레인 전극과 동일한 재료를 포함할 수 있다.
- [0017] 본 발명의 또 다른 특징에 따르면, 상기 화소 전극은, 반투과 금속층을 포함할 수 있다.
- [0018] 본 발명의 또 다른 특징에 따르면, 상기 반투과 금속층은 은(Ag) 또는 은 합금으로 이루어질 수 있다.
- [0019] 본 발명의 또 다른 특징에 따르면, 상기 반투과 금속층 상에 투명 도전성 산화물의 보호층이 더 적층될 수 있다.
- [0020] 본 발명의 또 다른 특징에 따르면, 상기 제1 절연층의 일부는 상기 화소의 가장자리와 대응되는 영역에 형성된 홀을 포함할 수 있다.
- [0021] 본 발명의 또 다른 특징에 따르면, 상기 기판과 상기 제1 절연층 상에는 무기물로 형성되는 버퍼층을 더 포함할 수 있다.
- [0022] 본 발명의 또 다른 특징에 따르면, 상기 제2 절연층에 형성된 개구와, 상기 제3 절연층의 상기 제1 개구, 및 상기 제4 절연층의 상기 제2 개구는 중첩적으로 형성되고, 상기 제1 개구는 상기 제2 개구보다 크고, 상기 제2 절연층에 형성된 상기 개구 보다 작을 수 있다.
- [0023] 본 발명의 또 다른 특징에 따르면, 상기 제3 절연층 상에 형성된 콘택홀을 통해서 상기 소스 전극 및 상기 드레

인 전극 중 하나와 상기 화소 전극을 전기적으로 접속시키는 화소 전극 콘택부를 포함하고, 상기 화소 전극 콘택부는 복수의 접속 지점을 가질 수 있다.

[0024] 본 발명의 또 다른 특징에 따르면, 상기 화소 전극 콘택부는 상기 소스 전극 및 상기 드레인 전극과 동일한 재료를 포함하는 제1 콘택층 및 상기 제2 패드층과 동일한 재료를 포함하는 제2 콘택층을 포함할 수 있다.

[0025] 본 발명의 또 다른 특징에 따르면, 상기 화소 전극은 상기 제2 콘택층과 전기적으로 접촉할 수 있다.

[0026] 본 발명의 또 다른 특징에 따르면, 상기 화소 전극 콘택부는 상기 제1 절연층과 상기 제2 절연층 사이에 위치하고 상기 커패시터의 제2 전극과 동일한 재료를 포함하는 제3 콘택층 및, 상기 제3 콘택층상에 형성된 제4 콘택층을 더 포함할 수 있다.

[0027] 발명의 또 다른 특징에 따르면, 상기 화소 전극은 상기 제3 콘택층과 전기적으로 접촉할 수 있다.

[0028] 발명의 또 다른 측면에 따르면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 제1 전극을 형성하는 제1 마스크 공정; 제1 절연층을 형성하고, 상기 제1 절연층 상에 투명 도전성 산화물층을 형성하고, 상기 투명 도전성 산화물층을 패터닝하여 커패시터의 제2 전극을 형성하는 제2 마스크 공정; 제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 상기 제2 전극과 동일층에 박막 트랜지스터의 게이트 전극을 형성하는 제3 마스크 공정; 제2 절연층을 형성하고, 상기 제2 절연층에 상기 활성층의 일부를 노출시키는 콘택홀 및 상기 활성층의 측면에 이격된 영역에 제1 개구를 형성하는 제4 마스크 공정; 제2 금속층을 형성하고, 상기 제2 금속층을 패터닝하여 소스 전극과 드레인 전극, 및 패드 전극의 제1 패드층을 형성하는 제5 마스크 공정; 투명 도전성 산화물층을 형성하고, 상기 투명 도전성 산화물층을 패터닝하여 상기 제1 패드층 상에 제2 패드층, 및 상기 제1 개구의 식각면을 덮는 결합 보조층을 형성하는 제6 마스크 공정; 유기 절연층으로 제3 절연층을 형성하고, 상기 제3 절연층의 상기 제1 개구와 중첩되는 영역에 상기 제1 개구보다 작은 제2 개구 및, 상기 제2 패드층의 상면을 노출시키는 개구를 형성하는 제7 마스크 공정; 반투과 금속층을 형성하고, 상기 반투과 금속층을 패터닝하여 상기 제2 개구에 화소 전극을 형성하는 제8 마스크 공정; 제4 절연층을 형성하고, 상기 제4 절연층에 상기 화소 전극의 상면을 노출시키며 화소를 정의하는 제3 개구를 형성하는 제9 마스크 공정; 상기 화소 전극 상에 유기 발광층을 형성하는 공정; 및 상기 유기 발광층 상에 대향 전극을 형성하는 공정;을 포함하는 유기발광표시장치의 제조 방법을 제공한다.

[0029] 본 발명의 일 특징에 따르면, 상기 제6 마스크 공정에서 상기 결합 보조층은 상기 화소의 적어도 일부를 둘러싸도록 상기 제1 개구의 상기 식각면 상에 형성될 수 있다.

[0030] 본 발명의 또 다른 특징에 따르면, 상기 결합 보조층의 내측 단부는 상기 제2 개구의 식각면까지 연장되거나 제2 개구의 식각면을 지나 상기 화소를 향해 돌출될 수 있다.

[0031] 본 발명의 또 다른 특징에 따르면, 상기 제9 마스크 공정에서 상기 제4 절연층의 상기 제3 개구는, 상기 제3 개구의 식각면이 상기 결합 보조층의 내측 단부보다 상기 화소 중심을 향해 돌출되도록 형성될 수 있다.

[0032] 본 발명의 또 다른 특징에 따르면, 상기 제2 금속층의 패터닝 시 화소 콘택부의 제1 콘택층을 형성하고, 상기 제2 패드층을 형성하는 상기 투명 도전성 산화물층을 패터닝하여 상기 제1 콘택층 상에 제2 콘택층을 형성할 수 있다.

[0033] 본 발명의 또 다른 특징에 따르면, 상기 커패시터의 제2 전극을 형성하는 투명 도전성 산화물로 제3 콘택층을 형성하고, 상기 제1 금속층으로 상기 제3 콘택층 상의 제4 콘택층을 형성할 수 있다.

### 발명의 효과

[0034] 상기와 같은 본 발명의 일 실시예에 따르면, 결합 보조층을 구비하므로 유기 절연층인 제3 절연층의 접합 특성을 향상시킬 수 있다. 따라서, 제3 절연층의 들뜸에 의한 화소 전극과 대향 전극 간의 쇼트 발생, 및/또는 이물에 의한 쇼트 발생을 방지할 수 있다.

[0035] 또한, 화소 전극을 반투과 금속층을 포함하도록 형성하여, 마이크로 캐비티에 의한 유기발광표시장치의 광 효율을 향상시킬 수 있다.

[0036] 한편, 소스 전극이나 드레인 전극(데이터 배선 포함)이 제3 절연층으로 덮여 있기 때문에, 화소 전극 패터닝 시, 소스 전극과 드레인 전극에 의한 은(Ag)의 세척출을 방지할 수 있다.

[0037] 또한, 화소 전극 콘택부의 제1 콘택층 및 패드 전극의 제1 패드층 상부에 각각 보호층을 형성하기 때문에, 화소

전극의 패터닝 시, 제1 콘택층과 제1 패드층에 의한 은(Ag)의 재석출을 방지할 수 있다.

[0038] 그리고, 화소 전극 콘택부가 복수의 콘택 구조를 가짐으로써, 화소 전극과 구동 소자 사이의 신호 단락을 방지할 수 있다.

### 도면의 간단한 설명

[0039] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 상부면도이다.

도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 단면도이다.

도 3은 도 2의 화소 영역을 나타낸 상부면도이다.

도 4a 내지 도 4i는 본 발명의 일 실시예에 따른 유기발광표시장치의 제조 방법을 개략적으로 나타낸 단면도들이다.

도 5은 본 발명의 비교예에 따른 유기발광표시장치의 화소 영역의 일부를 발체하여 나타낸 단면도이다.

도 6은 도 6의 제3 절연층을 형성하는 공정 상태를 나타낸 단면도이다.

도 7은 도 6의 제3 절연층이 형성된 후 화소 전극을 형성하는 공정 상태를 나타낸 단면도이다.

도 8은 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0040] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다. 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 한편, 하기에서 사용된 "/"는 상황에 따라 "및"으로 해석될 수도 있고 "또는"으로 해석될 수도 있다.

[0041] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "위에" 있다고 할 때, 이는 다른 부분의 바로 위에 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0042] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 상부면도이고, 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 단면도이며, 도 3은 도 2의 화소 영역을 나타낸 상부면도이다.

[0043] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치의 기판(10) 상에는 복수의 화소(P)가 포함되어 화상을 표시하는 표시 영역(DA)이 구비된다. 표시 영역(DA)의 외곽에는 표시 영역(DA)을 봉지하는 봉지 부재(미도시)가 밀봉되는 밀봉 라인(SL)이 형성될 수 있다. 표시 영역(DA)과 패드부(PAD) 사이에는 표시 영역(DA)에 공통으로 형성된 대향 전극에 전원을 공급하기 위한 캐소드 콘택부(CECNT)가 형성되어 있다.

[0044] 도 2 를 참조하면, 기판(10) 상에는 적어도 하나의 박막트랜지스터가 구비된 트랜지스터 영역(TR), 적어도 하나의 유기발광층(121)이 구비된 픽셀 영역(PA), 적어도 하나의 커패시터가 구비된 커패시터 영역(CAP), 및 패드 영역(PAD)이 구비된다.

[0045] 트랜지스터 영역(TFT1)에는, 기판(10), 버퍼층(11), 박막 트랜지스터의 활성층(212), 게이트 전극(215), 소스 전극(217a) 및 드레인 전극(217b)이 구비된다.

- [0046] 기판(10)은, 투명한 유리 기판일 수 있다. 또 다른 실시예로서, 기판(10)은 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등 투명 기판으로 구비될 수 있다.
- [0047] 기판(10)의 상부에는 평활한 면을 형성하고 불순 원소가 침투하는 것을 차단하도록 버퍼층(11)이 더 구비될 수 있다. 버퍼층(11)은 실리콘질화물 및/또는 실리콘산화물과 같은 무기물로 단층 또는 복수층으로 형성될 수 있다.
- [0048] 도 2에는, 제1 절연층(13)의 일부에 홀(o)이 형성된 상태를 도시하였으나 본 발명은 이에 한정되지 않는다. 일 예로, 제1 절연층(13)의 일부는 상기 화소(P)의 가장자리와 대응되는 영역에 형성된 홀을 포함할 수 있다. 홀(o)은 후술할 제4 콘택층(115a)의 형성 공정시 게이트 금속층(115: 도 4d참조)과 개구(C1)의 얼라인먼트 오차에 의하여 과도하게 식각되면서 형성된 것으로서, 제1 절연층(13)의 홀(o)을 통해서 버퍼층(11)의 일부가 노출될 수 있다. 또 다른 실시예로, 후술할 제4 콘택층(115a)의 형성 공정시 게이트 금속층(115: 도 4d참조)과 개구(C1)의 얼라인먼트 오차가 발생하지 않는 경우라면 제1 절연층(13)의 일부 영역이 과도하게 식각될 염려가 없고, 따라서 홀(o)이 형성되지 않을 수 있다.
- [0049] 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널 영역과, 채널 영역(212c)을 가운데 두고 양측에 배치되는 소스 영역(212a) 및 드레인 영역(212b)을 포함한다. 소스 영역(212a) 및 드레인 영역(212b)은 이온 불순물이 도핑된 상태이다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘에 한정되지 않으며, 산화물 반도체를 포함할 수 있다.
- [0050] 활성층(212) 상에는 게이트 절연막인 제1 절연층(13)을 사이에 두고 활성층(212)의 채널 영역(212c)에 대응되는 위치에 게이트 전극(215)이 구비된다. 제1 절연층(13)은 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 와 같은 무기물로 형성할 수 있다.
- [0051] 게이트 전극(215)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 복수층으로 형성될 수 있다.
- [0052] 게이트 전극(215) 상에는 층간 절연막인 제2 절연층(16)을 사이에 두고 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)에 각각 접속하는 소스 전극(217a) 및 드레인 전극(217b)이 구비된다.
- [0053] 제2 절연층(16)은 SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT와 같은 무기물로 형성할 수 있다.
- [0054] 소스 전극(217a) 및 드레인 전극(217b)은, 전자 이동도가 다른 이중의 금속층이 2층 이상 형성된 것일 수 있다. 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 및 이들의 합금 가운데 선택된 금속층이 2층 이상 형성된 것일 수 있다.
- [0055] 제2 절연층(16) 상에는 소스 전극(217a) 및 드레인 전극(217b)을 덮도록 제3 절연층(19)이 구비된다.
- [0056] 제1 절연층(13) 및 제2 절연층(16)은 단층 또는 복수층의 무기 절연층으로 형성되고, 제3 절연층(16)은 유기 절연층으로 형성될 수 있다. 제3 절연층(16)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0057] 제3 절연층(16) 상에 제4 절연층(20)이 구비된다. 제4 절연층(20)은 유기 절연층으로 형성될 수 있다. 제4 절연층(20)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0058] 픽셀 영역(PA)에는 기판(10), 버퍼층(11), 제1 절연층(13) 상에 결합 보조층(118), 제3 절연층(19), 화소 전극(120), 제4 절연층(20)이 구비된다.
- [0059] 결합 보조층(118)은 제3 절연층(19)과 제1 절연층(13) 간의 접합력을 향상시키기 위한 접착 매개물질이다. 앞서 설명한 바와 같이, 버퍼층(11)에 홀(o)이 형성된 경우라면, 결합 보조층(118)은 제3 절연층(19)과 제1 절연층(13) 간의 접합력뿐만 아니라, 제1 절연층(13)의 홀(o)을 통한 노출된 버퍼층(11)과 제3 절연층(19) 간의 접합

력도 향상시킬 수 있다.

- [0060] 제2 절연층(16)에 형성된 개구(C1), 제3 절연층(19)에 형성된 개구(C5) 및 제4 절연층(20)에 형성된 개구(C8)는 중첩적으로 형성된다. 제3 절연층(19)에 형성된 개구(C5)는 제4 절연층(20)에 형성된 개구(C8)보다 크고, 제2 절연층(16)에 형성된 개구(C1)보다 작게 형성된다.
- [0061] 제3 절연층(19)의 개구(C5)가 제2 절연층(16)에 형성된 개구(C1)보다 작게 형성되므로, 만약 결합 보조층(118)이 없다면, 유기층인 제3 절연층(19)은 무기층인 버퍼층(11) 또는/및 제1 절연층(13) 상에 접하게 된다. 유기층과 금속의 접합 특성은 상대적으로 우수한데 반하여, 유기층과 무기층과의 접합 특성은 상대적으로 불량하다. 제3 절연층(19)과 버퍼층(11) 및/또는 제1 절연층(13)의 접합이 불량하면, 제3 절연층(19)이 들뜨거나 이들 사이에 에어 버블이 발생한다. 또한, 제3 절연층(19)을 구성하는 유기 파티클 또는 화소 전극(120)에 포함된 금속 파티클(예, Ag 파티클)과 같은 이물에 의하여 화소 전극(120)과 대향 전극(122)간의 쇼트 불량이 발생하게 된다.
- [0062] 그러나, 본 실시예에 따르면, 접합 매개 물질로 결합 보조층(118)이 제3 절연층(19)의 하부에 형성되어 있으므로, 제3 절연층(19)의 들뜸 또는/및 에어 버블이 발생할 염려가 없다. 따라서, 화소 전극(120)과 대향 전극(122) 간의 쇼트 불량을 방지할 수 있다. 결합 보조층(118)으로는 투명 도전성 산화물을 사용할 수 있다. 예컨대, 결합 보조층(118)은 내구성이 우수한 인듐틴옥사이드(indium tin oxide: ITO)를 사용할 수 있다.
- [0063] 도 2 및 도 3을 참조하면, 결합 보조층(118)은 제2 절연층(16) 상에, 제3 절연층(19)의 하부에 형성된다. 결합 보조층(118)은 화소(P)를 적어도 일부 둘러싸도록 형성될 수 있다. 본 실시예에서는 결합 보조층(118)이 화소(P)를 전체적으로 둘러싸는 도넛 형태를 가질 수 있다. 결합 보조층(118)은 화소(P)를 둘러싸도록 제2 절연층(16)에 형성된 개구(C1)의 가장자리를 따라 형성될 수 있다.
- [0064] 결합 보조층(118)의 내측 단부는 제3 절연층(19)의 개구(C5)의 식각면 바로 아래까지 연장되거나, 제3 절연층(19)의 개구(C5)의 식각면보다 화소(P)의 중심 쪽으로 더 돌출 및 연장될 수 있다. 결합 보조층(118)의 내측 단부가 제3 절연층(19)의 개구(C5)의 식각면 바로 아래까지만 연장되는 것이 바람직할 것이나, 공정 오차나 마진 등을 고려하여 결합 보조층(118)의 내측 단부가 제3 절연층(19)의 개구(C5)의 식각면보다 화소(P)의 중심 쪽으로 더 돌출되도록 연장될 수 있다. 이 경우, 결합 보조층(118)의 일부 영역은 제3 절연층(19)의 개구(C5)를 통해 노출될 수 있다.
- [0065] 화소 전극(120)은 제3 절연층(19)에 형성된 개구(C5)에 배치된다. 화소 전극(120)의 가장자리 단부는 제3 절연층(19)에 형성된 개구(C5)의 상단에 위치하고, 제4 절연층(20)에 의해 커버된다.
- [0066] 제3 절연층(19)에 형성된 개구(C5)에 배치된 화소 전극(120)의 상면은 제4 절연층(20)에 형성된 개구(C8)에 의해 노출되고, 화소 전극 콘택부(PECNT)를 통해 구동트랜지스터의 소스 전극(217a) 및 드레인 전극(217b) 중 하나와 전기적으로 접속된다.
- [0067] 화소 전극 콘택부(PECNT)는 전술한 소스 전극(217a) 및 드레인 전극(217b)과 동일한 재료를 포함하는 제1 콘택층(117)과, 제2 패드층(418) 및 결합 보조층(118)과 동일한 재료를 포함하는 제2 콘택층(118a)을 포함할 수 있다. 도 2에는 상세히 도시되어 있지 않으나, 제1 콘택층(117)은 데이터 라인(미도시)과 연결되고, 데이터 라인 은 구동 트랜지스터의 소스 전극 및 드레인 전극 중 하나와 전기적으로 접속할 수 있다.
- [0068] 뿐만 아니라, 화소 전극 콘택부(PECNT)는 투명 도전 산화물을 포함하는 제3 콘택층(114) 및, 게이트 전극(215)과 동일 재료를 포함하는 제4 콘택층(115a)을 포함한다. 화소 전극 콘택부(PECNT)는 제1,2 콘택층들(117, 118a)로 형성된 제1 콘택 지점과 제3,4 콘택층들(114, 115a)로 형성된 제2 콘택 지점을 포함하는 이중 콘택 구조를 가질 수 있다. 이중 콘택 구조를 통해 어느 하나의 지점에서의 콘택이 불량하더라도 나머지 하나의 지점에서 콘택을 이룸으로써 구동 소자로부터 신호를 정상적으로 받을 수 있게 할 수 있다.
- [0069] 화소 전극(120)은 반투과 금속층(120b, 도 4h 참조)을 포함한다. 화소 전극(120)은 반투과 금속층(120b)의 상부 및 하부에 각각 형성되어 반투과 금속층을 보호하는 투명 도전성 산화물을 포함하는 층(120a, 120c)을 더 포함할 수 있다. 반투과 금속층(120b)은 은(Ag) 또는 은 합금으로 형성될 수 있다. 투명 도전성 산화물을 포함하는 층(120a, 120c)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크 옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 반투과 금속층(120b)은 후술할 반사 전극인 대향 전극(122)과 함께 마이크로 캐비티(micro-

cavity) 구조를 형성함으로써 유기 발광 표시 장치(1)의 광 효율을 향상시킬 수 있다.

[0070] 은과 같은 환원성이 강한 금속은, 화소 전극(120)의 패터닝을 위한 에칭 공정 중, 전자를 공급받게 되면 에천트에서 이온 상태로 존재하던 은(Ag) 이온이 다시 은(Ag)으로 석출되는 문제가 발생할 수 있다. 이렇게 석출된 은(Ag)은 화소 전극(120) 형성의 후속 공정에서 암점을 발생시키는 파티클성 불량 요인이 될 수 있다. 만약, (Ag)을 포함하는 화소 전극(120)을 에칭하는 공정에서, 소스 전극(217a)이나 드레인 전극(217b), 패드 전극의 제1 패드층(417), 또는 이들과 동일 재료로 형성되는 데이터 배선(미도시)이 에천트에 노출될 경우, 환원성이 강한 은(Ag) 이온은 이들 금속 재료로부터 전자를 전달받아 은(Ag)으로 재석출 될 수 있다. 예를 들어, 이들 금속이 몰리브덴이나 알루미늄을 포함하고 있을 경우, 몰리브덴은 알루미늄으로부터 전달받은 전자를 다시 은(Ag) 이온에 제공함으로써 은(Ag)이 재석출 될 수 있다.

[0071] 그러나, 본 실시예에 따른 유기 발광 표시 장치(1)는 소스 전극(217a)이나 드레인 전극(217b)이 유기막인 제3 절연층(19)으로 덮인 상태로 있기 때문에, 은(Ag)을 포함하는 화소 전극(120)을 에칭하는 동안 소스 전극(217a)이나 드레인 전극(217b)이 은(Ag) 이온이 포함된 에천트에 노출되지 않는다. 따라서, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다. 한편, 화소 전극 콘택부(PECNT)의 제1 콘택층(117) 및 제1 패드층(417)은 각각 제3 절연층(19)에 형성된 콘택홀(C6) 및 콘택홀(C7)에 노출된 영역에 위치하기 때문에, 제1 콘택층(117) 및 제1 패드층(417) 상부에 각각 보호층인 제2 콘택층(118a) 및 제2 패드층(418)을 형성하여 화소 전극(120)을 에칭하는 동안 제1 콘택층(117)과 제1 패드층(417)이 에천트에 노출되지 않는다. 따라서, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다.

[0072] 화소 전극의 가장자리 단부를 덮는 제4 절연층(20)은 제3 절연층(19)의 개구(C5)를 통해 노출된 결합 보조층(118)의 일부 영역을 커버할 수 있다. 예를 들어, 도 2 및 도 3에 도시된 바와 같이, 제4 절연층(20)의 내측 단부가 결합보조층(118)의 내측 단부보다 화소 중심을 향해 더 돌출 및 연장될 수 있다. 즉, 제 4 절연층의 개구(C8)의 식각면이 결합 보조층(118)의 내측 단부보다 화소의 중심을 향해 더 돌출 및 연장된다.

[0073] 만약, 결합 보조층(118)의 내측 단부가 제4 절연층의 개구(C8)의 식각면 보다 화소의 중심을 향해 더 돌출된다면, 결합 보조층(118)이 화소 전극(120)과 대향 전극(122)이 마이크로 캐비티 구조를 형성하는데 장애물로 작용하여, 유기발광표시장치의 광효율을 저하시킬 수 있다.

[0074] 한편, 제4 절연층(20)이 형성된 개구(C8)에 의해 상면이 노출된 화소 전극(120) 상에는 유기발광층(121)을 포함하는 중간층이 구비된다. 유기발광층(121)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기발광층(121)이 저분자 유기물인 경우, 유기발광층(121)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층 될 수 있다. 유기발광층(121)이 고분자 유기물인 경우, 유기발광층(121) 외에 홀 수송층(HTL)이 포함될 수 있다.

[0075] 유기발광층(121) 상에는 공통 전극으로 대향 전극(122)이 구비된다. 본 실시예에 따른 유기발광표시장치의 경우, 화소 전극(120)은 애노드로 사용되고, 대향 전극(122)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0076] 대향 전극(122)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(122)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함할 수 있다. 대향 전극(122)이 반사 전극으로 구비됨으로써, 유기 발광층(121)에서 방출된 빛은 대향 전극(122)에 반사되어 반투과 금속인 화소 전극(120)을 투과하여 기판(10) 측으로 방출된다.

[0077] 커패시터 영역(CAP)에는 기판(10) 및 버퍼층(11) 상에, 활성층(212)과 동일층에 배치된 제1 전극(312)과, 게이트 전극(215)과 동일층에 배치된 제2 전극(314)과, 소스 전극(217a) 및 드레인 전극(217b)과 동일층에 배치된 제3 전극(317)을 구비한 커패시터가 배치된다.

[0078] 커패시터의 제1 전극(312)은 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)과 같이 이온 불순물이 도핑된 반도체로 형성될 수 있다.

[0079] 커패시터의 제2 전극(314)은 비록 게이트 전극(215)과 동일하게 제1 절연층(13) 상에 위치하지만 그 재료는 상이하다. 제2 전극(314)의 재료는 투명 도전성 산화물을 포함할 수 있다. 제2 전극(314)을 통하여 제1 전극(312)에 이온 불순물이 도핑된 반도체를 형성함으로써 커패시터를 MIM(Metal-insulator-Metal) 구조로 형성할 수 있다.

- [0080] 커패시터의 제3 전극(317)은 소스 전극(217a) 및 드레인 전극(217b)과 동일한 재료로 형성될 수 있다. 전술한 바와 마찬가지로 제3 전극(317)은 유기막인 제3 절연층(19)로 덮인 상태로 있기 때문에, 은(Ag)을 포함하는 화소 전극(120)을 에칭하는 동안 제3 전극(317)이 은(Ag) 이온이 포함된 에천트에 노출되지 않으므로, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다. 또한 커패시터를 병렬 연결함으로써 유기 발광 표시 장치의 정전 용량을 증가시킬 수 있다.
- [0081] 패드 영역(PAD)에는 외장 드라이버의 접속 단자인 패드 전극이 배치된다. 패드 전극은 제1,2 패드층(417, 718)을 포함한다.
- [0082] 제1 패드층(417)은 전자 이동도가 다른 복수의 금속층을 포함할 수 있다. 예를 들어, 제1 패드층(417)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속이 다층으로 형성될 수 있다.
- [0083] 제2 패드층(418)은 결합 보조층(118)과 동일한 재료를 포함할 수 있다. 예컨대, 제2 패드층(418)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 투명 도전성 산화물로 형성될 수 있다. 제1 패드층(417)이 수분과 산소에 노출되는 것을 방지하여 패드의 신뢰성 저하를 방지할 수 있다.
- [0084] 제2 패드층(418)과 결합 보조층(118)은 동일한 재료를 포함하며 동일한 공정에서 형성되므로, 별도의 마스크 추가 없이 형성될 수 있는 장점이 있다.
- [0085] 이하, 도 4a 내지 도 4i를 참조하여 본 실시예에 따른 유기발광표시장치의 제조 방법을 설명한다.
- [0086] 도 4a는 본 실시예에 따른 유기발광표시장치의 제1 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0087] 도 4a를 참조하면, 기판(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11) 상에 반도체층(미도시)한 후, 반도체층(미도시)을 패터닝하여 박막 트랜지스터의 활성층(212)과 커패시터의 제1 전극(312)을 형성한다.
- [0088] 버퍼층(11)은 실리콘질화물 및/또는 실리콘산화물과 같은 무기물로 단층 또는 복수층으로 형성될 수 있다
- [0089] 도 4b는 본 실시예에 따른 유기발광표시장치의 제2 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0090] 도 4b를 참조하면, 제1 절연층(13)을 형성하고, 제1 절연층(13) 상에 투명 도전성 산화물층(미도시)를 형성한 후 이를 패터닝한다. 패터닝 결과 제1 절연층(13) 상에 커패시터의 제2 전극(314)이 형성되고, 제3 콘택층(114)이 형성된다. 제1 절연층(13)은 SiO<sub>2</sub>, SiNx, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 와 같은 무기물로 형성할 수 있다.
- [0091] 도 4c는 본 실시예에 따른 유기발광표시장치의 제3 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0092] 도 4c를 참조하면, 제1 금속층(미도시)을 차례로 적층한 후 이를 패터닝한다. 이 때, 제1 금속층(미도시)은 전술한 바와 같이, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 패터닝 결과, 제1 절연층(13) 상에는 게이트 전극(215)과, 제3 콘택층(114)을 덮는 게이트 금속층(115)이 형성된다.
- [0093] 상기와 같은 구조물 위에 이온몰이 도핑된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데,  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑한다. 게이트전극(215)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)은 이온불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다.
- [0094] 이 때, 커패시터의 제1 전극(312)도 이온 불순물로 함께 도핑된다. 1회의 도핑 공정을 통해 활성층(212)뿐만 아니라 커패시터의 제1 전극(312)도 동시에 도핑시키므로 도핑 공정을 감소시킬 수 있다.
- [0095] 도 4d는 본 실시예에 따른 유기발광표시장치의 제4 마스크 공정을 개략적으로 나타낸 단면도이다.

- [0096] 도 4d를 참조하면, 제2 절연층(16)을 형성하고, 제2 절연층(16)을 패터닝하여 게이트 금속층(115)을 노출시키는 개구(C2)와, 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)을 노출시키는 개구(C3, C4)와 후술할 화소 전극(120)이 배치될 영역으로 활성층(212)의 측면으로 이격된 영역에 개구(C1)를 형성한다. 제2 절연층(16)은 SiO<sub>2</sub>, SiNx, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 와 같은 무기물로 형성할 수 있다..
- [0097] 도 4e는 본 실시예에 따른 유기발광표시장치의 제5 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0098] 도 4e를 참조하면, 제2 금속층(미도시)을 형성하고, 제2 금속층(미도시)을 패터닝하여 소스 전극(217a)과 드레인(217b)전극, 제1 콘택층(117) 및 제1 패드층(417)을 동시에 형성한다.
- [0099] 이 때, 개구(C1)를 통해 노출된 게이트 금속층(115)도 함께 패터닝된다. 만약, 게이트 금속층(115)의 일측 단부와 개구(C1)의 얼라인먼트 오차가 발생하면, 게이트 금속층(115)이 패터닝될 때 제1 절연층(13)의 일부도 함께 패터닝되면서 홀(o)이 형성될 수 있으며, 홀(o)을 통해서 버퍼층(11)이 노출될 수 있다. 만약, 게이트 금속층(115)과 개구(C1)의 얼라인먼트 오차가 발생하지 않는다면, 제1 절연층(13)의 일부 영역이 과도하게 식각될 염려가 없고, 따라서 홀(o)이 형성되지 않을 수 있다.
- [0100] 제2 금속층(미도시)은 전자 이동도가 다른 이종의 금속층이 2층 이상 형성된 것일 수 있다. 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 및 이들의 합금 가운데 선택된 금속층이 2층 이상 형성된 것일 수 있다.
- [0101] 제2 금속층(미도시)의 구성을 예시적으로 나타내기 위하여 제1 패드층(417)의 구성을 상세히 도시하였다. 예를 들어, 본 실시예의 제2 금속층(미도시)은 몰리브덴(Mo)을 포함하는 제1 층(417a), 알루미늄(Al)을 포함하는 제2 층(417b), 및 몰리브덴(Mo)을 포함하는 제3 층(417c)으로 형성될 수 있다. 알루미늄(Al)을 포함하는 제2 층(417b)은 저항이 작고 전기적 특성이 우수한 금속층이고, 제2 층(417b)의 하부에 위치한 몰리브덴(Mo)을 포함하는 제1 층(417a)은 제2 절연층(16) 간의 접착력을 강화하고, 제2 층(417b)의 상부에 위치한 몰리브덴(Mo)을 포함하는 제3 층(417c)은 제2 층(417b)에 포함된 알루미늄의 힐락(heel lock) 및 산화 방지, 및 확산을 방지하는 배리어층으로서 기능할 수 있다.
- [0102] 도 4f는 본 실시예에 따른 유기발광표시장치의 제6 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0103] 도 4f를 참조하면, 투명 도전성 산화물층(미도시)을 형성하고, 투명 도전성 산화물층(미도시)을 패터닝하여 결합 보조층(118), 제2 콘택층(118a), 제2 패드층(418)을 형성한다. 결합 보조층(118)은 후술할 제9 마스크 공정의 개구(C8)에 의해 정의되는 화소를 둘러싸도록 제1 개구(C1)의 식각면의 가장자리 둘레를 따라 형성될 수 있다.
- [0104] 결합 보조층(118)과 패드 전극의 제2 패드층(418)을 동일한 마스크 공정에서 형성함으로써, 마스크 공정의 수를 증가시키지 않으므로 전체 제조 비용을 절감할 수 있다.
- [0105] 투명 도전성 산화물층(미도시)로 인듐틴옥사이드(indium tin oxide: ITO)를 사용할 수 있다. 또는, 투명 도전성 산화물층(미도시)로 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 사용할 수 있다.
- [0106] 도 4g는 본 실시예에 따른 유기발광표시장치의 제7 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0107] 도 4g를 참조하면, 제 3 절연층(19)을 형성하고, 제3 절연층(19)을 패터닝하여 제2 콘택층(118a)의 상부를 노출시키는 개구(C6), 제2 패드층(418)의 상부를 노출시키는 개구(C7), 및 후술할 화소 전극(120)이 배치될 픽셀 영역(PA)에 개구(C5)를 형성한다. 제3 절연층(19)에 형성된 개구(C5)와 제2 절연층(16)에 형성된 개구(C1)는 중첩되도록 형성되되, 제3 절연층(19)에 형성된 개구(C5)는 제2 절연층(16)에 형성된 개구(C1)는 보다 작게 형성한다.
- [0108] 이 때, 결합 보조층(118)의 결합 보조층(118)의 내측 단부는 제3 절연층(19)의 개구(C5)의 식각면 바로 아래까지 연장되거나, 공정 오차 또는 마진을 고려하여 제3 절연층(19)의 개구(C5)의 식각면보다 화소(P)의 중심 쪽으로 더 돌출 및 연장될 수 있다.
- [0109] 본 발명의 일 예에 따르면, 결합 보조층(118)의 내측 단부가 제3 절연층(19)의 개구(C5)의 식각면 바로 아래까지만 연장되도록 제3 절연층(19)의 개구(C5)가 형성될 수 있다. 또는, 본 발명의 또 다른 실시예에 따르면, 3

절연층(19)의 개구(C5)는 공정 오차나 마진 등을 고려하여 결합 보조층(118)의 내측 단부가 제3 절연층(19)의 개구(C5)의 식각면보다 화소(P)의 중심 쪽으로 더 돌출 및 연장되도록 패터닝될 수 있다. 이 경우, 결합 보조층(118)의 일부 영역은 제3 절연층(19)의 개구(C5)를 통해 노출될 수 있다.

- [0110] 결합 보조층(118)에 의하여 유기층인 제3 절연층(19)은 무기층인 버퍼층(11) 및/또는 제1 절연층(13)과의 접착 특성이 향상될 수 있다. 제3 절연층(19)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 사용될 수 있다.
- [0111] 한편, 제3 절연층(19)은 소스 전극(217a)과 드레인 전극(217b)을 완전히 감싸도록 형성되어, 후술할 은(Ag)을 포함하는 화소 전극(120)의 에칭 시 전위차가 다른 이중 배선이 은 이온이 용해된 에천트에 접촉되는 것을 차단함은 앞서 설명한 바와 같다. 제3 절연층(19)은 평탄화막으로도 기능할 수 있다.
- [0112] 도 4h는 본 실시예에 따른 유기발광표시장치의 제8 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0113] 도 4h를 참조하면, 반투과 금속층(미도시)를 형성하고, 반투과 금속층을 패터닝하여 화소 전극(120)을 형성한다. 화소 전극(120)은 화소 전극 콘택부(PECNT: 도 2 참조)를 통해 구동 트랜지스터와 접속하고, 제3 절연층(19)에 형성된 개구(C5)에 배치된다.
- [0114] 본 실시예의 화소 전극 콘택부(PECNT)는 소스 전극(217a) 및 드레인 전극(217b)과 동일한 재료를 포함하는 제1 콘택층(117)과, 투명 도전성 산화물을 포함하는 제2 콘택층(118a) 뿐만 아니라, 투명 도전 산화물을 포함하는 제3 콘택층(114) 및 게이트 전극(215)과 동일 재료를 포함하는 제4 콘택층(115a)을 포함한다.
- [0115] 화소 전극(120)은 개구(C6)을 통해서 제2 콘택층(118a)과 직접 접속될 있으며(제1 접속 지점), 제3 콘택층(114)과 접속(제2 접속 지점)될 수 있다. 제2 접속의 경우, 화소 전극(120)은 제3 콘택층(114) 상에 형성된 투명 도전성 산화물로 형성된 결합 보조층(118)을 매개로 제3 콘택층(114)에 접속될 있다.
- [0116] 본 실시예에 따르면, 화소 전극 콘택부(PECNT)가 2개의 접속 지점을 구비함으로써, 저항의 증가를 방지하며, 어느 하나의 지점에서 콘택 불량에 발생하더라도 나머지 하나의 지점에서 콘택함으로써 구동 소자로부터의 신호를 정상적으로 받을 수 있다.
- [0117] 화소 전극(120)의 반투과 금속층(120b)은 은(Ag) 또는 은 합금으로 형성될 수 있다. 화소 전극(120)은 반투과 금속층(120b)의 상부 및 하부에 각각 형성되어 반투과 금속층(120b)을 보호하는 투명 도전성 산화물을 포함하는 층(120a, 120c)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크 옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0118] 본 발명의 실시예에서는 소스 전극(217a)이나 드레인 전극(217b)은 화소 전극(120)을 패터닝하는 제8 마스크 공정 전에 이미 패터닝되어 유기막인 제3 절연층(19)로 덮인 상태로 있기 때문에, 은(Ag)을 포함하는 화소 전극(120)을 에칭하는 동안 소스 전극(217a)이나 드레인 전극(217b)이 은(Ag) 이온이 포함된 에천트에 노출되지 않는다. 또한, 제1 콘택층(117) 및 제1 패드층(417)은 각각 제3 절연층(19)에 형성된 콘택홀(C6) 및 콘택홀(C7)에 노출된 영역에 위치하지만, 제1 콘택층(117) 및 제1 패드층(417) 상부에 각각 보호층인 제2 콘택층(118a) 및 제2 패드층(418)을 형성하였기 때문에 화소 전극(120)을 에칭하는 동안 제1콘택층(117)과 제1 패드층(417)이 에천트에 노출되지 않는다. 따라서, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있음은 앞서 설명한 바와 같다.
- [0119] 도 4i는 본 실시예에 따른 유기발광표시장치의 제9 마스크 공정을 개략적으로 나타낸 단면도이다.
- [0120] 도 4i를 참조하면, 제4 절연층(20)을 형성한 후, 화소 전극(120) 상부를 노출시키는 개구(C8)를 형성한다. 제4 절연층(20)은 화소 정의막 역할을 하며, 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함하는 유기 절연층으로 형성될 수 있다.
- [0121] 이 때, 제4 절연막의 개구(C8)는 결합 보조층(118)이 화소 전극(120)과 대향 전극(122)의 마이크로 캐비티 구조를 방해하지 않도록 형성한다. 예를 들어, 제4 절연층(20)의 개구(C8)는 결합 보조층(118)의 내측 단부가 제4 절연층(20)의 개구(C8)의 식각면 보다 돌출 및 연장되지 않도록 형성된다. 바꾸어 말하면, 제3 절연층의 개구(C5)에 의해 노출된 결합 보조층(118)의 일부, 에천대 결합 보조층(118)의 내측 단부를 제4 절연층(20)이 덮도

록 개구(C8)의 크기가 결정될 수 있다. 만약, 노출된 결합 보조층(118)의 내측 단부가 개구(C8)을 지나 연장된다면, 마이크로 캐비티 구조가 파괴될 수 있다.

- [0122] 도 4i의 마스크 공정 결과물 상에 유기발광층(도 2의 121 참조)을 포함하는 중간층을 형성하고, 대향 전극(도 2의 122 참조)을 형성한다.
- [0123] 상술한 바와 같은 본 발명의 실시예에 따른 유기발광표시장치 및 그 제조 방법에 따르면, 화소 전극(120)을 반투과 금속층을 포함하도록 형성하여, 마이크로 캐비티에 의한 유기발광표시장치의 광 효율을 향상시킬 수 있다.
- [0124] 또한, 소스 전극(217a)이나 드레인 전극(217b)은 유기층인 제3 절연층(19)으로 덮여 있으므로, 소스 전극(217a)이나 드레인 전극(217b)이 은(Ag) 이온이 포함된 에천트에 노출되지 않고, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다.
- [0125] 제1 패드층(417) 상부에 형성된 제2 패드층(418) 및 결합 보조층(118)을 단일의 공정으로 함께 형성함으로써 공정의 수를 증가시키지 않으며, 제1 패드층(417)의 상부에 형성된 제2 패드층(418) 및 제1 콘택층(117)의 상부에 형성된 제2 콘택층(118a)에 의해, 화소 전극(120)을 에칭하는 동안 제2 콘택층(117)과 제1 패드층(417)이 에천트에 노출되지 않도록 함으로써, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다.
- [0126] 그리고, 화소 전극 콘택부(PECNT)가 복수의 콘택 구조를 가짐으로써, 접촉 불량에 따른 문제를 예방할 수 있다.
- [0127] 또한, 본 발명의 실시예에 따른 유기발광표시장치는 결합 보조층(118)을 구비함으로써 유기 절연층인 제3 절연층(19)의 접합 특성을 향상시킬 수 있다. 따라서, 제3 절연층(19)의 들뜸에 의한 화소 전극(120)의 불연속 증착, 및 화소 전극(120)과 대향 전극(122) 간의 쇼트 발생을 방지할 수 있다. 이와 같은 특징에 대해서는 이하 비교예를 통해 좀 더 구체적으로 설명한다.
- [0128] 도 5는 본 발명의 비교예로서, 결합 보조층이 형성되지 않는 유기발광표시장치의 화소 영역의 일부를 발체하여 나타낸 단면도이고, 도 6은 도 5의 제3 절연층을 형성하는 공정 상태를 나타낸 단면도이며, 도 7은 도 6의 제3 절연층이 형성된 후 화소 전극을 형성하는 공정 상태를 나타낸 단면도이다.
- [0129] 도 5 내지 도 7을 참조하면, 결합 보조층이 구비되어 있지 않다. 따라서, 유기층인 제3 절연층(19')은 무기층인 버퍼층(11') 또는/및 제1 절연층(13') 상에 직접 접촉하게 된다. 유기층의 무기층과의 접합 특성이 불량하므로, 제3 절연층(19')과 버퍼층(11') 또는/및 제1 절연층(13') 간의 접합 불량이 야기된다.
- [0130] 예컨대, 도 6에 도시된 바와 같이, 제3 절연층(19')은 버퍼층(11')과 사이에서 들뜸이 발생하고(A 참조), 제1 절연층(13')과의 사이에서 들뜸이 발생(B 참조)한다. 제3 절연층(19')의 들뜸이 발생함에 따라 제3 절연층(19')을 형성한 이후의 공정에서 제3 절연층(19')의 모서리로부터 유기 파티클들(op)이 떨어져 나올 수 있다.
- [0131] 또한, 도 7에 도시된 바와 같이, 제3 절연층(19')의 들뜸 현상에 의하여 화소 전극(120')이 불연속적으로 증착된다. 화소 전극(120')의 불연속 지점은 화소 전극(120') 이후의 공정에서 노출되므로, 불연속 지점으로부터 은(Ag)과 같은 파티클들이 떨어져 나올 수 있다.
- [0132] 도 6 및 도 7을 참조하여 설명한 유기 파티클(op) 및 은(Ag) 파티클들은 암점 또는 화소 전극(120')과 대향 전극 간의 쇼트를 야기한다.
- [0133] 도 8은 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 개략적으로 나타낸 단면도이다.
- [0134] 이하에서 동일한 참조 부호는 동일한 구성 요소를 가리킨다. 그리고, 도 2 및 도 3을 참조하여 설명한 유기발광표시장치와의 차이점을 중심으로 설명한다.
- [0135] 본 실시예에 따른 유기발광표시장치는, 결합 보조층(118)이 화소를 전체적으로 둘러싸지 않고 일부를 둘러싸도록 형성될 수 있다. 즉, 도 3에 도시된 결합 보조층(118)이 화소를 둘러싸는 도넛 형태의 페루프 구조였다면, 본 발명의 실시예에 따른 결합 보조층(118)은 화소의 일부를 둘러싸는 개루프 구조를 가질 수 있다. 예컨대, 화소 전극 콘택부(PECNT)를 제외하고 나머지 영역을 둘러싸는 개루프 구조를 가질 수 있다.
- [0136] 한편, 본 실시예에서도 화소 전극 콘택부(PECNT)는 소스 전극(217a) 및 드레인 전극(217b)과 동일한 재료를 포

합하는 제1 콘택층(117)과, 제2 패드층(418) 및 결합 보조층(118)과 동일한 재료를 포함하는 제2 콘택층(118a)을 포함할 수 있으며, 투명 도전 산화물을 포함하는 제3 콘택층(114) 및, 게이트 전극(215)과 동일 재료를 포함하는 제4 콘택층(115a)을 포함할 수 있다. 다만, 본 실시예에 따르면, 화소 전극(120)은 제2 콘택층(118a)과 직접 접촉될 수 있고, 제3 콘택층(114)과도 직접 접촉될 수 있다.

[0137] 본 실시예에서도 화소 전극(120)은 반투과 금속층을 포함하도록 형성하여, 마이크로 캐비티에 의한 유기발광표시장치의 광 효율을 향상시킬 수 있음은 물론이다.

[0138] 또한, 소스 전극(217a)이나 드레인 전극(217b)은 유기층인 제3 절연층(19)으로 덮여 있으므로, 소스 전극(217a)이나 드레인 전극(217b)이 은(Ag) 이온이 포함된 에천트에 노출되지 않고, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있는 점은 도 2을 참조하여 설명한 실시예와 마찬가지이다.

[0139] 그리고, 제1 패드층(417) 상부에 형성된 제2 패드층(418) 및 결합 보조층(118)을 단일의 공정으로 함께 형성함으로써 공정의 수를 증가시키지 않으며, 제1 패드층(117)의 상부에 형성된 제2 패드층(118c) 및 제1 콘택층(117)의 상부에 형성된 제2 콘택층(118a)에 의해, 화소 전극(120)을 에칭하는 동안 제2 콘택층(117)과 제1 패드층(417)이 에천트에 노출되지 않도록 함으로써, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있음은 도 2에 따른 유기발광표시장치와 마찬가지이다.

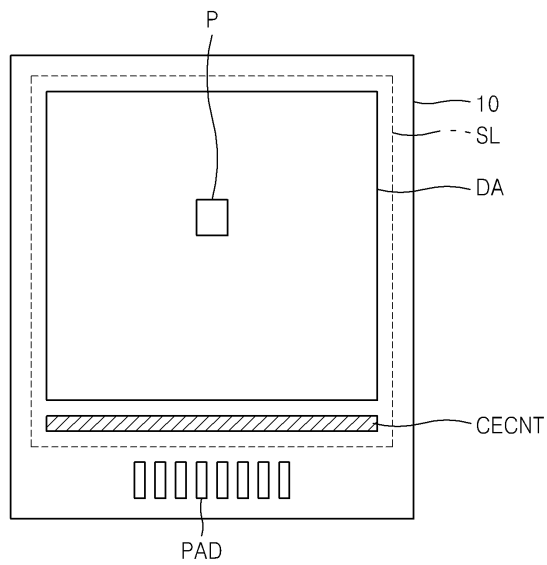
[0140] 비록 본 발명이 상기 언급된 바람직한 실시예와 관련하여 설명되었지만, 발명의 요지와 범위로부터 벗어남이 없이 다양한 수정이나 변형을 하는 것이 가능하다. 따라서 첨부된 특허청구의 범위에는 본 발명의 요지에 속하는 한 이러한 수정이나 변형을 포함할 것이다.

## 부호의 설명

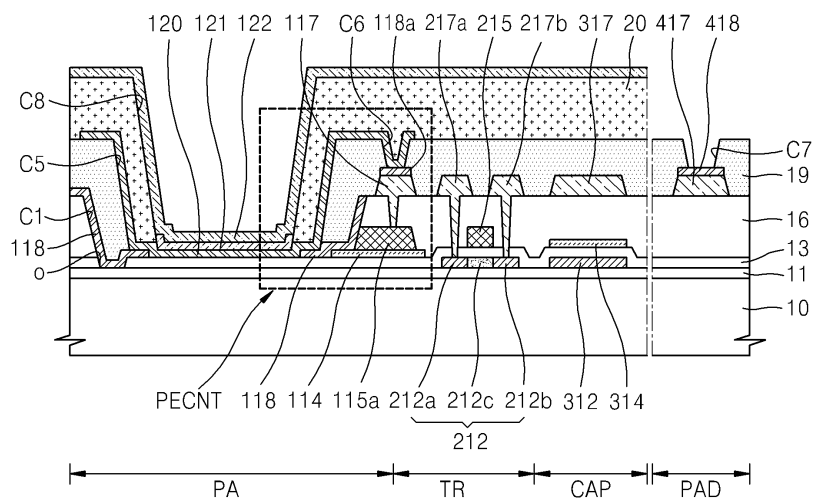
|        |             |              |
|--------|-------------|--------------|
| [0141] | 10: 기판      | 11: 버퍼층      |
|        | 13: 제1 절연층  | 16: 제2 절연층   |
|        | 19: 제3 절연층  | 20: 제4 절연층   |
|        | 120: 화소 전극  | 121: 유기발광층   |
|        | 122: 대향 전극  | 212: 활성층     |
|        | 212a: 소스 영역 | 212b: 드레인 영역 |
|        | 212c: 채널 영역 | 215: 게이트 전극  |
|        | 217a: 소스 전극 | 217b: 드레인 전극 |
|        | 312: 제1 전극  | 314: 제2 전극   |
|        | 317: 제3 전극  | 417: 제1 패드층  |
|        | 418: 제2 패드층 |              |

도면

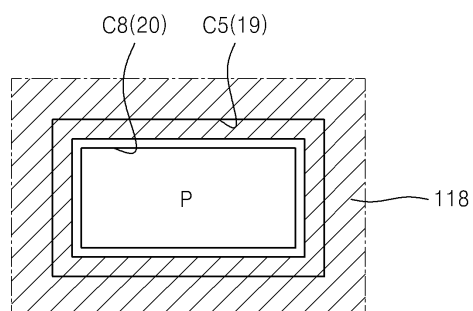
도면1



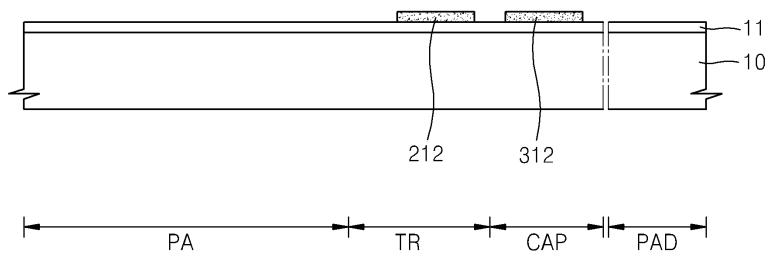
도면2



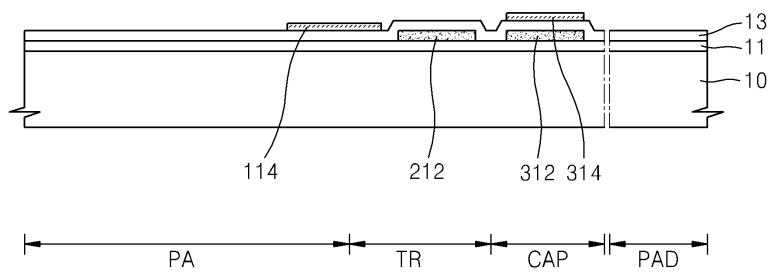
도면3



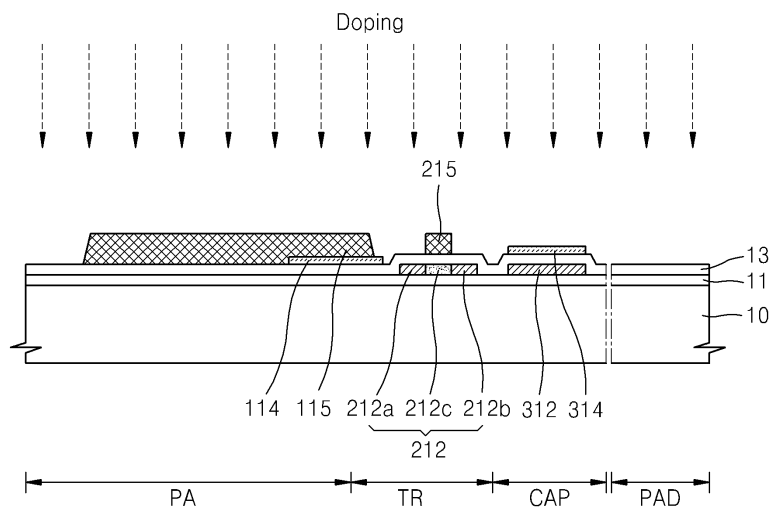
도면4a



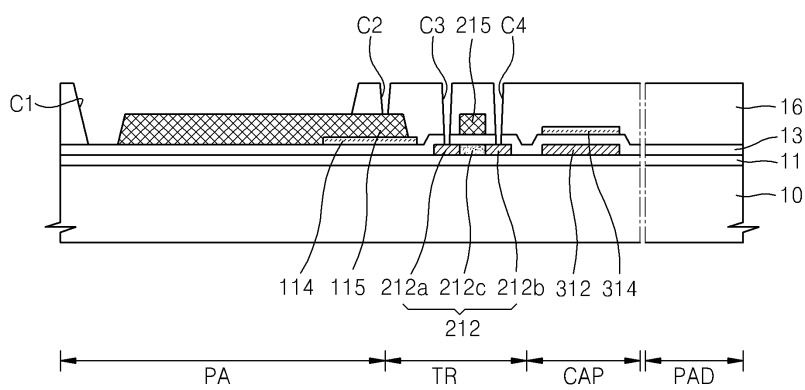
도면4b



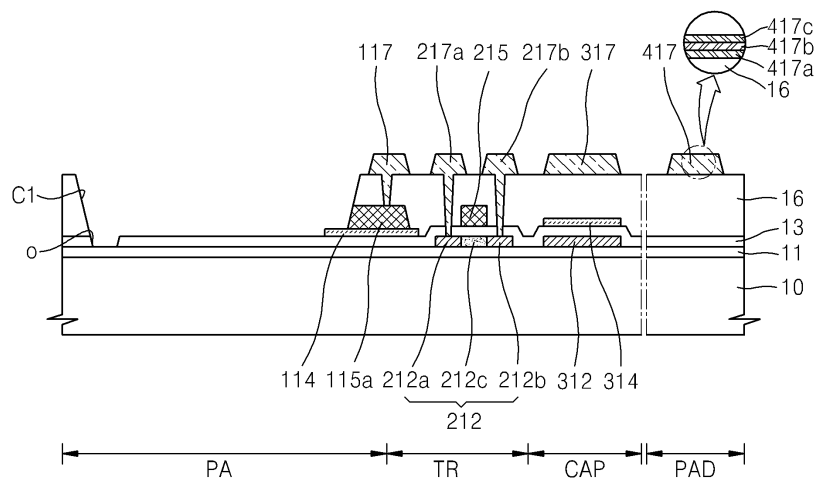
도면4c



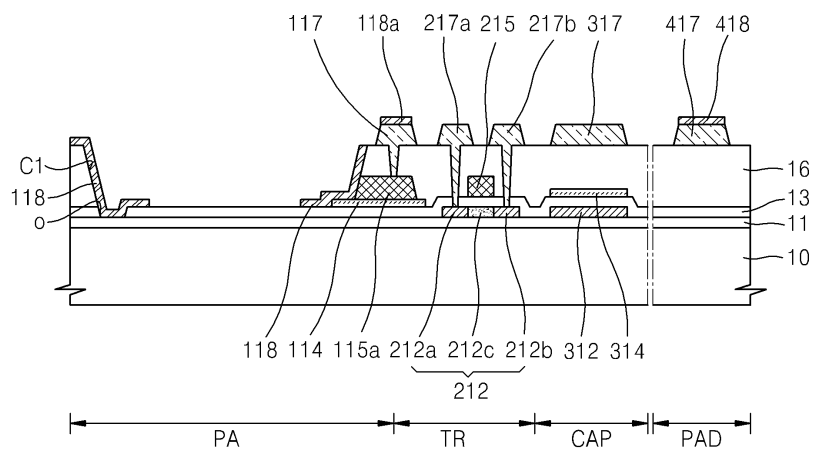
도면4d



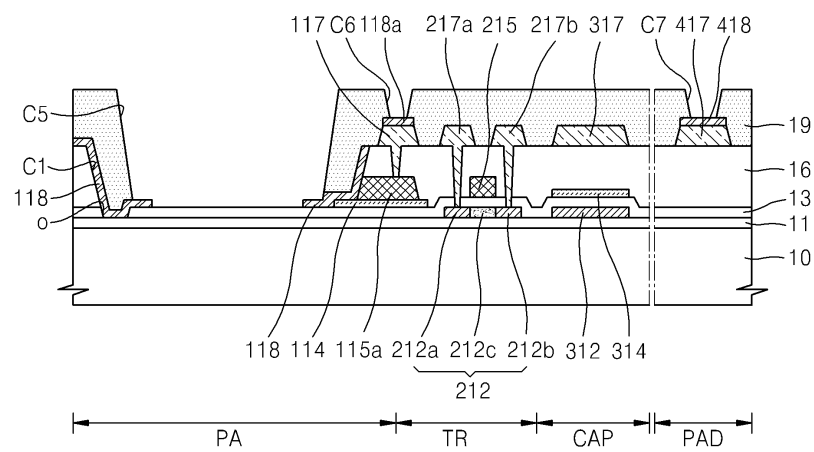
도면4e



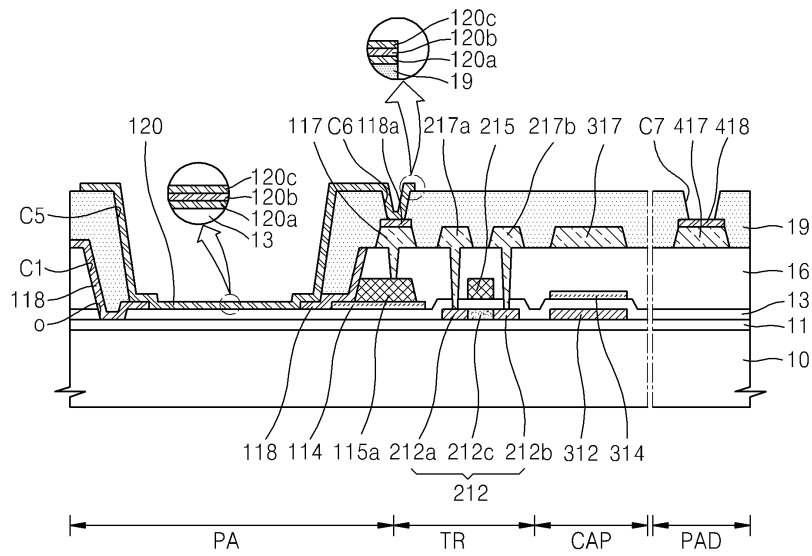
도면4f



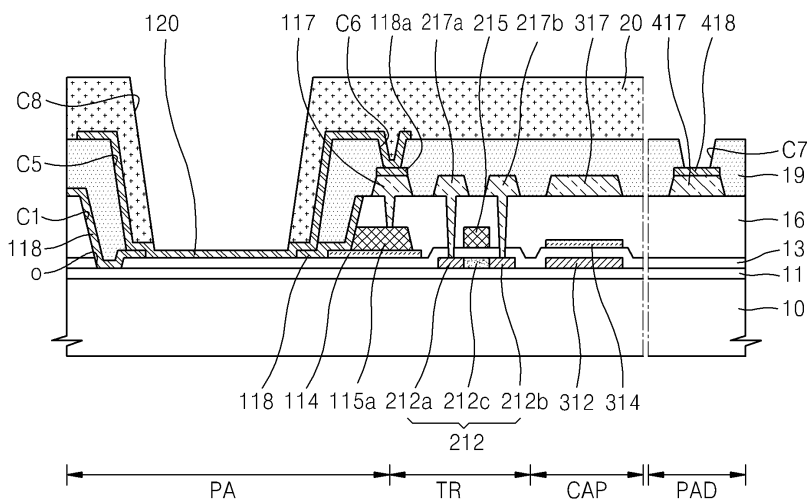
도면4g



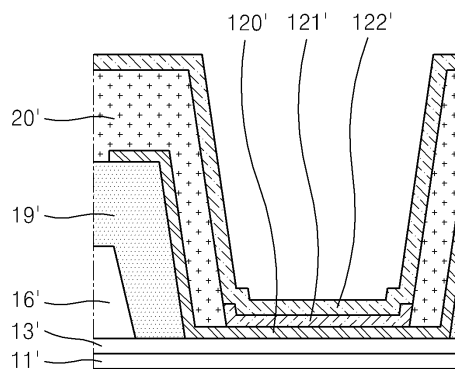
도면4h



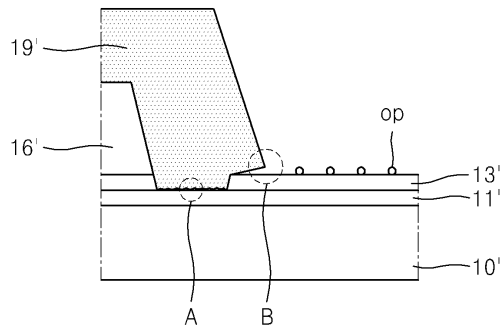
도면4i



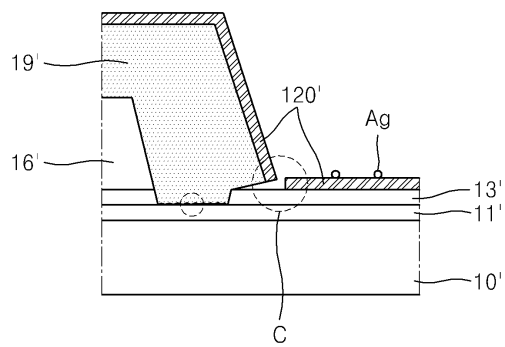
도면5



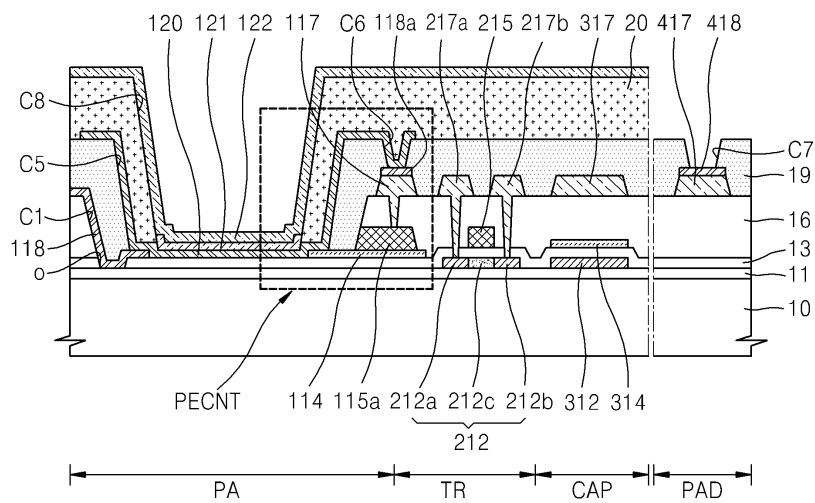
도면6



도면7



도면8



|                |                                                                                                                                    |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：OLED显示器及其制造方法                                                                                                                   |         |            |
| 公开(公告)号        | KR1020140140987A                                                                                                                   | 公开(公告)日 | 2014-12-10 |
| 申请号            | KR1020130062113                                                                                                                    | 申请日     | 2013-05-30 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                           |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                          |         |            |
| 当前申请(专利权)人(译)  | 三星显示器有限公司                                                                                                                          |         |            |
| [标]发明人         | PARK KYUNG HOON<br>박경훈<br>PARK SUN<br>박선<br>SONG YEONG HO<br>송영호<br>SONG JI HOON<br>송지훈<br>LEE YUL KYU<br>이율규                      |         |            |
| 发明人            | 박경훈<br>박선<br>송영호<br>송지훈<br>이율규                                                                                                     |         |            |
| IPC分类号         | H01L51/50 H05B33/10                                                                                                                |         |            |
| CPC分类号         | H01L51/56 H01L27/3248 H01L51/5218 H01L51/5234 H01L27/3258 H01L51/5253 H01L51/5265<br>H01L51/5271 H01L27/3209 H01L27/3246 H05B33/10 |         |            |
| 其他公开文献         | KR102077144B1                                                                                                                      |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                          |         |            |

## 摘要(译)

本发明包括有源层, 栅电极, 源电极和漏电极, 设置在有源层和栅电极之间的第一绝缘层, 以及设置在栅电极和源电极与漏电极之间的第二绝缘层一种焊盘电极, 具有与所述源电极和所述漏电极设置在同一层上的第一焊盘层和设置在所述第一焊盘层上的第二焊盘层; 第三绝缘层, 形成在耦合辅助层上, 包括第一开口和像素电极, 像素电极形成在第三绝缘层的第一开口上并电连接到源电极和漏电极中的一个, 第四绝缘层, 形成在像素电极上, 以覆盖像素电极的边缘, 并通过形成在与形成于第三绝缘层中的第一开口对应的位置处的第二开口限定像素, 设置在小电极上的有机发光层和设置在有机发光层上的对电极及其制造方法。

