



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0073213
(43) 공개일자 2014년06월16일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2012-0141197
(22) 출원일자 2012년12월06일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
문상호
경기도 용인시 기흥구 삼성2로 95 (농서동)
허종무
경기도 용인시 기흥구 삼성2로 95 (농서동)
김성호
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

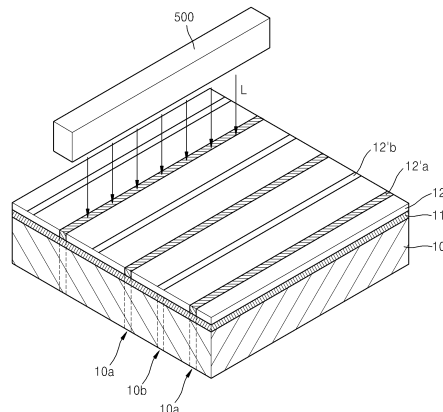
전체 청구항 수 : 총 43 항

(54) 발명의 명칭 다결정 실리콘층의 제조 방법, 상기 다결정 실리콘층의 제조 방법을 포함하는 유기 발광 표시 장치의 제조 방법, 및 그 제조 방법에 의해 제조된 유기 발광 표시 장치

(57) 요약

본 발명의 일 측면에 의하면, 제1 영역과 제2 영역으로 구획된 기판 상에 비정질 실리콘층을 형성하는 단계와, 상기 비정질 실리콘층을 열처리하여 부분 결정화하는 단계와, 상기 열처리에 의해 써멀 옥사이드층을 제거하는 단계와, 상기 제1 영역 상에 레이저 빔을 선택적으로 조사하여 결정화하는 단계를 포함하는 다결정 실리콘층의 제조 방법, 상기 다결정 실리콘층의 제조 방법을 포함하는 유기 발광 표시 장치의 제조 방법, 및 그 제조 방법에 의해 제조된 유기 발광 표시 장치를 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

제1 영역과 제2 영역으로 구획된 기판 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층을 열처리하여 부분 결정화하는 단계;

상기 열처리에 의해 형성된 씨멀 옥사이드층을 제거하는 단계;

상기 제1 영역 상에 레이저 빔을 선택적으로 조사하여 결정화하는 단계; 를 포함하는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 2

제1항에 있어서,

상기 비정질 실리콘층 형성 전에 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 3

제1항에 있어서,

상기 제1 영역과 상기 제2 영역은 서로 이격되어 반복적으로 배치되는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 4

제1항에 있어서,

상기 부분 결정화는 결정화도가 대략 65~80%인 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 5

제1항에 있어서,

상기 부분 결정화 단계는,

상기 비정질 실리콘층을 650~780℃로 열처리하는 하는 단계;

상기 비정질 실리콘층이 부분 다결정 실리콘층으로 상기 부분 결정화되는 단계; 및

상기 부분 다결정 실리콘층 상에 상기 씨멀 옥사이드층이 형성되는 단계; 를 구비하는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 6

제5항에 있어서,

상기 결정화 단계는,

상기 제1 영역 상에 형성된 상기 부분 다결정 실리콘층에 상기 레이저 빔을 선택적으로 조사하는 단계; 및

상기 부분 다결정 실리콘층이 다결정 실리콘층으로 결정화되는 단계; 를 구비하는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 7

제6항에 있어서,

상기 다결정 실리콘층은 상기 부분 다결정 실리콘층 보다 결정화도가 더 높은 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 8

제6항에 있어서,

상기 다결정 실리콘층과 상기 부분 다결정 실리콘층은 그 결정구조가 상이한 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 9

제6항에 있어서,

상기 다결정 실리콘층의 그레인의 크기는 랜덤하게 형성되는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 10

제6항에 있어서,

상기 다결정 실리콘층은 상기 부분 다결정 실리콘층의 그레인의 길이 방향 중심축을 중심으로 양 방향으로 성장하는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 11

제6항에 있어서,

상기 부분 다결정 실리콘층의 그레인의 크기는 균일하게 형성되는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 12

제1항에 있어서,

상기 씨멀 옥사이드층은 BOE(Buffered Oxide Echant) 또는 HF로 제거되는 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 13

제1항에 있어서,

상기 레이저 빔은 엑시머 레이저 빔인 것을 특징으로 하는 다결정 실리콘층의 제조 방법.

청구항 14

제1 영역과 제2 영역이 반복적으로 구획된 기관;

상기 기관 상에 형성된 복수 개의 발광 소자; 를 구비하며,

상기 발광 소자 각각은 그 길이 방향으로 박막 트랜지스터부, 발광부, 및 커패시터부로 이루어지며,

상기 길이 방향에서 서로 인접하는 발광 소자들은 상기 박막 트랜지스터부들이 인접하거나 상기 커패시터부들이 인접하도록 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제14항에 있어서,

상기 제1 영역 상에는 서로 인접하는 두 개의 상기 발광 소자의 상기 박막 트랜지스터부들이 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제14항에 있어서,

상기 제2 영역 상에는 서로 인접하는 두 개의 상기 발광 소자의 상기 커패시터부들이 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제14항에 있어서,
 상기 박막 트랜지스터부는,
 상기 기판 상에 형성되는 활성층;
 상기 활성층과 절연되어 상기 기판 상에 배치되는 게이트 전극;
 상기 게이트 전극과 절연되고, 상기 활성층과 전기적으로 연결된 소스 및 드레인 전극; 을 구비하며,
 상기 활성층은 상기 제1 영역 상에 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제17항에 있어서,
 상기 커패시터부는,
 상기 활성층과 동일한 층 상에 형성되는 커패시터 하부 전극; 및
 상기 커패시터 하부 전극과 절연되는 커패시터 상부 전극; 를 구비하며,
 상기 커패시터 하부 전극은 상기 제2 영역 상에 형성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제18항에 있어서,
 상기 활성층은 다결정 실리콘층으로 이루어지며, 상기 커패시터 하부 전극은 부분 다결정 실리콘층으로 이루어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제19항에 있어서,
 상기 다결정 실리콘층은 상기 부분 다결정 실리콘층 보다 결정화도가 높은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 21

제20항에 있어서,
 상기 부분 다결정 실리콘층은 대략 65~80%의 결정화도를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 22

제19항에 있어서,
 상기 커패시터 하부 전극은 상기 제2 영역 상에 형성된 비정질 실리콘층을 650~780℃로 열처리하여 결정함으로써 형성된 상기 부분 다결정 실리콘층인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 23

제19항에 있어서,
 상기 활성층은 상기 제1 영역 상에 형성된 비정질 실리콘을 650~780℃로 열처리한 후 레이저 빔을 조사하여 재결정화된 상기 다결정 실리콘층인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 24

제14항에 있어서,
 상기 발광부는 상기 제1 영역과 상기 제2 영역 사이의 제3 영역 상에 배치되는 것을 특징으로 하는 유기 발광

표시 장치.

청구항 25

제14항에 있어서,

상기 발광부는,

상기 기판 상에 형성되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극;

상기 화소 전극 상에 형성되는 유기 발광층을 포함하는 중간층; 및

상기 중간층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극; 을 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 26

제1 영역과 제2 영역으로 구획된 기판 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 부분 결정화하여 부분 다결정 실리콘층을 형성하고, 상기 제1 영역 상의 상기 부분 다결정 실리콘층을 재결정화하여 다결정 실리콘층을 형성하고, 상기 제1 영역 상의 상기 다결정 실리콘층을 패터닝하여 박막 트랜지스터의 활성층을 형성하고, 상기 제2 영역 상의 상기 부분 다결정 실리콘층을 패터닝하여 커패시터의 하부 전극을 형성하는 제1 마스크 공정;

상기 활성층 및 커패시터 하부 전극을 덮도록 상기 기판 상에 제1절연층 및 반투과 금속을 형성하고, 상기 반투과 금속을 패터닝하여 화소 전극을 형성하는 제2마스크 공정;

상기 화소 전극을 덮도록 상기 기판 상에 투명 도전층 및 제1금속층을 차례로 형성하고, 상기 투명 도전층 및 금속층을 패터닝하여 박막 트랜지스터의 제1게이트 전극과 제2게이트 전극, 및 커패시터의 제1상부 전극과 제2상부 전극을 형성하는 제3마스크 공정;

상기 화소 전극, 상기 제1 게이트 전극과 제2게이트 전극, 및 상기 제1 상부 전극과 제2상부 전극을 덮도록 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여, 상기 화소 전극, 상기 활성층의 소스 및 드레인 영역 및 상기 제2상부 전극을 노출시키는 개구들을 형성하는 제4마스크 공정;

상기 화소 전극 및 상기 개구들을 덮도록 제2금속층을 형성하고, 상기 제2금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 제5마스크 공정; 및

상기 소스 및 드레인 전극을 덮도록 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 화소 전극을 노출시키는 제6마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 27

제26항에 있어서,

상기 제1마스크 공정은, 상기 비정질 실리콘층 형성 전에 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 28

제26항에 있어서,

상기 제1 영역과 상기 제2 영역은 서로 이격되어 반복적으로 배치되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 29

제26항에 있어서,

상기 부분 결정화는 결정화도가 대략 65~80%인 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 30

제26항에 있어서,

상기 제1마스크 공정에서 상기 부분 다결정 실리콘층을 형성하는 단계는,

상기 기판 상에 형성된 상기 비정질 실리콘층을 650~780℃로 열처리하는 하는 단계;

상기 비정질 실리콘층이 부분 다결정 실리콘층으로 부분 결정화되는 단계; 및

상기 부분 다결정 실리콘층 상에 씨멀 옥사이드층이 형성되는 단계; 를 구비하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 31

제30항에 있어서,

상기 제1마스크 공정에서 상기 다결정 실리콘층 형성 단계는,

상기 제1 영역 상에 형성된 상기 부분 다결정 실리콘층에 레이저 빔을 선택적으로 조사하는 단계; 및

상기 부분 다결정 실리콘층이 다결정 실리콘층으로 재결정화되는 단계; 를 구비하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 32

제31항에 있어서,

상기 다결정 실리콘층은 상기 부분 다결정 실리콘층 보다 결정화도가 더 높은 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 33

제30항에 있어서,

상기 씨멀 옥사이드층은 BOE 또는 HF로 제거되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 34

제30항에 있어서,

상기 레이저 빔은 엑시머 레이저 빔인 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 35

제26항에 있어서,

상기 제3마스크 공정 후, 상기 제2게이트 전극을 마스크로 하여 상기 활성층의 소스 및 드레인 영역에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 36

제26항에 있어서,

상기 제5마스크 공정 후, 상기 제1상부 전극을 노출시키고, 상기 노출된 제1상부 전극 위에서 상기 하부 전극에 이온 불순물을 도핑 하는 유기 발광 표시 장치의 제조 방법.

청구항 37

제26항에 있어서,

상기 반투과 금속은 은(Ag) 합금으로 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 38

제37항에 있어서,

상기 은(Ag) 합금은 팔라듐(Pd) 및 구리(Cu)를 포함하도록 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 39

제37항에 있어서,

상기 반투과 금속은 80 내지 200Å의 두께로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 40

제26항에 있어서,

상기 제3마스크 공정에서, 상기 투명 도전층 및 상기 제1금속층은 상기 화소 전극을 차례로 덮도록 패터닝되는 유기 발광 표시 장치의 제조 방법.

청구항 41

제40항에 있어서,

상기 제4마스크 공정에서, 상기 제2절연층을 패터닝하여, 상기 화소 전극을 덮는 상기 제1금속층을 노출시키는 개구를 더 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 42

제41항에 있어서,

상기 제5마스크 공정에서, 상기 화소 전극을 덮는 제1금속층 및 제2금속층을 제거하는 유기 발광 표시 장치의 제조 방법.

청구항 43

제41항에 있어서,

상기 제1금속층 및 제2금속층은 동일 재료로 형성되는 유기 발광 표시 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 일 측면은 다결정 실리콘층의 제조 방법, 상기 다결정 실리콘층의 제조 방법을 포함하는 유기 발광 표시 장치의 제조 방법, 및 그 제조 방법에 의해 제조된 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스형(Active Matrix type, AM) 유기 발광 표시 장치는 각각의 픽셀마다 픽셀 구동회로를 구비하며, 이 픽셀 구동회로는 실리콘을 이용한 박막 트랜지스터를 포함한다. 박막 트랜지스터를 구성하는 실리콘으로는 비정질 실리콘 또는 다결정질 실리콘이 사용된다.

[0003] 픽셀 구동회로에 사용되는 비정질 실리콘 박막 트랜지스터(amorphous silicon TFT: a-Si TFT)는 소스, 드레인 및 채널을 구성하는 반도체 활성층이 비정질 실리콘이기 때문에 1cm²/Vs 이하의 낮은 전자 이동도를 갖는다. 이에 따라 최근에는 상기 비정질 실리콘 박막 트랜지스터를 다결정질 실리콘 박막 트랜지스터(polycrystalline silicon TFT: poly-Si TFT)로 대체하는 경향으로 가고 있다. 상기 다결정질 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터에 비해 전자 이동도가 크고, 빛의 조사에 대한 안정성이 우수하다. 따라서, 이 다결정질 실리콘 박막 트랜지스터는 AM 유기 발광 표시장치의 구동 및/또는 스위칭 박막 트랜지스터의 활성층으로 사용되기에 매우 적합하다.

[0004] 상기와 같은 다결정질 실리콘은 여러 가지 방법으로 제작할 수 있는데, 이는 크게 다결정 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 이를 결정화하는 방법으로 구분할 수 있다.

[0005] 다결정질 실리콘을 직접 증착하는 방법에는 열화학기상증착법(Chemical Vapor Deposition: CVD), Photo CVD, HR(hydrogen radical) CVD, ECR(electron cyclotron resonance) CVD, PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD 등의 방법이 있다.

[0006] 한편, 비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(Solid Phase Crystallization: SPC)법, 엑시머 레이저(Excimer Laser Crystallization: ELC)법, 금속 유도 결정화(Metal Induced Crystallization: MIC)법, 금속 유도 측면 결정화(Metal Induced Lateral Crystallization: MILC)법, 연속측면고상화(Sequential Lateral Solidification: SLS)법 등이 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 주된 목적은 결정화 생산성을 향상시키고 커패시터의 특성을 향상시킬 수 있는 다결정 실리콘층의 제조 방법, 상기 다결정 실리콘층의 제조 방법을 포함하는 유기 발광 표시 장치의 제조 방법, 및 그 제조 방법에 의해 제조된 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 다결정 실리콘층의 제조 방법은, 제1 영역과 제2 영역으로 구획된 기판 상에 비정질 실리콘층을 형성하는 단계; 상기 비정질 실리콘층을 열처리하여 부분 결정화하는 단계; 상기 열처리에 의해 형성된 씨멀 옥사이드층을 제거하는 단계; 상기 제1 영역 상에 레이저 빔을 선택적으로 조사하여 결정화하는 단계;를 포함할 수 있다.

[0009] 상기 비정질 실리콘층 형성 전에 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.

[0010] 상기 제1 영역과 상기 제2 영역은 서로 이격되어 반복적으로 배치될 수 있다.

[0011] 상기 부분 결정화는 결정화도가 대략 65~80%일 수 있다.

[0012] 상기 부분 결정화 단계는, 상기 비정질 실리콘층을 650~780℃로 열처리하는 하는 단계; 상기 비정질 실리콘층이 부분 다결정 실리콘층으로 상기 부분 결정화되는 단계; 및 상기 부분 다결정 실리콘층 상에 상기 씨멀 옥사이드층이 형성되는 단계;를 구비할 수 있다.

[0013] 상기 결정화 단계는, 상기 제1 영역 상에 형성된 상기 부분 다결정 실리콘층에 상기 레이저 빔을 선택적으로 조사하는 단계; 및 상기 부분 다결정 실리콘층이 다결정 실리콘층으로 결정화되는 단계;를 구비할 수 있다.

[0014] 상기 다결정 실리콘층은 상기 부분 다결정 실리콘층 보다 결정화도가 더 높을 수 있다.

[0015] 상기 씨멀 옥사이드층은 BOE 또는 HF로 제거될 수 있다.

[0016] 상기 레이저 빔은 엑시머 레이저 빔일 수 있다.

[0017] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 제1 영역과 제2 영역이 반복적으로 구획된 기판; 상기 기판 상에 형성된 복수 개의 발광 소자;를 구비하며, 상기 발광 소자 각각은 그 길이 방향으로 박막 트랜지스터부, 발광부, 및 커패시터부로 이루어지며, 상기 길이 방향에서 서로 인접하는 발광 소자들은 상기 박막 트랜지스터부들이 인접하거나 상기 커패시터부들이 인접하도록 배치될 수 있다.

[0018] 상기 제1 영역 상에는 서로 인접하는 두 개의 상기 발광 소자의 상기 박막 트랜지스터부들이 위치할 수 있다.

[0019] 상기 제2 영역 상에는 서로 인접하는 두 개의 상기 발광 소자의 상기 커패시터부들이 위치할 수 있다.

[0020] 상기 박막 트랜지스터부는, 상기 기판 상에 형성되는 활성층; 상기 활성층과 절연되어 상기 기판 상에 배치되는 게이트 전극; 상기 게이트 전극과 절연되고, 상기 활성층과 전기적으로 연결된 소스 및 드레인 전극;을 구비하며, 상기 활성층은 상기 제1 영역 상에 형성될 수 있다.

[0021] 상기 커패시터부는, 상기 활성층과 동일한 층 상에 형성되는 커패시터 하부 전극; 및 상기 커패시터 하부 전극과 절연되는 커패시터 상부 전극;를 구비하며, 상기 커패시터 하부 전극은 상기 제2 영역 상에 형성될 수 있다.

[0022] 상기 활성층은 다결정 실리콘층으로 이루어지며, 상기 커패시터 하부 전극은 부분 다결정 실리콘층으로 이루어질 수 있다.

[0023] 상기 다결정 실리콘층은 상기 부분 다결정 실리콘층 보다 결정화도가 높을 수 있다.

- [0024] 상기 부분 다결정 실리콘층은 대략 65~80%의 결정화도를 가질 수 있다.
- [0025] 상기 커패시터 하부 전극은 상기 제2 영역 상에 형성된 비정질 실리콘층을 650~780℃로 열처리하여 결정함으로써 형성된 상기 부분 다결정 실리콘층일 수 있다.
- [0026] 상기 활성층은 상기 제1 영역 상에 형성된 비정질 실리콘을 650~780℃로 열처리한 후 레이저 빔을 조사하여 재결정화된 상기 다결정 실리콘층일 수 있다.
- [0027] 상기 발광부는 상기 제1 영역과 상기 제2 영역 사이의 제3 영역 상에 배치될 수 있다.
- [0028] 상기 발광부는, 상기 기관 상에 형성되며, 상기 박막 트랜지스터와 전기적으로 연결되는 화소 전극; 상기 화소 전극 상에 형성되는 유기 발광층을 포함하는 중간층; 및 상기 중간층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극; 을 구비할 수 있다.
- [0029] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은, 제1 영역과 제2 영역으로 구획된 기관 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 부분 결정화하여 부분 다결정 실리콘층을 형성하고, 상기 제1 영역 상의 상기 부분 다결정 실리콘층을 재결정화하여 다결정 실리콘층을 형성하고, 상기 제1 영역 상의 상기 다결정 실리콘층을 패터닝하여 박막 트랜지스터의 활성층을 형성하고, 상기 제2 영역 상의 상기 부분 다결정 실리콘층을 패터닝하여 커패시터의 하부 전극을 형성하는 제1마스크 공정; 상기 활성층 및 커패시터 하부 전극을 덮도록 상기 기관 상에 제1절연층 및 반투과 금속을 형성하고, 상기 반투과 금속을 패터닝하여 화소 전극을 형성하는 제2마스크 공정; 상기 화소 전극을 덮도록 상기 기관 상에 투명 도전층 및 제1금속층을 차례로 형성하고, 상기 투명 도전층 및 금속층을 패터닝하여 박막 트랜지스터의 제1게이트 전극과 제2게이트 전극, 및 커패시터의 제1상부 전극과 제2상부 전극을 형성하는 제3마스크 공정; 상기 화소 전극, 상기 제1 게이트 전극과 제2게이트 전극, 및 상기 제1 상부 전극과 제2상부 전극을 덮도록 제2절연층을 형성하고, 상기 제2절연층을 패터닝하여, 상기 화소 전극, 상기 활성층의 소스 및 드레인 영역 및 상기 제2상부 전극을 노출시키는 개구들을 형성하는 제4마스크 공정; 상기 화소 전극 및 상기 개구들을 덮도록 제2금속층을 형성하고, 상기 제2금속층을 패터닝하여 소스 및 드레인 전극을 형성하는 제5마스크 공정; 및 상기 소스 및 드레인 전극을 덮도록 제3절연층을 형성하고, 상기 제3절연층을 패터닝하여 상기 화소 전극을 노출시키는 제6마스크 공정; 을 포함할 수 있다.
- [0030] 상기 제1마스크 공정은, 상기 비정질 실리콘층 형성 전에 상기 기관 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- [0031] 상기 제1 영역과 상기 제2 영역은 서로 이격되어 반복적으로 배치될 수 있다.
- [0032] 상기 부분 결정화는 결정화도가 대략 65~80%일 수 있다.
- [0033] 상기 제1마스크 공정에서 상기 부분 다결정 실리콘층을 형성하는 단계는, 상기 기관 상에 형성된 상기 비정질 실리콘층을 650~780℃로 열처리하는 하는 단계; 상기 비정질 실리콘층이 부분 다결정 실리콘층으로 부분 결정화되는 단계; 및 상기 부분 다결정 실리콘층 상에 씨멀 옥사이드층이 형성되는 단계; 를 구비할 수 있다.
- [0034] 상기 제1마스크 공정에서 상기 다결정 실리콘층 형성 단계는, 상기 제1 영역 상에 형성된 상기 부분 다결정 실리콘층에 레이저 빔을 선택적으로 조사하는 단계; 및 상기 부분 다결정 실리콘층이 다결정 실리콘층으로 재결정화되는 단계; 를 구비할 수 있다.
- [0035] 상기 다결정 실리콘층은 상기 부분 다결정 실리콘층 보다 결정화도가 더 높을 수 있다.
- [0036] 상기 씨멀 옥사이드층은 BOE 또는 HF로 제거할 수 있다.
- [0037] 상기 레이저 빔은 엑시머 레이저 빔일 수 있다.
- [0038] 상기 제3마스크 공정 후, 상기 제2게이트 전극을 마스크로 하여 상기 활성층의 소스 및 드레인 영역에 이온 불순물을 도핑할 수 있다.
- [0039] 상기 제5마스크 공정 후, 상기 제1상부 전극을 노출시키고, 상기 노출된 제1상부 전극 위에서 상기 하부 전극에 이온 불순물을 도핑할 수 있다.
- [0040] 상기 반투과 금속은 은(Ag) 합금으로 형성될 수 있다.
- [0041] 상기 은(Ag) 합금은 팔라듐(Pd) 및 구리(Cu)를 포함하도록 형성될 수 있다.
- [0042] 상기 반투과 금속은 80 내지 200Å의 두께로 형성할 수 있다.

- [0043] 상기 제3마스크 공정에서, 상기 투명 도전층 및 상기 제1금속층은 상기 화소 전극을 차례로 덮도록 패터닝될 수 있다.
- [0044] 상기 제4마스크 공정에서, 상기 제2절연층을 패터닝하여, 상기 화소 전극을 덮는 상기 제1금속층을 노출시키는 개구를 더 형성할 수 있다.
- [0045] 상기 제5마스크 공정에서, 상기 화소 전극을 덮는 제1금속층 및 제2금속층을 제거할 수 있다.
- [0046] 상기 제1금속층 및 제2금속층은 동일 재료로 형성될 수 있다.

발명의 효과

- [0047] 상기한 바와 같이 이루어진 본 발명의 실시예들에 따르면, 결정화 생산성이 향상되고 커패시터의 특성이 향상될 수 있다.

도면의 간단한 설명

- [0048] 도 1 내지 도 4는 다결정 실리콘층의 제조 공정을 개략적으로 나타내는 단면도이다.
- 도 5는 부분 결정화된 부분 다결정 실리콘층을 나타내는 SEM 이미지이다.
- 도 6은 재결정화된 다결정 실리콘층을 나타내는 SEM 이미지이다.
- 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타내는 평면도이다.
- 도 8은 도 7의 유기 발광 표시 장치를 개략적으로 나타내는 단면도이다.
- 도 9 내지 도 27은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0049] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0050] 도 1 내지 도 4는 다결정 실리콘층의 제조 공정을 개략적으로 나타내는 단면도이다.
- [0051] 우선, 도 1에 도시된 바와 같이, 기판(10) 상에 버퍼층(11)과 비정질 실리콘층(12)을 형성한다.
- [0052] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 상기 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(11)이 더 구비될 수 있다.
- [0053] 버퍼층(11) 및 비정질 실리콘층(12)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0054] 버퍼층(11) 상에는 비정질 실리콘층(amorphous silicon layer)(12)이 형성된다. 비정질 실리콘층(12)은 후술하는 공정에 의해 결정화되어 다결정 실리콘층으로 형성된다.
- [0055] 다음으로, 도 2에 도시된 바와 같이, 비정질 실리콘층(12)을 부분 결정화하여 부분 다결정 실리콘층(12')을 형성한다.
- [0056] 부분 결정화는 비정질 실리콘층(12)의 결정화도가 대략 65~80%에 이르는 것을 의미하며, 비정질 실리콘층(12)이 부분 결정화되면 부분 다결정 실리콘층(12')이 형성되는데, 부분 다결정 실리콘층(12')은 대략 65~80%의 결정화가 이루어진 상태를 의미한다.
- [0057] 부분 다결정 실리콘층(12')은 비정질 실리콘층(12)을 650~780℃로 열처리하여 형성된다. 비정질 실리콘층(12)을 650~780℃로 열처리하게 되면, 비정질 실리콘층(12)에서 탈수소화 과정이 진행되며, 대략 65~80%의 결정화가 이루어진다.
- [0058] 다음으로, 도 3에 도시된 바와 같이, 부분 다결정 실리콘층(12')을 제거한다. 보다 상세하게는, 비정질 실리콘층(12)을 650~780℃로 열처리하면, 비정질 실리콘층(12)이 부분 다결정 실리콘층(12')으로 부분 결정화될 뿐만

아니라 부분 다결정 실리콘층(12') 상에 씨멀 옥사이드층(Thermal oxide layer)(19)이 형성된다.

- [0059] 씨멀 옥사이드층은 자연 옥사이드층보다 구성이 더 치밀하다. 만약 씨멀 옥사이드층(30)이 존재하는 상태에서 후술하는 레이저 결정화가 진행된다면, 부분 다결정 실리콘층 및 기판에 흡수된 에너지가 씨멀 옥사이드층(30)에 의해 외부로 빠져나가 못하기 때문에, 다결정 실리콘층에 결정화 얼룩이 생기며, p-Si의 과결정화가 발생한다.
- [0060] 따라서, 레이저 결정화 전에 씨멀 옥사이드층(30)은 제거되어야 하며, 본 발명에서는 BOE(Buffered Oxide Echant) 또는 불산 용액(HF)을 이용하여 씨멀 옥사이드층(30)을 제거한다.
- [0061] 다음으로, 도 4에 도시된 바와 같이, 레이저 빔을 선택적으로 조사하여 부분 다결정 실리콘층(12')을 선택적으로 결정화한다.
- [0062] 보다 상세하게는, 기판(10)은 제1 영역(10a) 및 제2 영역(10b)으로 구획되어 있다. 제1 영역(10a)과 제2 영역(10b)은 서로 이격되어 반복적으로 기판(10) 상에서 구획된다. 비정질 실리콘층(12)은 기판(10) 전면(全面)에 형성되어 상술한 바와 같이 부분 결정화 공정에 의해 부분 다결정 실리콘층(12')으로 부분 결정화된다. 부분 다결정 실리콘층(12')은 제1 영역(10a) 및 제2 영역(10b) 상에 모두 형성되지만, 레이저 빔은 제1 영역(10a) 상에 형성된 부분 다결정 실리콘층(12')에만 레이저 빔(L)을 조사하여 제1 영역(10a) 상의 부분 다결정 실리콘층(12')을 결정화하여 다결정 실리콘층(12'a)이 형성한다. 즉, 제1 영역(10a) 상에는 다결정 실리콘층(12'a)이 있으며, 제2 영역(10b) 상에는 부분 다결정 실리콘층(12'b)이 존재한다.
- [0063] 부분 다결정 실리콘층(12'b)은 상술한 바와 같이 결정화도가 대략 65~80%이지만, 다결정 실리콘층(12'a)은 결정화도가 부분 다결정 실리콘층(12'b)보다는 높으며, 대략 80~100%일 수 있다.
- [0064] 레이저 조사 장치(500)는 기판(10)과 상대적으로 이동하면서 제1 영역(10a) 상에 형성된 부분 다결정 실리콘층(12')에 레이저 빔을 조사한다. 즉, 레이저 조사 장치(500)가 기판(10)을 이동하면서 레이저 빔을 조사하거나, 기판(10)이 안착되는 스테이지(미도시)가 이동하면서 레이저 빔이 제1 영역(10a) 상에 조사될 수 있다. 레이저 조사 장치(500)는 엑시머 레이저 빔을 조사할 수 있다.
- [0065] 본 발명의 일 실시예에 따르면, 기판(10) 상에 형성된 비정질 실리콘층(12)을 결정화하기 위해 비정질 실리콘층(12) 전체에 레이저 빔을 조사하는 것이 아니라 기판(10)의 제1 영역(10a)에만 레이저 빔을 선택적으로 조사하게 되므로 비정질 실리콘층(12) 전체에 레이저 빔을 조사하는 경우보다 레이저 조사 횟수를 줄일 수 있어서 레이저 설비의 생산 능력을 향상시킬 수 있으며, 생산성이 증가될 수 있다.
- [0066] 도 5는 부분 결정화된 부분 다결정 실리콘층을 나타내는 SEM 이미지이다.
- [0067] 650~780℃로 열처리를 진행하면 도 5에 도시된 바와 같이 비정질 실리콘층은 부분 결정화되어 부분 다결정 실리콘층이 형성된다. 부분 결정화는 결정화도(crytallinity)가 대략 65~80%인 것을 의미한다. 즉, 도 5에서 긴 막대 모양을 갖는 결정 형상(C)들이 부분적으로 형성됨을 확인할 수 있다. 긴 막대 모양을 갖는 결정 형상(C)들은 레이저 결정화 진행시 그레인(grain)의 성장 방향과 형상에 있어서 시드(seed) 역할을 하게 된다.
- [0068] 부분 다결정 실리콘층은 커패시터부(53)의 커패시터 하부 전극(도 8의 312)을 형성하게 된다. 부분 다결정 실리콘층은 결정화도는 낮지만 결정성의 균일도(uniformity)가 높아서 커패시터 전체의 특성을 안정화시킬 수 있다.
- [0069] 도 6은 재결정화된 다결정 실리콘층을 나타내는 SEM 이미지이다.
- [0070] 비정질 실리콘층을 650~780℃로 열처리하여 부분 다결정 실리콘층을 형성한 후 상기 열처리 공정 중에 부분 다결정 실리콘층 상에 형성되는 씨멀 옥사이드층을 제거한 후 부분 다결정 실리콘층 일부 영역에 레이저 빔을 조사하여 재결정함으로써 다결정 실리콘층을 형성한다. 도 6은 레이저 빔을 조사하여 재결정화된 다결정 실리콘층을 나타내는 SEM이미지이다. 650~780℃의 열처리 및 씨멀 옥사이드층 제거 후 레이저 빔을 조사하면, 도 6에 도시된 바와 같이 그레인 바운더리 내의 중심 축(A)을 기준으로 서로 다른 방향으로 성장하는 트윈 성장이 이루어지면서 결정화가 진행된다. 이와 같은 결정화가 이루어지면서 그레인의 크기가 랜덤하게 형성된다.
- [0071] 상술한 바와 같이, 다결정 실리콘층은 650~780℃의 열처리 공정으로 65~80%의 결정화도를 갖는 부분 다결정 실리콘층을 형성한 후 엑시머 레이저로 결정화가 이루어지므로, 레이저 에너지 변동에 따른 그레인 형상의 변화가 민감하지 않으며, 일반적인 ELA(Excimer laser annealing) 결정화에 비해 OPED(Optimum Energy Density) 마진(margin)이 커서 양산성이 유리하며, 박막 트랜지스터의 특성이 향상되고, 레이저 에너지 변동에 따른 결정성

열룩이 발생하지 않아 이에 따라 유기 발광 표시 장치의 저, 중 계조 구동시 휘도 균일성이 높으므로 고품질의 유기 발광 표시 장치를 제조할 수 있다.

- [0072] 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타내는 평면도이다. 도 8은 도 7의 유기 발광 표시 장치를 개략적으로 나타내는 단면도이다.
- [0073] 도 7 및 8을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(10) 상에 형성된 복수 개의 발광 소자(50)를 구비할 수 있다. 발광 소자(50) 각각은 박막 트랜지스터부(52), 발광부(51), 커패시터부(53)로 이루어질 수 있다. 발광 소자(50)는 그 길이 방향으로 박막 트랜지스터부(52), 발광부(51), 커패시터부(53) 순서로 이루어지거나, 커패시터부(53), 발광부(51), 박막 트랜지스터부(51)로 이루어질 수 있다.
- [0074] 박막 트랜지스터부(51)는 기판(10)의 제1 영역(10a) 상에 형성되며, 커패시터부(53)는 기판(10)의 제2 영역(10b) 상에 형성된다.
- [0075] 복수 개의 발광 소자들(50, 50', 50")은 도 7에 도시된 바와 같이, 그 길이 방향에서 서로 인접하는 발광 소자들(50, 50', 50")의 박막 트랜지스터부(52)들이 인접하거나 커패시터부(53)들이 인접하도록 배치된다. 발광 소자(50)의 박막 트랜지스터부(52)는 발광 소자(50)에 이웃하는 발광 소자(50')의 박막 트랜지스터부(52)와 인접하게 되며, 발광 소자(50)의 커패시터부(53)는 발광 소자(50)에 이웃하는 발광 소자(50")의 커패시터부(53)에 인접하게 된다.
- [0076] 이에 따라, 발광 소자(50, 50', 50")의 종류에 관계없이 박막 트랜지스터부(52)는 기판(10)의 제1 영역(10a) 상에 배치되며, 커패시터부(53)는 기판(10)의 제2 영역(10b) 상에 배치된다. 즉, 박막 트랜지스터부(52)의 활성층(212)은 제1 기판(10)의 제1 영역(10a) 상에 배치되며 상술한 다결정 실리콘층(도 4의 12'a)으로 이루어진다. 또한, 커패시터부(53)의 커패시터 하부 전극(312)은 제1 기판(10)의 제2 영역(10b) 상에 배치되며, 상술한 부분 다결정 실리콘층(도 4의 12'b)으로 이루어진다. 기판(10) 상의 여러 제1 영역(10a) 상에 형성된 부분 다결정 실리콘층(도 4의 12'b)은 균일한 결정성을 가지고 있어서 안정적인 커패시터의 특성이 구현된다.
- [0077] 도 9 내지 도 27은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 나타내는 단면도이다.
- [0078] 도 9 내지 26은 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 과정을 개략적으로 도시한 단면도이고, 도 19는 상기 제조 방법에 의해 형성된 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0079] 도 9를 참조하면, 기판(10) 상에 버퍼층(11) 및 비정질 실리콘층(12)이 순차로 형성되어 있다.
- [0080] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 상기 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(11)이 더 구비될 수 있다.
- [0081] 버퍼층(11) 및 비정질 실리콘층(12)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다.
- [0082] 버퍼층(11) 상에는 비정질 실리콘층(12)이 증착된다. 비정질 실리콘층(12)은 상술한 바와 같이 650~780℃로 열처리하는 부분 결정화 공정이 이루어져 부분 다결정 실리콘층(12')이 형성된다. 이후 제1 영역(10a) 상에 레이저 빔을 조사하여 제1 영역(10a) 상의 부분 다결정 실리콘층(12')을 선택적으로 재결정하여 다결정 실리콘층(12'a)을 형성한다.
- [0083] 도 10을 참조하면, 부분 다결정 실리콘층(12') 상에 제1 포토레지스터(P1)를 도포하고, 광차단부(M11) 및 광투과부(M12)를 구비한 제1 포토마스크(M1)를 이용한 제1 마스크 공정을 실시한다.
- [0084] 상기 도면에는 상세히 도시되지 않았으나, 노광장치(미도시)로 제1 포토마스크(M1)에 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거친다.
- [0085] 도 11을 참조하면, 제1 포토마스크 공정의 결과로 부분 다결정 실리콘층(12')은 다결정 실리콘층(12'a)인 박막 트랜지스터의 활성층(212), 및 부분 다결정 실리콘층(12'b)인 커패시터의 하부 전극(312)으로 패터닝된다.

- [0086] 도 12를 참조하면, 도 3의 구조물 상에 제1절연층(13) 및 반투과 금속층(14)이 차례로 적층된다.
- [0087] 제1 절연층(13)은 SiO₂, SiN_x 등을 단층 또는 복수층 포함할 수 있으며, 후술할 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전층 역할을 한다.
- [0088] 반투과 금속층(14)은 은(Ag) 합금으로 구비될 수 있다. 은 합금으로는 은을 주된 원소로 하여 팔라듐(Pd) 및 구리(Cu)를 더 포함할 수 있으며, 광학적 공진 구조의 유기 발광 표시 장치의 화소 전극으로 반투과 미러 역할을 한다.
- [0089] 반투과 금속층(14)은 50 내지 200Å의 두께로 형성한다. 반투과 금속층(14)의 두께가 50Å보다 얇으면 반사율이 떨어지기 때문에 후술하는 대향 전극과의 사이에서 광학적 공진을 이루기 어렵고, 두께가 200Å보다 두꺼우면 투과율이 떨어지기 때문에 광 효율이 오히려 떨어질 수 있다.
- [0090] 도 13을 참조하면, 반투과 금속층(14) 상에 제2 포토레지스터(P2)를 도포하고, 광차단부(M21) 및 광투과부(M22)를 구비한 제2 포토마스크(M2)를 이용한 제2 마스크 공정을 실시한다.
- [0091] 도 14를 참조하면, 제2 포토마스크 공정의 결과로 상기 반투과 금속층(14)은 화소 전극(114)으로 패터닝된다.
- [0092] 상기와 같이 반투과 및 반투과 특성이 우수한 은 합금으로 반투과 미러를 형성함으로써 광학적 공진 구조를 구비한 유기 발광 표시 장치의 광효율을 더욱 높일 수 있다.
- [0093] 도 15를 참조하면, 도 14의 구조물 상에 투명 도전층(15) 및 제1금속층(16)이 순서대로 적층된다.
- [0094] 투명 도전층(15)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0095] 제1금속층(16)은 상기 화소 전극(114)과 식각물이 다른 금속으로 구비될 수 있다. 예를 들어, 제1금속층(16)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제1금속층(16)은 알루미늄을 포함한다.
- [0096] 한편, 제1금속층(16)은 다층의 금속층(16a, 16b, 16c)을 포함할 수 있는데, 본 실시예에서는 알루미늄(16b)을 중심으로 상부 및 하부에 몰리브덴(16a, 16c)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제1금속층(16)을 형성할 수 있다.
- [0097] 도 16을 참조하면, 제1금속층(16) 상에 제3 포토레지스터(P3)를 도포하고, 광차단부(M31) 및 광투과부(M32)를 구비한 제3 포토마스크(M3)를 이용한 제3 마스크 공정을 실시한다.
- [0098] 도 17을 참조하면, 제3 포토마스크 공정의 결과로 상기 투명 도전층(15) 및 제1금속층(16)은 박막 트랜지스터의 제1게이트 전극(215)과 제2게이트 전극(216), 및 커패시터의 제1상부 전극(315)과 제2상부 전극(316)으로 패터닝된다.
- [0099] 제1게이트 전극(215)과 제2게이트 전극(216), 및 커패시터의 제1상부 전극(315)과 제2상부 전극(316)은 동일 마스크 공정에서 에칭되기 때문에 각 단부의 외측 식각면이 동일하게 형성된다.
- [0100] 도 18을 참조하면, 상기 제3 마스크 공정 결과 형성된 제1게이트 전극(215) 과 제2게이트 전극(216)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑한다. 그 결과 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1게이트 전극(215) 및 제2게이트 전극(216)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0101] 전술한 바와 같이 본 발명은 화소 전극(114)을 직접 반투과 반사층이 되는 반투과 금속층(14)으로 채용함으로써 화소 전극(114)의 구조를 단순화시킬 수 있으며, 화소 전극(114)을 은 합금으로 사용하기 때문에 광효율을 높일 수 있다.
- [0102] 또한, 화소 전극(114)은 식각물이 다른 제2게이트 전극(216)을 형성하는 제1 금속층(16)과 별도의 마스크 공정에서 에칭되기 때문에, 제2게이트 전극(216)의 에칭에 따른 화소 전극(114)의 손상을 방지할 수 있다.

- [0103] 도 19를 참조하면, 상기 제3 마스크 공정 결과의 구조물 상에 제2절연층(17) 및 제4 포토레지스터(P4)를 도포하고, 광차단부(M41) 및 광투과부(M42)를 구비한 제4 포토마스크(M4)를 이용한 제4 마스크 공정을 실시한다.
- [0104] 도 20을 참조하면, 제4 마스크 공정의 결과로 제2절연층(17)에는 상기 화소 전극(114)을 개구시키는 제1개구(117a) 및 제2개구(117b), 상기 박막 트랜지스터의 소스 및 드레인 영역(212a, 212b)을 노출시키는 콘택홀(217a, 217b), 및 상기 커패시터의 제2상부 전극(316)을 개구시키는 제3개구(317)가 형성된다.
- [0105] 도 21을 참조하면, 도 12의 구조물 상에 제2금속층(18)을 형성한다.
- [0106] 제2금속층(18)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 본 실시예에서 제3금속층(18)은 알루미늄을 포함한다.
- [0107] 또한, 상기 제2금속층(18)은 다층의 금속층(18a, 18b, 18c)을 포함할 수 있는데, 본 실시예에서는 제1금속층(16)과 마찬가지로 중앙(18b)의 알루미늄을 중심으로 상부 및 하부(18a, 18c)에 몰리브덴(Mo)이 형성된 3층 구조(Mo/Al/Mo)가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 상기 제3금속층(18)을 형성할 수 있다. 예컨대, 상기 제2금속층(18)은 Ti/Al/Ti로 구성될 수 있다.
- [0108] 도 22를 참조하면, 상기 제2금속층(18) 상에 제5포토레지스터(P5)를 도포하고, 광차단부(M51) 및 광투과부(M52)를 구비한 제5포토마스크(M5)를 이용한 제5마스크 공정을 실시한다.
- [0109] 도 23을 참조하면, 제2금속층(18)이 패터닝되어 활성층(212)의 소스 및 드레인 영역(212a, 212b)에 접속하는 소스 및 드레인 전극(218a, 218b)이 형성된다. 제2금속층(18)의 식각 시, 제1금속층(16)을 포함하는 커패시터의 제2상부 전극(316)도 함께 제거될 수 있다.
- [0110] 제2금속층(18)은 제1금속층(16)과 동일 재료로 형성될 수 있으며, 이 경우 동일 식각액으로 한 번의 에칭으로 제1금속층(16)과 제2금속층(18)을 동시에 식각할 수 있다.
- [0111] 도 24를 참조하면, 제5마스크 공정 결과의 구조물 위로부터 이온 불순물을 도핑한다. 이온 불순물은 B 또는 P 이온을 도핑하는 데, 1×10^{15} atoms/cm² 이상의 농도로 도핑하고, 부분 다결정 실리콘층(12')으로 형성된 커패시터의 하부 전극(312)을 타겟으로 하여 도핑한다. 이에 따라 커패시터의 하부 전극(312)은 도전성이 높아짐으로써 제1상부 전극(315)과 더불어 MIM 커패시터를 형성해 커패시터의 용량을 증가시킬 수 있다.
- [0112] 도 25를 참조하면, 도 24의 구조물 상에 제3절연층(19)을 형성하고, 광차단부(M61) 및 광투과부(M62)를 구비한 제6포토마스크(M6)를 이용한 제6마스크 공정을 실시한다. 이때, 제3절연층(19)은 감광물질을 포함한 포토레지스터로 형성될 수 있다.
- [0113] 도 26을 참조하면, 제3절연층(19)을 패터닝하여 화소 전극(114)이 노출되는 개구(119)가 형성된다.
- [0114] 도 27을 참조하면, 화소 전극(114) 상에 유기 발광층(21a)을 포함하는 중간층(21), 및 대향 전극(22)이 형성된다.
- [0115] 유기 발광층(21a)은 저분자 또는 고분자 유기물이 사용될 수 있다.
- [0116] 중간층(21)은 유기 발광층(21a)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다.
- [0117] 이와 같이 유기 발광층(21a)을 포함하는 중간층(21)은, 각 화소별로 유기 발광층(21a)의 두께나 유기 발광층(21a)을 제외한 중간층(21)에 포함된 다른 층들의 두께를 다르게 형성함으로써 광학적 공진 구조를 구현할 수 있다.
- [0118] 중간층(21) 상에는 공통 전극으로 대향 전극(22)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(114)은 애노드 전극으로 사용되고, 대향 전극(22)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0119] 그리고, 대향 전극(22)은 광학적 공진 구조를 구현하기 위해, 반사 물질을 포함하는 반사 전극으로 구성할 수 있다. 이때 상기 대향 전극(22)은 Al, Ag, Mg, Li, Ca, LiF/Ca, 또는 LiF/Al로 구비될 수 있다.
- [0120] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(22) 상에는 외부의 수분이나 산소 등으로부터 유기 발광층

또한, 커패시터 하부 전극(312)을 N+ 또는 P+도핑된 부분 다결정 실리콘층을 사용하고, 제1상부 전극(314)을 투명 도전물인 금속산화물로 형성함으로써 MIM구조의 커패시터를 형성할 수 있다. 커패시터가 MOS 구조를 취하게 될 경우, 패널의 특정 배선에 높은 전압을 계속 인가해줘야 하기 때문에 전기적 단락의 위험이 높아지나, 본 발명은 전술한 바와 같이 MIM 커패시터를 구현함으로써 이러한 문제를 방지할 수 있고, 이에 따라 설계 자유도가 높아진다.

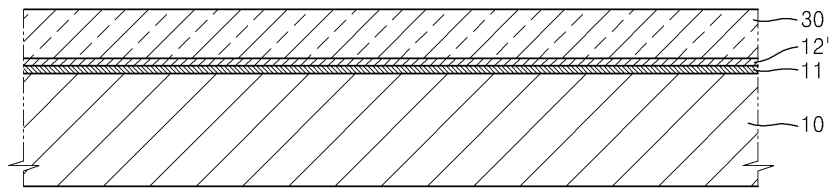
부호의 설명

도면

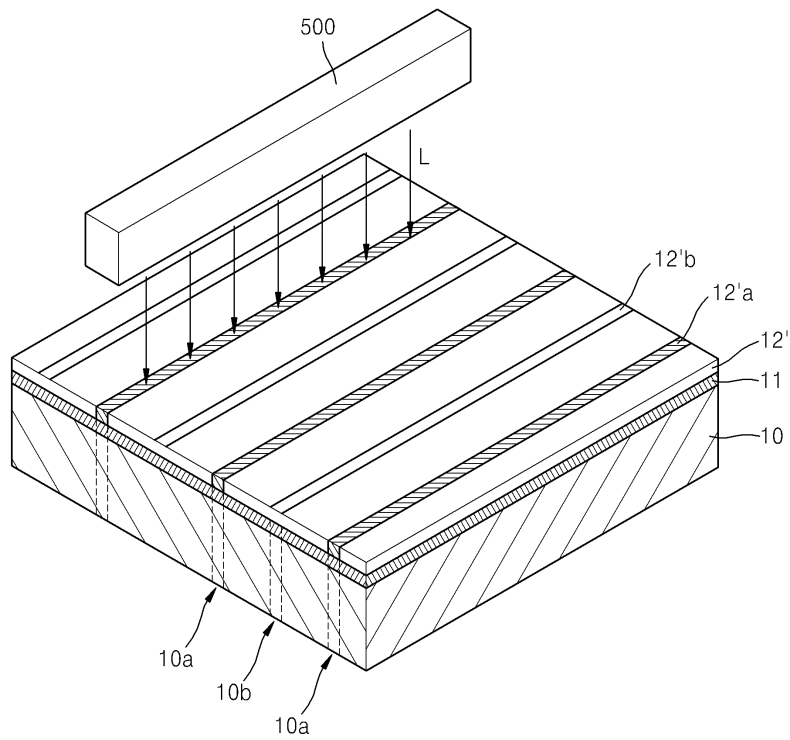
도면1



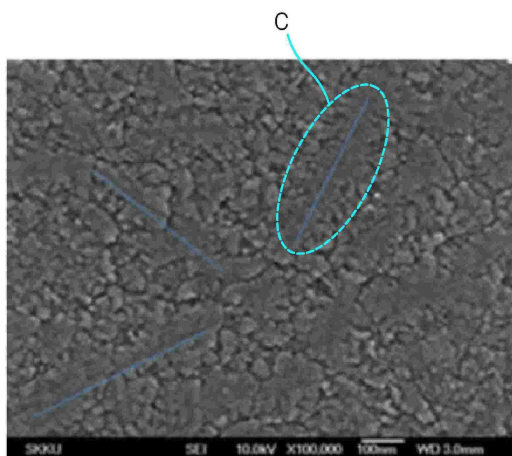
도면3



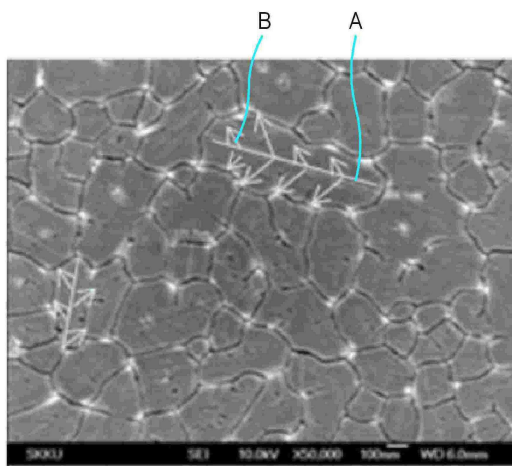
도면4



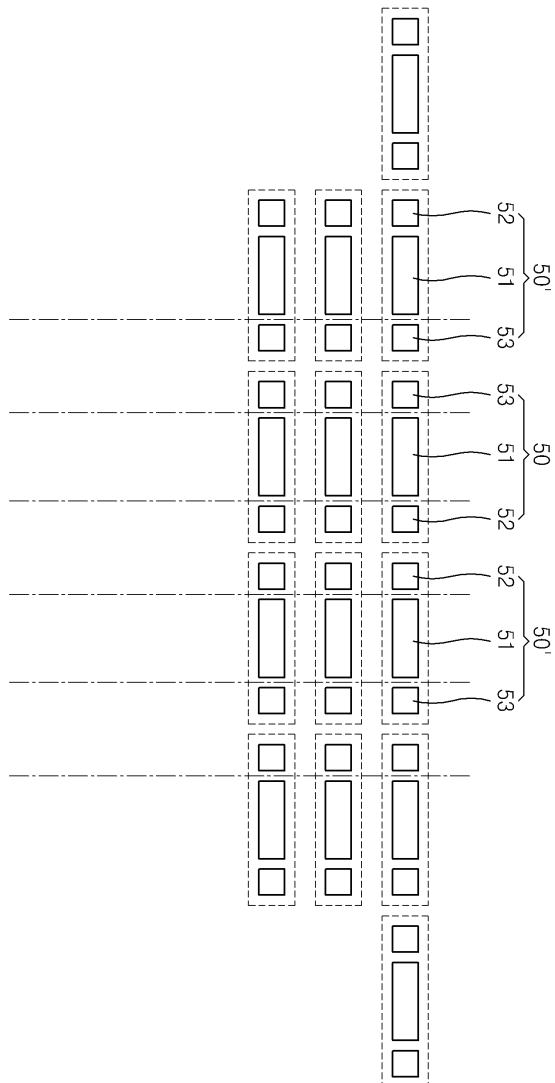
도면5



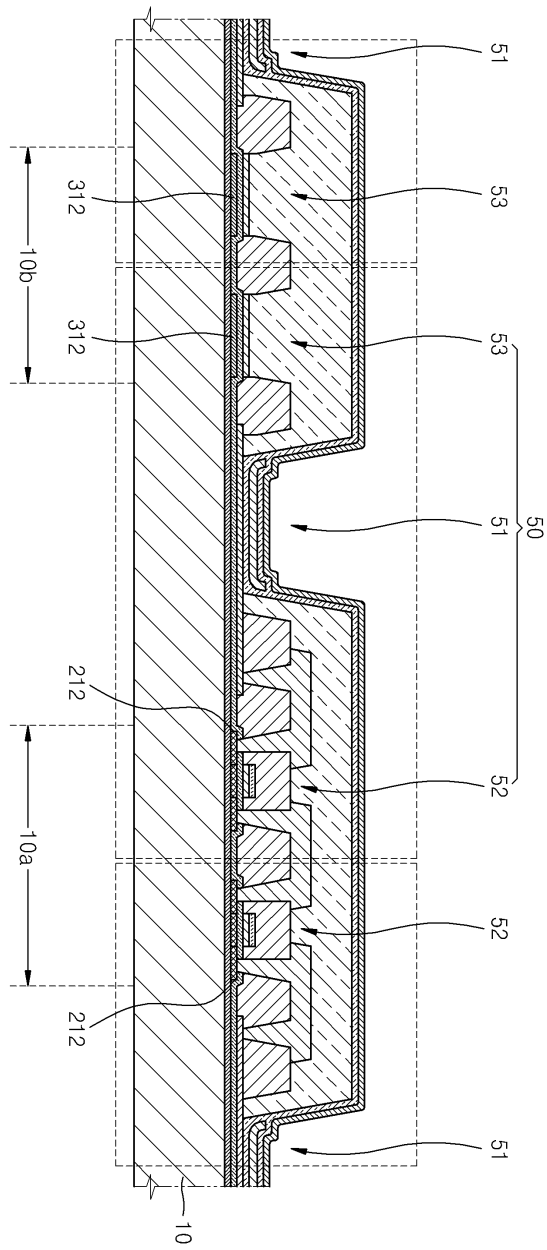
도면6



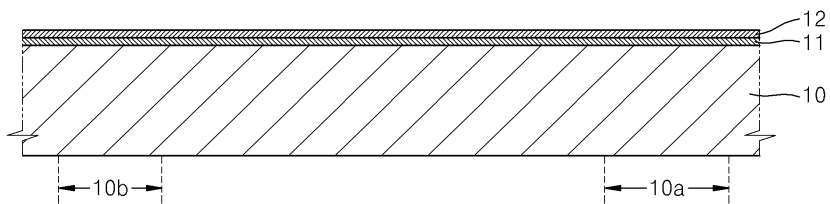
도면7



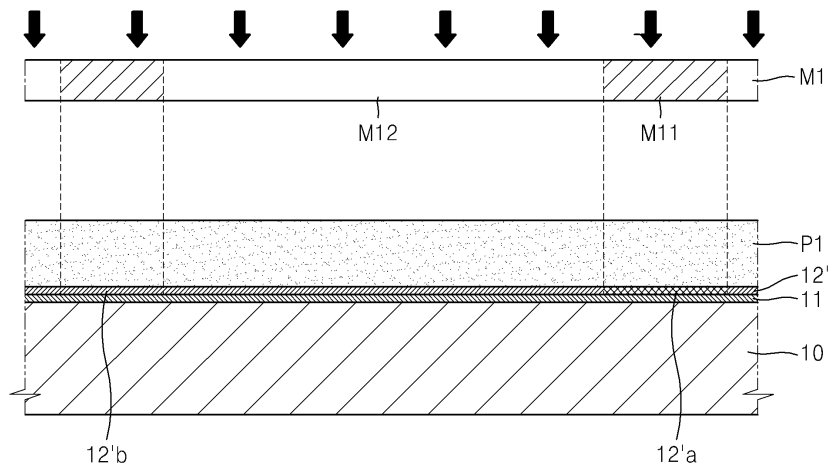
도면8



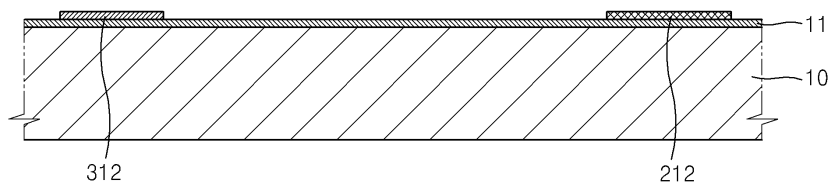
도면9



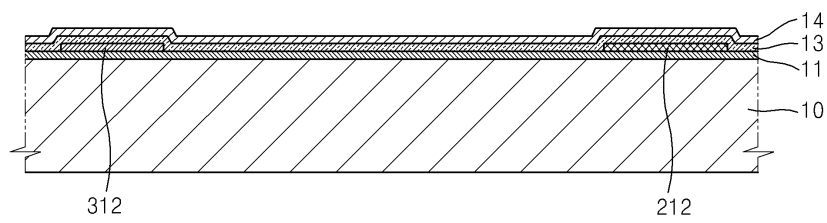
도면10



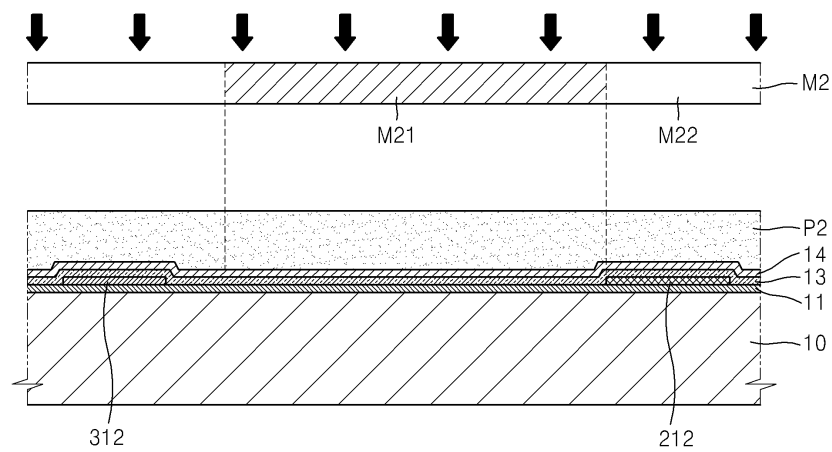
도면11



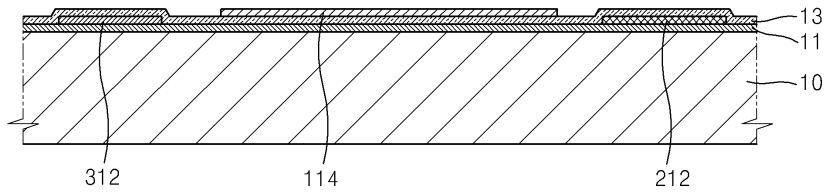
도면12



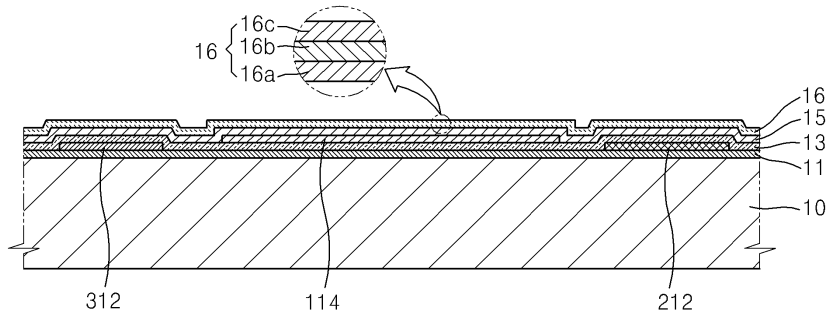
도면13



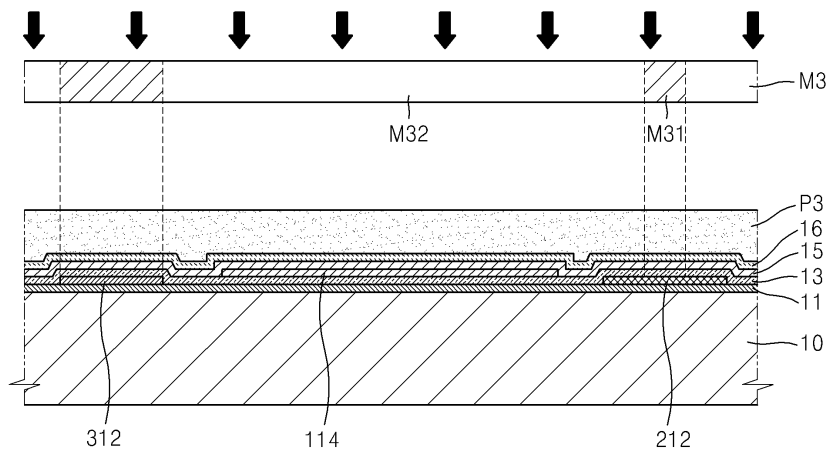
도면14



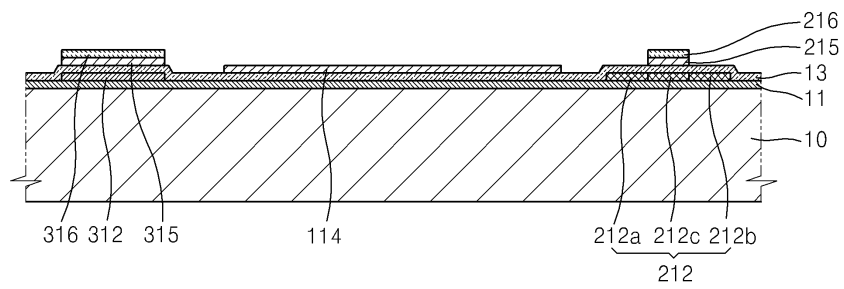
도면15



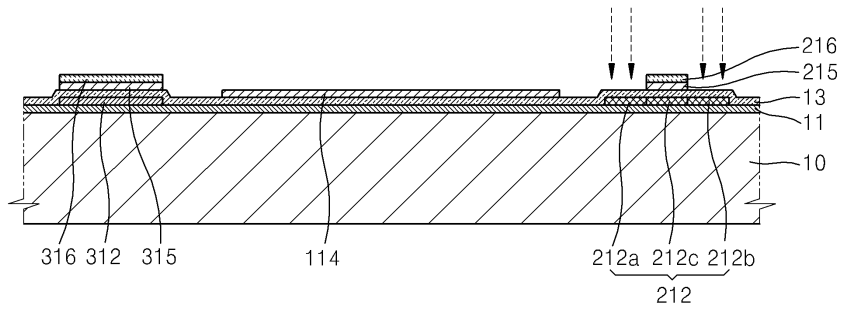
도면16



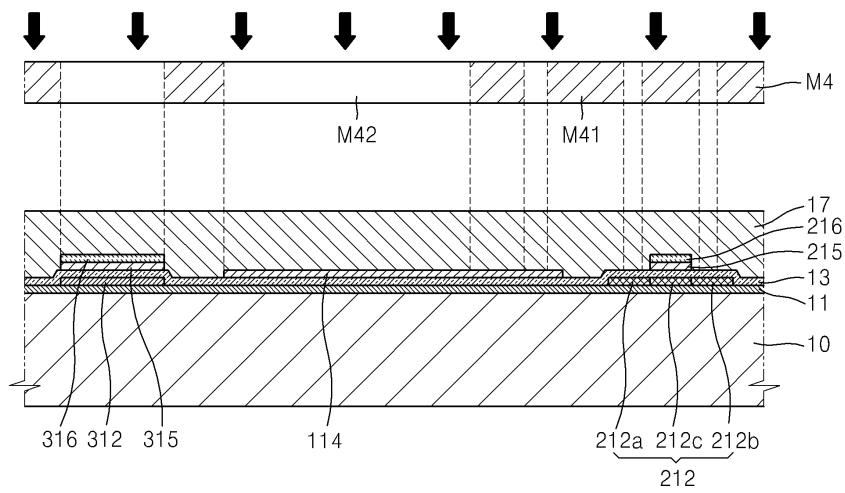
도면17



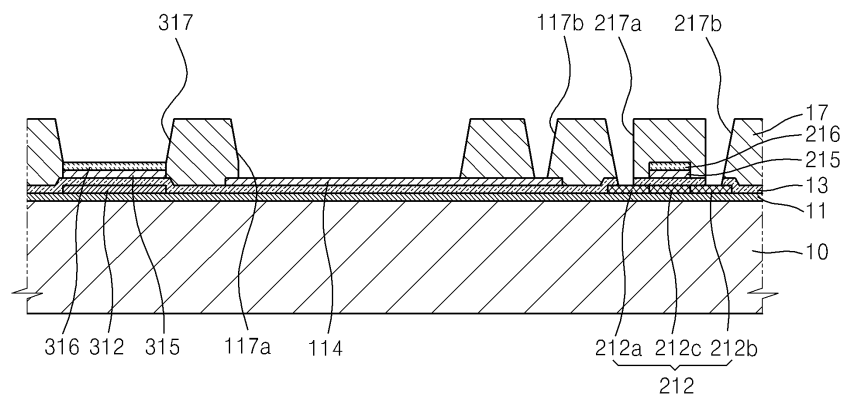
도면18



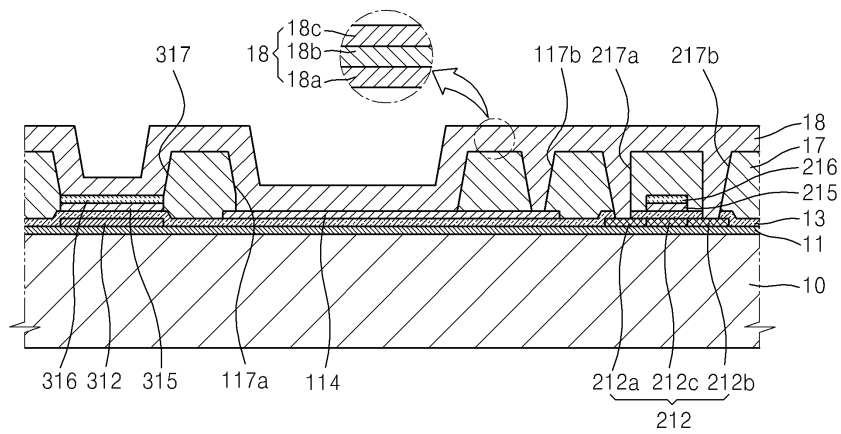
도면19



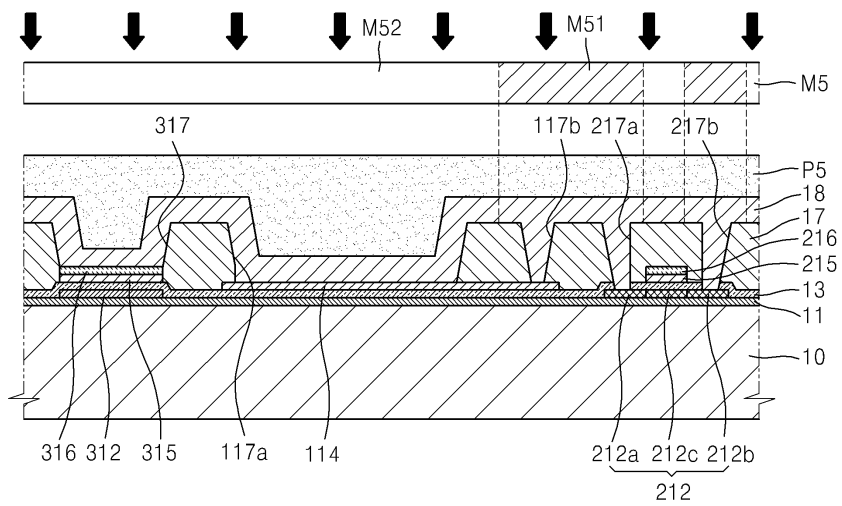
도면20



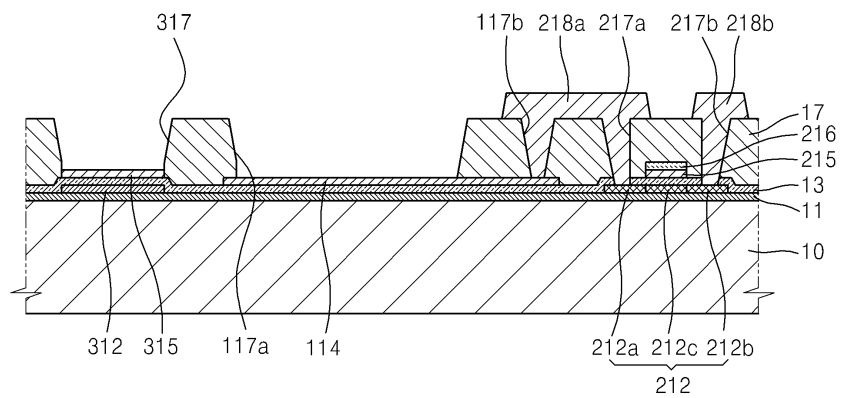
도면21



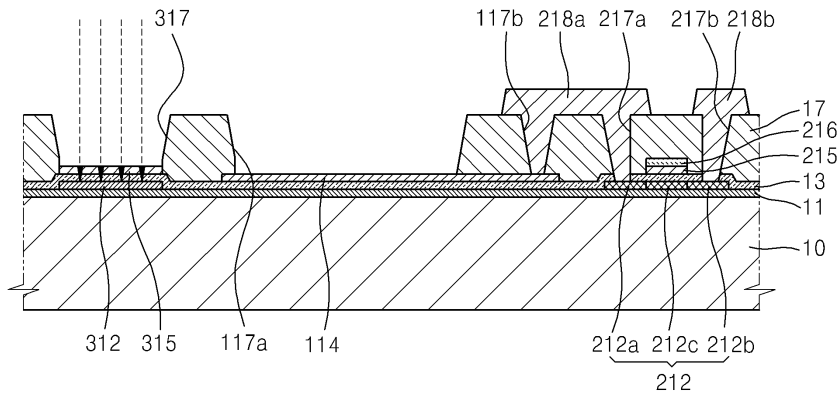
도면22



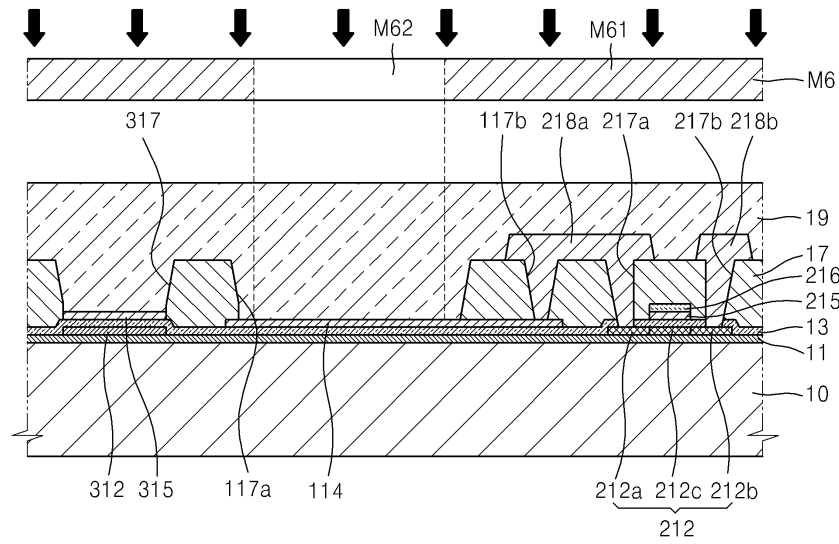
도면23



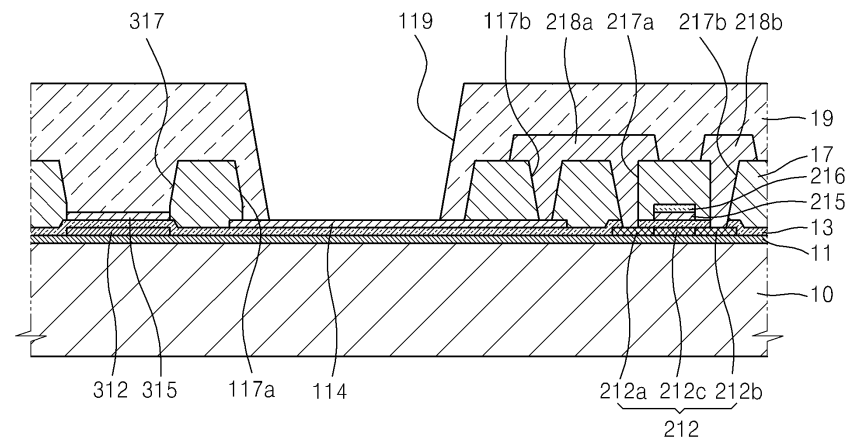
도면24



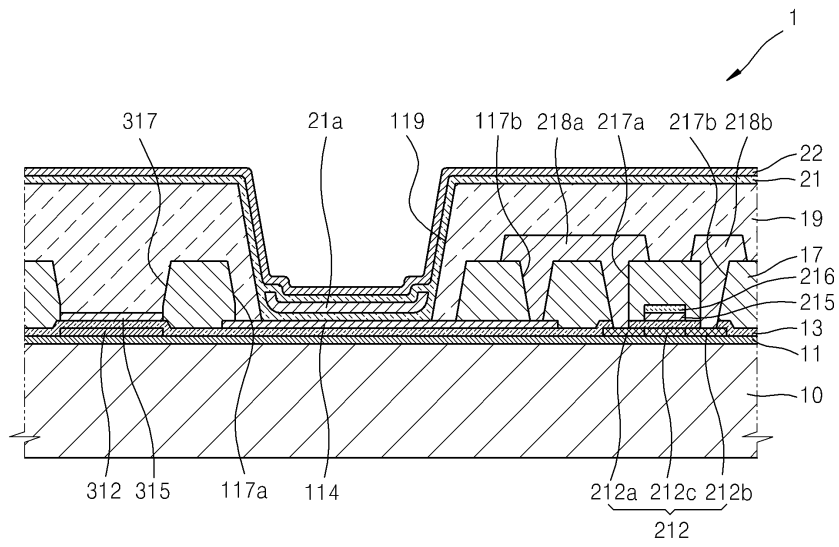
도면25



도면26



도면27



专利名称(译)	多晶硅层的制造方法，包括该多晶硅层的制造有机发光显示装置的方法以及通过该制造方法制造的有机发光显示装置。		
公开(公告)号	KR1020140073213A	公开(公告)日	2014-06-16
申请号	KR1020120141197	申请日	2012-12-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MOON SANG HO 문상호 HUH JONG MOO 허중무 KIM SUNG HO 김성호		
发明人	문상호 허중무 김성호		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L21/02488 H01L2227/32 H01L21/02667 H01L21/02422 H01L27/1285 H01L27/3265 H01L21/02532 H01L21/02595 H01L21/02686 H01L2227/323 H01L28/60 H01L21/02592 H01L21/02678 H01L21/266 H01L21/31111 H01L21/31144 H01L27/1255 H01L27/1274 H01L27/1288 H01L29/66757 H01L27/3244		
其他公开文献	KR102014167B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一方面，在被划分为第一区域和第二区域的基板上形成非晶硅层，对非晶硅层进行热处理并且通过热处理使热氧化层部分地结晶。多晶硅层的制造方法，多晶硅层的制造方法，多晶硅层的制造方法；以及通过该方法制造的有机发光显示装置。专利出版物10-2014-0073213

