



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년06월23일

(11) 등록번호 10-2125785

(24) 등록일자 2020년06월17일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2013-0156295

(22) 출원일자 2013년12월16일

심사청구일자 2018년11월12일

(65) 공개번호 10-2015-0069773

(43) 공개일자 2015년06월24일

(56) 선행기술조사문헌

KR100707627 B1*

KR1020130036443 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이지노

경기 파주시 조리읍 두루봉로 33-37, 103동 202호
(성호파크빌)

심재호

대구 수성구 달구벌대로661길 7, 102동 802호 (사
월동, 시지푸르지오아파트)

김중철

경기 파주시 정담길 85-9, 601동 204호 (금촌동,
동문아파트)

(74) 대리인

네이트특허법인

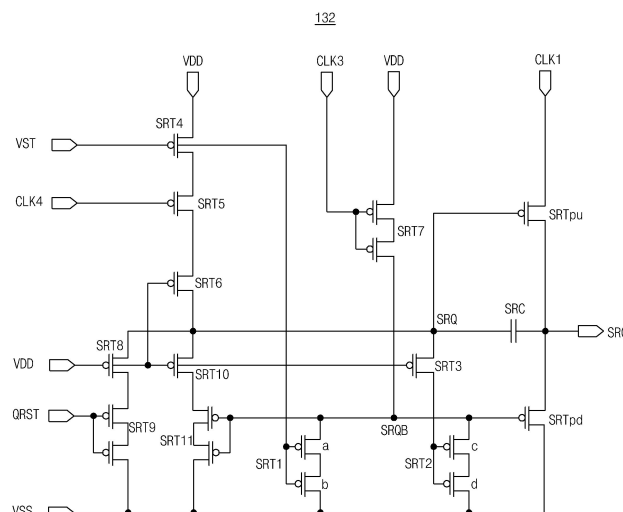
전체 청구항 수 : 총 11 항

심사관 : 하정균

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은, 다수의 화소영역을 포함하는 표시패널과; 상기 다수의 화소영역 각각에 게이트신호 및 샘플링신호를 공급하는 시프트레지스터부와, 상기 다수의 화소영역 각각에 에미션신호를 공급하는 인버터부를 포함하는 게이트 구동부와; 상기 다수의 화소영역 각각에 데이터신호를 공급하는 데이터구동부와; 상기 게이트구동부에 게이트제어신호를 공급하고, 상기 데이터구동부에 데이터제어신호 및 영상데이터를 공급하는 타이밍제어부를 포함하고, 상기 시프트레지스터부는, 서로 연결되어 그 사이의 노드로부터 상기 게이트신호 및 상기 샘플링신호를 출력하는 레지스터 풀업 박막트랜지스터 및 레지스터 풀다운 박막트랜지스터와; 상기 레지스터 풀다운 박막트랜지스터의 게이트와 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제1레지스터 박막트랜지스터를 포함하는 유기발광다이오드 표시장치를 제공한다.

대표도 - 도5a

명세서

청구범위

청구항 1

다수의 화소영역을 포함하는 표시패널과;

상기 다수의 화소영역 각각에 게이트신호 및 샘플링신호를 공급하는 시프트레지스터부와, 상기 다수의 화소영역 각각에 에미션신호를 공급하는 인버터부를 포함하는 게이트구동부와;

상기 다수의 화소영역 각각에 데이터신호를 공급하는 데이터구동부와;

상기 게이트구동부에 게이트제어신호를 공급하고, 상기 데이터구동부에 데이터제어신호 및 영상데이터를 공급하는 타이밍제어부

를 포함하고,

상기 시프트레지스터부는,

서로 연결되어 그 사이의 노드로부터 상기 게이트신호 및 상기 샘플링신호를 출력하는 레지스터 풀업 박막트랜지스터 및 레지스터 풀다운 박막트랜지스터와;

상기 레지스터 풀다운 박막트랜지스터의 게이트와 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제1레지스터 박막트랜지스터와;

상기 레지스터 풀다운 박막트랜지스터의 게이트와 상기 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제2레지스터 박막트랜지스터

를 포함하고,

상기 제1 및 제2레지스터 박막트랜지스터 각각은, 채널의 폭/길이 비가 서로 상이하고 직렬 연결되는 2개의 박막트랜지스터로 이루어지는 비대칭 듀얼게이트 타입인 유기발광다이오드 표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 시프트레지스터부는,

상기 레지스터 풀업 박막트랜지스터의 게이트인 레지스터 Q노드와 상기 제2레지스터 박막트랜지스터의 드레인 사이에 연결되어 전원전압에 의하여 제어되는 제3레지스터 박막트랜지스터와;

상기 전원전압과 상기 레지스터 Q노드 사이에 직렬로 연결되어 각각 스타트전압, 제4클럭, 상기 전원전압에 의하여 제어되는 제4, 제5 및 제6레지스터 박막트랜지스터와;

상기 전원전압과 상기 레지스터 풀다운 박막트랜지스터의 게이트인 레지스터 QB노드 사이에 연결되어 제3클럭에 의하여 제어되는 제7레지스터 박막트랜지스터와;

상기 레지스터 Q노드와 상기 기저전압 사이에 직렬로 연결되어 각각 상기 전원전압 및 리셋신호에 의하여 제어되는 제8 및 제9레지스터 박막트랜지스터와;

상기 레지스터 Q노드와 상기 기저전압 사이에 직렬로 연결되어 각각 상기 전원전압 및 상기 레지스터 QB노드의 전압에 의하여 제어되는 제10 및 제11레지스터 박막트랜지스터

를 더 포함하는 유기발광다이오드 표시장치.

청구항 5

제 4 항에 있어서,

상기 제1레지스터 박막트랜지스터의 게이트는 상기 스타트전압에 연결되고, 상기 제2레지스터 박막트랜지스터의 게이트는 상기 제3레지스터 박막트랜지스터의 소스에 연결되는 유기발광다이오드 표시장치.

청구항 6

다수의 화소영역을 포함하는 표시패널과;

상기 다수의 화소영역 각각에 게이트신호 및 샘플링신호를 공급하는 시프트레지스터부와, 상기 다수의 화소영역 각각에 에미션신호를 공급하는 인버터부를 포함하는 게이트구동부와;

상기 다수의 화소영역 각각에 데이터신호를 공급하는 데이터구동부와;

상기 게이트구동부에 게이트제어신호를 공급하고, 상기 데이터구동부에 데이터제어신호 및 영상데이터를 공급하는 타이밍제어부

를 포함하고,

상기 시프트레지스터부는,

서로 연결되어 그 사이의 노드로부터 상기 게이트신호 및 상기 샘플링신호를 출력하는 레지스터 풀업 박막트랜지스터 및 레지스터 풀다운 박막트랜지스터와;

상기 레지스터 풀다운 박막트랜지스터의 게이트와 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제1레지스터 박막트랜지스터

를 포함하고,

상기 인버터부는,

에미션 풀업 박막트랜지스터와;

상기 에미션 풀업 박막트랜지스터에 연결되어 그 사이의 노드로부터 상기 에미션신호를 출력하는 제1에미션 풀다운 박막트랜지스터와;

상기 제1에미션 풀다운 박막트랜지스터에 연결되는 제2에미션 풀다운 박막트랜지스터와;

상기 에미션 풀업 박막트랜지스터의 게이트와 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제1에미션 박막트랜지스터

를 포함하는 유기발광다이오드 표시장치.

청구항 7

제 6 항에 있어서,

상기 인버터부는,

전원전압과 상기 에미션 풀업 박막트랜지스터의 게이트인 에미션 Q노드 사이에 연결되어 제2클럭에 의하여 제어되는 제2에미션 박막트랜지스터와;

상기 전원전압과 상기 에미션 Q노드 사이에 연결되어 상기 에미션신호에 의하여 제어되는 제3에미션 박막트랜지

스터와;

상기 전원전압과 상기 제1에미션 폴다운 박막트랜지스터의 소스 사이에 연결되어 상기 에미션 신호에 의하여 제어되는 제4에미션 박막트랜지스터

를 더 포함하는 유기발광다이오드 표시장치.

청구항 8

제 6 항에 있어서,

상기 제1에미션 박막트랜지스터의 게이트는 상기 게이트신호에 연결되는 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 다수의 화소영역 각각은, 상기 게이트신호에 의하여 제어되는 스위칭 박막트랜지스터와, 상기 스위칭 박막트랜지스터에 연결되는 구동 박막트랜지스터와, 상기 샘플링신호에 의하여 제어되는 제1 및 제2보상박막트랜지스터와, 상기 에미션신호에 의하여 제어되는 제3 및 제4보상박막트랜지스터와, 상기 스위칭 박막트랜지스터와 상기 구동 박막트랜지스터 사이에 연결되는 스토리지 커패시터와, 상기 제4보상박막트랜지스터에 연결되는 발광다이오드를 포함하는 유기발광다이오드 표시장치.

청구항 10

제 1 항에 있어서,

상기 제1레지스터 박막트랜지스터는, 상기 폴다운 박막트랜지스터의 게이트에 직접 연결되는 제1박막트랜지스터와, 상기 기저전압에 직접 연결되는 제2박막트랜지스터를 포함하고,

상기 제1박막트랜지스터의 채널의 제1길이는 상기 제2박막트랜지스터의 채널의 제2길이보다 큰 유기발광다이오드 표시장치.

청구항 11

제 1 항에 있어서,

상기 제2레지스터 박막트랜지스터는, 상기 폴다운 박막트랜지스터의 게이트에 직접 연결되는 제3박막트랜지스터와, 상기 기저전압에 직접 연결되는 제4박막트랜지스터를 포함하고,

상기 제3박막트랜지스터의 채널의 제3길이는 상기 제4박막트랜지스터의 채널의 제4길이보다 큰 유기발광다이오드 표시장치.

청구항 12

제 6 항에 있어서,

상기 제1에미션 박막트랜지스터는, 채널의 폭/길이 비가 서로 상이하고 직렬 연결되는 2개의 박막트랜지스터로 이루어지는 비대칭 듀얼게이트 타입인 유기발광다이오드 표시장치.

청구항 13

제 6 항에 있어서,

상기 제1에미션 박막트랜지스터는, 상기 에미션 풀업 박막트랜지스터의 게이트에 직접 연결되는 제5박막트랜지스터와, 상기 기저전압에 직접 연결되는 제6박막트랜지스터를 포함하고,

상기 제5박막트랜지스터의 채널의 제5길이는 상기 제6박막트랜지스터의 채널의 제6길이보다 큰 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것으로, 특히 구동부의 박막트랜지스터의 채널의 폭/길이 비(W/L ratio)를 조절하여 구동회로의 오동작이 방지되는 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 평판표시장치(flat panel display: FPD) 중 하나인 유기발광다이오드(organic light emitting diode: OLED) 표시장치는 높은 휘도와 낮은 동작 전압 특성을 갖는다.

[0003] 그리고, 스스로 빛을 내는 자체 발광형이기 때문에 대조비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(μ s) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하다.

[0004] 또한, 유기발광다이오드 표시장치의 제조공정은 증착(deposition) 및 인캡슐레이션(encapsulation)이 전부라고 할 수 있기 때문에, 제조공정이 매우 단순하다.

[0005] 이러한 유기발광다이오드 표시장치를 도면을 참조하여 설명한다.

[0006] 도 1은 종래의 유기발광다이오드 표시장치를 도시한 도면이다.

[0007] 도 1에 도시한 바와 같이, 유기발광다이오드 표시장치(10)는, 영상을 표시하는 표시패널(20), 게이트신호를 공급하는 게이트구동부(30), 데이터신호를 공급하는 데이터구동부(40), 게이트제어신호(GCS), 데이터제어신호(DCS) 및 영상데이터(RGB)를 공급하는 타이밍제어부(50)를 포함한다.

[0008] 표시패널(20)은, 기관(미도시) 상부에 형성되는 게이트배선(GL1 내지 GLm), 데이터배선(DL1 내지 DLn) 및 파워배선(PL1 내지 PLn)을 포함하는데, 게이트배선(GL1 내지 GLm), 데이터배선(DL1 내지 DLn) 및 파워배선(PL1 내지 PLn)은 서로 교차하여 화소영역(P)을 형성한다.

[0009] 각 화소영역(P)에는, 게이트배선(GL1 내지 GLm) 및 데이터배선(DL1 내지 DLn)에 연결되는 스위칭 박막트랜지스터(T_s), 스위칭 박막트랜지스터(T_s)에 연결되는 구동 박막트랜지스터(T_d) 및 스토리지 커패시터(Cs), 구동 박막트랜지스터(T_d)에 연결되는 발광다이오드(De)가 형성된다.

[0010] 게이트구동부(30)는, 타이밍제어부(50)로부터 전달되는 게이트제어신호(GCS)를 이용하여 게이트신호를 생성하고, 생성된 게이트신호를 표시패널(20)의 게이트배선(GL1 내지 GLm)에 전달한다.

[0011] 데이터구동부(40)는, 타이밍제어부(50)로부터 전달되는 데이터제어신호(DCS) 및 영상데이터(RGB)를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 표시패널(20)의 데이터배선(DL1 내지 DLn)에 전달한다.

[0012] 그리고, 전원공급부(미도시)는 데이터구동부(40)를 통하여 전원전압을 파워배선(PL1 내지 PLn)에 전달한다.

[0013] 타이밍제어부(50)는 외부의 시스템으로부터 입력되는 영상신호(IS), 데이터인에이블신호(DE), 수평동기신호(HSY), 수직동기신호(VSY) 및 클럭신호(CLK)를 이용하여 게이트제어신호(GSC), 데이터제어신호(DCS) 및 영상데이터(RGB)를 생성한다.

[0014] 이와 같은 유기발광다이오드 표시장치(10)에서는, 게이트배선(GL1 내지 GLm)을 통하여 인가되는 게이트신호에

따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되면, 데이터배선(DL1 내지 DLn)을 통하여 인가되는 데이터 신호가 스위칭 박막트랜지스터(Ts)를 통하여 구동 박막트랜지스터(Td)에 인가되어 구동 박막트랜지스터(Td)가 턴-온(turn-on) 되고, 파워배선(PL1 내지 PLn)에서 인가되는 전류가 구동 박막트랜지스터(Td)를 통하여 발광다이오드(De)에 인가되어 계조(gray level)가 표시된다.

- [0015] 여기서, 표시패널(20)은, 구동 박막트랜지스터(Td)의 문턱전압(threshold voltage: V_{th}) 변동을 보상하기 위한 다수의 보상소자(미도시)를 더 포함할 수 있으며, 게이트구동부(30)는, 스위칭 박막트랜지스터(Ts)를 순차적으로 턴-온 하기 위한 게이트신호를 생성하는 시프트레지스터(shift register)와 다수의 보상소자를 제어하기 위한 에미션신호를 생성하는 인버터(inverter)를 포함한다.
- [0016] 그런데, 시프트레지스터와 인버터에는 영상표시의 단위인 1프레임 중 대부분의 구간 동안 드레인(drain) 및 소스(source) 사이에 고전압이 인가되어 턴-오프(turn-off)가 유지되는 하이정션 스트레스(high junction stress) 상태의 박막트랜지스터(thin film transistor: TFT)가 다수 존재한다.
- [0017] 이러한 하이정션 스트레스 상태의 박막트랜지스터에서는, 드레인유기 장벽감소(drain induced barrier lowering: DIBL) 현상과 같은 오동작이 발생할 수 있는데, 이를 도면을 참조하여 설명한다.
- [0018] 도 2a 및 도 2b는 각각 종래의 유기발광다이오드 표시장치의 게이트구동부의 박막트랜지스터의 소스드레인 전압의 무인가 상태 및 인가 상태를 도시한 도면이고, 도 2c는 종래의 유기발광다이오드 표시장치의 게이트구동부의 박막트랜지스터의 전기적 특성을 도시한 도면이다.
- [0019] 도 2a에 도시한 바와 같이, 게이트(G), 드레인(D), 소스(S)를 포함하는 박막트랜지스터에서, 드레인(D)과 소스(S) 사이에 드레인소스 전압(V_{ds})이 인가되지 않은 무인가 상태의 경우, 게이트(G), 드레인(D), 소스(S)에 의하여 공핍영역(depletion region)(DR)이 형성되고 소스(S)의 전자(electron)는 드레인(D)으로 전달되지 않으므로, 박막트랜지스터는 전류가 흐르지 않는 상태가 된다.
- [0020] 그런데, 도 2b에 도시한 바와 같이, 소스(S)와 드레인(D) 사이에 상대적으로 고전압인 소스드레인 전압(V_{ds})이 인가되는 인가 상태의 경우, 드레인(D)에 의한 공핍영역(DR)이 소스(S) 방향으로 확장되어 전자의 전위장벽(potential barrier)의 높이가 낮아짐에 따라 소스(S)의 전자 일부가 드레인(D)으로 전달되어 박막트랜지스터는 전류가 흐르는 상태가 된다.
- [0021] 이러한 현상을 드레인유기 장벽감소 현상이라 하는데, 드레인유기 장벽감소 현상은, 박막트랜지스터의 채널의 길이(L)가 짧을수록, 그리고 드레인(D) 전압이 증가할수록 심화된다.
- [0022] 드레인유기 장벽감소 현상은 박막트랜지스터의 문턱전압 변동으로 나타나는데, 예를 들어 포지티브 타입(p-type) 박막트랜지스터에서는 드레인소스 전압이 증가할수록 문턱전압이 게이트소스 전압의 양의 방향으로 이동하여 오프전류가 증가한다.
- [0023] 즉, 도 2c에 도시한 바와 같이, 드레인소스 전압(V_{ds})이 약 -0.1V, 약 -10.1V, 약 -20.1V로 증가할수록 문턱전압이 게이트소스 전압(V_{gs})의 양의 방향으로 이동하고, 그 결과 게이트소스 전압(V_{gs})이 약 0V일 때 박막트랜지스터의 드레인소스 전류(I_{ds})는 각각 약 10fA(1E-14A), 약 1pA(1E-12A), 약 10nA(1E-8A)가 되어, 박막트랜지스터가 턴-오프 상태의 오프전류가 증가한다.
- [0024] 박막트랜지스터의 오프전류의 증가는 게이트구동부의 오동작을 야기하는데, 최근에 제안되고 있는 게이트-인-패널(gate-in-panel: GIP) 방식의 플렉시블(flexible) 유기발광다이오드 표시장치에서 더 큰 문제가 될 수 있다.
- [0025] 게이트-인-패널 방식의 유기발광다이오드 표시장치에서는, 게이트구동부를 구성하는 다수의 박막트랜지스터를 표시패널의 스위칭 박막트랜지스터 및 구동 박막트랜지스터와 동일한 공정을 통하여 형성함으로써, 게이트구동부가 표시패널의 기관 상부에 형성된다.
- [0026] 그리고, 가볍고 얇은 표시장치를 위한 플렉시블 유기발광다이오드 표시장치에서는 플렉시블 기관이 사용되는데, 예를 들어 플렉시블 기관은 폴리이미드(polyimide: PI)와 같은 고분자 물질로 이루어 진다.
- [0027] 따라서, 게이트-인-패널 방식의 플렉시블 유기발광다이오드 표시장치에서는, 게이트구동부를 구성하는 박막트랜지스터가 플렉시블 기관 상부에 형성되는데, 폴리이미드의 열확산 계수(약 $0.08\text{nm}^2/\text{s}$)는 유리의 열확산 계수

($0.34\text{mm}^2/\text{s}$)보다 매우 낮아서 플렉시블 기관의 열전달(heat sinking) 특성은 유리 기관에 비하여 매우 떨어지고, 플렉시블 기관 상부의 박막트랜지스터에서는 턴-온/턴-오프의 반복구동에 따른 줄(joule)열이 방열되지 못하고 드레인유기 장벽감소 현상을 더욱 심화시킨다.

- [0028] 게이트구동부의 시프트레지스터의 박막트랜지스터의 오동작은, 다수의 게이트신호를 출력하여 다수의 스위칭 박막트랜지스터를 턴-온 시키거나 다수의 샘플링신호를 출력하여 다수의 샘플링 트랜지스터를 턴-온 시킴으로써 발광다이오드에 흐르는 다이오드 전류를 증가시키고, 이는 표시패널(20)의 일부분의 휘도가 높아지는 백화현상과 같은 불량으로 나타나는 문제가 있다.
- [0029] 그리고, 게이트구동부의 인버터의 박막트랜지스터의 오동작은, 에미션 신호의 전압레벨을 상승시켜 발광 트랜지스터의 턴-온 정도를 감소시킴으로써, 발광다이오드에 흐르는 다이오드 전류를 감소시키고, 이는 표시패널(20)의 가로 화소라인이 불규칙하게 어두워지는 불규칙 가로줄무늬와 같은 불량으로 나타나는 문제가 있다.

발명의 내용

해결하려는 과제

- [0030] 본 발명은, 이러한 문제점을 해결하기 위하여 제시된 것으로, 게이트구동부의 박막트랜지스터의 채널의 폭/길이 비(W/L ratio)를 조절함으로써, 게이트구동부의 오동작이 방지되는 유기발광다이오드 표시장치를 제공하는 것을 목적으로 한다.
- [0031] 그리고, 본 발명은, 게이트구동부의 시프트레지스터 및 인버터의 하이정션 스트레스 상태의 박막트랜지스터의 채널의 폭/길이 비(W/L ratio)를 조절함으로써, 백화 또는 가로줄무늬와 같은 불량이 방지되어 표시품질이 개선되는 유기발광다이오드 표시장치를 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

- [0032] 위와 같은 과제의 해결을 위해, 본 발명은, 다수의 화소영역을 포함하는 표시패널과; 상기 다수의 화소영역 각각에 게이트신호 및 샘플링신호를 공급하는 시프트레지스터부와, 상기 다수의 화소영역 각각에 에미션신호를 공급하는 인버터부를 포함하는 게이트구동부와; 상기 다수의 화소영역 각각에 데이터신호를 공급하는 데이터구동부와; 상기 게이트구동부에 게이트제어신호를 공급하고, 상기 데이터구동부에 데이터제어신호 및 영상데이터를 공급하는 타이밍제어부를 포함하고, 상기 시프트레지스터부는, 서로 연결되어 그 사이의 노드로부터 상기 게이트신호 및 상기 샘플링신호를 출력하는 레지스터 풀업 박막트랜지스터 및 레지스터 풀다운 박막트랜지스터와; 상기 레지스터 풀다운 박막트랜지스터의 게이트와 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제1레지스터 박막트랜지스터를 포함하는 유기발광다이오드 표시장치를 제공한다.
- [0033] 그리고, 상기 시프트레지스터부는, 상기 레지스터 풀다운 박막트랜지스터의 게이트와 상기 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제2레지스터 박막트랜지스터를 더 포함할 수 있다.
- [0034] 또한, 상기 제1 및 제2레지스터 박막트랜지스터 각각은, 채널의 폭/길이 비가 서로 상이하고 직렬 연결되는 2개의 박막트랜지스터로 이루어지는 비대칭 듀얼게이트 타입일 수 있다.
- [0035] 그리고, 상기 시프트레지스터부는, 상기 레지스터 풀업 박막트랜지스터의 게이트인 레지스터 Q노드와 상기 제2레지스터 박막트랜지스터의 드레인 사이에 연결되어 전원전압에 의하여 제어되는 제3레지스터 박막트랜지스터와; 상기 전원전압과 상기 레지스터 Q노드 사이에 직렬로 연결되어 각각 스타트전압, 제4클럭, 상기 전원전압에 의하여 제어되는 제4, 제5 및 제6레지스터 박막트랜지스터와; 상기 전원전압과 상기 레지스터 풀다운 박막트랜지스터의 게이트인 레지스터 QB노드 사이에 연결되어 제3클럭에 의하여 제어되는 제7레지스터 박막트랜지스터와; 상기 레지스터 Q노드와 상기 기저전압 사이에 직렬로 연결되어 각각 상기 전원전압 및 리셋 신호에 의하여 제어되는 제8 및 제9레지스터 박막트랜지스터와; 상기 레지스터 Q노드와 상기 기저전압 사이에 직렬로 연결되어 각각 상기 전원전압 및 상기 레지스터 QB노드의 전압에 의하여 제어되는 제10 및 제11레지스터 박막트랜지스터를 더 포함할 수 있다.
- [0036] 또한, 상기 제1레지스터 박막트랜지스터의 게이트는 상기 스타트전압에 연결되고, 상기 제2레지스터 박막트랜지

스터의 게이트는 상기 제3레지스터 박막트랜지스터의 소스에 연결될 수 있다.

[0037] 그리고, 상기 인버터부는, 에미션 풀업 박막트랜지스터와; 상기 에미션 풀업 박막트랜지스터에 연결되어 그 사이의 노드로부터 상기 에미션신호를 출력하는 제1에미션 풀다운 박막트랜지스터와; 상기 제1에미션 풀다운 박막트랜지스터에 연결되는 제2에미션 풀다운 박막트랜지스터와; 상기 에미션 풀업 박막트랜지스터의 게이트와 기저전압에 각각 드레인 및 소스가 연결되고, 채널의 폭/길이 비가 1/1 미만인 제1에미션 박막트랜지스터를 포함할 수 있다.

[0038] 또한, 상기 인버터부는, 전원전압과 상기 에미션 풀업 박막트랜지스터의 게이트인 에미션 Q노드 사이에 연결되어 제2클럭(CLK2)에 의하여 제어되는 제2에미션 박막트랜지스터와; 상기 전원전압과 상기 에미션 Q노드 사이에 연결되어 상기 에미션신호에 의하여 제어되는 제3에미션 박막트랜지스터와; 상기 전원전압)과 상기 제1에미션 풀다운 박막트랜지스터의 소스 사이에 연결되어 상기 에미션 신호에 의하여 제어되는 제4에미션 박막트랜지스터를 더 포함할 수 있다.

[0039] 그리고, 상기 제1에미션 박막트랜지스터의 게이트는 상기 게이트신호에 연결될 수 있다.

[0040] 또한, 상기 다수의 화소영역 각각은, 상기 게이트신호에 의하여 제어되는 스위칭 박막트랜지스터와, 상기 스위칭 박막트랜지스터에 연결되는 구동 박막트랜지스터와, 상기 샘플링신호에 의하여 제어되는 제1 및 제2보상박막트랜지스터와, 상기 에미션신호에 의하여 제어되는 제3 및 제4보상박막트랜지스터와, 상기 스위칭 박막트랜지스터와 상기 구동 박막트랜지스터 사이에 연결되는 스토리지 커패시터와, 상기 제4보상박막트랜지스터에 연결되는 발광다이오드를 포함할 수 있다.

발명의 효과

[0041] 본 발명은, 게이트구동부의 시프트레지스터 및 인버터의 하이정션 스트레스 상태의 박막트랜지스터의 채널의 폭/길이 비(W/L ratio)를 조절함으로써, 게이트구동부의 오동작이 방지되는 효과를 갖는다.

[0042] 그리고, 본 발명은, 게이트구동부의 시프트레지스터 및 인버터의 하이정션 스트레스 상태의 박막트랜지스터의 채널의 폭/길이 비(W/L ratio)를 조절함으로써, 백화 또는 가로줄무늬와 같은 불량이 방지되어 표시품질이 개선되는 효과를 갖는다.

도면의 간단한 설명

[0043] 도 1은 종래의 유기발광다이오드 표시장치를 도시한 도면.

도 2a 및 도 2b는 각각 종래의 유기발광다이오드 표시장치의 게이트구동부의 박막트랜지스터의 소스드레인 전압의 무인가 상태 및 인가 상태를 도시한 도면.

도 2c는 종래의 유기발광다이오드 표시장치의 게이트구동부의 박막트랜지스터의 전기적 특성을 도시한 도면.

도 3은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 도시한 도면.

도 4는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 화소영역을 도시한 도면.

도 5a 및 도 5b는 각각 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 시프트레지스터부의 회로도 및 출력파형도.

도 6a 및 도 6b는 각각 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 인버터부의 회로도 및 출력파형도.

도 7a 및 도 7b는 각각 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 게이트구동부의 박막트랜지스터의 문턱전압 변동을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0044] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기발광다이오드 표시장치 및 그 구동방법을 설명한다.

[0045] 도 3은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 도시한 도면이고, 도 4는 본 발명의 실시예에 따

른 유기발광다이오드 표시장치의 화소영역을 도시한 도면이다.

- [0046] 도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 유기발광다이오드 표시장치(110)는, 영상을 표시하는 표시패널(120), 게이트신호를 공급하는 게이트구동부(130), 데이터신호를 공급하는 데이터구동부(140), 게이트제어신호(GCS), 데이터제어신호(DCS) 및 영상데이터(RGB)를 공급하는 타이밍제어부(150)를 포함한다.
- [0047] 표시패널(120)은, 기관(미도시) 상부에 형성되는 게이트배선(GL1 내지 GLm), 샘플링배선(SL1 내지 SLm), 에미션배선(EL1 내지 ELm), 데이터배선(DL1 내지 DLn) 및 파워배선(PL1 내지 PLn)을 포함하는데, 게이트배선(GL1 내지 GLm), 샘플링배선(SL1 내지 SLm) 및 에미션배선(EL1 내지 ELm)은 데이터배선(DL1 내지 DLn) 및 파워배선(PL1 내지 PLn)과 교차하여 화소영역(P)을 형성한다.
- [0048] 그리고, 게이트구동부(130)는, 타이밍제어부(150)로부터 전달되는 게이트제어신호(GCS)를 이용하여 게이트신호를 생성하고, 생성된 게이트신호를 표시패널(120)의 게이트배선(GL1 내지 GLm)에 전달한다.
- [0049] 이러한 게이트구동부(130)는, 표시패널(120)의 기관 상부에 형성되는 게이트-인-패널(gate-in-panel: GIP) 방식으로 구성될 수 있다. 예를 들어, 게이트구동부(130)의 다수의 박막트랜지스터는 표시패널(120)의 화소영역(P)의 다수의 박막트랜지스터와 함께 동일한 공정을 통하여 형성될 수 있다.
- [0050] 데이터구동부(140)는, 타이밍제어부(150)로부터 전달되는 데이터제어신호(DCS) 및 영상데이터(RGB)를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 표시패널(120)의 데이터배선(DL1 내지 DLn)에 전달한다.
- [0051] 그리고, 전원공급부(미도시)는 데이터구동부(140)를 통하여 전원전압을 파워배선(PL1 내지 PLn)에 전달한다.
- [0052] 타이밍제어부(150)는 외부의 시스템으로부터 입력되는 영상신호(IS), 데이터인에이블신호(DE), 수평동기신호(HSY), 수직동기신호(VSY) 및 클럭신호(CLK)를 이용하여 게이트제어신호(GSC), 데이터제어신호(DCS) 및 영상데이터(RGB)를 생성한다.
- [0053] 이와 같은 유기발광다이오드 표시장치(110)에서는, 게이트배선(GL1 내지 GLm)을 통하여 인가되는 게이트신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되면, 데이터배선(DL1 내지 DLn)을 통하여 인가되는 데이터신호가 스위칭 박막트랜지스터(Ts)를 통하여 구동 박막트랜지스터(Td)에 인가되어 구동 박막트랜지스터(Td)가 턴-온(turn-on) 되고, 파워배선(PL1 내지 PLn)에서 인가되는 전류가 구동 박막트랜지스터(Td)를 통하여 발광다이오드(De)에 인가되어 계조(gray level)가 표시된다.
- [0054] 여기서, 표시패널(120)의 각 화소영역(P)은, 구동 박막트랜지스터(Td)의 문턱전압(Vth) 변동을 보상하기 위한 다수의 보상소자(미도시)를 더 포함할 수 있는데, 이를 도면을 참조하여 설명한다.
- [0055] 도 4에 도시한 바와 같이, 표시패널(120)의 각 화소영역(P)은, 스위칭 박막트랜지스터(Ts), 구동 박막트랜지스터(Td), 제1 내지 제4보상박막트랜지스터(T1 내지 T4), 스토리지 커패시터(Cs) 및 발광다이오드(De)를 포함하는데, 스위칭 박막트랜지스터(Ts), 구동 박막트랜지스터(Td), 제1 내지 제4보상박막트랜지스터(T1 내지 T4)는 각각 포지티브 타입(p-type)일 수 있다.
- [0056] 스위칭 박막트랜지스터(Ts)의 게이트, 드레인, 소스는 각각 게이트배선(GL), 스토리지 커패시터(Cs)의 일단, 데이터배선(DL)에 연결되고, 구동 박막트랜지스터(Td)의 게이트, 드레인, 소스는 각각 스토리지 커패시터(Cs)의 타단, 제3보상트랜지스터(T3)의 소스, 파워배선(PL)에 연결된다.
- [0057] 샘플링 박막트랜지스터인 제1보상박막트랜지스터(T1)의 게이트, 드레인, 소스는 각각 샘플링배선(SL), 구동 박막트랜지스터(Td)의 드레인, 구동 박막트랜지스터(Td)의 게이트에 각각 연결되며, 2개의 트랜지스터가 직렬로 연결되는 듀얼게이트 타입으로 형성될 수 있다.
- [0058] 제2보상박막트랜지스터(T2)의 게이트, 드레인, 소스는 각각 샘플링배선(SL), 기준전압(Vref), 제4보상박막트랜지스터(T4)의 드레인에 연결되고, 제3보상박막트랜지스터(T3)의 게이트, 드레인, 소스는 각각 에미션배선(EL), 기준전압(Vref), 스토리지 커패시터(Cs)의 일단에 연결되고, 에미션 박막트랜지스터인 제4보상박막트랜지스터(T4)의 게이트, 드레인, 소스는 각각 에미션배선(EL), 구동 박막트랜지스터(Td)의 드레인, 발광다이오드(De)의 일단에 연결되고, 발광다이오드(De)의 타단은 접지된다.
- [0059] 그리고, 게이트배선(GL)에는 게이트신호인 N번째 레지스터 출력전압(SRO(N))이 인가되고, 데이터배선(DL)에는 데이터신호인 데이터전압(Vdata)이 인가되고, 파워배선(PL)에는 전원전압(VDD)이 인가되고, 샘플링배선(SL)에는

샘플링신호인 (N-1)번째 레지스터 출력전압(SRO(N))이 인가되고, 에미션배선(EL)에는 에미션신호인 에미션 출력전압(EMO)이 인가된다.

[0060] 이러한 화소영역(P)에서는, N번째 레지스터 출력전압(SRO(N))이 인가되기 이전 시간구간 동안, 샘플링배선(SL)에 (N-1)번째 레지스터 출력전압(SRO(N))이 인가되어 제1보상박막트랜지스터(T1)가 턴-온 되고, 그 결과 스토리지 커패시터(Cs)에 변동된 문턱전압(Vth)이 저장된다.

[0061] 이후, 게이트배선(GL)에 N번째 레지스터 출력전압(SRO(N))이 인가되어 스위칭 박막트랜지스터(Ts)가 턴-온 되면, 데이터전압(Vdata)이 스토리지 커패시터(Cs)에 전달되고, 데이터전압(Vdata)과 변동된 문턱전압(Vth)을 합산한 전압에 의하여 구동 박막트랜지스터(Td)가 턴-온 되므로, 구동 박막트랜지스터(Td)의 문턱전압 변동이 보상된다.

[0062] 한편, 표시패널(120)의 각 화소영역(P)에 게이트신호, 샘플링신호, 에미션신호를 공급하기 위하여, 게이트구동부(130)는, 게이트신호 및 샘플링신호를 출력하는 시프트레지스터(shift register)부(132)와 에미션신호를 출력하는 인버터(inverter)부(134)를 포함하는데, 시프트레지스터부(132)는 게이트신호, 샘플링신호, 에미션신호인 레지스터 출력전압(SRO)을 각 화소영역(P)으로 직접 입력하고, 인버터(inverter)부(134)는 시프트레지스터부(132)의 레지스터 출력전압(SRO)이나 별도의 시프트레지스터부의 출력전압을 이용하여 에미션신호를 생성하고 에미션신호인 에미션 출력전압(EMO)을 각 화소영역(P)으로 직접 입력한다.

[0063] 이러한 시프트레지스터부(132) 및 인버터부(134)를 도면을 참조하여 설명한다.

[0064] 도 5a 및 도 5b는 각각 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 시프트레지스터부의 회로도 및 출력파형도로서, 도 3 및 도 4를 함께 참조하여 설명한다.

[0065] 도 5a는 표시패널(120)의 하나의 수평화소라인에 대응되는 시프트레지스터부(132)의 하나의 스테이지(stage)를 도시한 것으로, 시프트레지스터부(132)는 표시패널(120)의 다수의 수평화소라인에 대응되는 다수의 스테이지를 포함할 수 있다.

[0066] 도 5a에 도시한 바와 같이, 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 시프트레지스터부(132)는, 제1 내지 제11레지스터 박막트랜지스터(SRT1 내지 SRT11), 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu), 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd) 및 레지스터 커패시터(SRC)를 포함하는데, 제1 내지 제11레지스터 박막트랜지스터(SRT1 내지 SRT11), 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu), 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd)는 각각 포지티브 타입(p-type)일 수 있다.

[0067] 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu)의 게이트, 드레인, 소스는 각각 레지스터 Q노드(SRQ), 제1클럭(CLK1), 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd)의 드레인에 연결되고, 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu)의 게이트 및 소스 사이에는 레지스터 커패시터(SRC)가 연결되고, 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd)의 게이트, 소스는 각각 레지스터 QB노드(SRQB), 기저전압(VSS)에 연결되고, 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu) 및 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd) 사이의 노드(node)로부터 시프트레지스터부(132)의 레지스터 출력전압(SRO)이 출력된다.

[0068] 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu) 및 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd)는 시프트레지스터부(132)의 레지스터 출력전압(SRO)의 전압값을 결정하는 소자로서, 서로 반대되는 하이/로우 레벨을 갖는 레지스터 Q노드(SRQ) 및 레지스터 QB노드(SRQB)의 전압에 의하여 각각 제어되어 서로 반대로 턴-온/턴-오프 된다.

[0069] 예를 들어, 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu)가 턴-온 되고 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd)가 턴-오프 될 경우, 시프트레지스터부(132)는 제1클럭(CLK1)을 레지스터 출력전압(SRO)으로 출력하고, 레지스터 풀업(pull-up) 박막트랜지스터(SRTpu)가 턴-오프 되고 레지스터 풀다운(pull-down) 박막트랜지스터(SRTpd)가 턴-온 될 경우, 시프트레지스터부(132)는 기저전압(VSS)을 레지스터 출력전압(SRO)으로 출력한다.

[0070] 한편, 제1레지스터 박막트랜지스터(SRT1)는, 레지스터 QB노드(SRQB)와 기저전압(VSS) 사이에 연결되어 스타트전압(VST)에 의하여 제어되고, 제2레지스터 박막트랜지스터(SRT2)는, 레지스터 QB노드(SRQB)와 기저전압(VSS) 사

이에 연결되어 제3레지스터 박막트랜지스터(SRT3)의 소스 전압에 의하여 제어된다.

- [0071] 제3레지스터 박막트랜지스터(SRT3)는, 레지스터 Q노드(SRQ)와 제2레지스터 박막트랜지스터(SRT2)의 드레인 사이에 연결되어 전원전압(VDD)에 의하여 제어된다.
- [0072] 제4, 제5 및 제6레지스터 박막트랜지스터(SRT4, SRT5, SRT6)는, 전원전압(VDD)과 레지스터 Q노드(SRQ) 사이에 직렬로 연결되어 각각 스타트전압(VST), 제4클럭(CLK4), 전원전압(VDD)에 의하여 제어된다.
- [0073] 제7레지스터 박막트랜지스터(SRT7)는, 전원전압(VDD)과 레지스터 QB노드(SRQB) 사이에 연결되어 제3클럭(CLK3)에 의하여 제어된다.
- [0074] 제8 및 제9레지스터 박막트랜지스터(SRT8, SRT9)는, 레지스터 Q노드(SRQ)와 기저전압(VSS) 사이에 직렬로 연결되어 각각 전원전압(VDD) 및 리셋신호(QRST)에 의하여 제어된다.
- [0075] 제10 및 제11레지스터 박막트랜지스터(SRT10, SRT11)는, 레지스터 Q노드(SRQ)와 기저전압(VSS) 사이에 직렬로 연결되어 각각 전원전압(VDD) 및 레지스터 QB노드(SRQB)의 전압에 의하여 제어된다.
- [0076] 이를 더 구체적으로 설명하면, 제1레지스터 박막트랜지스터(SRT1)의 게이트, 드레인, 소스는 각각 스타트전압(VST), 레지스터 QB노드(SRQB), 기저전압(VSS)에 연결되고, 제2레지스터 박막트랜지스터(SRT2)의 게이트, 드레인, 소스는 각각 제3레지스터 박막트랜지스터(SRT3)의 소스, 레지스터 QB노드(SRQB), 기저전압(VSS)에 연결되며, 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2)는 각각 2개의 트랜지스터가 직렬로 연결되는 듀얼게이트 타입으로 형성될 수 있다.
- [0077] 예를 들어, 제1레지스터 박막트랜지스터(SRT1)는 직렬 연결된 제1 및 제2박막트랜지스터(a, b)로 이루어지고, 제2레지스터 박막트랜지스터(SRT2)는 직렬 연결된 제3 및 제4박막트랜지스터(c, d)로 이루어질 수 있다.
- [0078] 제3레지스터 박막트랜지스터(SRT3)의 게이트, 드레인은 각각 전원전압(VDD), 레지스터 Q노드(SRQ)에 연결되고, 제9레지스터 박막트랜지스터(SRT9)의 게이트, 소스는 각각 리셋신호(QRST), 기저전압(VSS)에 연결된다.
- [0079] 제4레지스터 박막트랜지스터(SRT4)의 게이트, 드레인, 소스는 각각 스타트전압(VST), 전원전압(VDD), 제5레지스터 박막트랜지스터(SRT5)의 드레인에 연결되고, 제5레지스터 박막트랜지스터(SRT5)의 게이트, 소스는 각각 제4클럭(CLK4), 제6레지스터 박막트랜지스터(SRT6)의 드레인에 연결되고, 제6레지스터 박막트랜지스터(SRT6)의 게이트, 소스는 각각 전원전압(VDD), 레지스터 Q노드(SRQ)에 연결된다.
- [0080] 제7레지스터 박막트랜지스터(SRT7)의 게이트, 드레인, 소스는 각각 제3클럭(CLK3), 전원전압(VDD), 레지스터 QB노드(SRQB)에 연결된다.
- [0081] 제8레지스터 박막트랜지스터(SRT8)의 게이트, 드레인, 소스는 각각 전원전압(VDD), 레지스터 Q노드(SRQ), 제9레지스터 박막트랜지스터(SRT9)의 드레인에 연결된다.
- [0082] 제10레지스터 박막트랜지스터(SRT10)의 게이트, 드레인, 소스는 각각 전원전압(VDD), 레지스터 Q노드(SRQ), 제11레지스터 박막트랜지스터(SRT11)의 드레인에 연결되고, 제11레지스터 박막트랜지스터(SRT11)의 게이트, 드레인, 소스는 각각 레지스터 QB노드(SRQB), 제10레지스터 박막트랜지스터(SRT10)의 소스, 기저전압(VSS)에 연결된다.
- [0083] 도 5b에 도시한 바와 같이, 영상표시의 단위 시간구간인 1프레임은 제1 내지 제4시간구간(TP1 내지 TP4)를 포함한다.
- [0084] 로우레벨의 제4클럭(CLK4)이 입력되는 제1시간구간(TP1) 동안, 레지스터 Q노드(SRQ) 및 레지스터 QB노드(SRQB)는 각각 로우레벨 및 하이레벨이 되고, 시프트레지스터부(132)는 하이레벨의 레지스터 출력전압(SRO)을 출력한다.
- [0085] 로우레벨의 제1클럭(CLK1)이 입력되는 제2시간구간(TP2) 동안, 레지스터 Q노드(SRQ) 및 레지스터 QB노드(SRQB)는 각각 로우레벨 및 하이레벨이 되고, 시프트레지스터부(132)는 로우레벨의 레지스터 출력전압(SRO)을 출력하며, 로우레벨의 레지스터 출력전압(SRO)에 따라 화소영역(P)의 스위칭 박막트랜지스터(Ts) 또는 제1보상박막트랜지스터(T1)는 턴-온 된다.
- [0086] 로우레벨의 제2클럭(CLK2)이 입력되는 제3시간구간(TP3) 동안, 레지스터 Q노드(SRQ) 및 레지스터 QB노드(SRQB)는 각각 로우레벨 및 하이레벨이 되고, 시프트레지스터부(132)는 하이레벨의 레지스터 출력전압(SRO)을 출력한다.

- [0087] 로우레벨의 제3클럭(CLK3)이 입력되는 제4시간구간(TP4) 동안, 레지스터 Q노드(SRQ) 및 레지스터 QB노드(SRQB)는 각각 하이레벨 및 로우레벨이 되고, 시프트레지스터부(132)는 하이레벨의 레지스터 출력전압(SRO)을 출력한다.
- [0088] 이후, 다음 프레임이 되어 스타트전압(VST)이 입력되기 전까지, 시프트레지스터부(132)는 제1 내지 제4클럭(CLK1 내지 CLK4)과 무관하게 하이레벨의 레지스터 출력전압(SRO)을 출력한다.
- [0089] 즉, 1프레임의 대부분의 시간구간 동안, 레지스터 QB노드(SRQB)는 로우레벨을 유지하며, 그 결과 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2)는 지속적으로 하이정션 스트레스 상태를 갖게 된다.
- [0090] 예를 들어, 기저전압(VSS)에 대응되는 하이레벨은 약 10.5V이고, 전원전압(VDD)에 대응되는 로우레벨은 약 -5.5V일 수 있으며, 유기발광다이오드 표시장치(110)가 60Hz로 구동될 경우, 1프레임은 약 16.7msec이고, 제1 내지 제3시간구간(TP1 내지 TP3)은 각각 약 6 μ sec이고, 제4시간구간(TP4)은 약 16.6msec일 수 있다.
- [0091] 이 경우, 1프레임의 대부분의 시간구간인 약 16.6msec 동안 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2) 각각의 드레인 및 소스 사이에는 약 -14.5V ~ -14.7V의 전압이 인가되어 하이정션 스트레스 상태가 유지되어 드레인유기 장벽감소 현상이 발생하고, 그 결과 표시패널(120)에 백화현상과 같은 불량이 발생할 가능성이 높아진다.
- [0092] 따라서, 본 발명의 실시예에 따른 유기발광다이오드 표시장치(110)의 시프트레지스터부(132)에서는, 레지스터 풀다운 트랜지스터(SRTpd)의 게이트와 기저전압(Vss)에 각각 드레인 및 소스가 연결되어 1프레임의 대부분의 시간구간 동안 턴-오프 상태로 유지되는 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2)의 채널의 길이(L) 또는 채널의 폭/길이 비(W/L ratio)를 조절하여 드레인유기 장벽감소 현상 및 백화현상을 방지한다.
- [0093] 드레인유기 장벽감소 현상은 주로 채널의 길이(L)에 의존적이지만, 백화현상과 같은 불량은 실질적으로 오프전류(또는 누설전류)에 의존하므로, 채널의 길이(L)와 함께 박막트랜지스터의 전류의 크기를 결정하는 요소 중의 하나인 채널의 폭(W)을 제어하기 위하여 채널의 폭/길이 비(W/L ratio)를 조절기준으로 할 수 있다.
- [0094] 예를 들어, 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2)의 채널의 폭/길이 비(W/L ratio)를 1/1 미만의 범위($W/L < 1/1$), 바람직하게는 1/10 이상 1/1 미만의 범위($1/10 \leq W/L < 1/1$)에서 선택할 수 있다.
- [0095] 그리고, 제1레지스터 박막트랜지스터(SRT1)를 직렬 연결된 제1 및 제2박막트랜지스터(a, b)로 이루어지는 듀얼 게이트 타입으로 형성하고, 제6레지스터 박막트랜지스터(SRT2)를 직렬 연결된 제3 및 제4박막트랜지스터(c, d)로 이루어지는 듀얼게이트 타입으로 형성할 수 있다.
- [0096] 이 경우, 레지스터 풀다운 트랜지스터(SRTpd)의 게이트와 직접 연결되는 제1박막트랜지스터(a)의 채널의 제1길이(La)를 기저전압(VSS)과 직접 연결되는 제2박막트랜지스터(b)의 채널의 제2길이(Lb)보다 크게 형성하고($La > Lb$), 레지스터 풀다운 트랜지스터(SRTpd)의 게이트와 직접 연결되는 제3박막트랜지스터(c)의 채널의 제3길이(Lc)를 기저전압(VSS)과 직접 연결되는 제4박막트랜지스터(d)의 채널의 제4길이(Ld)보다 크게 형성할 수 있다($Lc > Ld$).
- [0097] 즉, 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2) 각각은, 채널의 폭/길이 비가 서로 상이하고 직렬 연결되는 2개의 박막트랜지스터로 이루어지는 비대칭 듀얼게이트 타입으로 형성할 수 있다.
- [0098] 예를 들어, 제1 및 제2레지스터 박막트랜지스터(SRT1, SRT2)를 각각 채널의 폭/길이 비가 5/10인 박막트랜지스터(a, c)와 채널의 폭/길이 비가 5/5인 박막트랜지스터(b, d)를 포함하는 비대칭 듀얼게이트 타입으로 형성할 수 있다.
- [0099] 도 6a 및 도 6b는 각각 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 인버터부의 회로도 및 출력파형도로서, 도 3 및 도 4를 함께 참조하여 설명한다.
- [0100] 도 6a는 표시패널(120)의 하나의 수평화소라인에 대응되는 인버터부(134)의 하나의 스테이지(stage)를 도시한 것으로, 인버터부(134)는 표시패널(120)의 다수의 수평화소라인에 대응되는 다수의 스테이지를 포함할 수 있다.
- [0101] 도 6a에 도시한 바와 같이, 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 인버터부(134)는, 제1 내지 제4에미션 박막트랜지스터(EMT1 내지 EMT4), 에미션 풀업(pull-up) 박막트랜지스터(EMTpu), 제1 및 제2에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1, EMTpd2) 및 에미션 커패시터(EMC)를 포함하는데, 제1 내지 제4에미

션 박막트랜지스터(EMT1 내지 EMT4), 에미션 풀업(pull-up) 박막트랜지스터(EMTpu) 및 에미션 풀다운(pull-down) 박막트랜지스터(EMTpd)는 각각 포지티브 타입(p-type)일 수 있다.

- [0102] 에미션 풀업(pull-up) 박막트랜지스터(EMTpu)의 게이트, 드레인, 소스는 각각 에미션 Q노드(EMQ), 전원전압(VDD), 제1에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1)의 드레인에 연결되고, 에미션 풀업(pull-up) 박막트랜지스터(EMTpu)의 게이트 및 소스 사이에는 에미션 커패시터(EMC)가 연결되고, 제1에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1)의 게이트, 소스는 각각 에미션 QB노드(EMQB), 제2에미션 풀다운(pull-down) 박막트랜지스터(EMTpd2)의 드레인에 연결되고, 제2에미션 풀다운(pull-down) 박막트랜지스터(EMTpd2)의 게이트, 소스는 각각 에미션 QB노드(EMQB), 기저전압(VSS)에 연결되고, 에미션 풀업(pull-up) 박막트랜지스터(EMTpu) 및 제1에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1) 사이의 노드(node)로부터 인버터부(134)의 에미션 출력전압(EMO)이 출력된다.
- [0103] 에미션 풀업(pull-up) 박막트랜지스터(EMTpu)와, 제1 및 제2에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1, EMTpd2)는 인버터부(134)의 에미션 출력전압(EMO)의 전압값을 결정하는 소자로서, 서로 반대되는 하이/로우 레벨을 갖는 에미션 Q노드(EMQ) 및 에미션 QB노드(EMQB)의 전압에 의하여 각각 제어되어 서로 반대로 턴-온/턴-오프 된다.
- [0104] 예를 들어, 에미션 풀업(pull-up) 박막트랜지스터(EMTpu)가 턴-온 되고 제1 및 제2에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1, EMTpd2)가 턴-오프 될 경우, 인버터부(134)는 전원전압(VDD)을 에미션 출력전압(EMO)으로 출력하고, 에미션 풀업(pull-up) 박막트랜지스터(EMTpu)가 턴-오프 되고 제1 및 제2에미션 풀다운(pull-down) 박막트랜지스터(EMTpd1, EMTpd2)가 턴-온 될 경우, 인버터부(134)는 기저전압(VSS)을 에미션 출력전압(EMO)으로 출력한다.
- [0105] 제1에미션 박막트랜지스터(EMT1)는, 에미션 Q노드(EMQ)와 기저전압(VSS) 사이에 연결되어 시프트레지스터부(132)의 레지스터 출력전압(SRO)에 의하여 제어되고, 제2에미션 박막트랜지스터(EMT2)는, 전원전압(VDD)과 에미션 Q노드(EMQ) 사이에 연결되어 제2클럭(CLK2)에 의하여 제어되고, 제3에미션 박막트랜지스터(EMT3)는, 전원전압(VDD)과 에미션 Q노드(EMQ) 사이에 연결되어 에미션 출력전압(EMO)에 의하여 제어되고, 제4에미션 박막트랜지스터(EMT4)는, 전원전압(VDD)과 제1에미션 풀다운 박막트랜지스터의 소스 사이에 연결되어 에미션 출력전압(EMO)에 의하여 제어된다.
- [0106] 이를 더 구체적으로 설명하면, 제1에미션 박막트랜지스터(EMT1)의 게이트, 소스는 각각 레지스터 출력전압(SRO), 기저전압(VSS)에 연결되고, 제2에미션 박막트랜지스터(EMT2)의 게이트, 드레인, 소스는 각각 제2클럭(CLK2), 전원전압(VDD), 제1에미션 박막트랜지스터(EMT1)의 드레인에 연결되고, 제3에미션 박막트랜지스터(EMT3)의 게이트, 드레인, 소스는 각각 에미션 출력전압(EMO), 전원전압(VDD), 에미션 Q노드(EMQ)에 연결되고, 제4에미션 박막트랜지스터(EMT4)의 게이트, 드레인, 소스는 각각 에미션 출력전압(EMO), 전원전압(VDD), 제2에미션 풀다운 박막트랜지스터(EMTpd2)의 드레인에 연결된다.
- [0107] 특히, 제1에미션 박막트랜지스터(EMT1)의 게이트, 드레인, 소스는 각각 레지스터 출력전압(SRO), 에미션 Q노드(EMQ), 기저전압(VSS)에 연결되며, 제1에미션 박막트랜지스터(EMT1)는 각각 2개의 트랜지스터가 직렬로 연결되는 듀얼게이트 타입으로 형성될 수 있다.
- [0108] 예를 들어, 제1에미션 박막트랜지스터(EMT2)는 직렬 연결된 제5 및 제6박막트랜지스터(e, f)로 이루어질 수 있다.
- [0109] 도 6b에 도시한 바와 같이, 영상표시의 단위 시간구간인 1프레임은 제1 내지 제4시간구간(TP1 내지 TP4)를 포함한다.
- [0110] 로우레벨의 제4클럭(CLK4)이 입력되는 제1시간구간(TP1) 동안, 에미션 Q노드(EMQ) 및 에미션 QB노드(EMQB)는 각각 로우레벨 및 하이레벨이 되고, 인버터부(134)는 로우레벨의 에미션 출력전압(EMO)을 출력한다.
- [0111] 로우레벨의 제1클럭(CLK1)이 입력되는 제2시간구간(TP2) 동안, 에미션 Q노드(EMQ) 및 에미션 QB노드(EMQB)는 각각 하이레벨 및 로우레벨이 되고, 인버터부(134)는 하이레벨의 에미션 출력전압(EMO)을 출력한다.
- [0112] 로우레벨의 제2클럭(CLK2)이 입력되는 제3시간구간(TP3) 동안, 에미션 Q노드(EMQ) 및 에미션 QB노드(EMQB)는 각각 하이레벨 및 하이레벨이 되고, 인버터부(134)는 하이레벨의 에미션 출력전압(EMO)을 출력한다.
- [0113] 로우레벨의 제3클럭(CLK3)이 입력되는 제4시간구간(TP4) 동안, 에미션 Q노드(EMQ) 및 에미션 QB노드(EMQB)는 각각 로우레벨 및 하이레벨이 되고, 인버터부(134)는 로우레벨의 에미션 출력전압(EMO)을 출력하며, 로우레벨의

에미션 출력전압(EMO)에 따라 화소영역(P)의 제3보상박막트랜지스터(T3)는 턴-온 되어 발광다이오드(De)는 발광한다.

- [0114] 이후, 다음 프레임이 되어 레지스터 출력전압(SRO)이 입력되기 전까지, 인버터부(134)는 제1 내지 제4클럭(CLK1 내지 CLK4)과 무관하게 로우레벨의 에미션 출력전압(SEM)을 출력한다.
- [0115] 즉, 1프레임의 대부분의 시간구간 동안, 에미션 Q노드(EMQ)는 로우레벨을 유지하며, 그 결과 제1에미션 박막트랜지스터(EMT1)는 지속적으로 하이정션 스트레스 상태를 갖게 된다.
- [0116] 예를 들어, 기저전압(VSS)에 대응되는 하이레벨은 약 10.5V이고, 전원전압(VDD)에 대응되는 로우레벨은 약 -5.5V일 수 있으며, 유기발광다이오드 표시장치(110)가 60Hz로 구동될 경우, 1프레임은 약 16.7msec이고, 제1 내지 제3시간구간(TP1 내지 TP3)은 각각 약 6 μ sec이고, 제4시간구간(TP4)은 약 16.6msec일 수 있다.
- [0117] 이 경우, 1프레임의 대부분의 시간구간인 약 16.6msec 동안 제2에미션 박막트랜지스터(EMT2)의 드레인 및 소스 사이에는 약 -14.5V ~ -14.7V의 전압이 인가되어 하이정션 스트레스 상태가 유지되어 드레인유기 장벽감소 현상이 발생하고, 그 결과 표시패널(120)에 불규칙 가로줄무늬와 같은 불량 발생 가능성이 높아진다.
- [0118] 따라서, 본 발명의 실시예에 따른 유기발광다이오드 표시장치(110)의 인버터부(134)에서는, 에미션 풀업 트랜지스터(EMTpu)의 게이트와 기저전압(Vss)에 각각 드레인 및 소스가 연결되어 1프레임의 대부분의 시간구간 동안 턴-오프 상태로 유지되는 제1에미션 박막트랜지스터(EMT1)의 채널의 길이(L) 또는 채널의 폭/길이 비(W/L ratio)를 조절하여 드레인유기 장벽감소 현상 및 백화현상을 방지한다.
- [0119] 드레인유기 장벽감소 현상은 주로 채널의 길이(L)에 의존적이지만, 백화현상과 같은 불량은 실질적으로 오프전류(또는 누설전류)에 의존하므로, 채널의 길이(L)와 함께 박막트랜지스터의 전류의 크기를 결정하는 요소 중의 하나인 채널의 폭(W)을 제어하기 위하여 채널의 폭/길이 비(W/L ratio)를 조절기준으로 할 수 있다.
- [0120] 예를 들어, 제1에미션 박막트랜지스터(EMT1)의 채널의 폭/길이 비(W/L ratio)를 1/10 이상 1/1 미만의 범위($1/10 \leq W/L < 1/1$)에서 선택할 수 있다.
- [0121] 그리고, 제1에미션 박막트랜지스터(EMT1)를 직렬 연결된 제5 및 제6박막트랜지스터(e, f)로 이루어지는 듀얼게이트 타입으로 형성할 수 있다.
- [0122] 이 경우, 에미션 풀업 트랜지스터(EMTpu)의 게이트와 직접 연결되는 제5박막트랜지스터(e)의 채널의 제5길이(Le)를 기저전압(VSS)과 직접 연결되는 제6박막트랜지스터(f)의 채널의 제6길이(Lf)보다 크게 형성할 수 있다($Le > Lf$).
- [0123] 즉, 제1에미션 박막트랜지스터(EMT1)는, 채널의 폭/길이 비가 서로 상이하고 직렬 연결되는 2개의 박막트랜지스터로 이루어지는 비대칭 듀얼게이트 타입으로 형성할 수 있다.
- [0124] 예를 들어, 제1에미션 박막트랜지스터(EMT2)를 채널의 폭/길이 비가 5/10인 박막트랜지스터(e)와 채널의 폭/길이 비가 5/5인 박막트랜지스터(f)를 포함하는 비대칭 듀얼게이트 타입으로 형성할 수 있다.
- [0125] 본 발명의 실시예에 따른 박막트랜지스터의 전기적 특성을 도면을 참조하여 설명한다.
- [0126] 도 7a 및 도 7b는 각각 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 게이트구동부의 박막트랜지스터의 문턱전압 변동을 도시한 도면으로, 도 7a는 종래의 듀얼게이트 타입 박막트랜지스터의 제1 및 제2그룹(GR1, GR2)과 본 발명의 듀얼게이트 타입 박막트랜지스터의 제3 및 제4그룹(GR3, GR4)에 대한 드레인소스 전압(Vds) 인가 전후의 문턱전압 변동(ΔV_{th})의 비교결과를 도시하며, 도 7b는 종래의 듀얼게이트 타입 박막트랜지스터의 제5 및 제7그룹(GR5, GR7)과 본 발명의 듀얼게이트 타입 박막트랜지스터의 제6 및 제8그룹(GR6, GR8)에 대한 바이어스 온도 스트레스(bias temperature stress: BTS) 인가 전후의 문턱전압 변동(ΔV_{th})의 비교결과를 도시한다.
- [0127] 도 7a에서, 제1 및 제2그룹(GR1, GR2)은 채널 폭/길이 비가 각각 4/5인 2개의 박막트랜지스터가 직렬 연결된 듀얼게이트 타입 박막트랜지스터(4/5+5)에 대한 문턱전압 변동을 나타내는데, 제1그룹(GR1)은 드레인소스 전압(Vds)을 -0.1V에서 -20.1V로 변경할 때의 문턱전압 변동 결과이고, 제2그룹(GR2)은 드레인소스 전압(Vds)을 -0.1V에서 -30.1V로 변경할 때의 문턱전압 변동 결과이다.
- [0128] 그리고, 제3 및 제4그룹(GR3, GR4)은 채널 폭/길이 비가 4/10, 4/5인 2개의 박막트랜지스터가 직렬 연결된 듀얼

게이트 타입 박막트랜지스터(4/10+5)에 대한 문턱전압 변동을 나타내는데, 제3그룹(GR3)은 드레인소스 전압(V_{ds})을 -0.1V에서 -20.1V로 변경할 때의 문턱전압 변동 결과이고, 제4그룹(GR4)은 드레인소스 전압(V_{ds})을 -0.1V에서 -30.1V로 변경할 때의 문턱전압 변동 결과이다.

[0129] 도 7a에 도시한 바와 같이, 제1 및 제2그룹(GR1, GR2)의 듀얼게이트 타입 박막트랜지스터(4/5+5)는 각각 평균 약 1.52V 및 약 2.34V의 문턱전압 변동을 나타내는 반면, 제3 및 제4그룹(GR3, GR4)의 듀얼게이트 타입 박막트랜지스터(4/10+5)는 제1 및 제2그룹(GR1, GR2)의 듀얼게이트 타입 박막트랜지스터(4/5+5)보다 작은 각각 평균 약 0.57V 및 약 0.77V의 문턱전압 변동을 나타낸다.

[0130] 따라서, 비대칭 듀얼게이트 타입의 박막트랜지스터가 우수한 문턱전압 변동 특성을 보이며 드레인유기 장벽감소 현상을 방지하는 효과를 갖는 것을 알 수 있다.

[0131] 도 7b에서, 제5 및 제7그룹(GR5, GR7)은 채널 폭/길이 비가 각각 4/5인 2개의 박막트랜지스터가 직렬 연결된 듀얼게이트 타입 박막트랜지스터(4/5+5)에 대한 문턱전압 변동을 나타내는데, 제5그룹(GR5)은 네가티브 바이어스 온도 스트레스(NBTS)를 인가할 때의 문턱전압 변동 결과이고, 제7그룹(GR7)은 포지티브 바이어스 온도 스트레스(PBTS)를 인가할 때의 문턱전압 변동 결과이다.

[0132] 그리고, 제6 및 제8그룹(GR6, GR8)은 채널 폭/길이 비가 4/10, 4/5인 2개의 박막트랜지스터가 직렬 연결된 듀얼게이트 타입 박막트랜지스터(4/10+5)에 대한 문턱전압 변동을 나타내는데, 제6그룹(GR6)은 네가티브 바이어스 온도 스트레스(NBTS)를 인가할 때의 문턱전압 변동 결과이고, 제8그룹(GR8)은 포지티브 바이어스 온도 스트레스(PBTS)를 인가할 때의 문턱전압 변동 결과이다.

[0133] 도 7b에 도시한 바와 같이, 제5 및 제7그룹(GR5, GR7)의 듀얼게이트 타입 박막트랜지스터(4/5+5)는 각각 평균 약 0.9V 및 약 0.8V의 문턱전압 변동을 나타내는 반면, 제6 및 제8그룹(GR6, GR8)의 듀얼게이트 타입 박막트랜지스터(4/10+5)는 제5 및 제7그룹(GR5, GR7)의 듀얼게이트 타입 박막트랜지스터(4/5+5)보다 작은 각각 평균 약 0.5V 및 약 0.1V의 문턱전압 변동을 나타낸다.

[0134] 따라서, 비대칭 듀얼게이트 타입의 박막트랜지스터가 우수한 문턱전압 변동 특성을 보이며 전기적 특성이 안정적임을 알 수 있다.

[0135] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0136] 110: 유기발광다이오드 표시장치 120: 표시패널

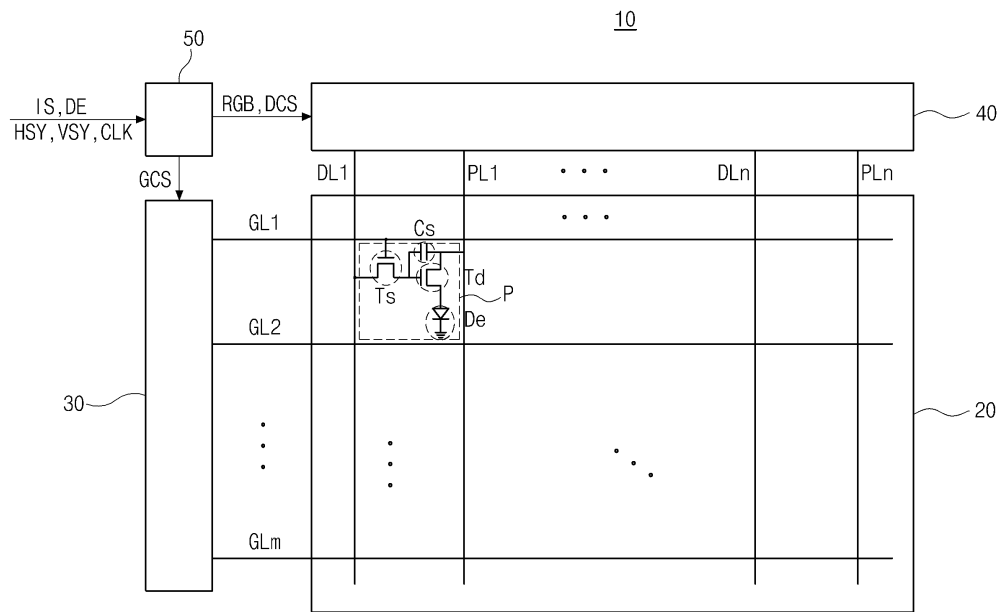
130: 게이트구동부 132: 시프트레지스터부

134: 인버터부 140: 데이터구동부

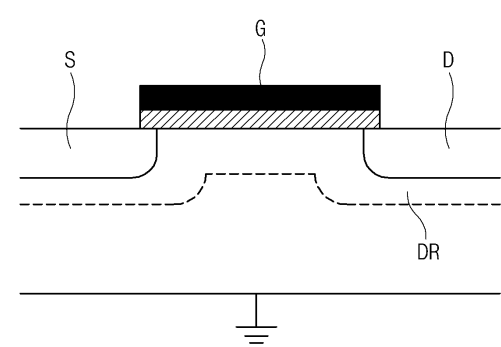
150: 타이밍제어부

도면

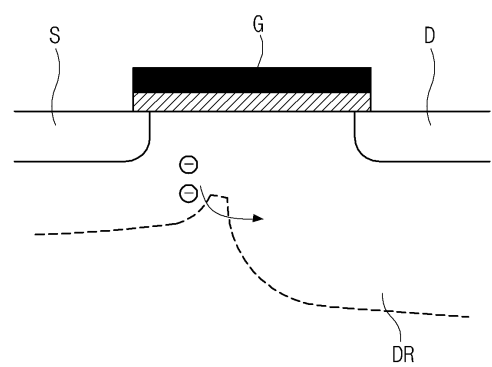
도면1



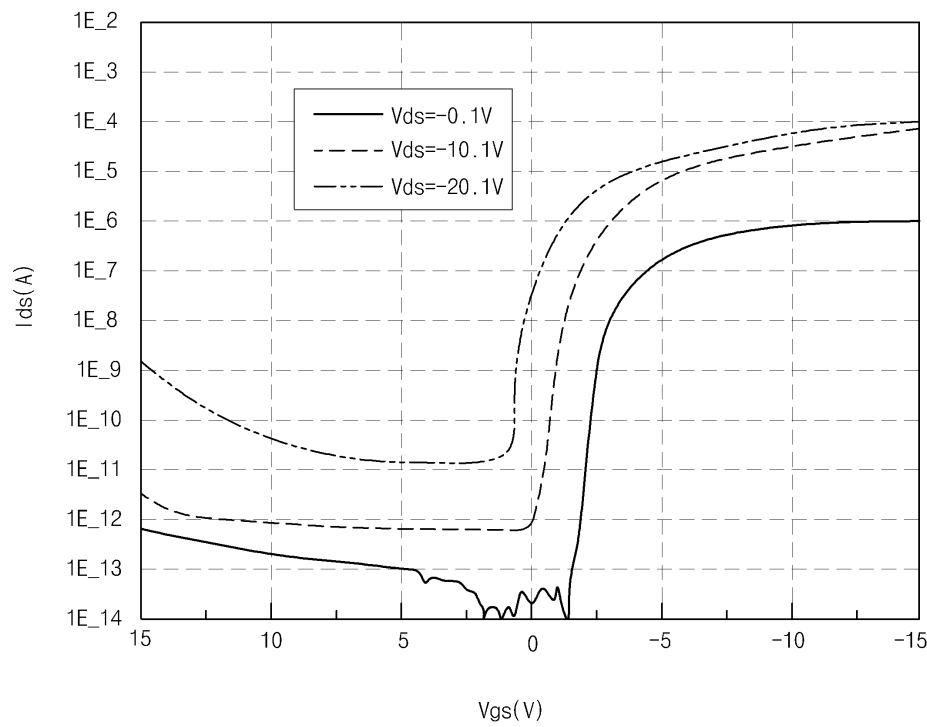
도면2a



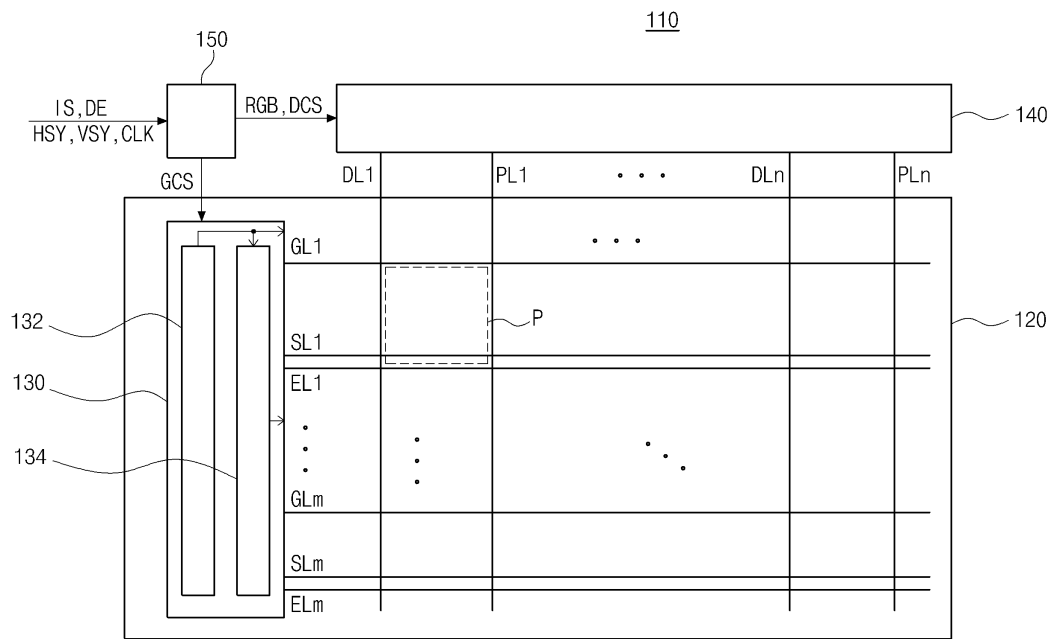
도면2b



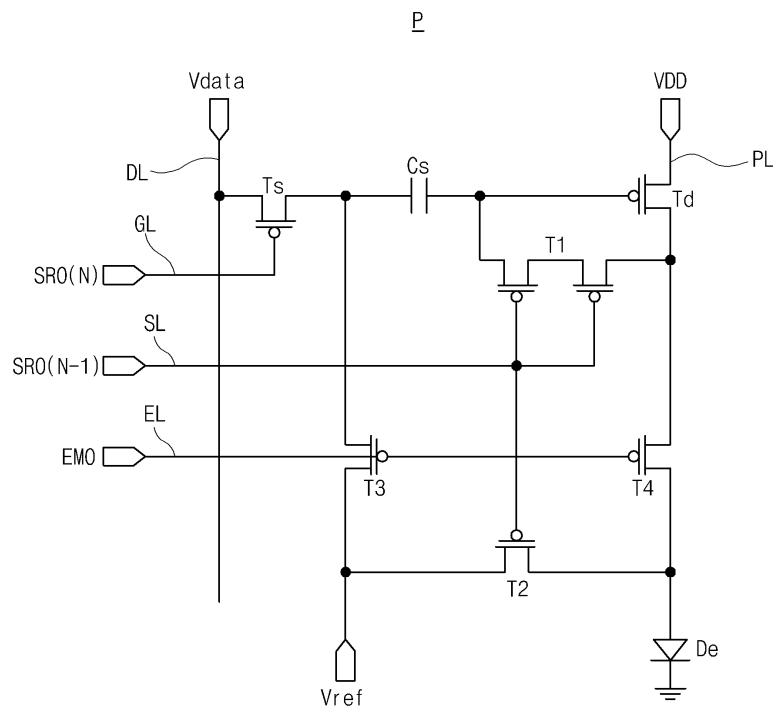
도면2c



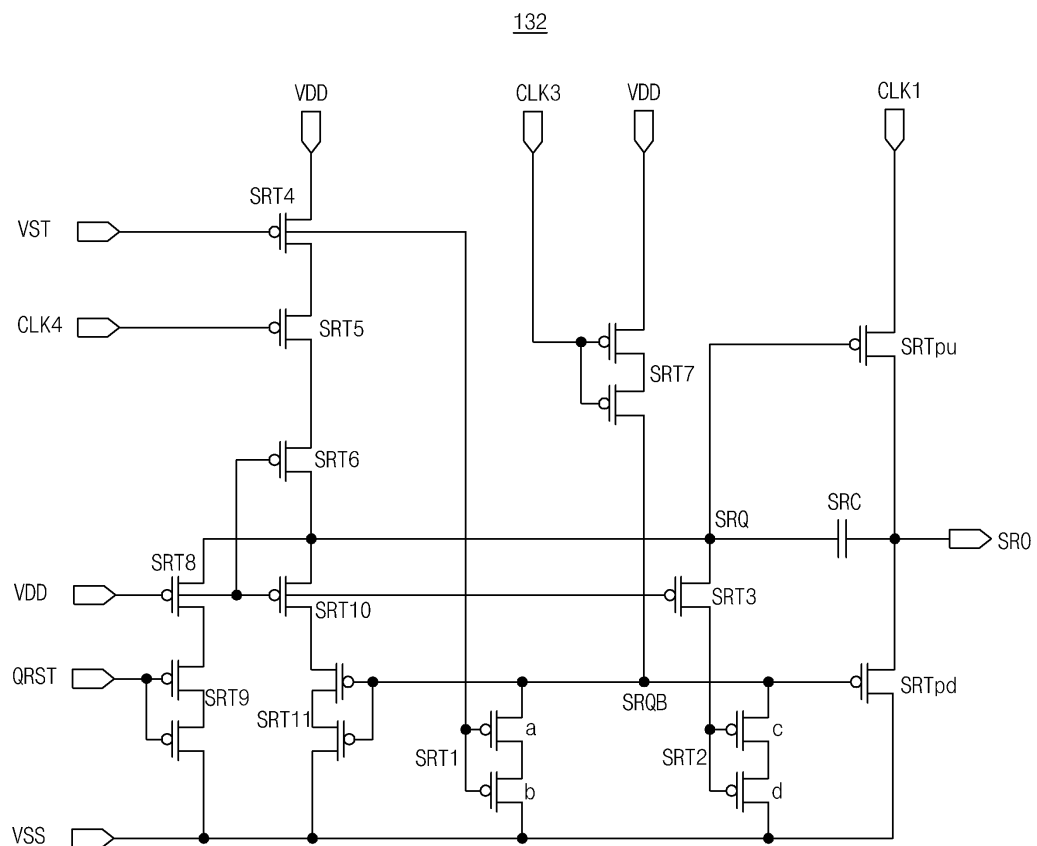
도면3



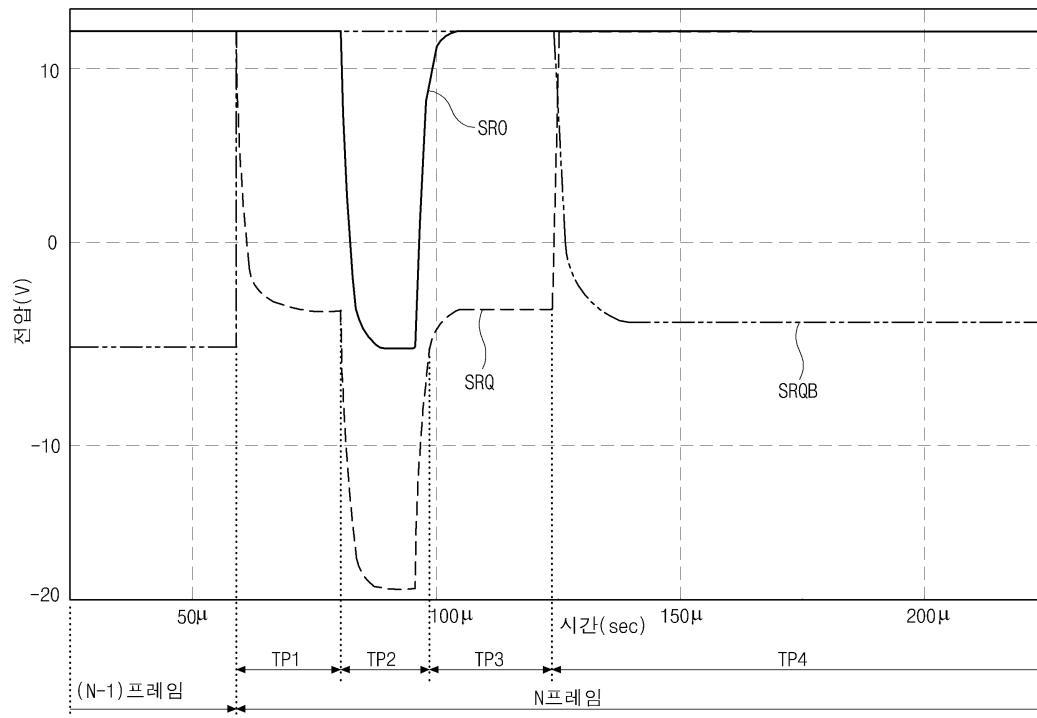
도면4



도면5a

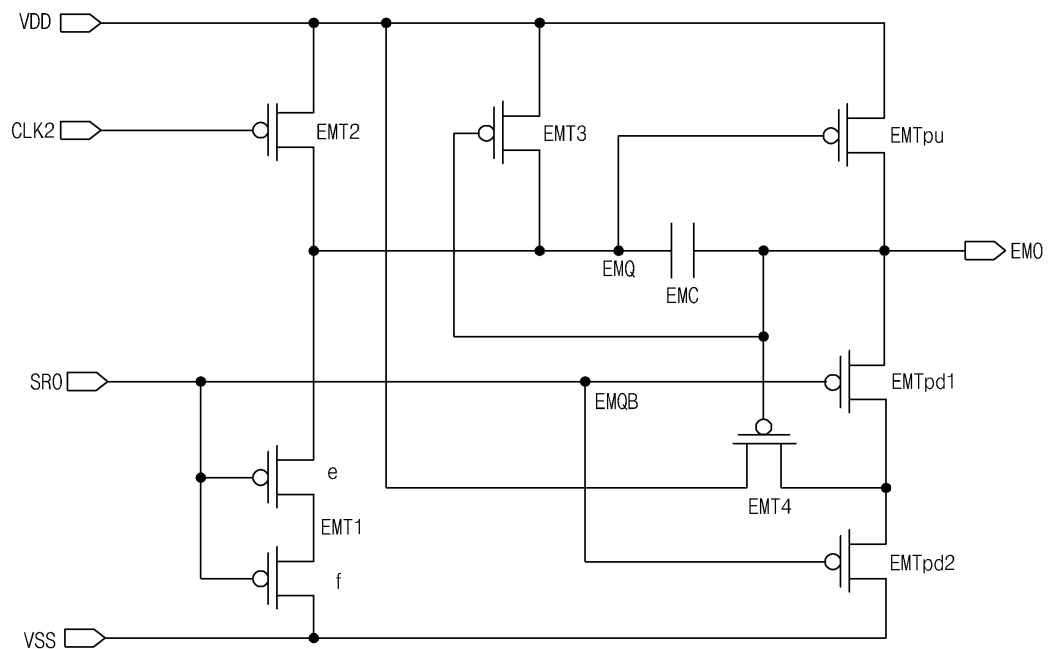


도면5b

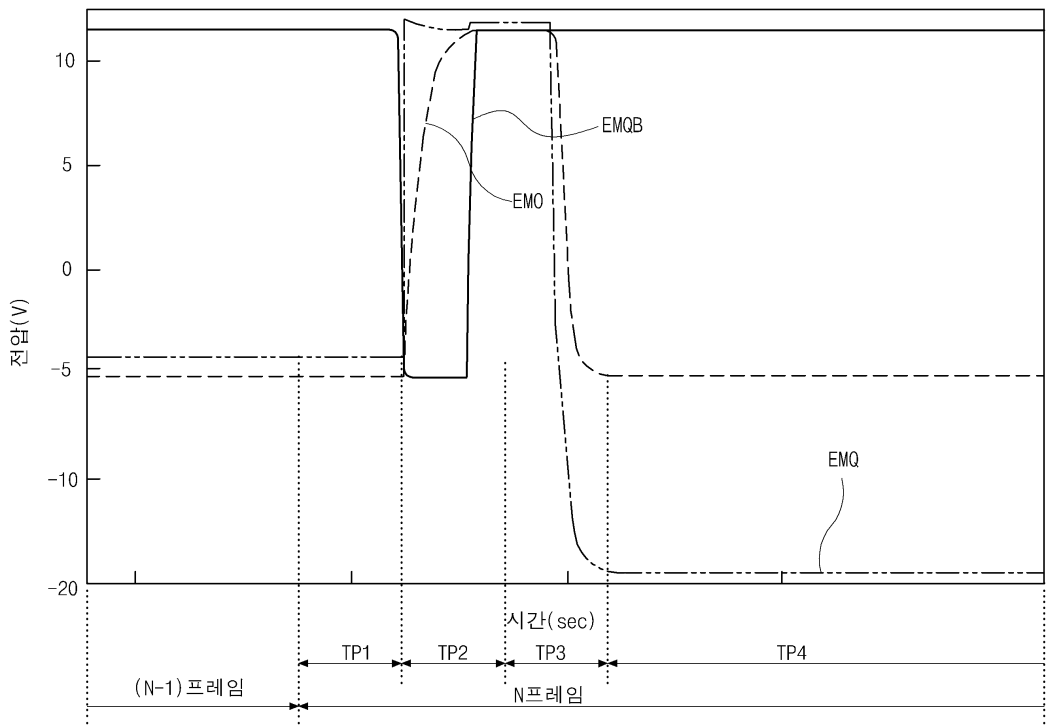


도면6a

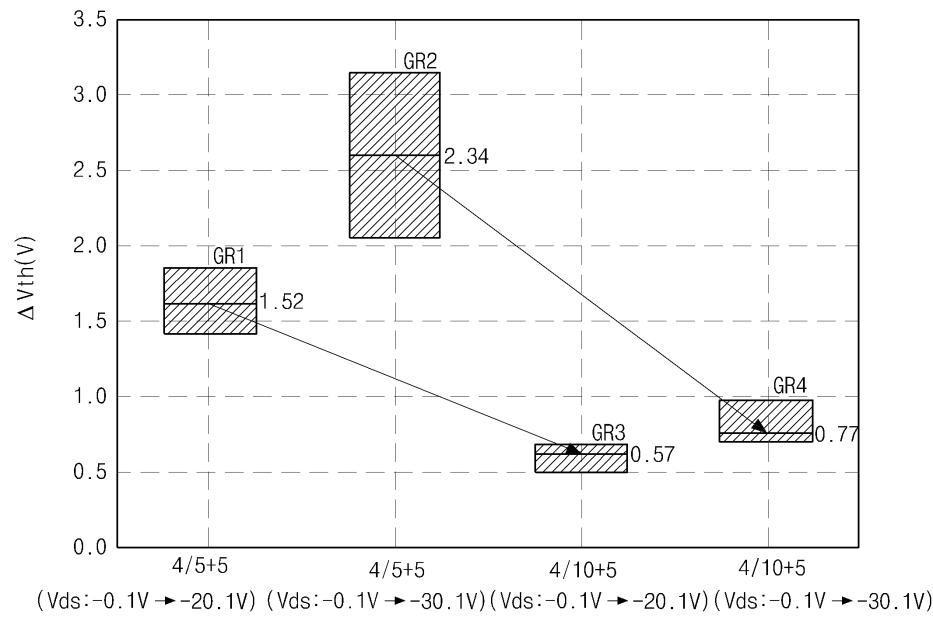
134



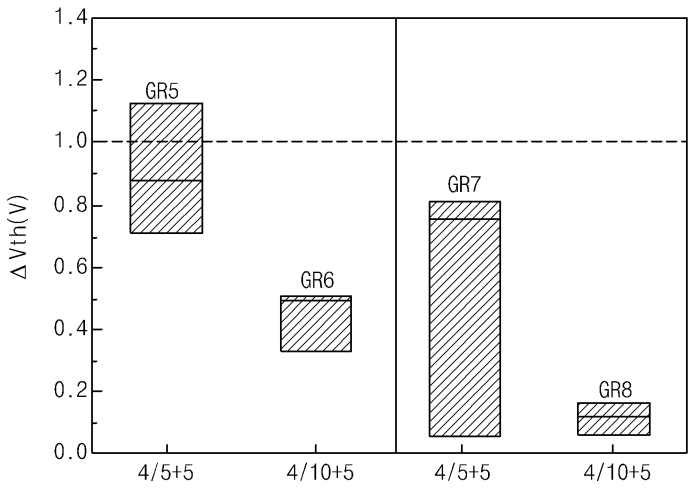
도면6b



도면7a



도면7b



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR102125785B1	公开(公告)日	2020-06-23
申请号	KR1020130156295	申请日	2013-12-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이지노 심재호 김중철		
发明人	이지노 심재호 김중철		
IPC分类号	G09G3/32 G09G3/20		
审查员(译)	贞茵		
其他公开文献	KR1020150069773A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光二极管显示装置,包括:包含多个像素区域的显示面板;栅极驱动部分包括:移位寄存器,其向每个多个像素区域提供栅极信号和采样信号;以及反相器,其向所述多个像素区域中的每个像素提供数据信号;数据驱动部分向多个像素区域中的每个像素区域提供数据信号;时序控制部分将数据控制信号和视频数据提供给数据驱动部分,并将选通控制信号提供给选通驱动部分。移位寄存器包括寄存器上拉薄膜晶体管和寄存器下拉薄膜晶体管,该寄存器从连接的移位寄存器之间的节点打印采样信号和栅极信号。第一寄存器薄膜晶体管,其中,漏极和源极分别连接至寄存器下拉薄膜晶体管的基极电压和栅极,并且宽度/长度之比小于1/1沟道。

