



- 특허법이다나

심사관 : 김우영

- (54) 발명의 명칭 유기발광 다이오드 표시장치

본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치는 표시 영역과 비 표시 영역으로 구획된 기판, 상기 표시 영역 내에 형성된 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 유기발광 다이오드, 상기 유기발광 다이오드의 발광 영역을 정의하도록 형성된 बैं크, 상기 बैं크 외부로 노출되며 상기 비 표시 영역에 배치된 그라운드 배선, 상기 유기발광 다이오드와 연결되어 상기 그라운드 배선에 콘택하는 제1 도전패턴, 및 상기 그라운드 배선 상에 상기 제1 도전패턴과 이격하여 배치되는 제2 도전패턴을 포함하는 것을 특징으로 한다.

[illegible]

명세서

청구범위

청구항 1

표시 영역과 비 표시 영역으로 구획된 기판;

상기 표시 영역 내에 형성된 박막 트랜지스터;

애노드 전극, 발광층 및 캐소드 전극을 구비하여 상기 박막 트랜지스터에 연결된 유기발광 다이오드;

상기 유기발광 다이오드의 발광 영역을 정의하도록 형성된 बैं크;

상기 बैं크 외부로 노출되며 상기 비 표시 영역에 배치된 그라운드 배선;

상기 유기발광 다이오드와 연결되어 상기 그라운드 배선에 접촉하는 제1 도전패턴; 및

상기 그라운드 배선 상에 상기 제1 도전패턴과 이격하여 배치되는 제2 도전패턴을 포함하고,

상기 제1 도전패턴의 적어도 일부는 상기 बैं크의 하부로 연장되어 상기 캐소드 전극과 접촉하고,

상기 제1 도전패턴의 다른 일부와 상기 제2 도전패턴의 전부는 상기 그라운드 배선과 직접 접촉하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 제1 도전패턴은 상기 캐소드 전극과 상기 बैं크의 비어홀을 통해 연결되며,

상기 그라운드 배선과 접촉하는 제2 도전패턴의 크기는 상기 그라운드 배선과 접촉하는 상기 제1 도전패턴의 크기보다 큰 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 4

제1 항에 있어서,

상기 애노드 전극은 ITO/APC/ITO의 적층 구조로 이루어진 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 5

제4 항에 있어서,

상기 제1 도전패턴 및 제2 도전패턴은 상기 애노드 전극과 동일한 적층 구조로 이루어진 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 6

제1 항에 있어서,

상기 제2 도전패턴은 복수의 섬(island) 패턴으로 이루어진 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 7

제6 항에 있어서,

상기 제2 도전패턴은 스트라이프(stripe) 형상으로 이루어진 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 8

제1 항 또는 제7 항에 있어서,

상기 제2 도전패턴은 복수의 개구부가 구비된 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 9

제1 항에 있어서,

상기 제2 도전패턴은 일체형의 바(bar) 형상으로 이루어진 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 10

제3 항에 있어서,

상기 그라운드 배선, 상기 제1 도전패턴, 상기 제2 도전패턴, 상기 뱅크, 및 상기 캐소드 전극을 밀봉하는 제 1 보호막을 더 포함하는 유기발광 다이오드 표시장치.

청구항 11

제1 항에 있어서,

상기 박막 트랜지스터는 게이트 전극, 반도체 층, 소스 전극, 및 드레인 전극을 포함하고,

상기 그라운드 배선은 게이트 절연막 상의 게이트 그라운드 배선 및 상기 게이트 그라운드 배선과 층간 절연막을 사이에 두고 연결되는 소스 그라운드 배선을 포함하며,

상기 게이트 그라운드 배선은 상기 게이트 전극과 동일한 물질로 이루어지고, 상기 소스 그라운드 배선은 상기 소스 전극과 동일한 물질로 이루어지는 것을 특징으로 하는 유기발광 다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치에 관한 것으로, 보다 자세하게는 유기발광 다이오드 표시장치의 제조 공정을 간소화하는 과정에서 발생할 수 있는 불량을 해소하기 위해 고안된 구조를 갖는 유기발광 다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치에는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라스마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광장치(Electro-Luminescence device, EL) 등이 있다.

- [0003] 도 1은 종래 기술에 의한 능동소자인 박막 트랜지스터(Thin Film Transistor, 혹은 "TFT")를 이용한 유기발광 다이오드 표시장치(Organic Light Emitting Diode Display Device: OLED)의 구조를 나타내는 평면도이고, 도 2는 도 1의 A 영역을 확대한 도면이다. 도 3은 도 1에서 절취선 I-I'로 자른 단면으로 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다. 도 4는 뱅크층의 코팅 얼룩을 나타낸 사진이고, 도 5a 및 도 5b는 도전패턴의 APC 부식을 나타낸 사진이다.
- [0004] 도 1 내지 도 3을 참조하면, 유기발광 다이오드 표시장치는 기판(SUB) 상에 화상이 표시되는 액티브 영역(A/A)과 액티브 영역(A/A)에 구동신호를 인가하는 구동부(DC)를 포함한다. 보다 자세하게, 유기발광 다이오드 표시장치는 박막 트랜지스터(DT) 및 박막 트랜지스터(DT)와 연결되어 구동되는 유기발광 다이오드(OLED)가 형성된 박막 트랜지스터 기판, 박막 트랜지스터 기판 위에 실(FS)재를 사이에 두고 합착하는 배리어 필름(BF)을 포함한다. 박막 트랜지스터 기판은 스위칭 TFT(ST), 구동 TFT(DT), 구동 TFT(DT)에 연결된 캐패시터(Cst), 구동 TFT(DT)에 접속된 유기발광 다이오드(OLED)를 포함한다.
- [0005] 유리 기판(SUB) 위에 스위칭 TFT(ST)는 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 부위에 형성되어 있다. 스위칭 TFT(ST)는 게이트 라인(GL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드의 애노드 전극(ANO)과 연결되어 있다.
- [0006] 구동 TFT(DT)의 반도체층(DA)과 캐패시터 하부전극(LCT)이 기판(SUB) 상에 형성되고, 그 위를 덮는 게이트 절연막(GI) 위에 게이트 전극(DG)이 반도체층(DA)의 중심부에 중첩되어 형성되고, 캐패시터 하부전극(LCT)과 중첩되어 캐패시터 중간전극(MCT)이 형성된다. 그리고 반도체층(DA)의 양 측면에는 콘택홀을 통해 소스 전극(DS) 및 드레인 전극(DD)이 연결된다. 소스 전극(DS) 및 드레인 전극(DD)은 게이트 전극(DG)을 덮는 층간 절연막(ILD) 위에 형성되고, 소스 전극(DS)은 캐패시터 상부전극(HCT)과 연결된다.
- [0007] 액티브 영역(A/A)의 외주부에는 유기발광 다이오드(OLED)의 캐소드 전극(CAT)과 연결된 그라운드 배선(GR)이 형성된다. 그라운드 배선(GR)은 게이트 절연막(GI) 상에 게이트 그라운드 배선(GRL)이 형성되고, 층간 절연막(ILD) 상에 소스 그라운드 배선(SGRL)이 형성되어 게이트 그라운드 배선(GRL)과 연결된다. 그리고 기판(SUB) 중에서 표시 영역 위에는 평탄화막(PL)이 도포된다. 평탄화막(PL)을 패터닝하여 구동 TFT(DT)의 드레인 전극(DD)을 노출하는 콘택홀이 형성된다.
- [0008] 평탄화막(PL) 상에 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉하는 애노드 전극(ANO)이 형성된다. 또한, 평탄화 막(PL)이 형성되지 않은 표시 영역의 외주부에서도, 소스 그라운드 배선(SGRL) 상에 도전패턴(AND)이 형성된다. 도전패턴(AND)은 애노드 전극(ANO)과 동일한 공정으로 동시에 형성된다. 발광 영역을 제외한 기판(SUB) 위에 뱅크(BANK)가 형성된다. 애노드 전극(ANO) 상에 발광층(OLE)이 위치하고, 그 상부에 뱅크층(BANK)을 덮는 캐소드 전극(CAT)이 위치한다. 캐소드 전극(CAT)은 뱅크층(BANK)의 비어홀을 통해 도전패턴(AND)과 연결된다.
- [0009] 기판(SUB) 전체 표면에 제1 보호막(1PAS)을 형성하고, 하부 단차를 매우기 위한 유기막층(PCL)을 형성하고, 그 상부를 덮는 제2 보호막(2PAS)을 형성한다. 그리고, 실재(FS)를 도포하고, 실재(FS)를 매개로 하여 배리어 필름(BF)을 합착하여, 기판(SUB) 위에 박막 트랜지스터(ST, DT), 유기발광 다이오드(OLED) 및 실재(FS)를 이용한 배리어 필름(BF)까지 모든 구성 요소를 적층한 구조의 유기발광 다이오드 표시장치가 제조된다.
- [0010] 그러나, 종래 유기발광 다이오드 표시장치에 뱅크층(BANK)으로 사용하는 폴리이미드(polyimide)는 몰리브덴-티타늄(MoTi) 또는 구리(Cu)를 포함하는 금속층과의 계면특성이 좋지 않다. 그 결과 뱅크층(BANK)을 도포할 때, 그라운드 배선인 금속층과 인접한 부분에서 뱅크층의 두께가 불균일하게 형성되고, 나중에 뱅크층을 패터닝하여 제거되더라도 도 4에 도시된 바와 같이 표시 영역 부분에 얼룩이 발생하는 문제가 있다.
- [0011] 따라서, 도 3에 도시된 바와 같이, 폴리이미드와 계면특성이 우수한 ITO가 서로 접촉하도록, 그라운드 배선(GR) 상에 ITO/APC/ITO 적층 구조인 도전패턴(AND)을 형성하였다. 그러나, 도전패턴(AND)의 중간에 개재된 APC는 Ag 합금으로 수분에 취약하여 도 5a 및 도 5b에 도시된 바와 같이 부식이 발생한다. 이에 따라 부식된 도전패턴(AND)이 표시영역으로 투습 경로로써 작용하여 표시장치의 신뢰성 불량이 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0012] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써, 외부의 수분이 침투되는 경로를 차단하여 투습을 방지하고 신뢰성이 우수한 유기발광 다이오드 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0013] 상기 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치는 표시 영역과 비 표시 영역으로 구획된 기판, 상기 표시 영역 내에 형성된 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 유기발광 다이오드, 상기 유기발광 다이오드의 발광 영역을 정의하도록 형성된 बैं크, 상기 बैं크 외부로 노출되며 상기 비 표시 영역에 배치된 그라운드 배선, 상기 유기발광 다이오드와 연결되어 상기 그라운드 배선에 콘택하는 제1 도전패턴, 및 상기 그라운드 배선 상에 상기 제1 도전패턴과 이격하여 배치되는 제2 도전패턴을 포함하는 것을 특징으로 한다.
- [0014] 상기 유기발광 다이오드는 애노드 전극, 발광층 및 캐소드 전극을 포함하는 것을 특징으로 한다.
- [0015] 상기 제1 도전패턴은 상기 캐소드 전극과 콘택하는 것을 특징으로 한다.
- [0016] 상기 애노드 전극은 ITO/APC/ITO의 적층 구조로 이루어진 것을 특징으로 한다.
- [0017] 상기 제1 도전패턴 및 제2 도전패턴은 상기 애노드 전극과 동일한 적층 구조로 이루어진 것을 특징으로 한다.
- [0018] 상기 제2 도전패턴은 복수의 섬(island) 패턴으로 이루어진 것을 특징으로 한다.
- [0019] 상기 제2 도전패턴은 스트라이프(stripe) 형상으로 이루어진 것을 특징으로 한다.
- [0020] 상기 제2 도전패턴은 복수의 개구부가 구비된 것을 특징으로 한다.
- [0021] 상기 제2 도전패턴은 일체형의 바(bar) 형상으로 이루어진 것을 특징으로 한다.

발명의 효과

- [0022] 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치는 그라운드 배선을 도전패턴으로 덮어 이후 도포되는 유기물 사이의 낮은 접착력에 의한 들뜸 및/또는 얼룩 불량을 방지할 수 있다. 또한, APC를 포함하는 도전패턴에서 Ag 부식에 의한 투습 경로를 차단하여, 표시 영역에서 소자가 투습에 의한 불량이 발생하는 것을 방지할 수 있는 이점이 있다.

도면의 간단한 설명

- [0023] 도 1은 종래 기술에 따른 유기발광 다이오드 표시장치를 나타낸 평면도.
 도 2는 도 1의 A 영역을 확대한 도면.
 도 3은 도 1의 I-I'에 따라 자른 단면도.
 도 4는 बैं크층의 코팅 얼룩을 나타낸 사진.
 도 5a 및 도 5b는 도전패턴의 APC 부식을 나타낸 사진.
 도 6은 본 발명에 따른 유기발광 다이오드 표시장치의 구조를 나타내는 평면도.
 도 7은 도 6의 II-II'에 따라 자른 단면도.
 도 8 내지 도 10은 도 7의 그라운드 배선 부분을 나타낸 평면도.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서

동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지된 내용 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

- [0025] 이하, 도 6 및 도 7을 참조하여 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치에 대해 설명한다. 도 6은 본 발명에 의한 능동소자인 박막 트랜지스터를 이용한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도이고, 도 7은 도 6에서 절취선 II-II'로 자른 구조를 나타내는 단면도이다.
- [0026] 도 6 및 도 7을 참조하면, 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치는, 박막 트랜지스터(ST, DT) 및 박막 트랜지스터(ST, DT)와 연결되어 구동되는 유기발광 다이오드(OLED)가 형성된 박막 트랜지스터 기판, 박막 트랜지스터 기판 위에 실(FS)재를 사이에 두고 합착하는 배리어 필름(BF)을 포함한다. 박막 트랜지스터 기판은 스위칭 TFT(ST), 캐패시터(Cst)와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기발광 다이오드(OLED)를 포함한다.
- [0027] 유리 기판(SUB) 위에 스위칭 TFT(ST)는 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 부위에 형성되어 있다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 게이트 라인(GL)에서 분기하는 게이트 전극(SG)과, 반도체 층(SA)과, 소스 전극(SS)과, 드레인 전극(SD)을 포함한다. 그리고 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 애노드 전극(ANO)을 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG)과, 반도체 층(DA), 구동 전류 배선(VDD)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드의 애노드 전극(ANO)과 연결되어 있다.
- [0028] 도 7에서는 일례로, 탑 게이트(Top Gate) 구조의 박막 트랜지스터를 도시하였다. 이 경우, 구동 TFT(DT)의 반도체층(DA)과 캐패시터 하부전극(LCT)이 기판(SUB) 상에 형성된다. 반도체층(DA)과 캐패시터 하부전극(LCT)은 비정질 실리콘층, 비정질 실리콘층을 결정화한 다결정 실리콘층 또는 금속산화물로 이루어진 산화물 반도체로 이루어질 수 있다.
- [0029] 반도체층(DA)과 캐패시터 하부전극(LCT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다. 게이트 절연막(GI) 상에 게이트 전극(DG)이 반도체층(DA)의 중심부에 중첩되어 형성되고, 캐패시터 하부전극(LCT)과 중첩되어 캐패시터 중간전극(MCT)이 형성된다. 게이트 전극(DG)과 캐패시터 중간전극(MCT)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수 있다.
- [0030] 그리고 반도체층(DA)의 양 측면에는 콘택홀을 통해 소스 전극(DS) 및 드레인 전극(DD)이 연결된다. 소스 전극(DS) 및 드레인 전극(DD)은 게이트 전극(DG)을 덮는 층간 절연막(ILD) 위에 형성되고, 소스 전극(DS)은 캐패시터 상부전극(HCT)과 연결된다. 층간 절연막(ILD)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 이루어질 수 있다. 소스 전극(DS), 드레인 전극(DD) 및 캐패시터 상부전극(HCT)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수 있다.
- [0031] 액티브 영역(A/A)의 외주부에는 유기발광 다이오드(OLED)의 캐소드 전극(CAT)과 연결된 그라운드 배선(GR)이 형성된다. 그라운드 배선(GR)은 게이트 절연막(GI) 상에 게이트 그라운드 배선(GRL)이 형성되고, 층간 절연막(ILD) 상에 소스 그라운드 배선(SGRL)이 형성되어 게이트 그라운드 배선(GRL)과 연결된다. 게이트 그라운드 배선(GRL)은 게이트 전극(DG)과 동일한 물질로 이루어지고, 소스 그라운드 배선(SGRL)은 소스 전극(DS)과 동일한 물질로 이루어진다.
- [0032] 그리고 기판(SUB)의 표시 영역 상에 평탄화막(PL)이 도포된다. 평탄화막(PL)은 유기발광 다이오드를 구성하는 유기물질을 매끈한 평면 상태에서 도포하기 위해 기판 표면의 거칠기를 균일하게 하는 기능을 한다. 평탄화막(PL)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. 평탄화막(PL)을 패터하여 구동 TFT(DT)의 드레인 전극(DD)을 노출하는 콘택홀이 형성된다. 한편, 그라운드 배선(GR) 부분은 완전히 노출되도록 평탄화막(PL)을 패터한다.
- [0033] 평탄화막(PL) 상에 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉하는 애노드 전극(ANO)이 형성된다. 또한, 평탄화막(PL) 상에 제1 도전패턴(AND1)이 형성되어 일단이 캐소드 전극(CAT)과 컨택하고 타단이 소스 그라운드 배선(SGRL)에 컨택한다. 또한, 평탄화막(PL)이 형성되지 않은 표시 영역의 외주부 즉, 소스 그라운드 배

선(SGRL) 상에 제2 도전패턴(AND2)이 형성된다. 이때, 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL)의 대부분을 덮으나 전술한 제1 도전패턴(AND1)과 컨택하지 않고 이격되어 있다.

[0034] 보다 자세하게, 제2 도전패턴(AND2)은 제1 도전패턴(AND1)과 이격되어 형성된다. 왜냐하면, 도전패턴(AND1,2)들이 애노드 전극(ANO)과 동일한 공정으로 동시에 형성되는데, 애노드 전극(ANO)의 구조가 상부 및 하부층이 ITO이고 중간층이 은(Ag) 98%를 포함하는 은 합금층(APC)으로 이루어진다. 종래 기술에서 서술한 바와 같이, ITO/APC/ITO 구조의 도전패턴은 은 합금층(APC)에서 부식이 발생하고, 이 부식에 의해 투습이 되어 표시 영역으로 연장된 도전패턴이 투습 경로로 작용하여 신뢰성을 저하되는 문제점이 있다.

[0035] 본 발명은 투습의 경로로 작용할 수 있는 도전패턴을 제1 도전패턴(AND1)과 제2 도전패턴(AND2)으로 단락시켜 투습의 경로를 차단한다. 제1 도전패턴(AND1)은 평탄화층(PL) 상에서 캐소드 전극(CAT)과 컨택하여 소스 그라운드 배선(SGRL)에 연결된다. 제2 도전패턴(AND2)은 제1 도전패턴(AND1)과 이격되어 소스 그라운드 배선(SGRL)의 대부분의 영역을 덮는다. 따라서, 최외곽부의 제2 도전패턴(AND2)이 일부 부식되어 투습되더라도 제1 도전패턴(AND1)과 이격되어 있기 때문에 투습의 경로가 차단될 수 있다.

[0036] 또한, 본 발명의 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL)의 대부분의 영역을 덮는다. 소스 그라운드 배선(SGRL)이 형성된 이후에 뱅크층(BANK)이 형성되는데, 뱅크층(BANK)의 폴리이미드(PI)와 금속(metal)인 소스 그라운드 배선(SGRL) 사이에 계면특성이 좋지 않아 도포 불량, 들뜸 및/또는 얼룩이 발생할 수 있다. 본 발명에서는 폴리이미드와 계면특성이 좋은 ITO를 포함하는 제2 도전패턴(AND2)으로 소스 그라운드 배선(SGRL)의 대부분을 덮도록 형성한다. 따라서, 소스 그라운드 배선(SGRL)이 폴리이미드와 접촉할 수 있는 영역을 최소화하여 뱅크층의 불량을 방지한다.

[0037] 한편, 제2 도전패턴(AND2)은 도 6에 도시된 바와 같이, 기본적으로 제1 도전패턴(AND1)과 이격되면서 하나의 일체형의 바(bar) 형상으로 이루어질 수 있다. 이하 다양한 형상의 제2 도전패턴(AND2)에 대해 설명한다.

[0038] 도 8 내지 도 10은 도 7의 그라운드 배선(GR) 부분을 위에서 내려다본 평면도이다.

[0039] 도 8을 참조하면, 본 발명의 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL) 상에 복수의 섬(island) 패턴으로 이루어질 수 있다. 이때 각각의 제2 도전패턴(AND2)은 x축 방향의 길이를 가지고 y축 방향의 폭을 가지는 스트라이프(stripe) 형상으로 이루어진다. 제2 도전패턴(AND2)의 길이는 적어도 제1 도전패턴(AND1)과 이격되면서 소스 그라운드 배선(SGRL) 상에 최대한의 길이로 이루어진다. 또한, 제2 도전패턴(AND2)의 폭은 적어도 인접한 다른 제2 도전패턴(AND2)과 이격되는 최대한의 폭으로 이루어진다. 따라서, 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL)이 폴리이미드와 접촉할 수 있는 영역을 최소화하여 뱅크층의 불량을 방지한다.

[0040] 또한, 도 9를 참조하면, 본 발명의 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL) 상에 복수의 섬(island) 패턴으로 이루어질 수 있다. 이때, 각각의 제2 도전패턴(AND2)은 x축 방향의 폭을 가지고 y축 방향의 길이를 가지는 스트라이프(stripe) 형상으로 이루어진다. 제2 도전패턴(AND2)의 길이는 최대 소스 그라운드 배선(SGRL)의 길이만큼 이루어지나, 이에 한정되지 않으며 소스 그라운드 배선(SGRL)의 길이 범위 내에 다수 개로 분할될 수도 있다. 또한, 제2 도전패턴(AND2)의 폭은 적어도 인접한 다른 제2 도전패턴(AND2)과 이격되면서 제1 도전패턴(AND1)과 이격되는 최대한의 폭으로 이루어진다. 도면에는 제2 도전패턴(AND2)의 개수를 3개로 도시하였지만, 제2 도전패턴(AND2)의 개수는 수 십 내지 수 백개 이상으로 형성할 수도 있다. 따라서, 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL)이 폴리이미드와 접촉할 수 있는 영역을 최소화하여 뱅크층의 불량을 방지한다.

[0041] 또한, 도 10을 참조하면, 본 발명의 제2 도전패턴(AND2)은 소스 그라운드 배선(SGRL) 상에 복수의 개구부(OP)가 구비된 형상으로 이루어질 수 있다. 이때, 제2 도전패턴(AND2)은 x축 방향의 폭을 가지고 y축 방향의 길이를 가지는 바(bar) 형상으로 이루어진다. 제2 도전패턴(AND2)의 길이는 최대 소스 그라운드 배선(SGRL)의 길이만큼 이루어질 수 있으나, 이에 한정되지 않으며 소스 그라운드 배선(SGRL)의 길이 범위 내에 다수 개로 분할될 수도 있다. 또한, 제2 도전패턴(AND2)의 폭은 제1 도전패턴(AND1)과 이격되는 최대한의 폭으로 이루어진다. 도면에서는 제2 도전패턴(AND2)을 하나의 바 형상으로 도시하였으나, 이에 한정되지 않으며, 복수의 개의 바 형상으로 복수의 개구부(OP)를 구비할 수도 있다. 또한, 복수의 개구부(OP)의 개수는 제2 도전패턴(AND2)의 길이 또는 폭에 따라 다양하게 구비 가능하다.

[0042] 다시, 도 6 및 7을 참조하면, 표시 영역 내에서 특히 발광 영역을 제외한 기판(SUB) 위에 뱅크(BANK)가 형성된다. 애노드 전극(ANO) 상에 발광층(OLE)이 위치한다. 발광층(OLE)은 적색(R), 녹색(G) 및 청색(B)을 발광할 수 있으며, 인광 물질 또는 형광 물질로 이루어질 수 있다. 발광층(OLE)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl))를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-

phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)₃(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(OLE)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)₃(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq₃(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(OLE)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F₂ppy)₂Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스틸아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0043] 발광층(OLE)을 포함하는 बैं크층(BANK) 상에 캐소드 전극(CAT)이 위치한다. 캐소드 전극(CAT)은 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 캐소드 전극(CAT)은 बैं크층(BANK)의 비어홀을 통해 제1 도전패턴(AND1)과 연결된다.

[0044] 상기와 같은 구조를 갖는 박막 트랜지스터 기판 위, 전체 표면에 제1 보호막(1PAS)을 형성하고, 하부 단차를 배우기 위한 유기막층(PCL)을 형성하고, 그 상부를 덮는 제2 보호막(2PAS)을 형성한다. 그리고, 실재(FS)를 도포하고, 실재(FS)를 매개로 하여 배리어 필름(BF)을 합착한다. 즉, 박막 트랜지스터 기판과 배리어 필름(BF)은 그 사이에 개재된 실재(FS)를 이용하여 완전 밀봉 합착하도록 하는 것이 바람직하다. 그라운드 배선(GR) 부분은 제1 보호막(1PAS)과 제2 보호막(2PAS)에 의해 밀봉된다. 이와 같이 유기발광 다이오드 표시장치는 단일 기판(SUB) 위에 박막 트랜지스터(ST, DT), 유기발광 다이오드(OLED) 및 실재(FS)를 이용한 배리어 필름(BF)까지 적층한 구조로 완성된다.

[0045] 전술한 바와 같이, 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치는 बैं크층의 도포 불량으로 발생할 수 있는 얼룩을 방지하고, 도전패턴의 부식에 의한 투습 불량도 방지할 수 있는 이점이 있다.

[0046] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

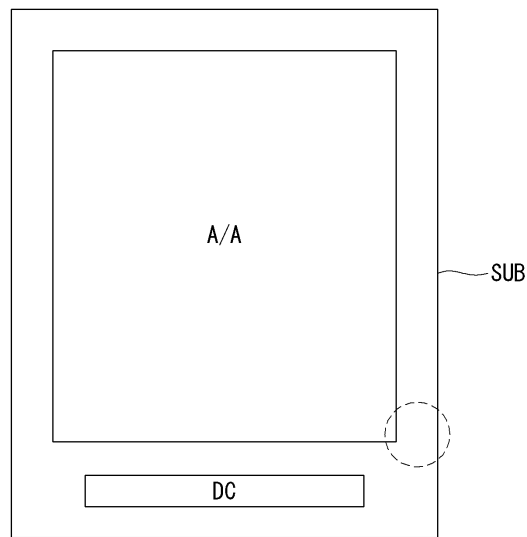
[0047] ST: 스위칭 TFT	DT: 구동 TFT
SG: 스위칭 TFT 게이트 전극	DG: 구동 TFT 게이트 전극
SS: 스위칭 TFT 소스 전극	DS: 구동 TFT 소스 전극
SD: 스위칭 TFT 드레인 전극	DD: 구동 TFT 드레인 전극
SA: 스위칭 TFT 반도체 층	DA: 구동 TFT 반도체 층
GL: 게이트 라인	DL: 데이터 라인
VDD: 구동 전류 배선	GI: 게이트 절연막
IN: 층간 절연막	PL: 평탄화 막
AND : 애노드 전극	OLE : 발광층
BANK : बैं크층	CAT : 캐소드 전극
1PAS : 제1 보호막	2PAS : 제2 보호막
OLED: 유기발광 다이오드	FS: 실
BF: 배리어 필름	AND2 : 제2 도전패턴

AND1 : 제1 도전패턴

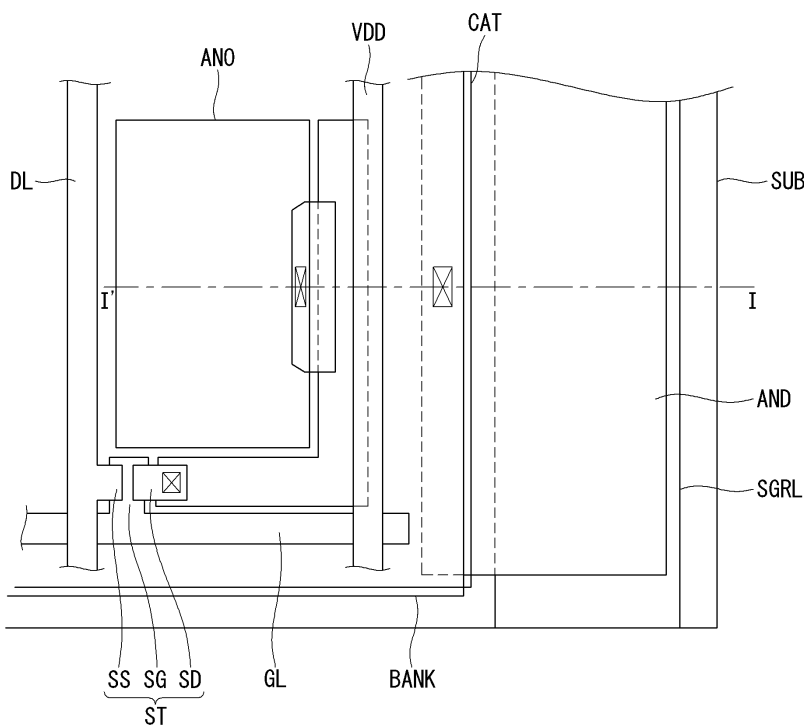
GR : 그라운드 배선

도면

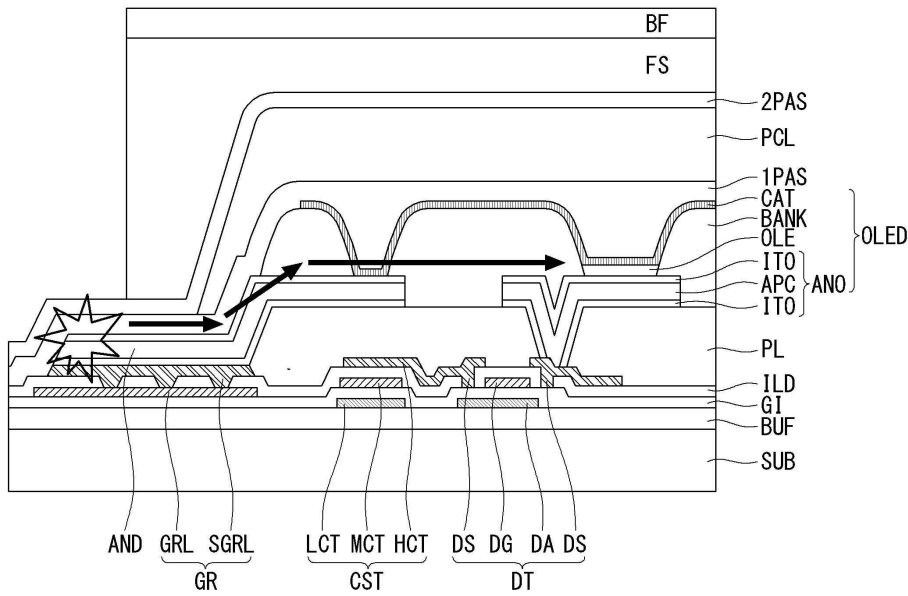
도면1



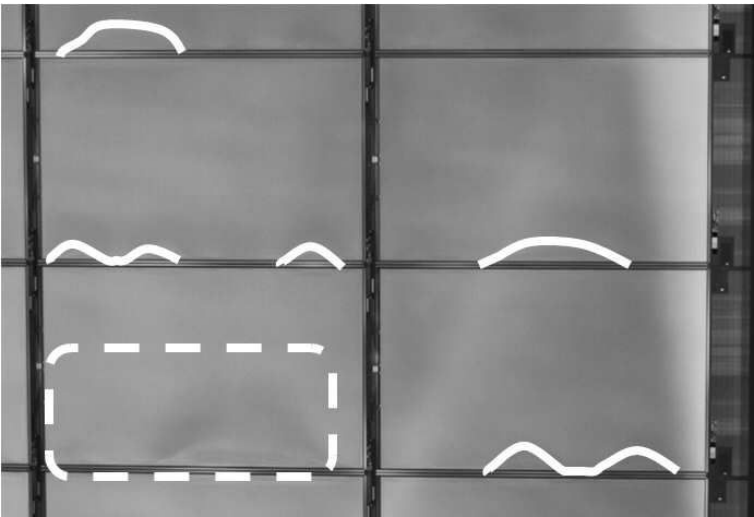
도면2



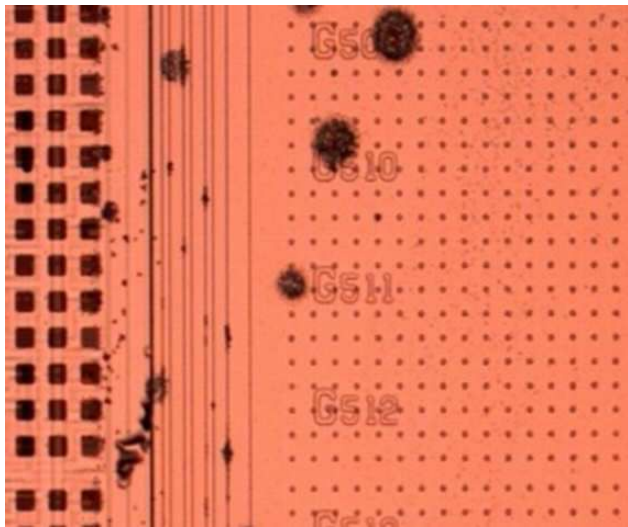
도면3



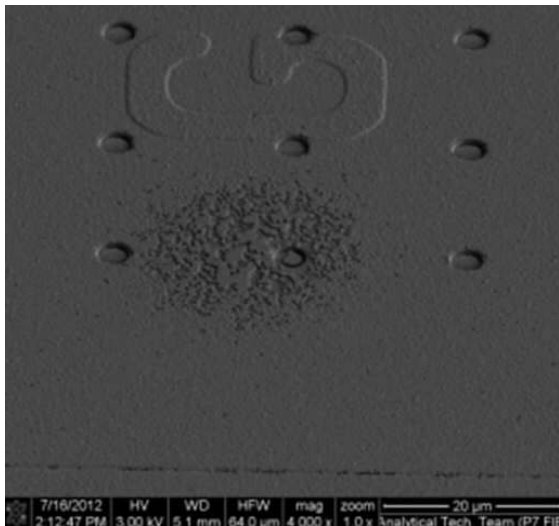
도면4



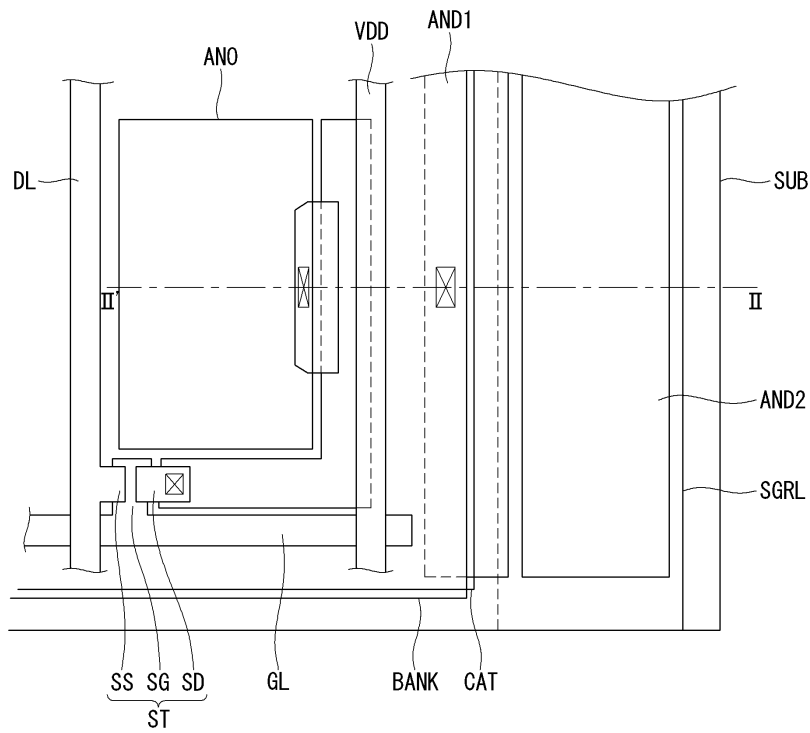
도면5a



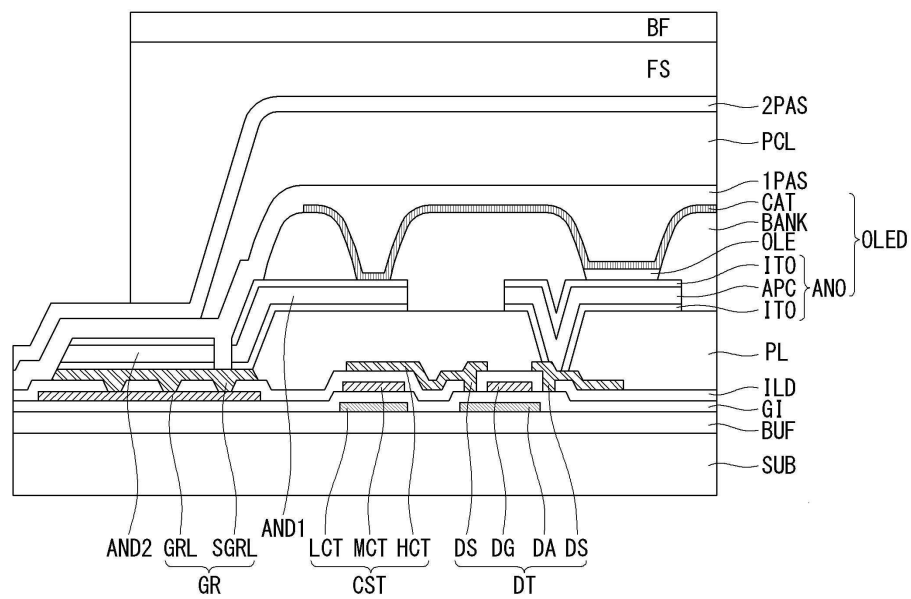
도면5b



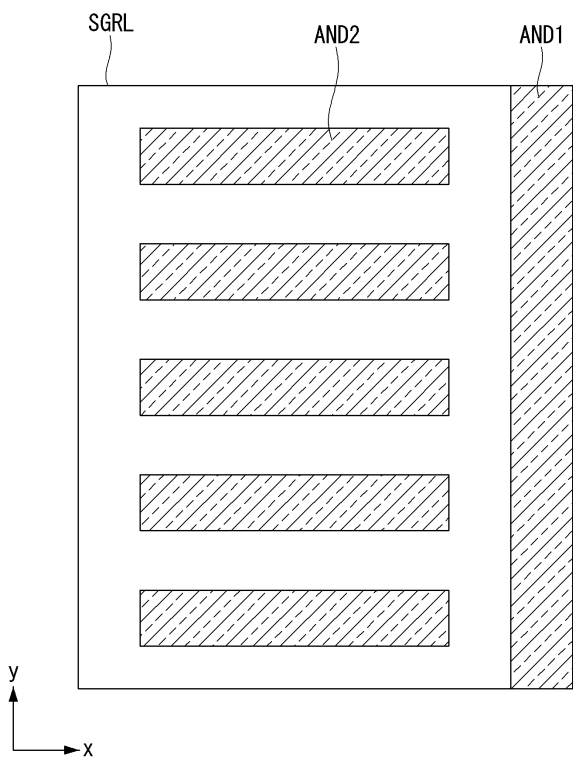
도면6



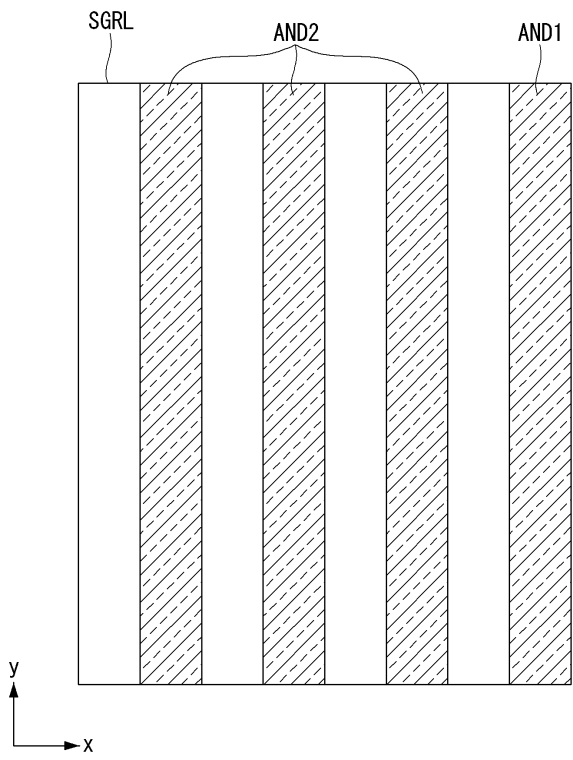
도면7



도면8



도면9



도면10

