



공개특허 10-2020-0060941



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0060941
(43) 공개일자 2020년06월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/3208* (2016.01)
H01L 51/50 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3208 (2013.01)

(21) 출원번호 10-2018-0146145

(22) 출원일자 2018년11월23일

심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
김경민
경기도 파주시 월롱면 엘지로 245
한인효
경기도 파주시 월롱면 엘지로 245
박해진
경기도 파주시 월롱면 엘지로 245

(74) 대리인
이승찬

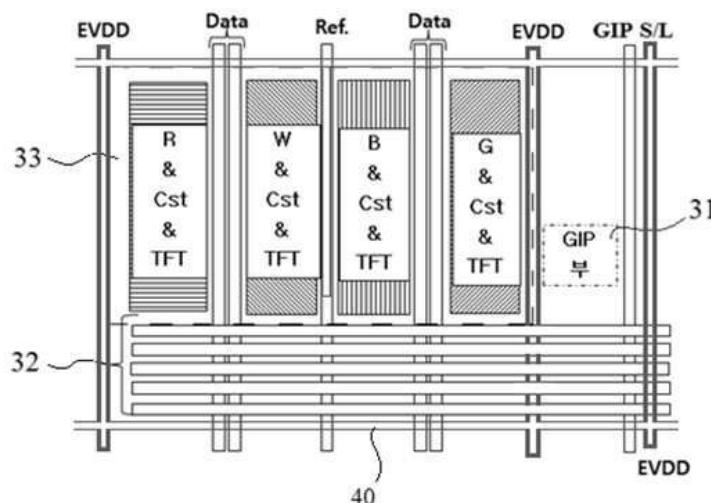
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 OLED 표시패널

(57) 요 약

본 발명은 화소 어레이 내에 게이트 구동 회로의 GIP가 배치되고, GIP와 화소 간의 커플링을 저감하여 화질을 개선할 수 있는 OLED 표시패널에 관한 것으로, 데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 스테이지를 구비하고, 단위 화소 영역은, 적어도 3개의 서브 화소부와, 상기 스테이지를 구성하는 GIP 소자가 배치되는 GIP부와, 상기 GIP 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고, 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이에 전원 전압이 인가되는 쇼팅 라인이 배치된 것이다.

대 표 도 - 도6



(52) CPC특허분류

H01L 27/3213 (2013.01)

H01L 27/323 (2013.01)

H01L 27/3248 (2013.01)

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 스테이지를 구비하고, 단위 화소 영역은, 적어도 3개의 서브 화소부와, 상기 스테이지를 구성하는 GIP 소자가 배치되는 GIP부와, 상기 GIP 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며, 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이에 전원 전압이 인가되는 쇼팅 라인이 배치되는 OLED 표시패널.

청구항 2

제 1 항에 있어서,

상기 쇼팅 라인은 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이 뿐만 아니라 상기 GIP부를 감싸도록 배치되는 OLED 표시패널.

청구항 3

제 1 항에 있어서,

상기 쇼팅 라인은 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이 뿐만 아니라 상기 적어도 3개의 서브 화소부, 상기 GIP부, 및 상기 GIP 내부 연결 배선부를 감싸도록 배치되는 OLED 표시패널.

청구항 4

제 1 항에 있어서,

상기 쇼팅 라인은 OLED 표시 패널의 차광층, 게이트 전극 금속, 및 소오스/드레인 전극 금속 중 적어도 하나로 형성되는 OLED 표시패널.

청구항 5

제 1 항에 있어서,

상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고,

상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 쇼팅 라인은 상기 차광층 및 상기 클럭 신호 라인과 동일한 금속으로 형성되는 OLED 표시패널.

청구항 6

제 1 항에 있어서,

상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고,

상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며,

상기 쇼팅 라인은 상기 구동 TFT의 게이트 전극 및 상기 GIP TFT의 게이트 전극과 동일한 금속으로 형성되는 OLED 표시패널.

청구항 7

제 1 항에 있어서,

상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 구동 TFT의 소오스/드레인트 전극 및 상기 GIP TFT의 소오스/드레인 전극과 동일한 금속으로 형성되는 OLED 표시패널.

청구항 8

제 1 항에 있어서,

상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 차광층 및 상기 클럭 신호 라인과 동일한 금속으로 형성되는 제 1 금속층과, 상기 구동 TFT의 소오스/드레인트 전극 및 상기 GIP TFT의 소오스/드레인 전극과 동일한 금속으로 형성되는 제 2 금속층이 적층되는 OLED 표시패널.

청구항 9

제 1 항에 있어서,

상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 구동 TFT의 게이트 전극 및 상기 GIP TFT의 게이트 전극과 동일한 금속으로 형성되는 제 3 금속층과, 상기 구동 TFT의 소오스/드레인트 전극 및 상기 GIP TFT의 소오스/드레인 전극과 동일한 금속으로 형성되는 제 2 금속층이 적층되는 OLED 표시패널.

청구항 10

제 1 항에 있어서,

상기 표시 영역에는 터치 센서들이 더 배치되는 OLED 표시패널.

청구항 11

제 1 항에 있어서

상기 단위 화소 영역 일측 또는 양측에 상기 표시 패널에 정전압(EVDD)을 공급하기 위한 정전압 라인이 배치되는 OLED 표시패널.

청구항 12

제 1 항에 있어서,

상기 단위 화소 영역 일측 또는 양측과 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이에 상기 표시 패널에 정전압(EVDD)을 공급하기 위한 정전압 라인이 배치되는 OLED 표시패널.

발명의 설명

기술 분야

[0001] 본 발명은 화소 어레이 내에 게이트 구동 회로의 GIP가 배치되고, GIP와 화소 간의 커플링을 저감하여 화질을 개선할 수 있는 OLED 표시패널에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이

오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

- [0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.
- [0005] 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.
- [0006] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커페시터 및 구동 TFT를 포함한다.
- [0007] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커페시터에 충전한다. 상기 구동 TFT는 상기 커페시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.
- [0008] 이러한 표시 장치용 표시 패널은, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.
- [0009] 또한, 상기 표시 패널을 구동하기 위한 상기 구동회로는 상기 표시 패널의 상기 복수개의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급하는 게이트 구동 회로와, 상기 표시 패널의 상기 복수개의 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로와, 상기 게이트 구동 회로와 상기 데이터 구동 회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 콘트롤러 등으로 이루어진다.
- [0010] 상기 게이트 구동 회로는, 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 표시 패널의 상기 복수개의 신호 라인(게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.
- [0011] 즉, 상기 게이트 구동 회로를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 "GIP"라고도 함) 방식이 적용되고 있다.
- [0012] 상기와 같은 게이트 구동 회로는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지(stage)를 포함하여 구성되고, 구동 특성을 향상시키기 위하여 산화물 반도체 박막트랜지스터들을 이용한다.
- [0013] 즉, 상기 게이트 구동 회로는 종속적으로 접속된 복수개의 스테이지를 포함한다. 그리고, 각 스테이지는 각 게이트 라인에 연결되어, 상기 타이밍 콘트롤러로부터 인가되는 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압을 수신하여, 하나의 캐리 펄스와 하나의 스캔 펄스를 생성하는 출력부를 포함한다.
- [0014] 이와 같이 종래의 게이트 구동 회로는 상기 표시 패널의 비표시 영역에 직접화되므로, 평판 표시 장치의 네로우 베젤(Narrow bezel) 설계가 어렵다.

발명의 내용

해결하려는 과제

- [0015] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 베젤을 최소화하고 베젤 형상과 관계 없이 표시 패널의 표시 영역에 GIP를 배치할 수 있으며, GIP가 표시 영역에 배치될 때 GIP와 화소 간의 커플링을 저감하여 화질을 개선할 수 있는 OLED 표시패널과 이를 이용한 OLED 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0016] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 스테이지를 구비하고, 단위 화소 영역은, 적어도 3개의 서브 화소부와, 상기 스테이지를 구성하는 GIP 소자가 배치되는 GIP부와, 상기 GIP 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하며, 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이에 전원 전압이 인가되는 쉴딩 라인이 배치됨에 그 특징이 있다.
- [0017] 상기 쉴딩 라인은 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이 뿐만 아니라 상기 GIP부를 감싸도록 배치

됨을 특징으로 한다.

- [0018] 상기 월딩 라인은 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이 뿐만 아니라 상기 적어도 3개의 서브 화소부, 상기 GIP부, 및 상기 GIP 내부 연결 배선부를 감싸도록 배치됨을 특징으로 한다.
- [0019] 상기 월딩 라인은 OLED 표시 패널의 차광층, 게이트 전극 금속, 및 소오스/드레인 전극 금속 중 적어도 하나로 형성됨을 특징으로 한다.
- [0020] 상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 차광층 및 상기 클럭 신호 라인과 동일한 금속으로 형성됨을 특징으로 한다.
- [0021] 상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 구동 TFT의 게이트 전극 및 상기 GIP TFT의 게이트 전극과 동일한 금속으로 형성됨을 특징으로 한다.
- [0022] 상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 구동 TFT의 소오스/드레인트 전극 및 상기 GIP TFT의 소오스/드레인 전극과 동일한 금속으로 형성됨을 특징으로 한다.
- [0023] 상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 차광층 및 상기 클럭 신호 라인과 동일한 금속으로 형성되는 제 1 금속층과, 상기 구동 TFT의 소오스/드레인트 전극 및 상기 GIP TFT의 소오스/드레인 전극과 동일한 금속으로 형성되는 제 2 금속층이 적층됨을 특징으로 한다.
- [0024] 상기 적어도 3개의 서브 화소부에는 구동 TFT가 배치되고, 상기 GIP부에는 GIP TFT가 배치되고, 상기 구동 TFT 하측의 기판상에 차광층이 배치되고, 상기 GIP TFT 하측의 기판상에 클럭 신호 라인이 배치되며, 상기 월딩 라인은 상기 구동 TFT의 게이트 전극 및 상기 GIP TFT의 게이트 전극과 동일한 금속으로 형성되는 제 3 금속층과, 상기 구동 TFT의 소오스/드레인트 전극 및 상기 GIP TFT의 소오스/드레인 전극과 동일한 금속으로 형성되는 제 2 금속층이 적층됨을 특징으로 한다.
- [0025] 상기 표시 영역에는 터치 센서들이 더 배치됨을 특징으로 한다.
- [0026] 상기 단위 화소 영역 일측 또는 양측과 상기 적어도 3개의 서브 화소부와 상기 GIP부 사이에 상기 표시 패널에 정전압(EVDD)을 공급하기 위한 정전압 라인이 배치됨을 특징으로 한다.

발명의 효과

- [0027] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 패널에 있어서는 다음과 같은 효과가 있다.
- [0028] 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들을 분산 배치하여, 하나의 스캔 라인에 의해 구동되는 단위 화소들내에 적어도 하나의 스테이지를 배치하므로 표시 패널의 좌우 베젤을 최소화할 수 있다.
- [0029] 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들을 분산 배치하고, 상기 GIP 소자를 전원(EVDD) 라인으로 차폐하거나, 단위 화소 영역을 전원(EVDD) 라인으로 차폐하므로, GIP 소자와 적어도 3개의 서브 화소부 간의 커플링을 방지할 수 있다.
- [0030] 또한, 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들을 분산 배치할 경우, 클럭신호(CLK)가 인가되는 GIP 소자가 배치되는 단위 화소는 상대적으로 커플링 현상이 크게 발생하고, 클럭신호(CLK)가 인가되지 않은 GIP 소자가 배치되는 단위 화소에서는 상대적으로 커플링 현상이 작게 발생하므로, 이로 인하여 단위 화소 영역들간에 휘도 편차가 발생하게 된다. 그러나, 상술한 바와 같이 전원(EVDD) 라인으로 차폐하므로, GIP 소자와 적어도 3개의 서브 화소부화소 영역 간의 커플링이 방지되어, 화소 영역들의 휘도 편차를 감소시킬 수 있다.
- [0031] 또한, GIP 소자와 화소 영역 간을 이격하여 설계하는 경우보다 유효 설계 면적을 증가시킬 수 있으므로, 개구율을 증가시키고, 전원(EVDD)의 드롭(drop)을 감소시킬 수 있다.
- [0032] 또한, 상기 전원(EVDD) 라인을 이용하여 상기 GIP 소자를 차폐하거나, 단위 화소 영역을 차폐하므로, 패널 내부

의 상기 전원(EVDD)을 균일하게 공급할 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 실시예에 따른 OLED 표시 장치를 개략적으로 보여 주는 블록도
도 2는 도 1의 OLED 표시 장치에서 하나의 서브 화소의 회로 구성도
도 3은 본 발명에 따른 (n)번째 스테이지의 회로 구성도
도 4는 본 발명의 실시예에 따른 표시 패널의 표시 영역 구성도
도 5는 도 4의 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소를 보다 구체적으로 도시한 구성도
도 6은 본 발명에 따른 월딩 라인이 추가로 배치된 표시 패널의 단위 화소 구성도
도 7은 본 발명의 제 1 실시예에 따른 월딩 라인이 추가로 배치된 표시 패널의 구조 단면도
도 8은 본 발명의 제 2 실시예에 따른 월딩 라인이 추가로 배치된 표시 패널의 구조 단면도
도 9는 본 발명의 제 3 실시예에 따른 월딩 라인이 추가로 배치된 표시 패널의 구조 단면도
도 10은 본 발명의 제 4 실시예에 따른 월딩 라인이 추가로 배치된 표시 패널의 구조 단면도이다.
도 11은 본 발명의 제 5 실시예에 따른 월딩 라인이 추가로 배치된 표시 패널의 구조 단면도
도 12는 본 발명에 따른 상기 GIP부(31)와 적어도 3개의 서브 화소부(R, G, B, W)(33) 간에 발생하는 커플링(Coupling) 현상의 그래프

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0035] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0036] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.

[0037] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0038] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.

[0039] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.

[0040] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0041] 본 발명에 따른 GIP의 회로와 서브 화소의 회로는 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. 이하의 실시예에서 n 타입 TFT를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소

스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 GIP 회로와 화소 회로를 구성하는 트랜지스터들을 n 타입 TFT로 예시되었지만, 이에 한정되지 않는다. 따라서, 이하의 설명에서 TFT의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.

[0042] GIP 회로로부터 출력되는 게이트 펄스는 게이트 온 전압(Gate High Voltage, VGH)과 게이트 오프 전압(Gate Low Voltage, VGL) 사이에서 스윙한다. 게이트 온 전압(VGH)은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압(VGL)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

[0043] 도 1은 본 발명의 실시예에 따른 OLED 표시 장치를 개략적으로 보여 주는 구성 블록도이다.

[0044] 도 1을 참조하면, 본 발명에 따른 OLED 표시 장치는 표시패널(PNL)과, 상기 표시 패널(PNL)에 영상 데이터를 제공하기 위한 구동 회로를 구비한다.

[0045] 상기 표시 패널(PNL)의 표시 영역(AA)은 교차 배열되는 복수개의 데이터 라인들(DL1~DLm) 및 복수개의 게이트 라인들(GL1~GLn)과, 상기 복수개의 데이터 라인들(DL1~DLm)과 상기 복수개의 게이트 라인들(GL1~GLn)에 의해 매트릭스 형태로 배치되는 복수개의 서브 화소들을 구비한다. 상기 표시 패널(PNL)의 표시 영역(AA)에는 터치 센서들(touch sensor)이 더 배치될 수 있다.

[0046] 상기 복수개의 서브 화소들은, 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B) 서브 화소들을 포함하고, 상기 적색(R), 녹색(G), 및 청색(B) 서브 화소들 이외에 백색(W) 서브 화소를 더 포함할 수 있다.

[0047] 상기 적색(R), 녹색(G), 및 청색(B) 서브 화소들이 하나의 단위 화소를 구성하거나, 상기 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들이 하나의 단위 화소를 구성한다.

[0048] 그리고, 상기 단위 화소 영역들에는 게이트 구동 회로의 스테이지를 구성하는 GIP 소자들(TFT, Capacitor 등)이 분산 배치된다.

[0049] 즉, 각 게이트 라인에 배치되는 복수개의 단위 화소 영역들에 게이트 구동 회로의 스테이지를 구성하는 적어도 하나의 GIP 소자들(TFT, Capacitor 등)이 분산 배치된다. 물론, 각 게이트 라인에 배치되는 복수개의 단위 화소 영역들에 다수개의 GIP 소자들(TFT, Capacitor 등)이 분산 배치될 수 있다. 그 구체적인 게이트 구동 회로의 스테이지를 구성하는 GIP 소자들의 배치 방법은 후술한다.

[0050] 상기 구동 회로는 상기 표시 패널(PNL)의 데이터 라인들(DL1~DLm)에 영상 데이터 전압을 공급하는 데이터 구동 회로와, 상기 영상 데이터 전압에 동기되는 스캔 펄스를 표시패널(PNL)의 게이트 라인들(GL1~GLn)에 공급하는 게이트 구동회로, 및 상기 데이터 구동 회로와 상기 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 컨트롤러(Timing controller, T-CON) 등을 포함한다.

[0051] 상기 데이터 구동회로는 하나 이상의 소스 드라이브 IC(SIC)를 포함할 수 있다. 상기 소스 드라이브 IC(SIC)는 상기 타이밍 컨트롤러(T-CON)의 제어 하에 입력 영상의 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생하고 그 데이터전압을 데이터라인들(DL1~DLm)로 출력한다. 상기 소스 드라이브 IC(SIC)는 구부러질 수 있는 연성 회로 기판 예를 들어, COF(Chip on Film)에 실장되거나 COG 공정으로 상기 표시 패널(PNL)의 비 표시 영역의 기판 상에 직접 접착될 수 있다.

[0052] 상기 COF들은 ACF(anisotropic conductive film)를 통해 상기 표시 패널(PNL)의 하부 기판(SUBS1)의 패드 영역과 소스 PCB(SPCB)에 접착된다. 상기 COF들의 입력 펈들은 상기 소스 PCB(SPCB)의 출력단자들(패드)에 전기적으로 연결된다. 상기 소스 COF들(COF)의 출력 펈들은 ACF를 통해 상기 표시 패널(PNL)의 기판에 형성된 데이터 패드들에 전기적으로 연결된다.

- [0053] 상기 게이트 구동회로는 상기 타이밍 콘트롤러(T-CON)로부터의 스타트 펄스(VST), 클럭 신호(CRCLK, SCCLK), 게이트 하이 전압(VGH), 게이트 로우 전압(VGL) 등을 수신하여 각 게이트 라인(GL1~GLn)에 순차적으로 스캔 펄스를 출력하는 복수개의 스테이지를 포함한다. 상기 복수개의 스테이지들은 상기 타이밍 콘트롤러(T-CON)의 제어 하에 상기 데이터 전압에 동기되는 스캔 펄스를 각 게이트 라인들(GL1~GLn)에 순차적으로 공급하여 영상 데이터 전압이 인가되는 1 라인의 화소들을 선택한다.
- [0054] 상기 타이밍 콘트롤러(T-CON)는 제어 PCB(CPCB) 상에 실장되고, 상기 제어 PCB(CPCB)와 상기 소스 PCB(SPCB)는 FFC(Flexible Flat Cable)에 의해 연결된다.
- [0055] 본 발명에 따른 OLED 표시 장치에서 하나의 서브 화소의 회로 구성과, 본 발명에 따른 게이트 구동회로의 하나의 스테이지 구성은 도 2 및 도 3에 도시한 바와 같다.
- [0056] 도 2는 도 1의 OLED 표시 장치에서 하나의 서브 화소의 회로 구성도이고, 도 3는 본 발명에 따른 게이트 구동회로의 (k)번째 스테이지의 회로 구성도이다.
- [0057] 본 발명에 따른 OLED 표시 장치의 각 서브 화소는, 도 2에 도시한 바와 같이, 유기 발광 다이오드(OLED: Organic Light Emitting Diode)와, 상기 유기 발광 다이오드는 구동하는 화소 회로를 구비한다.
- [0058] 상기 화소 회로는 제 1 및 제 2 스위칭 TFT(T1, T2), 스토리지 커패시터(Cst) 및 구동 TFT(DT)를 포함한다.
- [0059] 상기 제 1 스위칭 TFT(T1)는 스캔 펄스(Scan)에 응답하여 데이터(DATA) 전압을 상기 스토리지 커패시터(Cst)에 충전한다. 상기 구동 TFT(DT)는 상기 스토리지 커패시터(Cst)에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. 상기 제 2 스위칭 TFT(T2)는 센싱(Sense) 신호에 응답하여 상기 구동 TFT(DT)의 문턱 전압 및 이동도를 센싱한다.
- [0060] 상기 유기 발광 다이오드(OLED)는 제 1 전극(예를들면, 애노드 또는 캐소드), 유기 발광층 및 제 2 전극(예를들면, 캐소드 또는 애노드) 등으로 이루어질 수 있다.
- [0061] 상기 스토리지 커패시터(Cst)는 상기 구동 TFT(DT)의 게이트 전극(gate)과 소스 전극(source) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지해줄 수 있다.
- [0062] 도 2에서는 3개의 TFT(T1, T2, DT)와 하나의 스토리지 커패시터(Cst)로 구성되는 3T1C 서브 화소의 구성을 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 OLED 표시 장치의 각 서브 화소는 4T1C, 4T2C, 5T1C, 5T2C 등의 서브 화소를 가질 수 있다.
- [0063] 한편, 본 발명에 따른 (k)번째 스테이지(GIP(k))의 회로는, 도 3에 도시한 바와 같이, 트랜지스터(TA, TB, T3qA, T1B, T1C, T5A, T5B) 및 커패시터(C1)를 구비하여 구성되어, 라인 선택 신호(LSP; Line select pulse)에 따라 세트 신호(CP(k))를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간(Blank time)에 실시간 보상용 신호(VRT; Vertical real time)에 따라 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전하는 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26); 트랜지스터(T1, T1A, T3n, T3nA, T3q, T3, T3A, T5)를 구비하여 구성되어 해당 스테이지를 구동 구간에 3번째 전단의 캐리 펄스(CP(k-3))에 따라 상기 제 1 노드(Q)를 상기 캐리 펄스(CP(k-3)) 전압으로 충전하고 3번째 후단의 캐리 펄스(CP(k+3))에 따라 상기 제 1 노드(Q) 및 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전하며, 상기 제 1 노드(Q)의 전압에 따라 제 3노드(Qh)를 상기 제 1정전압(GVDD)으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부(23, 25); 트랜지스터(T4, T41, T4q, T5q) 및 커패시터(C2)를 구비하여 구성되어 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(24); 풀업 트랜지스터(T6cr, T6) 및 풀다운 트랜지스터(T7cr, T7) 및 부트스트랩 커패시터(C3)를 구비하여 구성되어 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k)) 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 수신하여 상기 제 1 노드(Q) 및 상기 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))를 출력하는 출력 베피부(27); 그리고, 트랜지스터(T3nB, T3nC)를 구비하여 구성되어 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러에서 출력되는 리세트 신호(RST)에 따라 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전하는 리세트부(22)를 구비하여 구성된다.
- [0064] 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)는 상기 라인 선택 신호(LSP)가 하이 레벨일 때 상기 트랜지스터(TA, TB, T3q)가 턠-온 되어 세트 신호(CP(k))를 상기 커패시터(C1)에 저장한다.
- [0065] 그리고, 상기 블랭크 구간에 상기 실시간 보상용 신호(VRT)가 하이 레벨일 때 상기 트랜지스터(T1C, T5B)가 턠-

온 되어 상기 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고, 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다.

[0066] 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25)는 구동 구간에 상기 3번째 전단의 캐리 펄스(CP(k-3))가 하이 레벨일 때 상기 트랜지스터(T1, T1A, T5)가 턠-온되어 상기 제 1 노드(Q)를 상기 3번째 전단의 캐리 펄스(CP(k-3)) 전압으로 충전하고 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다. 이와 같이 상기 제 1 노드(Q)가 충전되고 상기 제 2 노드(Qb)가 방전 될 때 상기 트랜지스터(T3q)가 턠-온되어 상기 제 3 노드(Qh)를 제 1 정전압(GVDD)으로 충전한다.

[0067] 그리고 3번째 후단의 캐리 펄스(CP(k+3))가 하이 레벨일 때 상기 트랜지스터(T3n, T3nA)가 턠-온되어 상기 제 1 노드(Q) 및 상기 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전한다.

[0068] 상기 인버터부(24)는 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가한다.

[0069] 상기 출력 버퍼부(27)는 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6cr)가 턠-온되고 상기 풀다운 트랜지스터(T7cr)가 턠-오프되어 상기 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k))를 캐리 펄스(CP(k))로 출력한다. 또한 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6)가 턠-온되고 상기 풀다운 트랜지스터(T7)가 턠-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 스캔 펄스(SP(k))로 출력한다.

[0070] 이 때, 상기 스캔 펄스 출력용 클럭 신호(SCCLK(k))가 하이 레벨로 인가되면 상기 출력 버퍼부(27)의 상기 부트 스트랩핑 커패시터(C3)에 의해 상기 제 1 노드(Q)는 부트스트랩핑(또는 커플링(Coupling))되어 더 높은 전위를 갖는다.

[0071] 이와 같이 상기 제 1 노드(Q)가 부트스트랩핑된 상태에서, 상기 출력 버퍼부(27)는 각각 입력된 캐리 펄스 출력용 클럭 신호(CRCLK(k)) 및 스캔 펄스 출력용 클럭 신호(SCCLK(k))를 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))로 출력하므로 출력 손실(Loss)을 방지할 수 있다.

[0072] 상기 리세트부(22)는 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러(4)에서 출력되는 리세트 신호(RST)가 하이 레벨일 때 상기 트랜지스터(T3nB, T3nC)가 턠-온되어 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전한다.

[0073] 상기 도 3에서는 6상(Phase)으로 구동되는 게이트 구동회로의 스테이지를 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 게이트 구동회로의 스테이지는 다양하게 구성될 수 있다.

[0074] 상기 도 3에 도시한 바와 같이, 상기 게이트 구동회로의 (k)번째 스테이지는 25개의 트랜지스터와 3개의 커패시터를 구비하여 구성된다.

[0075] 따라서, 하나의 단위 화소 영역에 상기 게이트 구동회로의 스테이지를 구성하는 GIP 소자(트랜지스터 또는 커패시터)를 분산 배치하면, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지를 구성하는 GIP 소자들을 하나의 게이트 라인(스캔 라인)에 의해 구동되는 단위 화소 영역들에 배치할 수 있다.

[0076] 도 4는 본 발명의 실시예에 따른 표시 패널의 표시 영역 구성도이고, 도 5는 도 4의 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소를 보다 구체적으로 도시한 구성도이다.

[0077] 도 4 및 도 5에서는 단위 화소가 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성됨을 도시하였으나, 이에 한정되지 않고, 적색(R), 녹색(G) 및 청색(B) 서브 화소들로 구성될 수 있다.

[0078] 본 발명에 따른 표시 패널의 표시 영역의 단위 화소 영역은 적어도 3개의 서브 화소부(R, G, B, W)(33), GIP부(31), 및 GIP 내부 연결 배선부(32) 등으로 구분된다.

[0079] 상기 적어도 3개의 서브 화소부(R, G, B, W)(33)들은 복수개의 데이터 라인(DL1~DLm), 복수개의 기준 전압 라인(Vref) 및 제 1 및 제 2 정전압 라인(EVDD, EVSS) 들이 수직 방향으로 배열되고, 복수개의 게이트 라인(스캔 라인)이 수평 방향으로 배열되어 구성된다.

[0080] 상기 GIP부(31)는 스테이지를 구성하는 GIP 소자(트랜지스터 또는 커패시터)에 해당된다. 즉, 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성되는 단위 화소 영역에, 도 3에 도시한 스테이지를 구성하는 GIP 소자(트랜지스터 또는 커패시터)가 분산 배치된다.

- [0081] 즉, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지가 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산하여 배치된다.
- [0082] 물론, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 스테이지를 2개 이상 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산 배치할 수도 있다.
- [0083] 만약, 하나의 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 하나의 스테이지를 분산 배치할 경우, 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역들 중 가운데 부분의 복수개의 단위 화소 영역에 상기 스테이지를 구성하는 GIP 소자들(트랜지스터 또는 커패시터)를 분산 배치하는 것이 바람직하다.
- [0084] 만약, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 스테이지를 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 2개 배치할 경우, 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소들 중 양쪽 가장자리 부분의 복수개의 단위 화소 영역에 각각 상기 스테이지를 구성하는 GIP 소자들(트랜지스터 또는 커패시터)를 분산 배치하는 것이 바람직하다.
- [0085] 또한, 도 4 및 도 5에서는 모든 단위 화소 영역에 GIP부(31)가 배치됨을 도시하였으나, 이에 한정되지 않고, 일부 단위 화소 영역에는 GIP부(31)가 배치되지 않을 수도 있다.
- [0086] 상기 GIP 내부 연결 배선부(32)는 상기 도 3에 도시한 바와 같이, 스테이지를 구성하는 GIP 소자들 간을 연결하는 연결 배선들(클럭 신호 라인, Q 노드, QB 노드, 소자와 소자 연결 라인 등)이 배치되는 영역이다.
- [0087] 또한, 상기 적어도 3개의 서브 화소부(33), GIP부(31), 및 GIP 내부 연결 배선부(32)의 배치 위치를 다양하게 할 수 있다.
- [0088] 이와 같이, 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들을 분산 배치하여, 하나의 스캔 라인에 의해 구동되는 단위 화소들내에 적어도 하나의 스테이지를 배치하므로 표시 패널의 좌우 베젤을 최소화 할 수 있다.
- [0089] 이와 같이, 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들이 분산 배치될 경우, 상기 GIP 부(31)와 적어도 3개의 서브 화소부(R, G, B, W)(33) 간에 커플링(Coupling) 현상이 발생하여 화질이 저하될 수 있다.
- [0090] 또한, 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들을 분산 배치할 경우, 클럭신호(CLK)가 인가되는 GIP 소자가 배치되는 단위 화소는 상대적으로 커플링 현상이 크게 발생하고, 클럭신호(CLK)가 인가되지 않은 GIP 소자가 배치되는 단위 화소에서는 상대적으로 커플링 현상이 작게 발생하므로, 이로 인하여 단위 화소 영역들간에 휘도 편차가 발생되어 화질이 저하될 수 있다.
- [0091] 따라서, 상기 GIP부(31)와 화소 영역 간의 커플링(Coupling)을 방지하기 위해서는 상기 GIP부(31)와 화소 영역 간을 일정 간격 이격하여 설계할 필요가 있다.
- [0092] 그러나, 상기 GIP부(31)와 화소 영역 간을 일정 간격 이격하여 설계할 경우, 유효 설계 면적 축소로 인하여 개구율이 감소하게 되고, 이격 거리 확보를 위해 신호 라인의 선폭에 제한이 발생하게 된다.
- [0093] 따라서, 본 발명은 상기 GIP부(31)를 전원(EVDD) 라인으로 차폐(shielding)하거나, 단위 화소 영역을 전원(EVDD) 라인으로 차폐(shielding)하여 GIP부와 화소 영역 간의 커플링을 방지하고 더불어 화소 영역들의 휘도 편차를 감소시킨다. 또한, GIP부와 화소 영역 간을 이격하여 설계하는 경우보다 유효 설계 면적을 증가시킬 수 있으므로, 개구율을 증가시키고, 전원(EVDD)의 드롭(drop)을 감소시킨다.
- [0094] 이를 보다 구체적으로 설명하면 다음과 같다.
- [0095] 도 6은 본 발명에 따른 쉴딩 라인이 추가로 배치된 표시 패널의 단위 화소 구성도이다.
- [0096] 도 5에서 설명한 바와 같이, 상기 적어도 3개의 서브 화소부(R, G, B, W)(33)들은 복수개의 데이터 라인(DL1~DL8), 복수개의 기준 전압 라인(Vref) 및 정전압 라인(EVDD) 들이 수직 방향으로 배열되고, 복수개의 게이트 라인(스캔 라인)이 수평 방향으로 배열되어 구성된다.
- [0097] 도 6에서는 표시 패널에 정전압(EVDD)을 공급하는 정전압 라인(EVDD)이 단위 화소의 양측에 배치되고, 상기 적어도 3개의 서브 화소부(33)와 GIP부(31) 사이에 배치됨을 도시하였으나, 이에 한정되지 않는다.

- [0098] 즉, 상기 정전압 라인(EVDD)이 단위 화소의 일측에만 배치될 수 있고, 상기 단위 화소의 양측에만 배치될 수 있으며, 상기 단위 화소들의 일측과 상기 적어도 3개의 서브 화소부(33)와 GIP부(31) 사이에 배치될 수 있다.
- [0099] 이와 별도로, 도 6에 도시한 바와 같이, 상기 적어도 3개의 서브 화소부(33), GIP부(31) 및 GIP 내부 연결 배선부(32)를 감싸도록 쇠딩 라인(40)을 형성한다. 상기 쇠딩 라인(40)은 상기 정전압 라인(EVDD)과 전기적으로 콘택되어 상기 쇠딩 라인(40)에 정전압(EVDD)이 인가된다.
- [0100] 또한, 도 6에 도시한 바와 같이, 상기 쇠딩 라인(40)이 기준 전압 라인(Ref) 상에 연장될 수 있다.
- [0101] 도면에는 상기 쇠딩 라인(40)이 상기 적어도 3개의 서브 화소부(33), GIP부(31) 및 GIP 내부 연결 배선부(32)를 감싸도록 형성함을 도시하였으나, 이에 한정되지 않고, 상기 쇠딩 라인(40)은 GIP부(31)만 감싸도록 형성할 수도 있다.
- [0102] 또한, 상기에서 언급한 바와 같이, 상기 정전압 라인(EVDD)이 단위 화소의 일측에만 배치되거나, 상기 단위 화소의 양측에만 배치될 경우, 상기 쇠딩 라인(40)은 상기 적어도 3개의 서브 화소부(33)와 GIP부(31) 사이 및 상기 적어도 3개의 서브 화소부(33), GIP부(31) 및 GIP 내부 연결 배선부(32)를 감싸도록 형성된다.
- [0103] 그리고, 상기 쇠딩 라인(40)은 유기 발광 다이오드(OLED) 표시 패널을 구성하는 차광층 금속(LS; Light shielding Metal), 게이트 전극 금속(gate Metal) 및 소오스/드레인 금속(S/D Metal) 등으로 다양하게 구성될 수 있다.
- [0104] 도 7은 본 발명의 제 1 실시예에 따른 쇠딩 라인이 추가로 배치된 표시 패널의 구조 단면도이다.
- [0105] 도 7은 상기 적어도 3개의 서브 화소부(33)에 배치되는 구동 TFT와 GIP부(31)에 배치된 GIP 소자(TFT)를 나타낸 단면도이고, 상기 쇠딩 라인(40)이 소오스/드레인 금속(S/D Metal)으로 형성됨을 도시하였다.
- [0106] 즉, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT)가 정의된 기판(1)상의 상기 적어도 3개의 서브 화소부(33, Driving TFT)에 차광층(2)이 형성되고, 상기 GIP부(31, GIP TFT)의 기판(1)상에 상기 차광층(2)과 동일 금속으로 클럭신호(CLK) 라인(3)이 형성된다.
- [0107] 상기 차광층(2)과 클럭 신호(CLK) 라인(3)을 포함한 기판(1) 전면에 베퍼층(4)이 형성되고, 상기 적어도 3개의 서브 화소부(33, Driving TFT) 및 상기 GIP부(31, GIP TFT) 각각의 상기 베퍼층(4)상에 제 1 및 제 2 활성층(5a, 5b), 게이트 절연막(6a, 6b) 및 제 1 및 제 2 게이트 전극(7a, 7b)이 형성된다. 상기 제 1 및 제 2 활성층(5a, 5b)는 각각 채널 영역 및 소오스/드레인 영역을 구비한다.
- [0108] 상기 제 1 및 제 2 게이트 전극(7a, 7b)을 포함한 상기 베퍼층(4) 전면에 충간 절연막(8)이 형성되고, 상기 차광층(2)과 클럭 신호(CLK) 라인(3)이 노출되도록 상기 베퍼층(4) 및 상기 충간 절연막(8)이 선택적으로 제거되어 제 1 및 제 2 콘택홀(14a, 14b)이 형성되고, 상기 제 1 및 제 2 활성층(5a, 5b)의 각 소오스/드레인 영역이 노출되도록 상기 충간 절연막(8)이 선택적으로 제거되어 제 3 내지 제 6 콘택홀(15a, 15b, 15c, 15d)이 형성된다.
- [0109] 그리고, 상기 제 1 콘택홀(14a)을 통해 상기 차광층(2)에 연결되고 상기 제 3 콘택홀(15a)을 통해 상기 제 1 활성층(5a)의 드레인 영역에 연결되도록 구동 TFT의 드레인 전극(9a)이 형성되고, 상기 제 4 콘택홀(15b)을 통해 상기 제 1 활성층(5a)의 소오스 영역에 연결되도록 구동 TFT의 소오스 전극(9b)이 형성된다.
- [0110] 상기 제 2 콘택홀(14b)을 통해 상기 클럭신호(CLK) 라인(3)에 연결되고 상기 제 6 콘택홀(15d)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 소오스 전극(10b)이 형성되고, 상기 제 5 콘택홀(15c)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 드레인 전극(10a)이 형성된다.
- [0111] 또한, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT) 사이의 상기 충간 절연막(8)위에 쇠딩 라인(40)이 형성된다.
- [0112] 그리고, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b), GIP TFT의 소오스/드레인 전극(10a, 10b) 및 쇠딩 라인(40)을 포함한 전면에 보호층(11)이 형성되고, 상기 보호층(11) 전면에 오버 코트층(12)이 형성된다.
- [0113] 상기 구동 TFT의 드레인 전극(9a)이 노출되도록 상기 보호막(11) 및 오버 코트층(12)이 선택적으로 제거되어 제 7 콘택홀(16)이 형성된다. 상기 제 7 콘택홀(16)을 통해 상기 구동 TFT의 드레인 전극(9a)에 연결되도록 상기 오버 코트층(12)상에 OLED의 제 1 전극(17)이 형성되고, 발광 영역을 제외한 상기 오버 코트층(12)상에 뱅크층(13)이 형성된다. 그리고, 도면에는 도시되지 않았지만, 상기 제 1 전극(17)상에 발광층 및 OLED의 제 2 전극이

형성된다.

[0114] 도 7에 도시한 바와 같이, 쇼팅 라인(40)이 상기 구동 TFT의 소오스/드레인 전극(9a, 9b) 및 GIP TFT의 소오스/드레인 전극(10a, 10b)과 동일한 금속으로 형성될 수 있다.

[0115] 한편, 도 8은 본 발명의 제 2 실시예에 따른 쇼팅 라인이 추가로 배치된 표시 패널의 구조 단면도이다.

[0116] 도 8은 상기 적어도 3개의 서브 화소부(33)에 배치되는 구동 TFT와 GIP부(31)에 배치된 GIP 소자(TFT)를 나타낸 단면도이고, 상기 쇼팅 라인(40)이 차광층 금속으로 형성됨을 도시하였다.

[0117] 즉, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT)가 정의된 기판(1)상의 상기 적어도 3개의 서브 화소부(33, Driving TFT)에 차광층(2)이 형성되고, 상기 GIP부(31, GIP TFT)의 기판(1)상에 상기 차광층(2)과 동일 금속으로 클럭신호(CLK) 라인(3)이 형성된다. 그리고, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT) 사이의 상기 기판(1)상에 쇼팅 라인(40)이 형성된다. 즉, 상기 차광층(2), 상기 클럭신호(CLK) 라인(3) 및 상기 쇼팅 라인(40)이 동일 금속으로 형성된다.

[0118] 상기 차광층(2), 상기 클럭 신호(CLK) 라인(3) 및 상기 쇼팅 라인(40)을 포함한 기판(1) 전면에 베퍼층(4)이 형성되고, 상기 적어도 3개의 서브 화소부(33, Driving TFT) 및 상기 GIP부(31, GIP TFT) 각각의 상기 베퍼층(4)상에 제 1 및 제 2 활성층(5a, 5b), 게이트 절연막(6a, 6b) 및 제 1 및 제 2 게이트 전극(7a, 7b)이 형성된다. 상기 제 1 및 제 2 활성층(5a, 5b)는 각각 채널 영역 및 소오스/드레인 영역을 구비한다.

[0119] 상기 제 1 및 제 2 게이트 전극(7a, 7b)을 포함한 상기 베퍼층(4) 전면에 중간 절연막(8)이 형성되고, 상기 차광층(2)과 클럭 신호(CLK) 라인(3)이 노출되도록 상기 베퍼층(4) 및 상기 중간 절연막(8)이 선택적으로 제거되어 제 1 및 제 2 콘택홀(14a, 14b)이 형성되고, 상기 제 1 및 제 2 활성층(5a, 5b)의 각 소오스/드레인 영역이 노출되도록 상기 중간 절연막(8)이 선택적으로 제거되어 제 3 내지 제 6 콘택홀(15a, 15b, 15c, 15d)이 형성된다.

[0120] 그리고, 상기 제 1 콘택홀(14a)을 통해 상기 차광층(2)에 연결되고 상기 제 3 콘택홀(15a)을 통해 상기 제 1 활성층(5a)의 드레인 영역에 연결되도록 구동 TFT의 드레인 전극(9a)이 형성되고, 상기 제 4 콘택홀(15b)을 통해 상기 제 1 활성층(5a)의 소오스 영역에 연결되도록 구동 TFT의 소오스 전극(9b)이 형성된다.

[0121] 상기 제 2 콘택홀(14b)을 통해 상기 클럭신호(CLK) 라인(3)에 연결되고 상기 제 6 콘택홀(15d)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 소오스 전극(10b)이 형성되고, 상기 제 5 콘택홀(15c)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 드레인 전극(10a)이 형성된다.

[0122] 그리고, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b) 및 GIP TFT의 소오스/드레인 전극(10a, 10b)을 포함한 전면에 보호층(11)이 형성되고, 상기 보호층(11) 전면에 오버 코트층(12)이 형성된다.

[0123] 상기 구동 TFT의 드레인 전극(9a)이 노출되도록 상기 보호막(11) 및 오버 코트층(12)이 선택적으로 제거되어 제 7 콘택홀(16)이 형성된다. 상기 제 7 콘택홀(16)을 통해 상기 구동 TFT의 드레인 전극(9a)에 연결되도록 상기 오버 코트층(12)상에 OLED의 제 1 전극(17)이 형성되고, 발광 영역을 제외한 상기 오버 코트층(12)상에 뱅크층(13)이 형성된다. 그리고, 도면에는 도시되지 않았지만, 상기 제 1 전극(17)상에 발광층 및 OLED의 제 2 전극이 형성된다.

[0124] 도 8에 도시한 바와 같이, 쇼팅 라인(40)이 상기 차광층(2)과 클럭신호 라인(3)과 동일한 금속으로 형성될 수 있다.

[0125] 한편, 도 9는 본 발명의 제 3 실시예에 따른 쇼팅 라인이 추가로 배치된 표시 패널의 구조 단면도이다.

[0126] 도 9는 상기 적어도 3개의 서브 화소부(33)에 배치되는 구동 TFT와 GIP부(31)에 배치된 GIP 소자(TFT)를 나타낸 단면도이고, 상기 쇼팅 라인(40)이 게이트 전극 금속으로 형성됨을 도시하였다.

[0127] 즉, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT)가 정의된 기판(1)상의 상기 적어도 3개의 서브 화소부(33, Driving TFT)에 차광층(2)이 형성되고, 상기 GIP부(31, GIP TFT)의 기판(1)상에 상기 차광층(2)과 동일 금속으로 클럭신호(CLK) 라인(3)이 형성된다.

[0128] 상기 차광층(2) 및 상기 클럭 신호(CLK) 라인(3)을 포함한 기판(1) 전면에 베퍼층(4)이 형성되고, 상기 적어도 3개의 서브 화소부(33, Driving TFT) 및 상기 GIP부(31, GIP TFT) 각각의 상기 베퍼층(4)상에 제 1 및 제 2 활성층(5a, 5b), 게이트 절연막(6a, 6b) 및 제 1 및 제 2 게이트 전극(7a, 7b)이 형성된다. 상기 제 1 및 제 2

활성층(5a, 5b)는 각각 채널 영역 및 소오스/드레인 영역을 구비한다.

[0129] 여기서, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT) 사이의 상기 베피층(4)상에 월딩 라인(40)이 형성된다. 상기 월딩 라인(40)은 상기 게이트 전극(7a, 7b)과 동일한 금속으로 형성된다.

[0130] 상기 제 1 및 제 2 게이트 전극(7a, 7b) 및 상기 월딩 라인(40)을 포함한 상기 베피층(4) 전면에 충간 절연막(8)이 형성되고, 상기 차광층(2)과 클럭 신호(CLK) 라인(3)이 노출되도록 상기 베피층(4) 및 상기 충간 절연막(8)이 선택적으로 제거되어 제 1 및 제 2 콘택홀(14a, 14b)이 형성되고, 상기 제 1 및 제 2 활성층(5a, 5b)의 각 소오스/드레인 영역이 노출되도록 상기 충간 절연막(8)이 선택적으로 제거되어 제 3 내지 제 6 콘택홀(15a, 15b, 15c, 15d)이 형성된다.

[0131] 그리고, 상기 제 1 콘택홀(14a)을 통해 상기 차광층(2)에 연결되고 상기 제 3 콘택홀(15a)을 통해 상기 제 1 활성층(5a)의 드레인 영역에 연결되도록 구동 TFT의 드레인 전극(9a)이 형성되고, 상기 제 4 콘택홀(15b)을 통해 상기 제 1 활성층(5a)의 소오스 영역에 연결되도록 구동 TFT의 소오스 전극(9b)이 형성된다.

[0132] 상기 제 2 콘택홀(14b)을 통해 상기 클럭신호(CLK) 라인(3)에 연결되고 상기 제 6 콘택홀(15d)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 소오스 전극(10b)이 형성되고, 상기 제 5 콘택홀(15c)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 드레인 전극(10a)이 형성된다.

[0133] 그리고, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b) 및 GIP TFT의 소오스/드레인 전극(10a, 10b)을 포함한 전면에 보호층(11)이 형성되고, 상기 보호층(11) 전면에 오버 코트층(12)이 형성된다.

[0134] 상기 구동 TFT의 드레인 전극(9a)이 노출되도록 상기 보호막(11) 및 오버 코트층(12)이 선택적으로 제거되어 제 7 콘택홀(16)이 형성된다. 상기 제 7 콘택홀(16)을 통해 상기 구동 TFT의 드레인 전극(9a)에 연결되도록 상기 오버 코트층(12)상에 OLED의 제 1 전극(17)이 형성되고, 발광 영역을 제외한 상기 오버 코트층(12)상에 뱅크층(13)이 형성된다. 그리고, 도면에는 도시되지 않았지만, 상기 제 1 전극(17)상에 발광층 및 OLED의 제 2 전극이 형성된다.

[0135] 도 9에 도시한 바와 같이, 월딩 라인(40)이 상기 게이트 전극(7a, 7b)과 동일한 금속으로 형성될 수 있다.

[0136] 도 7 내지 도 9에서는 상기 월딩 라인(40)이 단일층으로 형성됨을 설명하였으나, 이에 한정되지 않고, 상기 차광층 금속, 게이트 전극 금속 및 소오스/드레인 금속 중 적어도 2개의 층이 적층되어 다층으로 형성될 수 있다.

[0137] 도 10은 본 발명의 제 4 실시예에 따른 월딩 라인이 추가로 배치된 표시 패널의 구조 단면도이다.

[0138] 도 10은 상기 적어도 3개의 서브 화소부(33)에 배치되는 구동 TFT와 GIP부(31)에 배치된 GIP 소자(TFT)를 나타낸 단면도이고, 상기 월딩 라인(40)이 소오스/드레인 금속과 차광층 금속이 적층되어 다층으로 형성됨을 도시하였다.

[0139] 즉, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT)가 정의된 기판(1)상의 상기 적어도 3개의 서브 화소부(33, Driving TFT)에 차광층(2)이 형성되고, 상기 GIP부(31, GIP TFT)의 기판(1)상에 상기 차광층(2)과 동일 금속으로 클럭신호(CLK) 라인(3)이 형성된다. 그리고, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT) 사이의 상기 기판(1)상에 제 1 월딩 라인(40a)이 형성된다. 즉, 상기 차광층(2), 상기 클럭신호(CLK) 라인(3) 및 상기 제 1 월딩 라인(40a)이 동일 금속으로 형성된다.

[0140] 상기 차광층(2), 상기 클럭 신호(CLK) 라인(3) 및 상기 제 1 월딩 라인(40a)을 포함한 기판(1) 전면에 베피층(4)이 형성되고, 상기 적어도 3개의 서브 화소부(33, Driving TFT) 및 상기 GIP부(31, GIP TFT) 각각의 상기 베피층(4)상에 제 1 및 제 2 활성층(5a, 5b), 게이트 절연막(6a, 6b) 및 제 1 및 제 2 게이트 전극(7a, 7b)이 형성된다. 상기 제 1 및 제 2 활성층(5a, 5b)는 각각 채널 영역 및 소오스/드레인 영역을 구비한다.

[0141] 상기 제 1 및 제 2 게이트 전극(7a, 7b)을 포함한 상기 베피층(4) 전면에 충간 절연막(8)이 형성되고, 상기 차광층(2)과 클럭 신호(CLK) 라인(3)이 노출되도록 상기 베피층(4) 및 상기 충간 절연막(8)이 선택적으로 제거되어 제 1 및 제 2 콘택홀(14a, 14b)이 형성되고, 상기 제 1 및 제 2 활성층(5a, 5b)의 각 소오스/드레인 영역이 노출되도록 상기 충간 절연막(8)이 선택적으로 제거되어 제 3 내지 제 6 콘택홀(15a, 15b, 15c, 15d)이 형성된다. 또한, 상기 제 1 월딩 라인(40a)이 노출되도록 상기 베피층(4) 및 상기 충간 절연막(8)이 선택적으로 제거되어 제 7 콘택홀(18)이 형성된다.

[0142] 그리고, 상기 제 1 콘택홀(14a)을 통해 상기 차광층(2)에 연결되고 상기 제 3 콘택홀(15a)을 통해 상기 제 1 활성층(5a)의 드레인 영역에 연결되도록 구동 TFT의 드레인 전극(9a)이 형성되고, 상기 제 4 콘택홀(15b)을 통해

상기 제 1 활성층(5a)의 소오스 영역에 연결되도록 구동 TFT의 소오스 전극(9b)이 형성된다.

[0143] 상기 제 2 콘택홀(14b)을 통해 상기 클럭신호(CLK) 라인(3)에 연결되고 상기 제 6 콘택홀(15d)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 소오스 전극(10b)이 형성되고, 상기 제 5 콘택홀(15c)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 드레인 전극(10a)이 형성된다.

[0144] 또한, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT) 사이의 상기 충간 절연막(8)위에 상기 제 7 콘택홀(18)을 통해 상기 제 1 쉴딩 라인(40a)에 연결되도록 제 2 쉴딩 라인(40b)이 형성된다. 따라서, 제 1 및 제 2 쉴딩 라인(40a, 40b)이 적층되어 쉴딩 라인(40)이 형성된다.

[0145] 그리고, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b), GIP TFT의 소오스/드레인 전극(10a, 10b) 및 쉴딩 라인(40)을 포함한 전면에 보호층(11)이 형성되고, 상기 보호층(11) 전면에 오버 코트층(12)이 형성된다.

[0146] 상기 구동 TFT의 드레인 전극(9a)이 노출되도록 상기 보호막(11) 및 오버 코트층(12)이 선택적으로 제거되어 제 7 콘택홀(16)이 형성된다. 상기 제 7 콘택홀(16)을 통해 상기 구동 TFT의 드레인 전극(9a)에 연결되도록 상기 오버 코트층(12)상에 OLED의 제 1 전극(17)이 형성되고, 발광 영역을 제외한 상기 오버 코트층(12)상에 뱅크층(13)이 형성된다. 그리고, 도면에는 도시되지 않았지만, 상기 제 1 전극(17)상에 발광층 및 OLED의 제 2 전극이 형성된다.

[0147] 도 10에 도시한 바와 같이, 상기 차광층(2) 및 상기 클럭신호(CLK) 라인(3)과 동일한 금속으로 형성된 제 1 쉴딩 라인(40a)과, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b) 및 GIP TFT의 소오스/드레인 전극(10a, 10b)과 동일한 금속으로 형성되는 제 2 쉴딩 라인(40b)이 적층되어 쉴딩 라인(40)이 형성될 수 있다.

[0148] 한편, 도 11은 본 발명의 제 5 실시예에 따른 쉴딩 라인이 추가로 배치된 표시 패널의 구조 단면도이다.

[0149] 도 11은 상기 적어도 3개의 서브 화소부(33)에 배치되는 구동 TFT와 GIP부(31)에 배치된 GIP 소자(TFT)를 나타낸 단면도이고, 상기 쉴딩 라인(40)이 소오스/드레인 금속과 게이트 금속이 적층되어 다층으로 형성됨을 도시하였다.

[0150] 즉, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT)가 정의된 기판(1)상의 상기 적어도 3개의 서브 화소부(33, Driving TFT)에 차광층(2)이 형성되고, 상기 GIP부(31, GIP TFT)의 기판(1)상에 상기 차광층(2)과 동일 금속으로 클럭신호(CLK) 라인(3)이 형성된다.

[0151] 상기 차광층(2) 및 상기 클럭 신호(CLK) 라인(3)을 포함한 기판(1) 전면에 버퍼층(4)이 형성되고, 상기 적어도 3개의 서브 화소부(33, Driving TFT) 및 상기 GIP부(31, GIP TFT) 각각의 상기 버퍼층(4)상에 제 1 및 제 2 활성층(5a, 5b), 게이트 절연막(6a, 6b) 및 제 1 및 제 2 게이트 전극(7a, 7b)이 형성된다. 상기 제 1 및 제 2 활성층(5a, 5b)는 각각 채널 영역 및 소오스/드레인 영역을 구비한다.

[0152] 여기서, 상기 적어도 3개의 서브 화소부(33, Driving TFT)와 GIP부(31, GIP TFT) 사이의 상기 버퍼층(4)상에 제 3 쉴딩 라인(40c)이 형성된다. 상기 제 3 쉴딩 라인(40c)은 상기 게이트 전극(7a, 7b)과 동일한 금속으로 형성된다.

[0153] 상기 제 1 및 제 2 게이트 전극(7a, 7b) 및 상기 제 3 쉴딩 라인(40c)을 포함한 상기 버퍼층(4) 전면에 충간 절연막(8)이 형성되고, 상기 차광층(2)과 클럭 신호(CLK) 라인(3)이 노출되도록 상기 버퍼층(4) 및 상기 충간 절연막(8)이 선택적으로 제거되어 제 1 및 제 2 콘택홀(14a, 14b)이 형성되고, 상기 제 1 및 제 2 활성층(5a, 5b)의 각 소오스/드레인 영역이 노출되도록 상기 충간 절연막(8)이 선택적으로 제거되어 제 3 내지 제 6 콘택홀(15a, 15b, 15c, 15d)이 형성된다. 또한, 상기 제 3 쉴딩 라인(40c)이 노출되도록 상기 충간 절연막(8)이 선택적으로 제거되어 제 8 콘택홀(18)이 형성된다.

[0154] 그리고, 상기 제 1 콘택홀(14a)을 통해 상기 차광층(2)에 연결되고 상기 제 3 콘택홀(15a)을 통해 상기 제 1 활성층(5a)의 드레인 영역에 연결되도록 구동 TFT의 드레인 전극(9a)이 형성되고, 상기 제 4 콘택홀(15b)을 통해 상기 제 1 활성층(5a)의 소오스 영역에 연결되도록 구동 TFT의 소오스 전극(9b)이 형성된다. 상기 제 2 콘택홀(14b)을 통해 상기 클럭신호(CLK) 라인(3)에 연결되고 상기 제 6 콘택홀(15d)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 소오스 전극(10b)이 형성되고, 상기 제 5 콘택홀(15c)을 통해 상기 제 2 활성층(5b)의 드레인 영역에 연결되도록 GIP TFT의 드레인 전극(10a)이 형성된다.

[0155] 또한, 상기 제 8 콘택홀(18)을 통해 상기 제 3 쉴딩 라인(40c)에 연결되도록 제 2 쉴딩 라인(40b)을 형성한다. 따라서, 상기 게이트 전극(7a, 7b)과 동일한 금속으로 제 3 쉴딩 라인(40c)이 형성되고, 상기 소오스/드레인 전

극(9a, 9b, 10a, 10b)과 동일한 금속으로 상기 제 3 철딩 라인(40c)에 연결되도록 제 2 철딩 라인(40b)이 적층되어 철딩 라인(40)이 형성된다.

[0156] 그리고, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b) 및 GIP TFT의 소오스/드레인 전극(10a, 10b)과 상기 철딩 라인(40)을 포함한 전면에 보호층(11)이 형성되고, 상기 보호층(11) 전면에 오버 코트층(12)이 형성된다.

[0157] 상기 구동 TFT의 드레인 전극(9a)이 노출되도록 상기 보호막(11) 및 오버 코트층(12)이 선택적으로 제거되어 제 7 콘택홀(16)이 형성된다. 상기 제 7 콘택홀(16)을 통해 상기 구동 TFT의 드레인 전극(9a)에 연결되도록 상기 오버 코트층(12)상에 OLED의 제 1 전극(17)이 형성되고, 발광 영역을 제외한 상기 오버 코트층(12)상에 뱅크층(13)이 형성된다. 그리고, 도면에는 도시되지 않았지만, 상기 제 1 전극(17)상에 발광층 및 OLED의 제 2 전극이 형성된다.

[0158] 도 11에 도시한 바와 같이, 상기 게이트 전극(7a, 7b)과 동일한 금속으로 형성되는 제 3 철딩 라인(40c)과 상기 소오스/드레인 전극(9a, 9b, 10a, 10b)과 동일한 금속으로 형성되는 제 2 철딩 라인(40b)이 적층되어 철딩 라인(40)이 형성될 수 있다.

[0159] 한편, 도면에는 도시되지 않았지만, 상기 차광층(2) 및 상기 클럭신호(CLK) 라인(3)과 동일한 금속으로 형성된 제 1 철딩 라인(40a)과, 상기 게이트 전극(7a, 7b)과 동일한 금속으로 형성되는 제 3 철딩 라인(40c)과, 상기 구동 TFT의 소오스/드레인 전극(9a, 9b) 및 GIP TFT의 소오스/드레인 전극(10a, 10b)과 동일한 금속으로 형성되는 제 2 철딩 라인(40b)이 적층되어 철딩 라인(40)이 형성될 수 있다.

[0160] 상기 도 7 내지 도 11에서는 철딩 라인(40)이 어떤 금속으로 형성되고, 단일층 및 다층으로 형성됨을 중점적으로 설명하였다. 하지만, 상기 도 6에서 설명한 바와 같이, 상기 철딩 라인(40)은 상기 적어도 3개의 서브 화소부(33)와 GIP부(31) 사이 및 상기 적어도 3개의 서브 화소부(33), GIP부(31) 및 GIP 내부 연결 배선부(32)를 감싸도록 형성된다. 또한, 상기 철딩 라인(40)에는 전원 전압(EVDD)이 인가된다.

[0161] 도면에는 상기 철딩 라인(40)이 상기 적어도 3개의 서브 화소부(33)와 GIP부(31) 사이 및 상기 적어도 3개의 서브 화소부(33), GIP부(31) 및 GIP 내부 연결 배선부(32)를 감싸도록 철딩 라인(40)을 형성함을 도시하였으나, 이에 한정되지 않고, 상기 철딩 라인(40)은 상기 적어도 3개의 서브 화소부(33)와 GIP부(31) 사이에만 형성될 수 있고, GIP부(31)만 감싸도록 형성할 수도 있다.

[0162] 도 12는 본 발명에 따른 상기 GIP부(31)와 적어도 3개의 서브 화소부(R, G, B, W)(33) 간에 발생하는 커플링(Coupling) 현상의 그래프이다.

[0163] 도 12에서, 표시 패널의 구동 TFT의 게이트 전압(DTG)과 구동 TFT의 소오스 전압(DTS)의 변동을 도시한 것으로, 도 6 내지 도 11에서 설명한 바와 같이, 상기 GIP 소자를 전원(EVDD) 라인(철딩 라인)으로 차폐하게 되면(도 12에서 점선으로 표시함), GIP 소자를 차폐하지 않은 경우(도 12에서 실선으로 표시함)보다 GIP 출력 변동에 의한 상기 구동 TFT의 소오스 전압 변동이 감소된다.

[0164] 이상에서 설명한 바와 같이, 단위 화소 내에 게이트 구동회로의 스테이지를 구성하는 GIP 소자들을 분산 배치하고, 상기 GIP 소자를 전원(EVDD) 라인(철딩 라인)으로 차폐하거나, 단위 화소 영역을 전원(EVDD) 라인(철딩 라인)으로 차폐하므로, GIP 소자와 화소 영역 간의 커플링을 방지할 수 있고, 더불어, 화소 영역들의 휘도 편차를 감소시킬 수 있다.

[0165] 또한, GIP 소자와 화소 영역 간을 이격하여 설계하는 경우보다 유효 설계 면적을 증가시킬 수 있으므로, 개구율을 증가시키고, 전원(EVDD)의 드롭(drop)을 감소시킬 수 있다.

[0166] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0167] 1: 기판 2: 차광층

3: 클럭신호 라인 4: 벼퍼층

5a, 5b: 활성층 6a, 6b: 게이트 절연막

7a, 7b: 게이트 전극 8: 충간 절연막

9a, 9b, 10a, 10b: 소오스/드레인 전극 11: 보호층

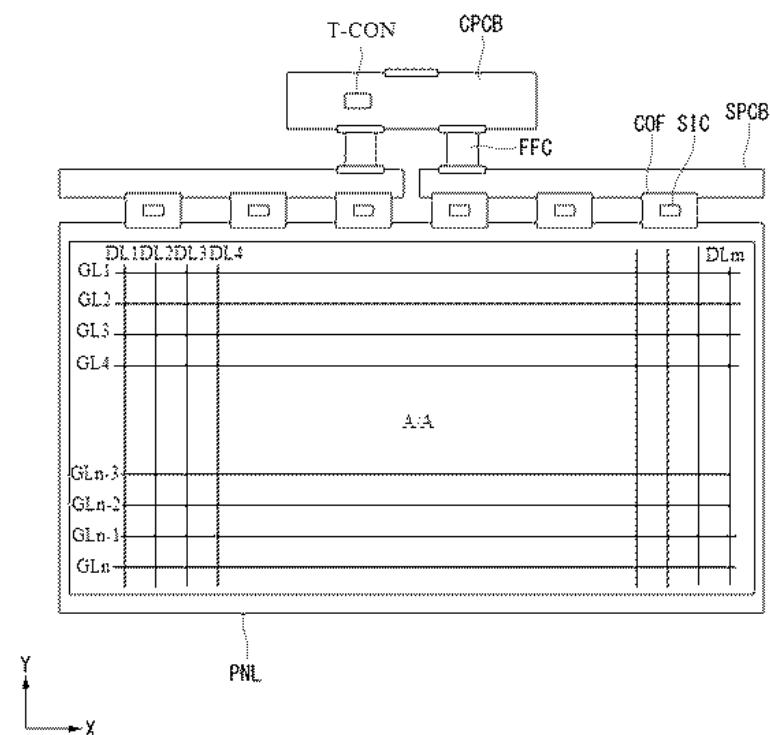
12: 오버 코트층 13: 뱅크층

14a, 14b, 15a, 15b, 15c, 15d, 16, 18: 콘택홀

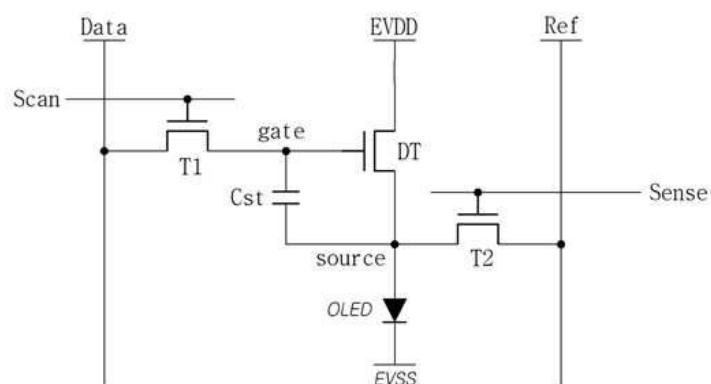
17: 제 1 전극

도면

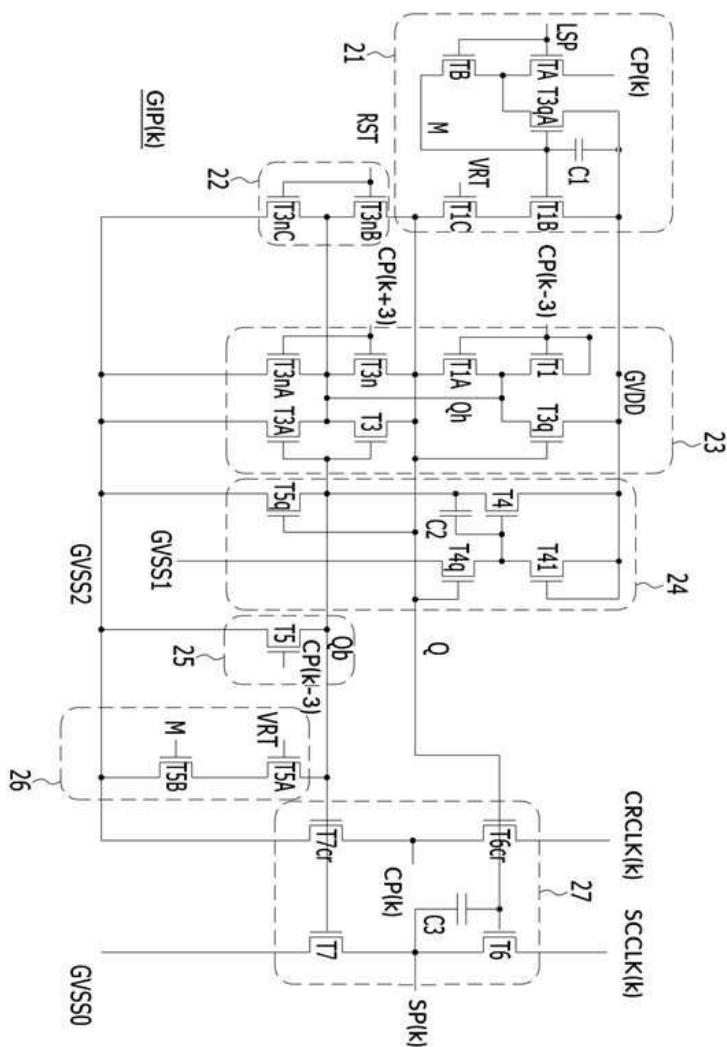
도면1



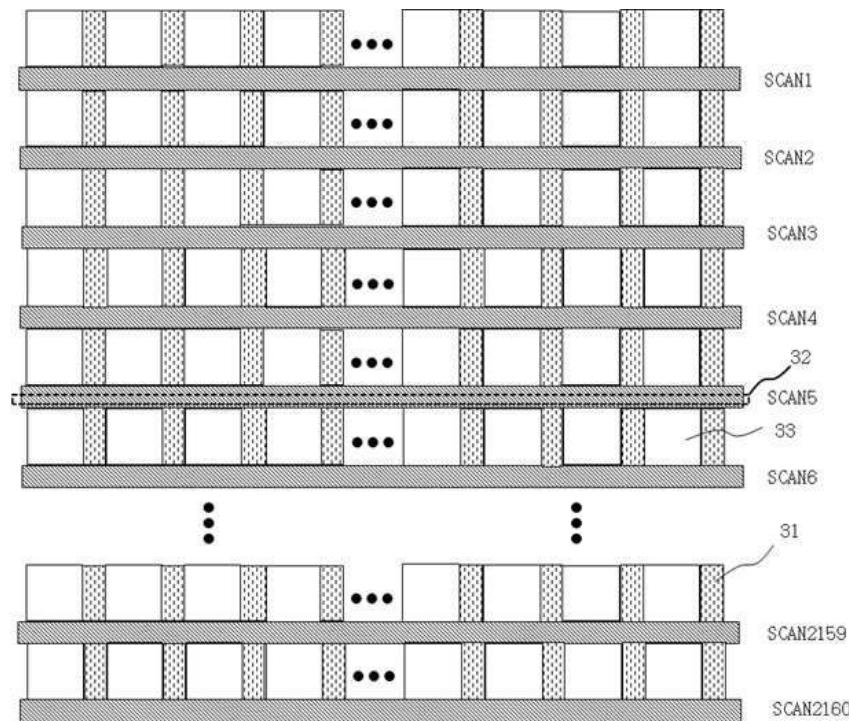
도면2



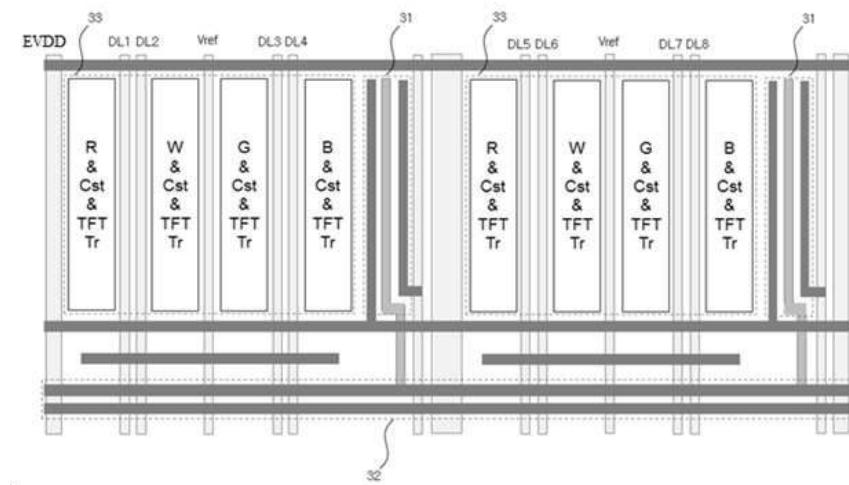
도면3



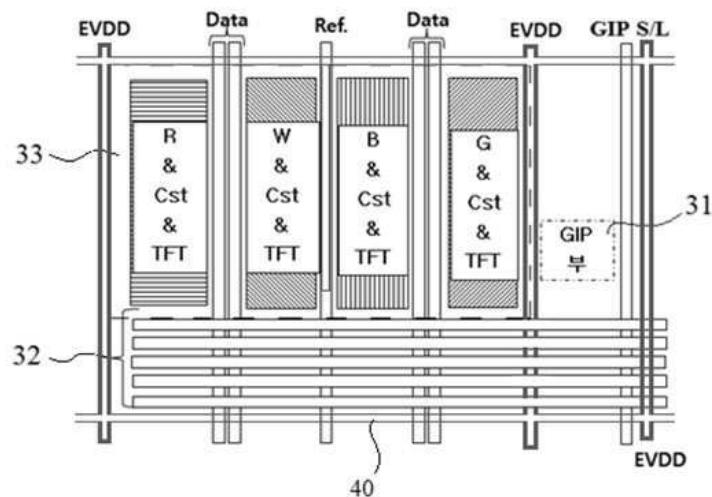
도면4



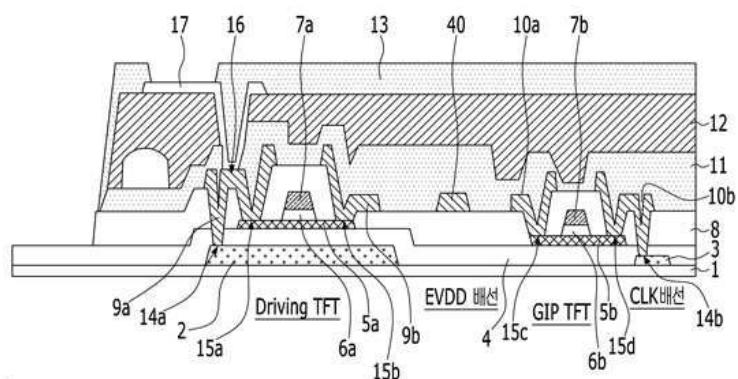
도면5



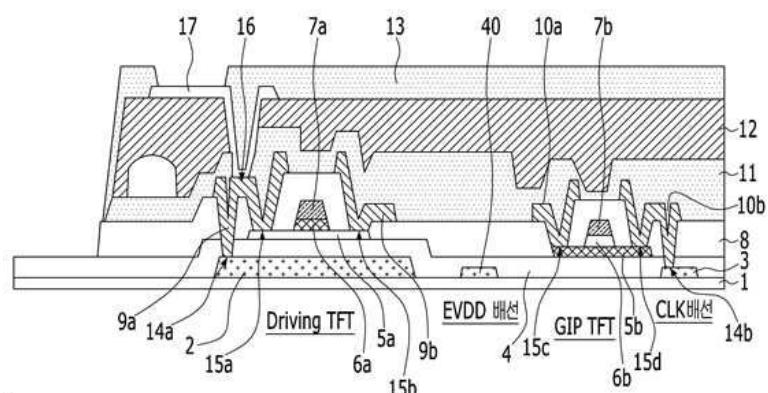
도면6



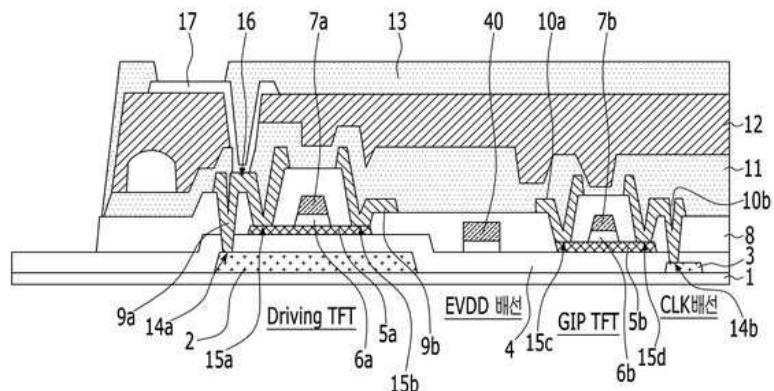
도면7



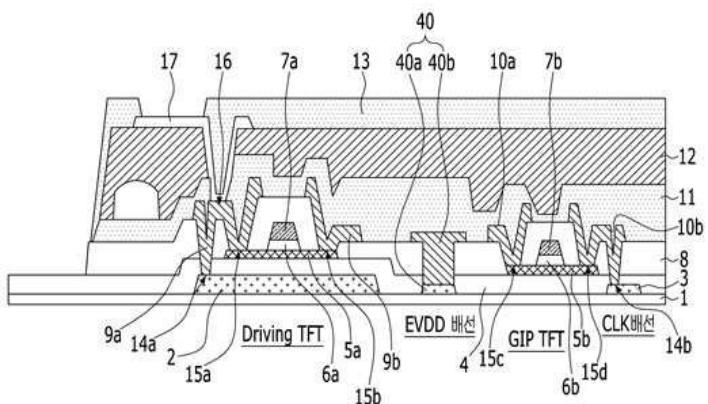
도면8



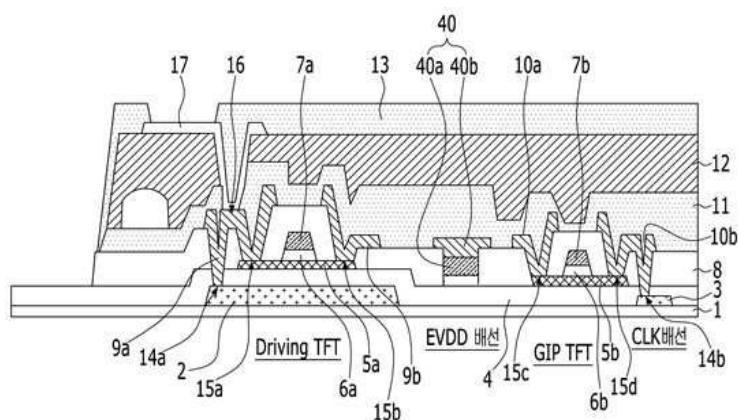
도면9



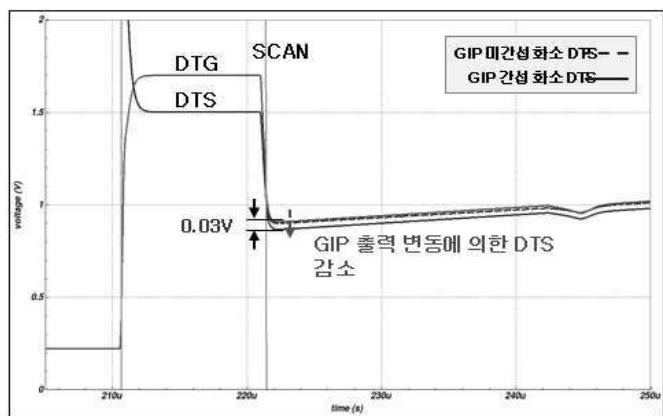
도면10



도면11



도면12



专利名称(译)	OLED显示面板		
公开(公告)号	KR1020200060941A	公开(公告)日	2020-06-02
申请号	KR1020180146145	申请日	2018-11-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김경민 한인효 박해진		
发明人	김경민 한인효 박해진		
IPC分类号	H01L27/32 G09G3/3208 H01L51/50		
CPC分类号	H01L27/3276 G09G3/3208 H01L27/3213 H01L27/323 H01L27/3248 H01L51/50		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

OLED显示面板技术领域本发明涉及一种OLED显示面板，其中，栅极驱动电路的GIP布置在像素阵列中，并且通过减少GIP和像素之间的耦合可以改善图像质量，数据线和栅极线交叉，并且交叉部分显示区域包括设置在显示区域中的子像素；并且多个级分布在显示区域中的每个栅极线驱动的单位像素区域中以向相应的栅极线提供扫描脉冲，其中，该单位像素区域包括至少三个子像素单元，以及其中布置有构成所述台的GIP元件的GIP单元，以及布置有连接所述GIP元件的连接线的GIP内部连接布线单元，并且在所述至少三个子像素单元和所述GIP单元之间施加电源电压。布置屏蔽线。

