



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0071336
(43) 공개일자 2019년06월24일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5253 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0172305
(22) 출원일자 2017년12월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김명성
경기도 파주시 월롱면 엘지로 245
고현일
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

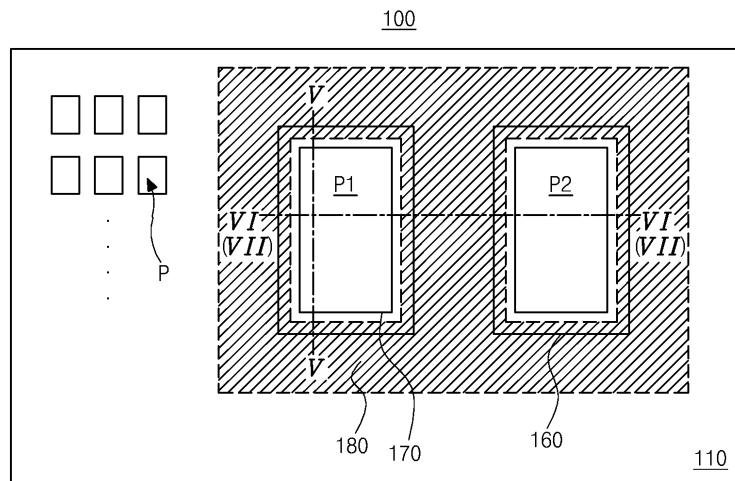
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명은, 화소영역이 정의된 기판과; 상기 기판 상부에 위치하며 상기 화소영역을 둘러싸며 상기 기판으로부터 제 1 높이를 갖는 화소담과; 상기 화소담에 의해 둘러싸이며 상기 화소영역에 위치하고 상기 기판으로부터 균일한 제 2 높이를 갖는 오버코트층과; 상기 오버코트층 상에 위치하며, 서로 마주하는 제 1 및 제 2 전극과 상기 제 1 및 제 2 전극 사이에 위치하는 발광층을 포함하는 전계발광 표시장치를 제공한다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/524 (2013.01)

명세서

청구범위

청구항 1

화소영역이 정의된 기관과;

상기 기관 상부에 위치하며 상기 화소영역을 둘러싸며 상기 기관으로부터 제 1 높이를 갖는 화소담과;

상기 화소담에 의해 둘러싸이며 상기 화소영역에 위치하고 상기 기관으로부터 균일한 제 2 높이를 갖는 오버코트층과;

상기 오버코트층 상에 위치하며, 서로 마주하는 제 1 및 제 2 전극과 상기 제1 및 제 2 전극 사이에 위치하는 발광층

을 포함하는 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 기관과 상기 오버코트층 사이에 위치하는 단차 패턴과;

상기 단차 패턴과 상기 오버코트층 사이에 위치하며 상기 단차 패턴을 덮어 상기 기관으로부터 높이 편차를 갖는 보호층을 더 포함하는 전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 화소담은 상기 보호층과 동일물질로 이루어지고 동일 공정에 의해 형성되는 전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 화소담과 상기 오버코트층은 서로 다른 물질로 이루어지는 전계발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 화소담은 광흡수 특성을 갖는 전계발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 제 2 높이는 상기 제 1 높이와 같고, 상기 화소담과 상기 오버코트층은 평탄한 면을 이루는 전계발광 표시장치.

청구항 7

제 1 항에 있어서,
상기 제 2 높이는 상기 제 1 높이보다 크고 상기 오버코트층은 상기 화소담의 상부면을 덮는 전계발광 표시장치.

청구항 8

제 1 항에 있어서,
상기 오버코트층은 용액 공정에 의해 형성되는 전계발광 표시장치.

청구항 9

제 1 항에 있어서,
상기 화소영역은 제 1 및 제 2 화소영역을 포함하고,
상기 제 1 화소영역의 상기 오버코트층과 상기 제 2 화소영역의 상기 오버코트층은 상기 화소담에 의해 분리된 전계발광 표시장치.

청구항 10

제 1 항에 있어서,
상기 화소영역은 제 1 및 제 2 화소영역을 포함하고,
상기 화소담은 상기 제 1 및 제 2 화소영역 전체를 하나로 둘러싸는 전계발광 표시장치.

청구항 11

제 1 항에 있어서,
상기 화소담에 대응되며 상기 제 1 전극의 가장자리를 덮는 बैं크를 더 포함하는 전계발광 표시장치.

청구항 12

제 11 항에 있어서,
상기 화소영역은 제 1 및 제 2 화소영역을 포함하고,
상기 बैं크는 상기 제 1 및 제 2 화소영역 각각에 대응되는 제 1 및 제 2 개구를 갖고, 상기 화소담은 상기 제 1 및 제 2 화소영역 전체에 대응되는 제 3 개구를 갖는 전계발광 표시장치.

청구항 13

제 12 항에 있어서,
상기 बैं크의 하부면은 적어도 두 변에서 상기 오버코트층과 접촉하고 적어도 한 변에서 상기 화소담과 접촉하는 전계발광 표시장치.

청구항 14

제 1 항에 있어서,
상기 발광층은 용액 공정에 의해 형성되는 전계발광 표시장치.

청구항 15

제 1 항에 있어서,
상기 제 1 기관과 상기 오버코트층 사이에 위치하는 박막트랜지스터를 더 포함하고,
상기 제 1 전극은 상기 박막트랜지스터에 연결된 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로, 더욱 상세하게는 발광다이오드 내 발광층의 두께 균일도를 향상시킬 수 있는 전계발광 표시장치에 관한 것이다.

배경 기술

[0003] 새로운 평판디스플레이 중 하나인 전계발광 표시장치(Electroluminescent display device)는 자체 발광형이기 때문에 액정표시장치(Liquid Crystal Display Device)에 비해 시야각 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다.

[0004] 그리고 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 교체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

[0005] 액티브 매트릭스 방식(active matrix type) 전계발광 표시장치에서는 화소에 인가되는 전류를 제어하는 전압이 스토리지 캐패시터(storage capacitor)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될 때까지 전압을 유지해 줌으로써, 게이트 배선 수에 관계없이 한 화면이 표시되는 동안 발광상태를 유지하도록 구동된다.

[0007] 도 1은 종래 전계발광 표시장치의 개략적인 단면도이다.

[0008] 도 1에 도시된 바와 같이, 종래 전계발광 표시장치(1)는 기관(10)과, 기관(10) 상에 위치하는 구동 박막트랜지스터(Td)와, 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)를 포함한다.

[0009] 기관(10)은 유리 또는 플라스틱으로 이루어질 수 있다.

[0010] 도시하지 않았으나, 구동 박막트랜지스터(Td)는 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다.

[0011] 구동 박막트랜지스터(Td)의 드레인 전극을 노출하는 드레인 콘택홀(52)을 갖는 절연층(51)이 구동 박막트랜지스터(20)를 덮는다.

[0012] 발광다이오드(D)는 절연층(51) 상에 형성되며, 드레인 콘택홀(52)을 통해 구동 박막트랜지스터(Td)의 드레인 전극에 연결되는 제 1 전극(60)과, 제 1 전극(60) 상에 형성되는 발광층(62)과, 발광층(62) 상에 형성되는 제 2 전극(64)을 포함한다.

[0013] 예를 들어, 제 1 전극(60)은 양극(anode)이고, 제 2 전극(64)은 음극(cathode)일 수 있다.

[0014] 또한, 절연층(51) 상에는 제 1 전극(60)의 가장자리를 덮는 बैं크(70)가 형성된다. बैं크(70)는 제 1 전극(60)의 증상을 노출하는 개구를 가지며, 발광층(62)은 बैं크(70)의 개구 내에 형성된다.

[0016] 한편, 일반적으로 발광층(62)은 열증착 공정에 의해 형성된다. 그러나, 전계발광 표시장치(1)가 대형화됨에 따라 증착 공정에 의해 발광층(62)을 형성하는데 한계가 있으며, 최근에는 용액 공정에 의해 발광층(62)을 형성하는 방법이 제안되고 있다.

[0018] 그러나, 발광층(62)이 용액 공정에 의해 형성되는 경우, 전계발광 표시장치(1)의 발광 효율 및 수명이 크게 감소하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0020] 본 발명은, 종래 전계발광 표시장치의 발광 효율 및 수명 저하 문제를 해결하고자 한다.

과제의 해결 수단

[0022] 상기 과제의 해결을 위하여, 본 발명은, 화소영역이 정의된 기판과; 상기 기판 상부에 위치하며 상기 화소영역을 둘러싸며 상기 기판으로부터 제 1 높이를 갖는 화소뎀과; 상기 화소뎀에 의해 둘러싸이며 상기 화소영역에 위치하고 상기 기판으로부터 균일한 제 2 높이를 갖는 오버코트층과; 상기 오버코트층 상에 위치하며, 서로 마주하는 제 1 및 제 2 전극과 상기 제1 및 제 2 전극 사이에 위치하는 발광층을 포함하는 전계발광 표시장치를 제공한다.

발명의 효과

[0024] 본 발명에 따른 전계발광 표시장치에서는, 화소영역을 둘러싸는 화소뎀에 의해 오버코트층이 평탄한 상부면을 갖게 되며, 이에 따라 하부 단차에 의한 발광층의 두께 편차가 방지된다.

[0025] 따라서, 발광 효율 및 수명이 향상된 전계발광 표시장치가 제공된다.

도면의 간단한 설명

- [0027] 도 1은 종래 전계발광 표시장치의 개략적인 단면도이다.
- 도 2는 발광층의 두께 편차를 설명하기 위한 개략적인 단면도이다.
- 도 3은 본 발명에 따른 전계발광 표시장치의 한 화소에 대한 개략적인 회로도이다.
- 도 4는 본 발명의 제 1 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.
- 도 5는 도 4의 V-V 선을 따라 절단한 단면도이다.
- 도 6은 도 4의 VI-VI 선을 따라 절단한 단면도이다.
- 도 7은 본 발명의 제 2 실시예에 따른 전계발광 표시장치의 개략적인 단면도이다.
- 도 8은 본 발명의 제 3 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.
- 도 9는 도 8의 IX-IX 선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 전계발광 표시장치에서, 발광다이오드의 발광층이 용액 공정에 의해 형성되는 경우 유효 발광 영역에서 발광층의 두께 편차를 갖고 이에 따라 발광다이오드 및 전계발광 표시장치의 발광 효율과 수명이 저하된다.

[0029] 즉, 발광층의 두께 편차를 설명하기 위한 개략적인 단면도인 도 2를 참조하면, 전계발광 표시장치(1)는 기판

(10)과, 기관(10) 상에 위치하는 구동 박막트랜지스터(Td)와, 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)를 포함한다.

- [0030] 유리 또는 플라스틱으로 이루어지는 기관(10) 상에는 반도체층(20)이 형성된다. 반도체층(20)은 산화물 반도체 물질로 이루어지거나 다결정 실리콘으로 이루어질 수 있다.
- [0031] 반도체층(20) 상부에는 절연물질로 이루어진 게이트 절연막(26)이 기관(10) 전면에 형성된다. 게이트 절연막(26)은 산화 실리콘 또는 질화 실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0032] 게이트 절연막(26) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(30)이 반도체층(20)의 중앙에 대응하여 형성된다. 또한, 제 1 캐패시터 전극(32)이 게이트 절연막(26) 상에 형성된다.
- [0033] 게이트 전극(30)과 제 1 캐패시터 전극(32) 상에는 절연물질로 이루어진 층간 절연막(36)이 기관(10) 전면에 형성된다. 층간 절연막(36)은 산화 실리콘이나 질화 실리콘과 같은 무기 절연물질로 형성될 수 있다.
- [0034] 층간 절연막(36)은 반도체층(20)의 양측을 노출하는 제 1 및 제 2 콘택홀(37, 38)을 갖는다. 제 1 및 제 2 콘택홀(37, 38)은 게이트 전극(30)의 양측에 게이트 전극(30)과 이격되어 위치한다.
- [0035] 층간 절연막(36) 상에는 금속과 같은 도전성 물질로 소스 전극(40)과 드레인 전극(42)이 형성된다. 또한, 제 1 캐패시터 전극(32)과 중첩하는 제 2 캐패시터 전극(44)이 층간 절연막(36) 상에 형성된다.
- [0036] 반도체층(20)과, 게이트 전극(30)과, 소스 전극(40)과, 드레인 전극(42)은 구동 박막트랜지스터(Td)를 이루고, 마주하는 제 1 및 제 2 캐패시터 전극(32, 44)과 그 사이의 층간 절연막(36)은 스토리지 캐패시터(Cst)를 이룬다.
- [0037] 도시하지 않았으나, 기관(10) 상에는, 제 1 및 제 2 방향을 따라 각각 연장되는 게이트 배선 및 데이터 배선, 게이트 배선 및 데이터 배선에 연결되는 스위칭 박막트랜지스터, 게이트 배선 및 데이터 배선 중 어느 하나와 평행하게 이격하는 파워 배선이 형성될 수 있다.
- [0038] 게이트 배선과 데이터 배선은 교차하여 화소영역을 정의하며, 구동 박막트랜지스터(Td)는 스위칭 박막트랜지스터에 연결된다.
- [0039] 구동 박막트랜지스터(Td)의 드레인 전극(42)을 노출하는 드레인 콘택홀(52)을 갖는 보호층(50)과 오버코트층(55)이 구동 박막트랜지스터(Td)와 스토리지 캐패시터(Cst)를 덮으며 형성된다.
- [0040] 보호층(50)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있고, 오버코트층(55)은 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo-acryl)과 같은 유기 절연물질로 형성될 수 있다.
- [0041] 오버코트층(55) 상에는 드레인 콘택홀(52)을 통해 구동 박막트랜지스터(Td)의 드레인 전극(42)에 연결되는 제 1 전극(60)이 형성된다. 또한, 오버코트층(55) 상에는 제 1 전극(60)의 가장자리를 덮는 बैं크(70)이 형성된다. बैं크(70)은 제 1 전극(60)의 중앙을 노출하는 개구를 갖는다.
- [0042] 제 1 전극(60) 상에는 발광층(62)과 제 2 전극(64)이 순차 적층된다.
- [0043] 제 1 전극(60), 제 1 전극(60)과 마주하는 제 2 전극(64), 제 1 및 제 2 전극(60, 64) 사이에 위치하는 발광층(62)은 발광 다이오드(D)를 이룬다.
- [0044] 이때, 오버코트층(55)은 그 표면이 평탄하지 않아 단차를 갖고, 이에 따라 오버코트층(55) 상에 형성되는 제 1 전극(60) 역시 단차를 갖는다. 이러한 단차는, 예를 들어 제 1 및 제 2 캐패시터 전극(32, 44)에 의해 발생될 수 있다.
- [0045] 한편, 용액 공정에 의해 형성되는 발광층(62)은 유효 발광 영역에서 평탄한 상부면을 가지며 형성되고 두께 편차가 발생한다. 즉, 발광층(62)은 오버코트층(55)의 높은 부분, 즉 스토리지 캐패시터(Cst)에 대응하여 제 1 두께(t1)를 갖고 오버코트층(55)의 낮은 부분에 대응하여 제 1 두께(t1)보다 큰 제 2 두께(t2)를 갖는다.
- [0046] 이와 같은 발광층(62)의 두께 편차에 의해 발광층(62)의 부분적인 열화가 일어나고, 발광다이오드(D) 및 전계발광 표시장치(1)의 발광 효율과 수명이 단축된다.
- [0048] 이와 같은 문제의 해결을 위해, 본 발명은, 화소영역이 정의된 기관과; 상기 기관 상부에 위치하며 상기 화소영역을 둘러싸며 상기 기관으로부터 제 1 높이를 갖는 화소담과; 상기 화소담에 의해 둘러싸이며 상기 화소영역에

위치하고 상기 기관으로부터 균일한 제 2 높이를 갖는 오버코트층과; 상기 오버코트층 상에 위치하며, 서로 마주하는 제 1 및 제 2 전극과 상기 제 1 및 제 2 전극 사이에 위치하는 발광층을 포함하는 전계발광 표시장치를 제공한다.

- [0049] 본 발명의 전계발광 표시장치는, 상기 기관과 상기 오버코트층 사이에 위치하는 단차 패턴과; 상기 단차 패턴과 상기 오버코트층 사이에 위치하며 상기 단차 패턴을 덮어 상기 기관으로부터 높이 편차를 갖는 보호층을 더 포함한다.
- [0050] 본 발명의 전계발광 표시장치에 있어서, 상기 화소담은 상기 보호층과 동일물질로 이루어지고 동일 공정에 의해 형성된다.
- [0051] 본 발명의 전계발광 표시장치에 있어서, 상기 화소담과 상기 오버코트층은 서로 다른 물질로 이루어진다.
- [0052] 본 발명의 전계발광 표시장치에 있어서, 상기 화소담은 광흡수 특성을 갖는다.
- [0053] 본 발명의 전계발광 표시장치에 있어서, 상기 제 2 높이는 상기 제 1 높이와 같고, 상기 화소담과 상기 오버코트층은 평탄한 면을 이룬다.
- [0054] 본 발명의 전계발광 표시장치에 있어서, 상기 제 2 높이는 상기 제 1 높이보다 크고 상기 오버코트층은 상기 화소담의 상부면을 덮는다.
- [0055] 본 발명의 전계발광 표시장치에 있어서, 상기 오버코트층은 용액 공정에 의해 형성된다.
- [0056] 본 발명의 전계발광 표시장치에 있어서, 상기 화소영역은 제 1 및 제 2 화소영역을 포함하고, 상기 제 1 화소영역의 상기 오버코트층과 상기 제 2 화소영역의 상기 오버코트층은 상기 화소담에 의해 분리된다.
- [0057] 본 발명의 전계발광 표시장치에 있어서, 상기 화소영역은 제 1 및 제 2 화소영역을 포함하고, 상기 화소담은 상기 제 1 및 제 2 화소영역 전체를 하나로 둘러싼다.
- [0058] 본 발명의 전계발광 표시장치는, 상기 화소담에 대응되며 상기 제 1 전극의 가장자리를 덮는 बैं크를 더 포함한다.
- [0059] 본 발명의 전계발광 표시장치에 있어서, 상기 화소영역은 제 1 및 제 2 화소영역을 포함하고, 상기 बैं크는 상기 제 1 및 제 2 화소영역 각각에 대응되는 제 1 및 제 2 개구를 갖고, 상기 화소담은 상기 제 1 및 제 2 화소영역 전체에 대응되는 제 3 개구를 갖는다.
- [0060] 본 발명의 전계발광 표시장치에 있어서, 상기 बैं크의 하부면은 적어도 두 변에서 상기 오버코트층과 접촉하고 적어도 한 변에서 상기 화소담과 접촉한다.
- [0061] 본 발명의 전계발광 표시장치에 있어서, 상기 발광층은 용액 공정에 의해 형성된다.
- [0062] 본 발명의 전계발광 표시장치는, 상기 제 1 기관과 상기 오버코트층 사이에 위치하는 박막트랜지스터를 더 포함하고, 상기 제 1 전극은 상기 박막트랜지스터에 연결된다.
- [0064] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.
- [0065] 도 3은 본 발명에 따른 전계발광 표시장치의 한 화소에 대한 개략적인 회로도이다.
- [0066] 도 3에 도시한 바와 같이, 전계발광 표시장치에는, 서로 교차하여 화소영역(P)을 정의하는 게이트배선(GL), 데이터배선(DL) 및 파워배선(PL)이 형성되고, 화소영역(P)에는, 스위칭 박막트랜지스터(Ts), 구동 박막트랜지스터(Td), 스토리지 캐패시터(Cst), 발광다이오드(D)가 형성된다.
- [0067] 스위칭 박막트랜지스터(Ts)는 게이트배선(GL) 및 데이터배선(DL)에 연결되고, 구동 박막트랜지스터(Td) 및 스토리지 캐패시터(Cst)는 스위칭 박막트랜지스터(Ts)와 파워배선(PL) 사이에 연결되고, 발광다이오드(D)는 구동 박막트랜지스터(Td)에 연결된다.
- [0068] 이러한 전계발광 표시장치에서, 게이트배선(GL)에 인가된 게이트신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되면, 데이터배선(DL)에 인가된 데이터신호가 스위칭 박막트랜지스터(Ts)를 통해 구동 박막트랜지스터(Td)의 게이트전극과 스토리지 캐패시터(Cst)의 일 전극에 인가된다.
- [0069] 구동 박막트랜지스터(Td)는 게이트전극에 인가된 데이터신호에 따라 턴-온 되며, 그 결과 데이터신호에 비례하

는 전류가 파워배선(PL)으로부터 구동 박막트랜지스터(Td)를 통하여 발광다이오드(D)로 흐르게 되고, 발광다이오드(D)는 구동 박막트랜지스터(Td)를 통하여 흐르는 전류에 비례하는 휘도로 발광한다.

[0070] 이때, 스토리지 캐패시터(Cst)에는 데이터신호에 비례하는 전압으로 충전되어, 일 프레임(frame) 동안 구동 박막트랜지스터(Td)의 게이트전극의 전압이 일정하게 유지되도록 한다.

[0071] 따라서, 전계발광 표시장치는 게이트신호 및 데이터신호에 의하여 원하는 영상을 표시할 수 있다.

[0073] 도 4는 본 발명의 제 1 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

[0074] 도 4에 도시된 바와 같이, 전계발광 표시장치(100)는, 다수의 화소영역(P)이 정의된 기관(110)과, 기관(110) 상부에 형성되며 각 화소영역(P)을 둘러싸는 화소담(180)과, 화소담(180)으로 둘러싸인 영역에 평탄한 상부면을 제공하는 오버코트층(미도시)과, 오버코트층 상에 형성되며 제 1 전극(160)과, 발광층(미도시)과, 제 2 전극(미도시)을 포함하는 발광다이오드(미도시)와, 제 1 전극(160)의 가장자리를 덮고 화소담(180)에 대응되는 बैं크(170)를 포함한다.

[0075] 오버코트층은 에폭시 수지, 포토아크릴, 폴리이미드 또는 벤조사이클로부텐과 같은 유기절연물질을 코팅하여 형성하며, 화소담(180)에 의해 정의되는 공간을 채우고 하부의 단차를 커버하여 평탄한 상부면을 제공한다.

[0076] 즉, 종래 전계발광 표시장치에서는, 기관의 전면에 대하여 오버코트층을 이루는 유기절연물질이 코팅되며 유기절연물질이 기관 전면으로 퍼지기 때문에, 오버코트층은 하부의 단차를 반영하여 기관으로부터의 높이 편차를 갖게 된다.

[0077] 이에 따라, 오버코트층 상에 형성되는 제 1 전극(160) 역시 단차에 의해 기관으로부터 높이 편차를 갖게 되고, 제 1 전극(160) 상에 용액 공정으로 형성되는 발광층에는 두께 편차가 발생된다.

[0078] 그러나, 본 발명에서는, 코팅 공정에서 기관(110)의 일부 영역을 둘러싸는 화소담(180)이 오버코트층을 이루는 유기절연물질의 흐름에 대하여 버퍼 역할을 하게 되고, 유기절연물질은 화소담(180)에 의해 둘러싸인 영역 내에서 하부 구성 요소의 단차를 극복하고 기관(110)으로부터 균일한 높이를 갖게 된다. 즉, 오버코트층(180)은 평탄한 상부면을 제공한다.

[0079] 다시 말해, 화소담(180)이 유기절연물질을 일정한 영역 내에 가두어 오버코트층에는 하부 구성 요소의 단차가 반영되지 않고, 오버코트층(180)은 평탄한 상부면을 갖는다.

[0080] 따라서, 오버코트층(180) 상에 형성되는 제 1 전극(160) 역시 평탄한 상부면을 갖게 되고, 제 1 전극(160) 상에 형성되는 발광층은 균일한 두께를 갖게 되어 두께 불균일에 의한 발광효율 및 수명 저하의 문제가 방지될 수 있다.

[0082] 도 5는 도 4의 V-V 선을 따라 절단한 단면도이고, 도 6은 도 4의 VI-VI 선을 따라 절단한 단면도이다.

[0083] 도 4와 함께 도 5 및 도 6을 참조하면, 전계발광 표시장치(100)는 제 1 및 제2 화소영역(P1, P2)이 정의된 기관(110)과, 기관(110) 상에 위치하는 구동 박막트랜지스터(Td)와, 기관(110) 상부에 위치하며 서로 인접한 제 1 및 제 2 화소영역(P1, P2)을 둘러싸는 화소담(180)과, 제 1 및 제 2 화소영역(P1, P2) 각각에서 화소담(180)에 의해 둘러싸이며 평탄한 상부면을 갖는 오버코트층(155)과, 오버코트층(155) 상에 위치하며 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)를 포함한다.

[0084] 기관(110)은 유리 기관 또는 플렉서블한 플라스틱 기관일 수 있다. 예를 들어, 기관(110)은 폴리이미드 기관일 수 있다.

[0085] 기관(110) 상에는 반도체층(120)이 형성된다. 반도체층(120)은 산화물 반도체 물질로 이루어지거나 다결정 실리콘으로 이루어질 수 있다.

[0086] 반도체층(120)은 산화물 반도체 물질로 이루어질 경우 반도체층(120) 하부에는 차광패턴(도시하지 않음)이 형성될 수 있으며, 차광패턴은 반도체층(120)으로 빛이 입사되는 것을 방지하여 반도체층(120)이 빛에 의해 열화되는 것을 방지한다. 이와 달리, 반도체층(120)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 반도체층(120)의 양 가장자리에 불순물이 도핑되어 있을 수 있다.

- [0087] 도시하지 않았으나, 기판(110)과 반도체층(120) 사이에는 버퍼층이 형성될 수도 있다.
- [0088] 반도체층(120) 상부에는 절연물질로 이루어진 게이트 절연막(122)이 기판(110) 전면에 형성된다. 게이트 절연막(122)은 산화 실리콘 또는 질화 실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0089] 게이트 절연막(122) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(130)이 반도체층(120)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(122) 상부에는 게이트 배선(GL)과 제 1 캐패시터 전극(132)이 형성된다. 게이트 배선(GL)은 제1방향을 따라 연장되고, 제 1 캐패시터 전극(132)은 게이트 전극(130)에 연결될 수 있다.
- [0090] 도 5에서는, 게이트 절연막(122)이 기판(110) 전면에 형성되어 있다. 이와 달리, 게이트 절연막(122)은 게이트 전극(130)과 동일한 모양으로 패터닝될 수도 있다.
- [0091] 게이트전극(130) 상부에는 절연물질로 이루어진 층간 절연막(136)이 기판(110) 전면에 형성된다. 층간 절연막(136)은 산화 실리콘이나 질화 실리콘과 같은 무기 절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo-acryl)과 같은 유기 절연물질로 형성될 수 있다.
- [0092] 층간 절연막(136)은 반도체층(120)의 양측을 노출하는 제 1 및 제 2 콘택홀(137, 138)을 갖는다. 제 1 및 제 2 콘택홀(137, 138)은 게이트 전극(130)의 양측에 게이트 전극(130)과 이격되어 위치한다.
- [0093] 도 5에서, 제 1 및 제 2 콘택홀(137, 138)은 게이트 절연막(122) 내에도 형성된다. 이와 달리, 게이트 절연막(122)이 게이트 전극(130)과 동일한 모양으로 패터닝될 경우, 제 1 및 제 2 콘택홀(137, 138)은 층간 절연막(136) 내에만 형성될 수도 있다.
- [0094] 층간 절연막(136) 상에는 금속과 같은 도전성 물질로 이루어지는 소스 전극(140)과 드레인 전극(142)이 형성된다. 또한, 층간 절연막(136) 상에는 제 2 방향을 따라 연장되는 데이터 배선(DL)과 제 2 캐패시터 전극(144)이 형성된다.
- [0095] 또한, 데이터 배선(DL)과 평행하게 이격되며 연장되는 파워 배선(도 3의 PL)이 층간 절연막(136) 상에 더 형성될 수 있다. 즉, 도 6에서, 제 1 및 제 2 화소영역(P1, P2) 사이에 데이터 배선(DL)이 위치하고 있는데, 파워 배선(PL)이 데이터 배선(DL)과 제 1 화소영역(P1) 사이 또는 데이터 배선(DL)과 제 2 화소영역(P2) 사이에 더 형성될 수 있다.
- [0096] 소스 전극(140)과 드레인 전극(142)은 게이트 전극(130)을 중심으로 이격되어 위치하며, 각각 제 1 및 제 2 콘택홀(137, 138)을 통해 반도체층(120)의 양측과 접촉한다. 데이터 배선(DL)은 제 2 방향을 따라 연장되어 게이트 배선(GL)과 교차함으로써 화소영역(P)을 정의한다. 제 2 캐패시터 전극(144)은 소스 전극(140)과 연결되고 제 1 캐패시터 전극(132)과 중첩함으로써, 제 1 및 제 2 캐패시터 전극(132, 144) 사이의 층간 절연막(136)을 유전체층으로 하여 스토리지 캐패시터(Cst)를 이룬다.
- [0097] 파워 배선(PL)은 게이트 배선(GL)과 동일 층에 게이트 배선(GL)과 평행하게 이격하여 위치함으로써, 데이터 배선(DL)과 교차하도록 형성될 수도 있다.
- [0098] 반도체층(120)과, 게이트전극(130), 소스 전극(140), 드레인전극(142)은 구동 박막트랜지스터(Td)를 이루며, 구동 박막트랜지스터(Td)는 반도체층(120)의 상부에 게이트 전극(130), 소스 전극(140) 및 드레인 전극(142)이 위치하는 코플라나(coplanar) 구조를 가진다.
- [0099] 이와 달리, 구동 박막트랜지스터(Td)는 반도체층의 하부에 게이트 전극이 위치하고 반도체층의 상부에 소스 전극과 드레인 전극이 위치하는 역 스테aggerd(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.
- [0100] 전술한 바와 같이, 기판(110) 상에는 스위칭 박막트랜지스터(Ts)가 더 형성되는데, 스위칭 박막트랜지스터(Ts)는 구동 박막트랜지스터(Td)와 실질적으로 동일한 구조를 갖는다.
- [0101] 구동 박막트랜지스터(Td)의 게이트 전극(130)은 스위칭 박막트랜지스터(Ts)의 드레인 전극(미도시)에 연결되고 구동 박막트랜지스터(Td)의 소스 전극(140)은 파워 배선(PL)에 연결된다. 또한, 스위칭 박막트랜지스터(Ts)의 게이트 전극(미도시)과 소스 전극(미도시)은 게이트 배선(GL) 및 데이터 배선(DL)에 각각 연결된다.
- [0102] 구동 박막트랜지스터(Td) 상에는 보호층(150)이 형성된다. 보호층(150)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.

- [0103] 보호층(150) 상에는 제 1 및 제 2 화소영역(P1, P2)을 둘러싸는 화소담(180)이 형성된다. 즉, 화소담(180)은 게이트 배선(GL) 및 데이터 배선(DL)에 대응되며 제 1 및 제 2 화소영역(P1, P2) 내에 위치하는 보호층(150)을 노출하는 개구를 갖는다.
- [0104] 또한, 화소담(180)으로 둘러싸인 제 1 및 제 2 화소영역(P1, P2)에는 오버코트층(155)이 형성된다. 제 1 화소영역(P1)의 오버코트층(155)과 제 2 화소영역(P2)의 오버코트층(155)은 화소담(180)에 의해 분리된다.
- [0105] 전술한 바와 같이, 오버코트층(155)은 코팅 공정(용액 공정)에 의해 형성되며, 화소담(155)이 오버코트층(155)을 이루는 코팅 용액을 화소영역(P)에 가두어 오버코트층(155)은 평탄한 상부면을 갖는다.
- [0106] 즉, 제 1 및 제 2 화소영역(P1, P2) 각각에는 스토리지 캐패시터(Cst)가 형성됨으로써, 보호층(150)에는 단차가 형성된다. 다시 말해, 보호층(150)은 기관(110)으로부터 높이 편차를 갖는다. 도 5와 도 6에서 스토리지 캐패시터(Cst)의 제 1 및 제 2 캐패시터 전극(132, 144)에 의해 단차가 형성되는 것으로 도시하고 있으나, 기관(110)과 오버코트층(155) 사이에 형성되는 전극 패턴 또는 배선(이하, 단차 패턴)에 의해 단차가 발생된다.
- [0107] 그러나, 본 발명에서는, 제 1 및 제 2 화소영역(P1, P2)을 둘러싸는 화소담(180)에 의해 오버코트층(155)에 스토리지 캐패시터(Cst)에 의한 보호층(150)의 단차가 반영되지 않고 오버코트층(155)은 높이 편차 없이 평탄한 상부면을 갖는다.
- [0108] 화소담(180)과 오버코트층(155)은 기관(110)으로부터 실질적으로 동일한 높이를 갖는다. 따라서, 화소담(180)과 오버코트층(155)은 평탄한 상부면을 이룬다.
- [0109] 화소담(180)과 오버코트층(155)은 각각은 유기절연물질로 이루어질 수 있고, 화소담(180)과 오버코트층(155)은 서로 다른 물질로 이루어질 수 있다. 예를 들어, 화소담(180)은 에폭시 수지, 포토아크릴, 폴리이미드 또는 벤조싸이클로부텐 중 어느 하나로 이루어지고, 오버코트층(155)은 에폭시 수지, 포토아크릴, 폴리이미드 또는 벤조싸이클로부텐 중 다른 하나로 이루어질 수 있다. 이와 달리, 화소담(180)과 오버코트층(155)은 동일한 물질로 이루어질 수도 있다.
- [0110] 보호층(150) 상에 화소담(180)을 형성한 후, 화소담(180)에 의해 둘러싸인 화소영역(P)에 오버코트층(155)을 이루는 유기절연물질을 코팅하여 오버코트층(155)이 형성된다. 예를 들어, 코팅 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slit coating) 공정, 스핀 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0111] 이와 달리, 화소담(180)은 보호층(150)의 형성 공정에서 형성될 수도 있다. 즉, 구동 박막트랜지스터(Td), 데이터 배선(DL), 스토리지 캐패시터(Cst)가 형성된 기관(110) 상에 무기절연물질층을 형성하고, 이에 대하여 마스크 공정을 진행함으로써 화소영역(P) 경계에 큰 두께의 화소담(180)을 형성하고 화소영역(P)에는 작은 두께의 보호층(150)을 형성할 수 있다. 이 경우, 화소담(180)은 무기절연물질로 형성되고, 오버코트층(155)은 유기절연물질로 형성된다.
- [0112] 한편, 화소담(180)은 광흡수 특성을 가질 수 있다. 예를 들어, 화소담(180)은 카본 블랙과 같은 블랙 입자를 포함할 수 있다. 이 경우, 외부광이 화소담(180)에 의해 흡수되어, 외부광이 게이트 배선(GL) 및/또는 데이터 배선(DL)에 의해 반사됨으로써 외부 명암비가 저하되는 문제가 방지될 수 있다.
- [0113] 화소담(180)과 오버코트층(155)이 형성된 기관(110)은 어레이 기관으로 지칭될 수 있다.
- [0114] 오버코트층(155)과 보호층(150)에는 구동 박막트랜지스터(Td)의 드레인 전극(142)을 노출하는 드레인 콘택홀(152)이 형성된다. 즉, 보호층(150), 화소담(180), 오버코트층(155)을 순차 형성한 후, 오버코트층(155)과 보호층(150)에 대하여 마스크 공정을 진행함으로써 드레인 콘택홀(152)이 형성될 수 있다.
- [0115] 오버코트층(155) 상에는 드레인 콘택홀(152)을 통해 구동 박막트랜지스터(Td)의 드레인 전극(142)에 연결되는 제 1 전극(160)이 각 화소 영역(P) 별로 분리되어 형성된다. 제 1 전극(160)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다. 예를 들어, 제 1 전극(160)은 인듐-틴-옥사이드(indium-tin-oxide, ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide, IZO)와 같은 투명 도전성 물질로 이루어질 수 있다.
- [0116] 한편, 본 발명의 전계발광 표시장치(100)가 상부 발광 방식(top-emission type)인 경우, 제 1 전극(160) 하부에는 반사전극 또는 반사층이 더욱 형성될 수 있다. 예를 들어, 반사전극 또는 반사층은 은(Ag), 알루미늄-팔라듐-구리(aluminum-palladium-copper: APC) 합금으로 이루어질 수 있다. 예를 들어, 제 1 전극(160)은 ITO/Ag/ITO

의 삼중층 구조를 가질 수 있다.

- [0117] 전술한 바와 같이, 화소담(180)에 의해 오버코트층(155)이 높이 편차 없이 평탄한 상부면을 갖기 때문에, 오버코트층(155) 상에 형성되는 제 1 전극(160) 역시 높이 편차 없이 평탄한 상부면을 갖는다.
- [0118] 화소담(180) 상에는 제 1 전극(160)의 가장자리를 덮는 बैं크(170)가 형성된다. 즉, बैं크(170)는 화소영역(P)의 경계에 위치하며 화소담(180)과 중첩한다. बैं크(170)는 화소영역(P)에 대응하여 개구를 가져 화소영역(P)을 둘러싸며 제 1 전극(160)의 중앙을 노출시킨다.
- [0119] 제 1 전극(160) 상에는 발광층(162)이 형성된다. 발광층(162)은 액체 상태의 발광물질을 이용한 용액 공정(solution process)에 의해 형성된다.
- [0120] 즉, 발광물질이 용매에 녹아있는 발광물질 잉크를 용액 공정에 의해 코팅한 후 용매를 건조시켜 발광층(162)이 형성된다. 예를 들어, 용액 공정은 잉크젯 코팅(inkjet coating) 공정, 슬릿 코팅(slits coating) 공정, 스피ن 코팅(spin coating) 공정, 프린팅(printing) 공정, 드랍 코팅(drop coating) 공정 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0121] 발광층(162)은 인광화합물 또는 형광 화합물과 같은 유기발광물질 또는 양자점과 같은 무기발광물질을 포함할 수 있다.
- [0122] 발광층(162)은 발광물질로 이루어지는 발광물질층(emitting material layer)의 단일층 구조일 수 있다. 또한, 발광 효율을 높이기 위해, 발광층(162)은 제 1 전극(160)과 발광물질층 사이에 순차적으로 적층되는 정공주입층(hole injection layer) 및 정공수송층(hole transporting layer)과, 발광물질층 상에 순차적으로 적층되는 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)을 더 포함할 수 있다.
- [0123] 전술한 바와 같이, 화소담(180)에 의해 오버코트층(155) 및 제 1 전극(160)이 높이 편차 없이 평탄한 상부면을 갖게 되며, 이에 따라 용액 공정에 의해 형성되는 발광층(162)에는 두께 편차가 발생하지 않는다.
- [0124] 발광층(162)이 형성된 기관(110) 상부로 제 2 전극(164)이 형성된다. 제 2 전극(164)은 표시영역의 전면에 위치하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다. 예를 들어, 제 2 전극(164)은 알루미늄(Al), 마그네슘(Mg), 알루미늄-마그네슘 합금(AlMg), 마그네슘-은 합금(MgAg) 중 어느 하나로 이루어질 수 있다.
- [0125] 제 1 전극(160), 제 1 전극(160)과 마주하는 제 2 전극(164), 제 1 및 제 2 전극(160, 164) 사이에 위치하는 발광층(162)은 발광다이오드(D)를 이룬다.
- [0126] 전술한 바와 같이, 본 발명의 전계발광 표시장치(100)에서는, 하부 구성 요소의 단차가 발생하더라도, 기관(110)의 일정 영역, 예를 들어 화소영역(P) 각각을 둘러싸는 화소담(180)에 의해 오버코트층(155)이 단차를 극복하고 높이 편차 없이 평탄한 상부면을 갖는다. 따라서, 발광층(164)의 두께 균일도가 향상되며, 전계발광 표시장치(100)의 발광 효율과 수명이 향상된다.
- [0128] 도 7은 본 발명의 제 2 실시예에 따른 전계발광 표시장치의 개략적인 단면도이며, 도 4의 VII-VII 선을 따라 절단한 단면도이다.
- [0129] 도 4, 도 5와 함께 도 7을 참조하면, 전계발광 표시장치(100)는 전계발광 표시장치(100)는 제 1 및 제 2 화소영역(P1, P2)이 정의된 기관(110)과, 기관(110) 상에 위치하는 구동 박막트랜지스터(Td)와, 기관(110) 상부에 위치하며 서로 인접한 제 1 및 제 2 화소영역(P1, P2)을 둘러싸는 화소담(180)과, 제 1 및 제 2 화소영역(P1, P2) 각각에서 화소담(180)에 의해 둘러싸이며 평탄한 상부면을 갖는 오버코트층(155)과, 오버코트층(155) 상에 위치하며 구동 박막트랜지스터(Td)에 연결되는 발광다이오드(D)를 포함한다.
- [0130] 기관(110) 상에는 반도체층(120)이 형성된다. 반도체층(120)은 산화물 반도체 물질로 이루어지거나 다결정 실리콘으로 이루어질 수 있다.
- [0131] 반도체층(120) 상부에는 절연물질로 이루어진 게이트 절연막(122)이 기관(110) 전면에 형성된다.
- [0132] 게이트 절연막(122) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(130)이 반도체층(120)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(122) 상부에는 게이트 배선(GL)과 제 1 캐패시터 전극(132)이 형성된다. 게이트 배선(GL)은 제1방향을 따라 연장되고, 제 1 캐패시터 전극(132)은 게이트 전극(130)에 연결될 수

있다.

- [0133] 게이트전극(130) 상부에는 절연물질로 이루어진 층간 절연막(136)이 기판(110) 전면에서 형성된다. 층간 절연막(136)은 반도체층(120)의 양측을 노출하는 제 1 및 제 2 콘택홀(137, 138)을 갖는다. 제 1 및 제 2 콘택홀(137, 138)은 게이트 전극(130)의 양측에 게이트 전극(130)과 이격되어 위치한다.
- [0134] 층간 절연막(136) 상에는 금속과 같은 도전성 물질로 이루어지는 소스 전극(140)과 드레인 전극(142)이 형성된다. 또한, 층간 절연막(136) 상에는 제 2 방향을 따라 연장되는 데이터 배선(DL)과 제 2 캐패시터 전극(144)이 형성된다.
- [0135] 또한, 데이터 배선(DL)과 평행하게 이격되며 연장되는 파워 배선(도 3의 PL)이 층간 절연막(136) 상에 더 형성될 수 있다. 즉, 도 6에서, 제 1 및 제 2 화소영역(P1, P2) 사이에 데이터 배선(DL)이 위치하고 있는데, 파워 배선(PL)이 데이터 배선(DL)과 제 1 화소영역(P1) 사이 또는 데이터 배선(DL)과 제 2 화소영역(P2) 사이에 더 형성될 수 있다.
- [0136] 소스 전극(140)과 드레인 전극(142)은 게이트 전극(130)을 중심으로 이격되어 위치하며, 각각 제 1 및 제 2 콘택홀(137, 138)을 통해 반도체층(120)의 양측과 접촉한다. 데이터 배선(DL)은 제 2 방향을 따라 연장되어 게이트 배선(GL)과 교차함으로써 화소영역(P)을 정의한다. 제 2 캐패시터 전극(144)은 소스 전극(140)과 연결되고 제 1 캐패시터 전극(132)과 중첩함으로써, 제 1 및 제 2 캐패시터 전극(132, 144) 사이의 층간 절연막(136)을 유전체층으로 하여 스토리지 캐패시터(Cst)를 이룬다.
- [0137] 파워 배선(PL)은 게이트 배선(GL)과 동일 층에 게이트 배선(GL)과 평행하게 이격하여 위치함으로써, 데이터 배선(DL)과 교차하도록 형성될 수도 있다.
- [0138] 반도체층(120)과, 게이트전극(130), 소스 전극(140), 드레인전극(142)은 구동 박막트랜지스터(Td)를 이룬다.
- [0139] 구동 박막트랜지스터(Td) 상에는 보호층(150)이 형성된다. 보호층(150)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0140] 보호층(150) 상에는 제 1 및 제 2 화소영역(P1, P2)을 둘러싸는 화소댐(180)이 형성된다. 즉, 화소댐(180)은 게이트 배선(GL) 및 데이터 배선(DL)에 대응되며 제 1 및 제 2 화소영역(P1, P2) 내에 위치하는 보호층(150)을 노출하는 개구를 갖는다. 화소댐(180)은 기판(110)으로부터 제 1 높이(H1)를 갖는다.
- [0141] 또한, 화소댐(180)으로 둘러싸인 제 1 및 제 2 화소영역(P1, P2)에는 오버코트층(155)이 형성된다. 전술한 바와 같이, 오버코트층(155)은 코팅 공정(용액 공정)에 의해 형성되며, 화소댐(155)이 오버코트층(155)을 이루는 코팅 용액을 화소영역(P)에 가두어 오버코트층(155)은 평탄한 상부면을 갖는다.
- [0142] 오버코트층(155)은 기판(110)으로부터 화소댐(180)의 제 1 높이(H1)보다 큰 제 2 높이(H2)를 갖고 화소댐(180)의 상부면을 덮는다. 즉, 제 1 실시예에 따른 전계발광 표시장치에서는, 제 1 및 제 2 화소영역(P1, P2)의 오버코트층(155)이 제 1 및 제 2 화소영역(P1, P2) 사이에 위치하는 화소댐(180)에 의해 분리되어 있으나, 제 2 실시예에 따른 전계발광 표시장치에서는, 제 1 및 제 2 화소영역(P1, P2)의 오버코트층(155)이 서로 연결된다.
- [0143] 화소댐(180)과 오버코트층(155)이 기판(110)으로부터 동일한 높이를 갖는 경우, 오버코트층(155)의 형성 공정에서 각 화소영역(P)의 오버코트층(155)은 중앙과 가장자리에서 높이 편차를 가질 수 있다. 또한, 화소댐(180)과 오버코트층(155)이 서로 다른 물질로 이루어지는 경우, 화소댐(180)과 오버코트층(155)의 경계에서의 특성 차이로 인해 제 1 전극(160)의 접촉 특성에 문제가 발생할 수도 있다.
- [0144] 그러나, 제 2 실시예에 따른 전계발광 표시장치에서는, 오버코트층(155)은 기판(110)으로부터 화소댐(180)의 제 1 높이(H1)보다 큰 제 2 높이(H2)를 갖고 화소댐(180)의 상부면을 덮기 때문에, 이와 같은 문제가 방지된다.
- [0145] 오버코트층(155)과 보호층(150)에는 구동 박막트랜지스터(Td)의 드레인 전극(142)을 노출하는 드레인 콘택홀(152)이 형성된다.
- [0146] 오버코트층(155) 상에는 드레인 콘택홀(152)을 통해 구동 박막트랜지스터(Td)의 드레인 전극(142)에 연결되는 제 1 전극(160)이 각 화소 영역(P) 별로 분리되어 형성된다. 제 1 전극(160)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다.
- [0147] 전술한 바와 같이, 화소댐(180)에 의해 오버코트층(155)이 높이 편차 없이 평탄한 상부면을 갖기 때문에, 오버코트층(155) 상에 형성되는 제 1 전극(160) 역시 높이 편차 없이 평탄한 상부면을 갖는다.

- [0148] 또한, 오버코트층(155) 상에는 제 1 전극(160)의 가장자리를 덮는 बैं크(170)가 형성된다. 즉, बैं크(170)는 화소 영역(P)의 경계에 위치하며 화소담(180)과 중첩한다. बैं크(170)는 화소영역(P)에 대응하여 개구를 가져 화소영역(P)을 둘러싸며 제 1 전극(160)의 중앙을 노출시킨다.
- [0149] 제 1 전극(160) 상에는 발광층(162)이 형성된다. 발광층(162)은 액체 상태의 발광물질을 이용한 용액 공정(solution process)에 의해 형성된다.
- [0150] 발광층(162)은 인광화합물 또는 형광 화합물과 같은 유기발광물질 또는 양자점과 같은 무기발광물질을 포함할 수 있다.
- [0151] 전술한 바와 같이, 화소담(180)에 의해 오버코트층(155) 및 제 1 전극(160)이 높이 편차 없이 평탄한 상부면을 갖게 되며, 이에 따라 용액 공정에 의해 형성되는 발광층(162)에는 두께 편차가 발생하지 않는다.
- [0152] 발광층(162)이 형성된 기판(110) 상부로 제 2 전극(164)이 형성된다. 제 2 전극(164)은 표시영역의 전면에 위치하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다.
- [0153] 제 1 전극(160), 제 1 전극(160)과 마주하는 제 2 전극(164), 제 1 및 제 2 전극(160, 164) 사이에 위치하는 발광층(162)은 발광다이오드(D)를 이룬다.
- [0154] 전술한 바와 같이, 본 발명의 전계발광 표시장치(100)에서는, 하부 구성 요소의 단차가 발생하더라도, 기판(110)의 일정 영역, 예를 들어 화소영역(P) 각각을 둘러싸는 화소담(180)에 의해 오버코트층(155)이 단차를 극복하고 높이 편차 없이 평탄한 상부면을 갖는다. 따라서, 발광층(164)의 두께 균일도가 향상되며, 전계발광 표시장치(100)의 발광 효율과 수명이 향상된다.
- [0156] 도 8은 본 발명의 제 3 실시예에 따른 전계발광 표시장치의 개략적인 평면도이고, 도 9는 도 8의 IX-IX 선을 따라 절단한 단면도이다.
- [0157] 도 5와 함께 도 8 및 도 9를 참조하면, 전계발광 표시장치(100)는, 다수의 화소영역(P)이 정의된 기판(110)과, 기판(110) 상부에 형성되며 적어도 두개의 화소영역(P)을 둘러싸는 화소담(180)과, 화소담(180)으로 둘러싸인 영역에 형성되며 평탄한 상부면을 제공하는 오버코트층(미도시)과, 오버코트층 상에 형성되며 제 1 전극(160)과, 발광층(미도시)과, 제 2 전극(미도시)을 포함하는 발광다이오드(미도시)와, 각 화소영역(P)을 둘러싸며 제 1 전극(160)의 가장자리를 덮는 बैं크(170)를 포함한다.
- [0158] 기판(110) 상에는 반도체층(120)이 형성된다. 반도체층(120)은 산화물 반도체 물질로 이루어지거나 다결정 실리콘으로 이루어질 수 있다.
- [0159] 반도체층(120) 상부에는 절연물질로 이루어진 게이트 절연막(122)이 기판(110) 전면에 형성된다.
- [0160] 게이트 절연막(122) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(130)이 반도체층(120)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(122) 상부에는 게이트 배선(GL)과 제 1 캐패시터 전극(132)이 형성된다. 게이트 배선(GL)은 제1방향을 따라 연장되고, 제 1 캐패시터 전극(132)은 게이트 전극(130)에 연결될 수 있다.
- [0161] 게이트전극(130) 상부에는 절연물질로 이루어진 층간 절연막(136)이 기판(110) 전면에 형성된다. 층간 절연막(136)은 반도체층(120)의 양측을 노출하는 제 1 및 제 2 콘택홀(137, 138)을 갖는다. 제 1 및 제 2 콘택홀(137, 138)은 게이트 전극(130)의 양측에 게이트 전극(130)과 이격되어 위치한다.
- [0162] 층간 절연막(136) 상에는 금속과 같은 도전성 물질로 이루어지는 소스 전극(140)과 드레인 전극(142)이 형성된다. 또한, 층간 절연막(136) 상에는 제 2 방향을 따라 연장되는 데이터 배선(DL)과 제 2 캐패시터 전극(144)이 형성된다.
- [0163] 또한, 데이터 배선(DL)과 평행하게 이격되며 연장되는 파워 배선(도 3의 PL)이 층간 절연막(136) 상에 더 형성될 수 있다. 즉, 도 6에서, 제 1 및 제 2 화소영역(P1, P2) 사이에 데이터 배선(DL)이 위치하고 있는데, 파워 배선(PL)이 데이터 배선(DL)과 제 1 화소영역(P1) 사이 또는 데이터 배선(DL)과 제 2 화소영역(P2) 사이에 더 형성될 수 있다.
- [0164] 소스 전극(140)과 드레인 전극(142)은 게이트 전극(130)을 중심으로 이격되어 위치하며, 각각 제 1 및 제 2 콘택홀(137, 138)을 통해 반도체층(120)의 양측과 접촉한다. 데이터 배선(DL)은 제 2 방향을 따라 연장되어 게이

트 배선(GL)과 교차함으로써 화소영역(P)을 정의한다. 제 2 캐패시터 전극(144)은 소스 전극(140)과 연결되고 제 1 캐패시터 전극(132)과 중첩함으로써, 제 1 및 제 2 캐패시터 전극(132, 144) 사이의 층간 절연막(136)을 유전체층으로 하여 스토리지 캐패시터(Cst)를 이룬다.

- [0165] 파워 배선(PL)은 게이트 배선(GL)과 동일 층에 게이트 배선(GL)과 평행하게 이격하여 위치함으로써, 데이터 배선(DL)과 교차하도록 형성될 수도 있다.
- [0166] 반도체층(120)과, 게이트전극(130), 소스 전극(140), 드레인전극(142)은 구동 박막트랜지스터(Td)를 이룬다.
- [0167] 구동 박막트랜지스터(Td) 상에는 보호층(150)이 형성된다. 보호층(150)은 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어질 수 있다.
- [0168] 보호층(150) 상에는 제 1 및 제 2 화소영역(P1, P2)을 일체로 둘러싸는 화소댐(180)이 형성된다. 즉, 화소댐(180)은 제 1 및 제 2 화소영역(P1, P2) 전체에 대응되는 개구를 갖는다.
- [0169] 다시 말해, 화소댐(180)은 인접한 두 화소영역(P1, P2)을 포함하는 하나의 단위 화소영역을 둘러싸며 두 화소영역(P1, P2) 사이에는 화소댐(180)이 형성되지 않는다. 도 8에서, 인접한 두 화소영역(P1, P2)이 하나의 단위 화소영역을 이루고 있으나, 제 1 및 제 2 화소영역(P1, P2) 사이에 적어도 하나의 화소영역이 더 위치할 수 있다. 또한, 2*2 매트릭스로 배열되는 네 화소영역이 하나의 단위 화소영역을 이루고, 화소댐(180)이 네 화소영역 전체를 둘러싸며 형성될 수도 있다.
- [0170] 또한, 화소댐(180)으로 둘러싸인 제 1 및 제 2 화소영역(P1, P2)의 단위 화소영역에는 오버코트층(155)이 형성된다. 전술한 바와 같이, 오버코트층(155)은 코팅 공정(용액 공정)에 의해 형성되며, 화소댐(155)이 오버코트층(155)을 이루는 코팅 용액을 화소영역(P)에 가두어 오버코트층(155)은 평탄한 상부면을 갖는다.
- [0171] 오버코트층(155)과 보호층(150)에는 구동 박막트랜지스터(Td)의 드레인 전극(142)을 노출하는 드레인 콘택홀(152)이 형성된다.
- [0172] 오버코트층(155) 상에는 드레인 콘택홀(152)을 통해 구동 박막트랜지스터(Td)의 드레인 전극(142)에 연결되는 제 1 전극(160)이 각 화소 영역(P) 별로 분리되어 형성된다. 제 1 전극(160)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 이루어질 수 있다.
- [0173] 전술한 바와 같이, 화소댐(180)에 의해 오버코트층(155)이 높이 편차 없이 평탄한 상부면을 갖기 때문에, 오버코트층(155) 상에 형성되는 제 1 전극(160) 역시 높이 편차 없이 평탄한 상부면을 갖는다.
- [0174] 또한, 오버코트층(155) 상에는 제 1 전극(160)의 가장자리를 덮는 बैं크(170)가 형성된다. 즉, बैं크(170)는 화소영역(P)의 경계에 위치하며 제 1 및 제 2 화소영역(P1, P2) 각각에 대응하여 개구를 가져 화소영역(P)을 둘러싸며 제 1 전극(160)의 중앙을 노출시킨다.
- [0175] 즉, बैं크(170)는 제 1 및 제 2 화소영역(P1, P2) 각각에 대응하는 개구를 갖고, 화소댐(180)은 제 1 및 제 2 화소영역(P1, P2) 전체에 대응하며 बैं크(170)의 개구보다 큰 개구를 갖는다.
- [0176] 이때, 각 화소영역(P)에의 세면에서 बैं크(170)의 하부면은 화소댐(180)과 접촉하고, 각 화소영역(P)의 한면에서 बैं크(170)의 하부면은 오버코트층(155)과 접촉한다. 한편, 제 1 및 제 2 화소영역(P1, P2) 사이에 제 3 화소영역이 위치하고 화소댐(180)이 세 화소영역 전체를 둘러싸는 경우, 제 3 화소영역에 있어서, बैं크(170)의 하부면은 두 면에서 화소댐(180)과 접촉하고 두 면에서는 오버코트층(155)과 접촉한다.
- [0177] 즉, 본 발명의 제 3 실시예에 따른 전계발광 표시장치(100)에서, 적어도 두 면에서 बैं크(170)의 하부면은 화소댐(180)과 접촉하고, 적어도 한면에서 बैं크(170)의 하부면은 오버코트층(155)과 접촉한다.
- [0178] 제 1 전극(160) 상에는 발광층(162)이 형성된다. 발광층(162)은 액체 상태의 발광물질을 이용한 용액 공정(solution process)에 의해 형성된다.
- [0179] 발광층(162)은 인광화합물 또는 형광 화합물과 같은 유기발광물질 또는 양자점과 같은 무기발광물질을 포함할 수 있다.
- [0180] 전술한 바와 같이, 화소댐(180)에 의해 오버코트층(155) 및 제 1 전극(160)이 높이 편차 없이 평탄한 상부면을 갖게 되며, 이에 따라 용액 공정에 의해 형성되는 발광층(162)에는 두께 편차가 발생하지 않는다.
- [0181] 발광층(162)이 형성된 기판(110) 상부로 제 2 전극(164)이 형성된다. 제 2 전극(164)은 표시영역의 전면에 위치

하며 일함수 값이 비교적 작은 도전성 물질로 이루어져 캐소드(cathode)로 이용될 수 있다.

[0182] 제 1 전극(160), 제 1 전극(160)과 마주하는 제 2 전극(164), 제 1 및 제 2 전극(160, 164) 사이에 위치하는 발광층(162)은 발광다이오드(D)를 이룬다.

[0183] 전술한 바와 같이, 본 발명의 전계발광 표시장치(100)에서는, 하부 구성 요소의 단차가 발생하더라도, 기판(110)의 일정 영역, 예를 들어 화소영역(P) 각각을 둘러싸는 화소담(180)에 의해 오버코트층(155)이 단차를 극복하고 높이 편차 없이 평탄한 상부면을 갖는다. 따라서, 발광층(164)의 두께 균일도가 향상되며, 전계발광 표시장치(100)의 발광 효율과 수명이 향상된다.

[0185] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 기술자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

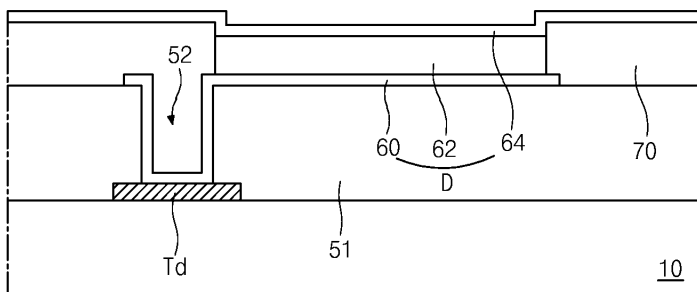
부호의 설명

- [0187] 100: 전계발광 표시장치 110: 기판
- 120: 반도체층 130: 게이트 전극
- 132: 제 1 캐패시터 전극 136: 층간 절연막
- 140: 소스 전극 142: 드레인 전극
- 144: 제 2 캐패시터 전극 150: 보호층
- 155: 오버코트층 160: 제 1 전극 (양극)
- 162: 발광층 164: 제 2 전극
- 170: बैं크 180: 화소담
- D: 발광다이오드

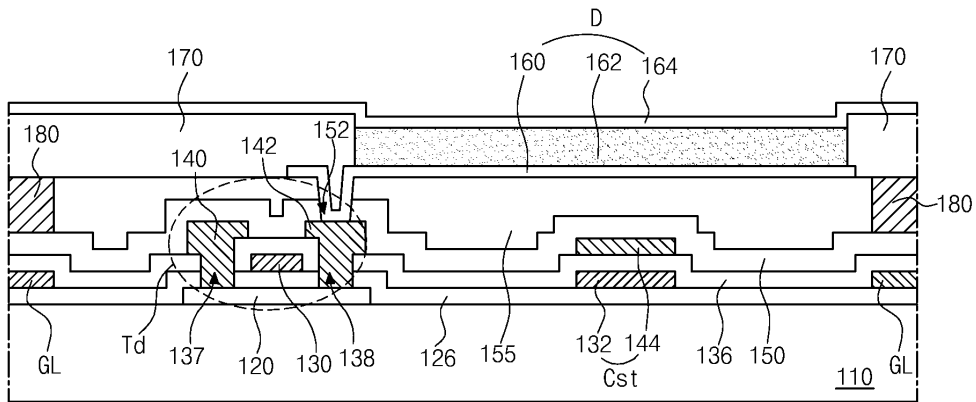
도면

도면1

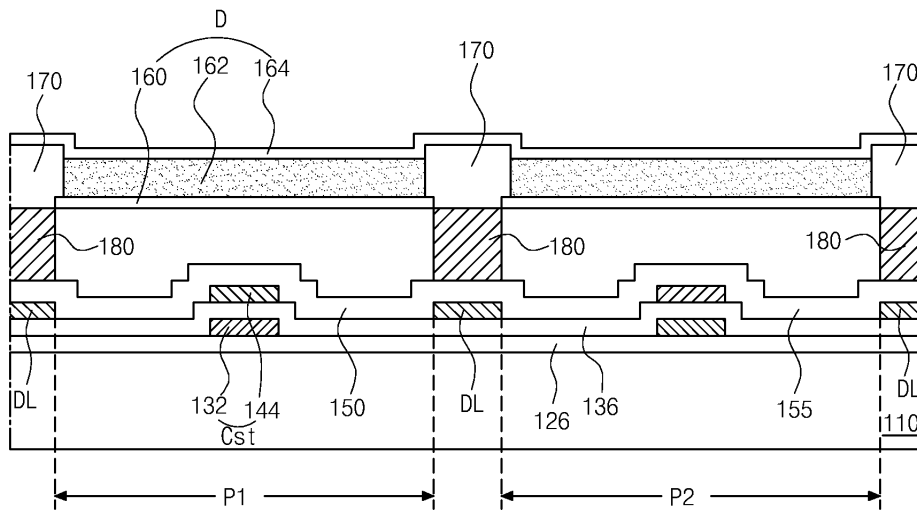
1



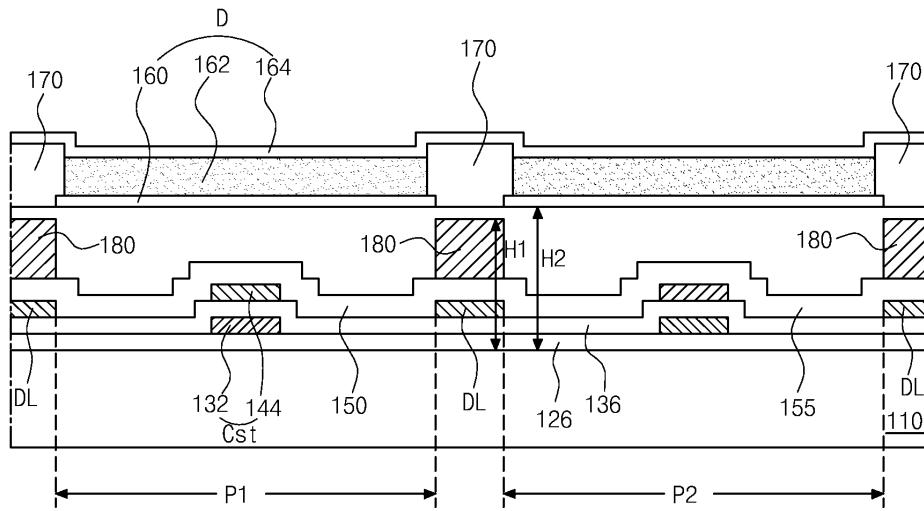
도면5



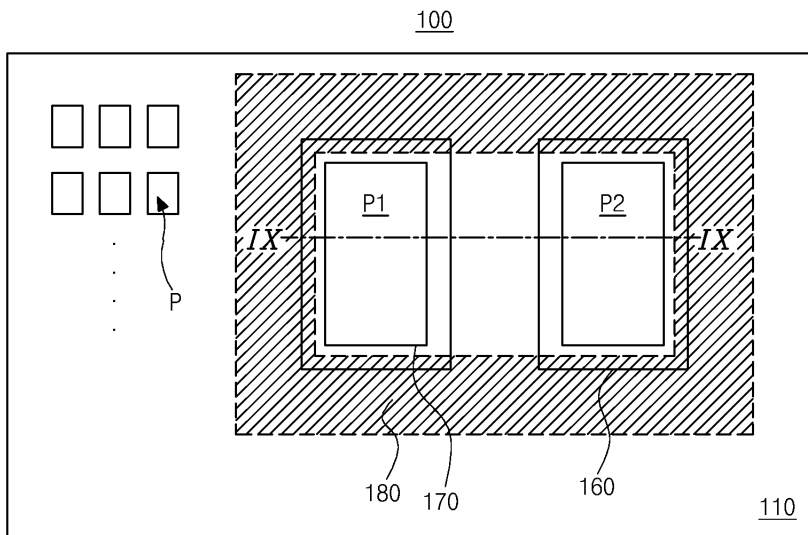
도면6



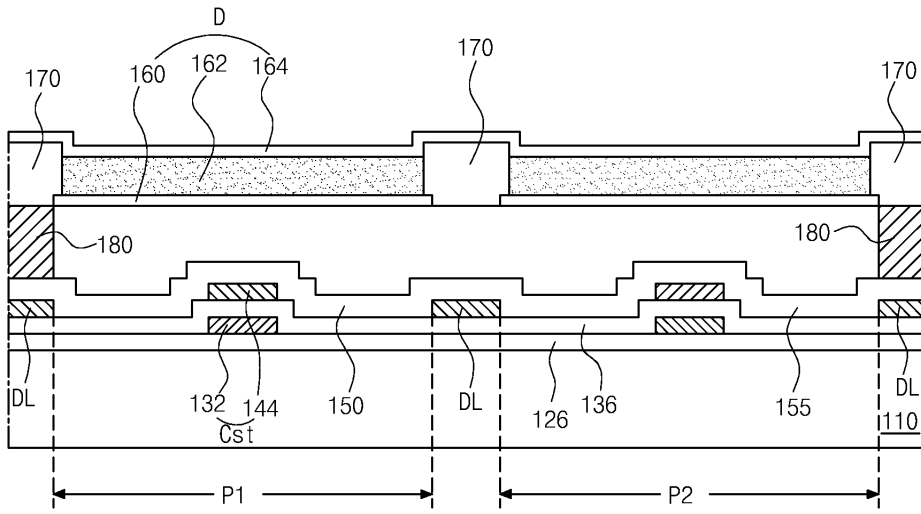
도면7



도면8



도면9



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190071336A	公开(公告)日	2019-06-24
申请号	KR1020170172305	申请日	2017-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김명성 고현일		
发明人	김명성 고현일		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5253 H01L27/3211 H01L27/3246 H01L27/3258 H01L27/3262 H01L51/524 H01L27/3244 H01L51/52 H01L27/3276 H01L51/0003 H01L51/5012 H01L51/5218 H01L51/5221		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体装置，其包括：基板，在该基板中限定有像素区域；和像素坝位于基板上方并围绕像素区域，并且距基板第一高度；被像素坝包围并位于像素区域中并且距基板第二高度均匀的保护层；电致发光显示装置设置在覆盖层上，并且包括彼此面对的第一电极和第二电极以及位于第一电极和第二电极之间的发光层。

