



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0066495  
(43) 공개일자 2019년06월13일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) H01L 27/32 (2006.01)  
(52) CPC특허분류  
H01L 51/5253 (2013.01)  
H01L 27/3248 (2013.01)  
(21) 출원번호 10-2017-0166243  
(22) 출원일자 2017년12월05일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
최호원  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인로얄

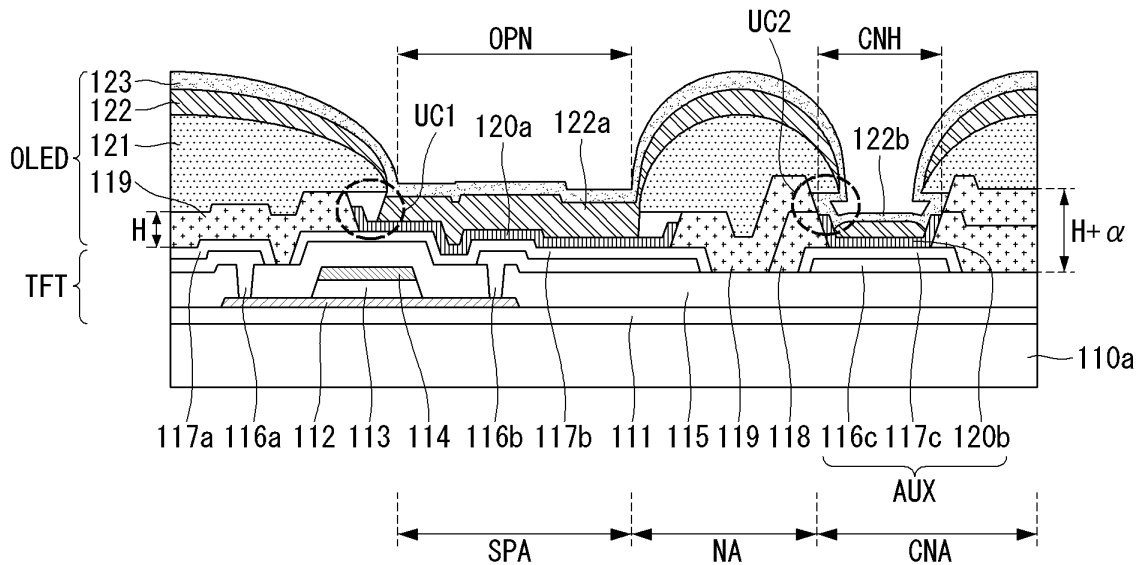
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광표시장치

(57) 요약

본 발명은 제1기관, 층간절연층, 금속층, 커버층, 제1보호층, 제2보호층, 픽셀전극층, 유기절연층, 유기발광층 및 공통전극층을 포함하는 전계발광표시장치를 제공한다. 금속층은 제1기관 상의 층간절연층 상에 위치하고 제1기관 상에 정의된 서브 픽셀의 발광영역 및 비 발광영역에 분리 배치된 제1 및 제2금속층과 제1기관 상에 정의된 (뒷면에 계속)

대표도 - 도7



콘택영역에 배치된 제3금속층을 포함한다. 커버층은 제1 내지 제3금속층에 대응하여 각각 분리 배치된 제1 내지 제3커버층을 포함한다. 제1보호층은 콘택영역에 위치하는 제3커버층을 덮고 제3커버층의 일부를 노출한다. 제2보호층은 제1커버층과 제2커버층을 덮고 제2커버층의 일부를 노출하고 제1보호층을 덮고 제3커버층의 일부를 노출한다. 픽셀전극층은 제2커버층 상의 제1픽셀전극층과 제3커버층 상의 제2픽셀전극층을 포함한다. 유기절연층은 제2보호층 상에 위치하고 제1픽셀전극층의 일부를 노출하는 개구부와 제2픽셀전극층의 일부를 노출하는 콘택홀을 갖는다. 유기발광층은 유기절연층과 제1 및 제2픽셀전극층 상에 위치한다. 공통전극층은 유기발광층 상에 위치하고, 콘택영역에서 보조배선의 최상층인 제2픽셀전극층과 전기적으로 연결된다.

(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 51/5203* (2013.01)

*H01L 51/5243* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1기관 상의 층간절연층 상에 위치하고 상기 제1기관 상에 정의된 서브 픽셀의 발광영역 및 비 발광영역에 분리 배치된 제1 및 제2금속층과 상기 제1기관 상에 정의된 콘택영역에 배치된 제3금속층을 포함하는 금속층;

상기 제1 내지 제3금속층에 대응하여 각각 분리 배치된 제1 내지 제3커버층을 포함하는 커버층;

상기 콘택영역에 위치하는 상기 제3커버층을 덮고 상기 제3커버층의 일부를 노출하는 제1보호층;

상기 제1커버층과 상기 제2커버층을 덮고 상기 제2커버층의 일부를 노출하고 상기 제1보호층을 덮고 상기 제3커버층의 일부를 노출하는 제2보호층;

상기 제2커버층 상의 제1픽셀전극층과 상기 제3커버층 상의 제2픽셀전극층을 포함하는 픽셀전극층;

상기 제2보호층 상에 위치하고 상기 제1픽셀전극층의 일부를 노출하는 개구부와 상기 제2픽셀전극층의 일부를 노출하는 콘택홀을 갖는 유기절연층;

상기 유기절연층과 상기 제1 및 제2픽셀전극층 상의 유기발광층; 및

상기 유기발광층 상에 위치하는 공통전극층을 포함하고,

상기 공통전극층은 상기 콘택영역에서 상기 보조배선의 최상층인 상기 제2픽셀전극층과 전기적으로 연결된 전계발광표시장치.

#### 청구항 2

제1항에 있어서,

상기 제1보호층과 상기 제2보호층은 두께가 다른 전계발광표시장치.

#### 청구항 3

제1항에 있어서,

상기 제1보호층은 상기 제2보호층보다 두꺼운 전계발광표시장치.

#### 청구항 4

제3항에 있어서,

상기 개구부는 상기 유기절연층의 하부가 일부 드러나도록 상기 유기절연층의 하부 안쪽으로 상기 제2보호층이 들어간 제1언더컷 형상을 갖고,

상기 콘택홀은 상기 유기절연층의 하부가 일부 드러나도록 상기 유기절연층의 하부 안쪽으로 상기 제1보호층과 상기 제2보호층이 들어간 제2언더컷 형상을 갖는 전계발광표시장치.

#### 청구항 5

제4항에 있어서,

상기 제2언더컷 형상의 높이는 상기 제1언더컷 형상의 높이보다 높은 전계발광표시장치.

#### 청구항 6

제5항에 있어서,

상기 제2픽셀전극층은

상기 제2언더컷 형상의 하부 공간에서 상기 제1 및 제2보호층 중 적어도 하나의 측벽을 덮는 전계발광표시장치.

**청구항 7**

제6항에 있어서,

상기 공통전극층과 상기 제2픽셀전극층은 상기 콘택영역 내에 노출된 상기 제2보호층의 측벽 부분에서 이루어지는 전계발광표시장치.

**청구항 8**

제6항에 있어서,

상기 공통전극층은

상기 콘택영역의 내부에 노출된 모든 층을 덮는 전계발광표시장치.

**청구항 9**

제1항에 있어서,

상기 보조배선은

상기 제3금속층, 상기 제3커버층 및 상기 제2픽셀전극층을 포함하는 전계발광표시장치.

**청구항 10**

제1항에 있어서,

상기 보조배선은

상기 제1기판 상에 정의된 표시영역 내에 수직방향 또는 수평방향 배치되거나 수직 및 수평방향으로 배치된 전계발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전계발광표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치(Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 전계발광표시장치는 제1기판 방향으로 빛을 출사하는 하부발광(Bottom Emission)과 제2기판 방향으로 빛을 출사하는 상부발광(Top Emission)형 등으로 구분된다. 그런데 종래 제안된 전계발광표시장치는 대면적 구현을 위한 개선의 여지가 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 보조배선과 공통전극층이 직접 접촉되도록 공정을 단순화하는 것이다. 또한, 본 발명은 대면적 구현시 표시 패널의 저항을 감소시켜 휘도 균일도를 향상하는 것이다. 또한, 본 발명은 셀프 얼라인 기법으로 마스크의 사용 개수를 절감하는 것이다.

**과제의 해결 수단**

- [0006] 상술한 과제 해결 수단으로 본 발명은 제1기관, 층간절연층, 금속층, 커버층, 제1보호층, 제2보호층, 픽셀전극층, 유기절연층, 유기발광층 및 공통전극층을 포함하는 전계발광표시장치를 제공한다. 금속층은 제1기관 상의 층간절연층 상에 위치하고 제1기관 상에 정의된 서브 픽셀의 발광영역 및 비 발광영역에 분리 배치된 제1 및 제2금속층과 제1기관 상에 정의된 콘택영역에 배치된 제3금속층을 포함한다. 커버층은 제1 내지 제3금속층에 대응하여 각각 분리 배치된 제1 내지 제3커버층을 포함한다. 제1보호층은 콘택영역에 위치하는 제3커버층을 덮고 제3커버층의 일부를 노출한다. 제2보호층은 제1커버층과 제2커버층을 덮고 제2커버층의 일부를 노출하고 제1보호층을 덮고 제3커버층의 일부를 노출한다. 픽셀전극층은 제2커버층 상의 제1픽셀전극층과 제3커버층 상의 제2픽셀전극층을 포함한다. 유기절연층은 제2보호층 상에 위치하고 제1픽셀전극층의 일부를 노출하는 개구부와 제2픽셀전극층의 일부를 노출하는 콘택홀을 갖는다. 유기발광층은 유기절연층과 제1 및 제2픽셀전극층 상에 위치한다. 공통전극층은 유기발광층 상에 위치하고, 콘택영역에서 보조배선의 최상층인 제2픽셀전극층과 전기적으로 연결된다.
- [0007] 제1보호층과 제2보호층은 두께가 다를 수 있다.
- [0008] 제1보호층은 제2보호층보다 두꺼울 수 있다.
- [0009] 서브 픽셀의 발광영역의 개구부는 유기절연층의 하부가 일부 드러나도록 유기절연층의 하부 안쪽으로 제2보호층이 들어간 제1언더컷 형상을 갖고, 콘택홀은 유기절연층의 하부가 일부 드러나도록 유기절연층의 하부 안쪽으로 제1보호층과 제2보호층이 들어간 제2언더컷 형상을 가질 수 있다.
- [0010] 제2언더컷 형상의 높이는 제1언더컷 형상의 높이보다 높을 수 있다.
- [0011] 제2픽셀전극층은 제2언더컷 형상의 하부 공간에서 제1 및 제2보호층 중 적어도 하나의 측벽을 덮을 수 있다.
- [0012] 공통전극층과 제2픽셀전극층은 콘택영역 내에 노출된 제2보호층의 측벽 부분에서 이루어질 수 있다.
- [0013] 공통전극층은 콘택영역의 내부에 노출된 모든 층을 덮을 수 있다.
- [0014] 보조배선은 제3금속층, 제3커버층 및 제2픽셀전극층을 포함할 수 있다.
- [0015] 보조배선은 제1기관 상에 정의된 표시영역 내에 수직방향 또는 수평방향 배치되거나 수직 및 수평방향으로 배치될 수 있다.

**발명의 효과**

- [0016] 본 발명은 표시 패널의 저항 감소를 위해 보조배선을 마련하더라도 증착 공정을 통해 보조배선과 공통전극층이 직접 접촉되도록 공정을 단순화할 수 있는 효과가 있다. 또한, 본 발명은 대면적 구현시 공통전극층과 보조배선을 이용하여 표시 패널의 저항을 감소시킬 수 있는바 휘도 균일도를 향상할 수 있는 효과가 있다. 또한, 본 발명은 언더컷 구조를 기반으로 한 픽셀전극층의 셀프 얼라인은 물론 마스크의 사용 개수를 절감할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0017] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 도 2의 일부를 구체화한 회로 구성 예시도.
- 도 4는 표시 패널의 평면 예시도.
- 도 5는 도 4의 I1-I2 영역의 단면 예시도.
- 도 6은 본 발명의 실험예에 따른 표시 패널의 일부를 나타낸 단면도.
- 도 7은 본 발명의 제1실시예에 따른 표시 패널의 일부를 나타낸 단면도.
- 도 8 내지 도 15는 본 발명의 제1실시예에 따른 표시 패널의 제조방법을 설명하기 위한 흐름도.
- 도 16은 본 발명의 제2실시예에 따른 표시 패널의 일부를 나타낸 단면도.
- 도 17 내지 도 19는 본 발명의 제3실시예에 따라 보조배선의 배치를 나타낸 예시도들.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 이하에서 설명되는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR), 증강현실기기(AR) 등으로 구현될 수 있다. 또한, 유기 발광다이오드(전계발광 표시소자)를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)는 물론이고, 무기 발광다이오드를 기반으로 구현된 무기전계발광표시장치(Inorganic Light Emitting Display Device)에도 적용 가능하다. 그러나 이하에서는 유기전계발광표시장치를 일례로 설명한다.
- [0020] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2의 일부를 구체화한 회로 구성 예시도이며, 도 4는 표시 패널의 평면 예시도이고, 도 5는 도 4의 I1-I2 영역의 단면 예시도이다.
- [0021] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(151), 데이터 구동부(155), 스캔 구동부(157), 표시 패널(110) 및 전원 공급부(153)를 포함한다.
- [0022] 타이밍 제어부(151)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(151)는 구동신호에 기초하여 스캔 구동부(157)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(155)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(151)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0023] 데이터 구동부(155)는 타이밍 제어부(151)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(151)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(또는 데이터전압)로 변환하여 출력한다. 데이터 구동부(155)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(155)는 IC 형태로 형성될 수 있다.
- [0024] 스캔 구동부(157)는 타이밍 제어부(151)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(157)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(157)는 IC 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.
- [0025] 전원 공급부(153)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(153)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다. 전원 공급부(153)는 IC 형태로 형성될 수 있다.
- [0026] 표시 패널(110)은 데이터 구동부(155)로부터 공급된 데이터신호(DATA), 스캔 구동부(157)로부터 공급된 스캔신호 그리고 전원 공급부(153)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.
- [0027] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0028] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 데이터라인(DL1), 스캔라인(GL1)의 교차영역에 위치하며, 구동 트랜지스터(DR)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)와 유기 발광다이오드(OLED)를 포함한다.
- [0029] 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 트랜지스터(DR)와 접속된다.
- [0030] 프로그래밍부(SC)는 적어도 하나 이상의 스위칭 트랜지스터와, 적어도 하나 이상의 커패시터를 포함하는 트랜지스터부(트랜지스터 어레이)로 구현될 수 있다. 트랜지스터부는 CMOS 반도체, PMOS 반도체 또는 NMOS 반도체를 기반으로 구현된다. 트랜지스터부에 포함된 트랜지스터들은 p 타입 또는 n 타입 등으로 구현될 수 있다. 또한, 서브 픽셀의 트랜지스터부에 포함된 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.

- [0031] 스위칭 트랜지스터는 스캔라인(GL1)으로부터의 스캔신호에 응답하여 턴 온 됨으로써, 데이터라인(DL1)으로부터의 데이터전압을 커패시터의 일측 전극에 인가한다. 구동 트랜지스터(DR)는 커패시터에 충전된 전압의 크기에 따라 전류량을 제어하여 유기 발광다이오드(OLED)의 발광량을 조절한다. 유기 발광다이오드(OLED)의 발광량은 구동 트랜지스터(DR)로부터 공급되는 전류량에 비례한다. 또한, 서브 픽셀은 제1전원라인(EVDD)과 제2전원라인(EVSS)에 연결되며, 이들로부터 고전위전압과 저전위전압을 공급받는다.
- [0032] 도 3의 (a)에 도시된 바와 같이, 서브 픽셀은 앞서 설명한 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED) 뿐만 아니라 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 보상신호라인(INIT)에 연결된 하나 이상의 트랜지스터들을 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광 다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다. 이 경우, 스캔라인(GL1)은 스위칭 트랜지스터(SW)와 내부보상회로(CC)의 트랜지스터들을 제어하기 위해 적어도 2개의 스캔라인(GL1a, GL1b)을 포함하게 된다.
- [0033] 도 3의 (b)에 도시된 바와 같이, 서브 픽셀은 스위칭 트랜지스터(SW1), 구동 트랜지스터(DR), 센싱 트랜지스터(SW2), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함할 수 있다. 센싱 트랜지스터(SW2)는 내부보상회로(CC)에 포함될 수 있는 트랜지스터로서, 서브 픽셀의 보상 구동을 위해 센싱 동작을 수행한다.
- [0034] 스위칭 트랜지스터(SW1)는 제1스캔라인(GL1a)을 통해 공급된 스캔신호에 응답하여, 데이터라인(DL1)을 통해 공급되는 데이터전압을 제1노드(N1)에 공급하는 역할을 한다. 그리고 센싱 트랜지스터(SW2)는 제2스캔라인(GL1b)을 통해 공급된 센싱신호에 응답하여, 구동 트랜지스터(DR)와 유기 발광다이오드(OLED) 사이에 위치하는 제2노드(N2)를 초기화하거나 센싱하는 역할을 한다.
- [0035] 한편, 앞서 도 3에서 소개된 서브 픽셀의 회로 구성은 이해를 돕기 위한 것일 뿐이다. 즉, 본 발명의 서브 픽셀의 회로 구성은 이에 한정되지 않고, 2T(Transistor)1C(Capacitor), 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0036] 도 4에 도시된 바와 같이, 표시 패널(110)은 제1기판(110a), 제2기판(110b), 표시영역(AA), 패드부(PAD) 등을 포함한다. 표시영역(AA)은 빛을 발광하는 서브 픽셀들(SP)로 이루어진다. 표시영역(AA)의 서브 픽셀들(SP)은 수분이나 산소 등에 취약하므로 밀봉되지만, 패드부(PAD)는 외부 기판과의 전기적인 연결을 도모하기 위한 패드들로 이루어지므로 외부로 노출된다.
- [0037] 표시영역(AA)은 제1기판(110a)의 거의 모든 면을 차지하도록 배치될 수 있고, 패드부(PAD)는 제1기판(110a)의 일측 외곽에 배치될 수 있다. 표시 패널(110)은 사각형 형상으로 구현된 것을 일례로 하였으나, 이는 오각형, 육각형, 다각형, 원형, 타원형 등 다양한 형상으로 구현될 수 있다.
- [0038] 도 4 및 도 5 (a)에 도시된 바와 같이, 표시영역(AA)은 제1기판(110a)과 제2기판(110b) 사이에 존재하는 밀봉부재(170)에 의해 밀봉될 수 있다. 도 4 및 도 5 (b)에 도시된 바와 같이, 표시영역(AA)은 제1기판(110a)과 제2기판(110b)만으로 밀봉될 수 있다.
- [0039] 표시 패널(110)은 평평하게 펴진 형태, 유연하게 구부러지거나 펼 수 있는 형태, 곡면을 갖는 형태 등 다양한 형태를 가질 수 있다. 또한, 표시 패널(110)은 제1기판(110a) 방향으로 빛을 출사하는 하부발광(Bottom Emission), 제2기판(110b) 방향으로 빛을 출사하는 상부발광(Top Emission), 또는 양쪽 기판(110a, 110b) 방향으로 빛을 출사하는 양면발광(Dual Emission) 등의 형태로도 구현될 수 있다. 그러므로 표시 패널(110)의 밀봉구조는 구현하고자 하는 형태에 맞추어 선택될 수 있는바 도 4 및 도 5의 설명에 한정되지 않는다. 그러나 이하에서는 대면적 표시 패널(110)의 일례로 상부발광 방식을 일례로 설명한다.
- [0040] <실험예>
- [0041] 도 6은 본 발명의 실험예에 따른 표시 패널의 일부를 나타낸 단면도이다.
- [0042] 도 6에 도시된 바와 같이, 실험예에 따른 표시 패널은 제1기판(110a), 트랜지스터(TFT), 유기발광다이오드(OLED), 및 제2기판(110b)을 포함한다. 트랜지스터(TFT)와 유기발광다이오드(OLED)는 서브 픽셀의 발광영역(SPA)에 포함된다.
- [0043] 서브 픽셀의 발광영역(SPA)과 인접하는 영역에는 비 발광영역(NA)이 존재한다. 그리고 비 발광영역(NA)과 인접하는 영역에는 콘택영역(CNA)이 존재한다. 서브 픽셀의 발광영역(SPA)을 제외한 다른 영역에서는 실질적인 빛의 발광이 일어나지 않는다. 따라서, 콘택영역(CNA) 또한 비 발광영역(NA)에 포함될 수 있으나 유기발광다이오드

(OLED)의 제2전극층(123)을 보조배선(AUX)과 연결하기 위해 마련된 것이므로 비 발광영역(NA) 대비 기능적 차이 점이 있는바 이를 영역으로 구분한 것임을 참조한다. 실험예에 따른 표시 패널에 포함된 각 구성물은 이하의 실시예에서 더욱 자세히 다루어지므로 이들과 관련된 설명은 생략한다.

- [0044] 실험예는 대면적 상부발광 방식 표시 패널 구현시 휘도 균일도 향상을 위해 보조배선(AUX)을 사용한다. 보조배선(AUX)은 공통전극층(123)의 저항 감소를 도모하는 역할을 하기 위해 다층으로 이루어진다. 보조배선(AUX)은 금속층(116a, 116b, 116c) 중 하나로 이루어진 제1보조전극층(116c), 커버층(117a, 117b, 117c) 중 하나로 이루어진 제2보조전극층(117c) 및 픽셀전극층(122, 122a, 122b) 중 하나로 이루어진 제3보조전극층(120b)을 포함한다. 보조배선(AUX)의 최상단인 제3보조전극층(120b)은 공통전극층(123)과 전기적으로 연결된다.
- [0045] 실험예는 제조 공정의 특성상 공통전극층(123)과 보조배선(AUX)의 최상단인 제3보조전극층(120b) 사이에 유기발광층(122)이 존재한다. 따라서, 실험예의 구조에 따르면 공통전극층(123)과 보조배선(AUX)의 최상단인 제3보조전극층(120b)을 전기적으로 접촉시키기 위해 레이저(Laser)를 조사하는 방식을 이용해야 한다.
- [0046] 이하에서 설명되는 본 발명의 실시예는 대면적 상부발광 방식 표시 패널 구현시 공통전극층(123)의 저항 감소를 도모하는 보조배선(AUX)을 마련할 경우 별도의 레이저 조사 공정 없이 전극 간의 접촉이 이루어지도록 한다.
- [0047] <제1실시예>
- [0048] 도 7은 본 발명의 제1실시예에 따른 표시 패널의 일부를 나타낸 단면도이다.
- [0049] 도 7에 도시된 바와 같이, 제1실시예에 따른 표시 패널은 제1기관(110a), 트랜지스터(TFT), 유기발광다이오드(OLED), 및 제2기관(110b)을 포함한다. 트랜지스터(TFT)와 유기발광다이오드(OLED)는 서브 픽셀의 발광영역(SPA)에 포함된다.
- [0050] 서브 픽셀의 발광영역(SPA)과 인접하는 영역에는 비 발광영역(NA)이 존재한다. 그리고 비 발광영역(NA)과 인접하는 영역에는 콘택영역(CNA)이 존재한다. 서브 픽셀의 발광영역(SPA)을 제외한 다른 영역에서는 실질적인 빛의 발광이 일어나지 않는다. 따라서, 콘택영역(CNA) 또한 비 발광영역(NA)에 포함될 수 있으나 유기발광다이오드(OLED)의 제2전극층(123)을 보조배선(AUX)과 연결하기 위해 마련된 것이므로 비 발광영역(NA) 대비 기능적 차이 점이 있는바 이를 영역으로 구분한 것임을 참조한다.
- [0051] 이하 두 개의 기관(110a, 110b) 사이에 형성된 구조물들을 설명하면 다음과 같다. 다만, 서브 픽셀의 발광영역(SPA)에서 보이는 단면 구조는 하나의 서브 픽셀 중 일부에 해당함을 참조한다. 또한, 이하의 설명에서 서브 픽셀의 발광영역(SPA) 또는 콘택영역(CNA)에 구분되어 위치하지 않고 기관의 전면에 형성되는 경우 영역을 한정하지 않는다.
- [0052] 제1기관(110a) 상에는 버퍼층(111)이 위치한다. 버퍼층(111) 상에는 반도체층(112)이 위치한다. 반도체층(112)은 표시영역(AA)에 위치하며 소오스영역, 채널영역 및 드레인영역을 갖는다. 반도체층(112) 상에는 게이트절연층(113)이 위치한다. 게이트절연층(113)은 표시영역(AA)에 존재하는 반도체층(112)의 채널영역을 덮도록 형성된다.
- [0053] 게이트절연층(113) 상에는 게이트금속층(114)이 위치한다. 게이트금속층(114)은 게이트절연층(113)의 크기에 대응하여 형성된다. 게이트금속층(114)은 트랜지스터(TFT)의 게이트전극이 된다. 이 밖에도, 게이트금속층(114)은 스캔라인 등을 형성하는 층으로 사용된다. 게이트금속층(114) 상에는 층간절연층(115)이 위치한다. 층간절연층(115)은 반도체층(112)의 소오스영역과 드레인영역을 노출한다.
- [0054] 층간절연층(115) 상에는 금속층(116a, 116b, 116c)이 위치한다. 금속층(116a, 116b, 116c)은 같은 층으로 이루어질 수 있다. 금속층(116a, 116b, 116c)은 서브 픽셀의 발광영역(SPA) 상에 위치하는 금속층(116a, 116b)과 콘택영역(CNA) 상에 위치하는 금속층(116c)으로 구분된다. 서브 픽셀의 발광영역(SPA) 상에 위치하는 금속층(116a, 116b)은 반도체층(112)의 소오스영역과 드레인영역에 연결되도록 분리된다. 제1 및 제2금속층(116a, 116b)은 트랜지스터(TFT)의 소오스전극과 드레인전극이 된다. 콘택영역(CNA) 상에 위치하는 제3금속층(116c)은 보조배선(AUX)의 제1보조전극층(116c)으로 정의될 수 있다. 금속층(116a, 116b, 116c)은 데이터라인 및 트랜지스터(TFT)의 소오스전극과 드레인전극을 형성하는 부분으로서 데이터금속층이라고도 정의된다.
- [0055] 금속층(116a, 116b, 116c) 상에는 커버층(117a, 117b, 117c)이 위치한다. 커버층(117a, 117b, 117c)은 같은 층으로 이루어질 수 있다. 커버층(117a, 117b, 117c)은 서브 픽셀의 발광영역(SPA) 상에 위치하는 커버층(117a, 117b)과 콘택영역(CNA) 상에 위치하는 커버층(117c)으로 구분된다. 제1 내지 제3커버층(117a, 117b, 117c)은 금속층(116a, 116b, 116c)을 각각 덮도록 패턴된다. 콘택영역(CNA) 상에 위치하는 제3커버층(117c)은 보조배선

(AUX)의 제2보조전극층(117c)으로 정의될 수 있다.

- [0056] 콘택영역(CNA) 상에는 제3커버층(117c)을 노출(제3커버층이 없는 경우 제3금속층인 117c의 일부를 노출할 수 있음)하는 제1보호층(118)이 위치한다. 서브 픽셀의 발광영역(SPA)을 제외한 비 발광영역(NA) 상에는 제2커버층(117b)을 노출(제2커버층이 없는 경우 제2금속층인 117b의 일부를 노출할 수 있음)하는 제2보호층(119)이 위치한다. 제1보호층(118)과 제2보호층(119)은 트랜지스터(TFT)를 포함하는 하부 구조물층을 보호하는 역할을 한다. 콘택영역(CNA) 상에는 제1보호층(118)과 제2보호층(119)이 연속 증착되어 있어 두꺼운 보호층을 구성하는 반면 비 발광영역(NA) 상에는 제1보호층(118)만 증착되어 있어 상대적으로 얇은 보호층을 구성하게 된다. 보호층의 두께를 이와 같이 영역별로 달리할 때의 효과는 이하에서 자세히 다루도록 한다.
- [0057] 비 발광영역(NA)과 콘택영역(CNA) 상의 제2보호층(119) 상에는 유기절연층(121)이 위치한다. 유기절연층(121)은 서브 픽셀의 발광영역(SPA)을 정의하는 개구부(OPN)와 콘택영역(CNA)을 정의하는 콘택홀(CNH)을 갖는다. 유기절연층(121)에 마련된 개구부(OPN)와 콘택홀(CNH)을 통해 픽셀전극층(120a, 120b)의 일부는 각각 노출된다. 유기절연층(121)은 서브 픽셀의 발광영역(SPA)을 정의하는 개구부(OPN)를 갖는다. 개구부(OPN)는 유기절연층(121)의 하부가 일부 드러나도록 유기절연층(121)의 하부 안쪽으로 제2보호층(119)이 들어간 제1언더컷 형상(UC1)을 갖는다. 제1언더컷 형상(UC1)으로 인하여, 제2 보호층(119)의 상부 폭은 유기절연층(121)의 하부 폭보다 좁다. 제2 보호층(119)의 상부는 유기절연층(121)의 하부와 접하지만, 유기절연층(121)의 하부 일부 영역은 제2 보호층(119)의 상부와 접하지 않고 노출된다.
- [0058] 유기절연층(121)은 콘택영역(CNA)을 정의하는 콘택홀(CNH)을 갖는다. 콘택홀(CNH)은 유기절연층(121)의 하부가 일부 드러나도록 유기절연층(121)의 하부 안쪽으로 제1보호층(118)과 제2보호층(119)이 들어간 제2언더컷 형상(UC2)을 갖는다. 제2언더컷 형상(UC2)으로 인하여, 제1 및 제2 보호층(118, 119)의 상부 폭은 유기절연층(121)의 하부 폭보다 좁다. 제2보호층(119)의 폭은 제1보호층(118)의 폭보다 넓다. 제2 보호층(119)의 상부는 유기절연층(121)의 하부와 접하지만, 유기절연층(121)의 하부 일부 영역은 제2 보호층(119)의 상부와 접하지 않고 노출된다.
- [0059] 제1언더컷 형상(UC1) 및 제2언더컷 형상(UC2)은 유사한 형상을 갖는다. 하지만, 제1언더컷 형상(UC1)에 의해 마련된 개구부(OPN)의 주변 영역에는 제2보호층(119)만 존재하고, 제2언더컷 형상(UC2)에 의해 마련된 콘택영역(CNA)의 주변 영역에는 제1보호층(118)과 제2보호층(119)이 모두 존재한다. 제1언더컷 형상(UC1)에 의해 마련된 하부 공간의 높이(H)와 제2언더컷 형상(UC2)에 의해 마련된 하부 공간의 높이(H+ a)를 수식으로 표현하면  $UC1 < UC2$ 의 관계가 된다.
- [0060] 유기절연층(121)을 통해 노출된 제2커버층(117b)과 제3커버층(117c) 상에는 픽셀전극층(120a, 120b)이 위치한다. 서브 픽셀의 발광영역(SPA) 상의 제2커버층(117b) 상에 위치하는 제1픽셀전극층(120a)은 유기발광다이오드(OLED)의 애노드전극으로 정의될 수 있다. 콘택영역(CNA) 상의 제3커버층(117c)에 위치하는 제2픽셀전극층(120b)은 보조배선(AUX)의 제3보조전극층(120b)으로 정의될 수 있다. 제1픽셀전극층(120a)은 제1언더컷 형상(UC1)의 하부 공간까지 침투되어 제2보호층(119)의 측벽을 덮는다. 제2픽셀전극층(120b)은 제2언더컷 형상(UC2)의 하부 공간까지 침투되어 제1보호층(118)(또는 제2보호층의 일부까지)의 측벽을 덮는다.
- [0061] 제1픽셀전극층(120a), 제2픽셀전극층(120b) 및 유기절연층(121) 상에는 유기발광층(122)이 위치한다. 유기발광층(122)은 적색, 녹색 또는 청색을 발광하는 재료로 이루어질 수 있지만, 컬러필터가 존재하는 경우 백색을 발광하는 재료로 이루어질 수도 있다. 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)은 유기절연층(121) 상에 위치하는 유기발광층(122)과 함께 형성되지만 제1언더컷 형상(UC1)으로 인하여 분리된 부분이다. 제2픽셀전극층(120b) 상에 위치하는 유기발광층(122b) 또한 유기절연층(121) 상에 위치하는 유기발광층(122)과 함께 형성되지만 제2언더컷 형상(UC2)으로 인하여 분리된 부분이다. 제1언더컷 형상(UC1)으로 인하여 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)은 개구부(OPN)의 내부에만 존재하지만, 그 하부의 제1픽셀전극층(120a)보다 좁은 면적을 차지하며 위치하게 된다. 제2언더컷 형상(UC2)으로 인하여 제2픽셀전극층(120b) 상에 위치하는 유기발광층(122b)은 콘택홀(CNH)의 내부에만 존재하지만, 그 하부의 제2픽셀전극층(120b)보다 좁은 면적을 차지하며 위치하게 된다. 콘택홀(CNH)의 내부에 존재하는 유기발광층(122b)은 빛을 발광하지 않는다. 즉, 콘택영역(CNA)에서는 빛이 발광되지 않는다.
- [0062] 제1언더컷 형상(UC1)으로 인하여, 유기절연층(121) 상의 유기발광층(122)과 제1픽셀전극층(120a) 상의 유기발광층(122a)은 분리될 수 있다. 또한, 유기절연층(121) 상에 픽셀전극층(120a, 120b)이 잔존하지 않기 때문에 유기발광층(122a)이 얇게 형성되지 않더라도 픽셀전극층(120a, 120b)과 공통전극층(123) 간의 접촉으로 인한 쇼트는 방지된다. 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)은 빛을 발광하지만 제2픽셀전극층(120b) 상에

위치하는 유기발광층(122b)은 빛을 발광하지 않는다. 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)의 빛을 발광하므로 제1실시예와 같이 유기절연층(121) 상에 존재하는 부분과 분리되면 인접하는 서브 픽셀들 간에 발생할 수 있는 전류누설(Lateral Current Leakage)을 방지할 수 있는 효과가 있다.

- [0063] 유기발광층(122) 상에는 공통전극층(123)이 위치한다. 공통전극층(123)은 유기발광다이오드(OLED)의 캐소드전극으로 정의될 수 있다. 공통전극층(123)은 표시 패널의 표시영역 상에 노출된 모든 유기발광층(122)을 덮도록 (모든 서브 픽셀들을 공통으로 덮는 형태) 형성된다. 이 때문에, 공통전극층(123)은 서브 픽셀의 발광영역(SPA)을 정의하는 개구부(OPN)는 물론이고 비 발광영역(NA) 및 콘택영역(CNA) 상에도 끊김 없이 위치한다.
- [0064] 특히, 공통전극층(123)은 제2언더컷 형상(UC2)의 하부에 존재하는 제1보호층(118)과 제2보호층(119)의 두께로 인하여 제1언더컷 형상(UC1) 대비 높은 하부 공간을 갖는다. 이 때문에, 콘택영역(CNA) 상에 위치하는 공통전극층(123)은 제1보호층(118)과 제2보호층(119)의 측벽은 물론이고 콘택홀(CNH)의 내부에서 노출된 제2픽셀전극층(120b) 그리고 제2픽셀전극층(120b) 상의 유기발광층(122b)을 덮게 된다. 그 결과, 콘택영역(CNA) 상에 위치하는 공통전극층(123)은 레이저(Laser)를 조사하는 등의 추가 공정을 하지 않더라도 보조배선(AUX)의 최상단인 제2픽셀전극층(120b)과 전기적으로 연결된다.
- [0065] 그러므로 본 발명의 제1실시예는 콘택영역(CNA)에 위치하는 보호층(118, 119)의 두께만 증가시켜 유기발광층(122)을 단락시키되 보조배선(AUX)과 공통전극층(123)의 전기적인 접촉을 유도하는 구조를 갖는다. 이로 인하여, 본 발명의 제1실시예는 공통전극층(123)을 형성할 때 보조배선(AUX)의 최상단인 제2픽셀전극층(120b)과 전기적인 접촉이 이루어지므로 실험에 대비 공정을 단순화할 수 있는 효과가 있다. 본 발명의 제1실시예에 따르면, 공통전극층(123)과 보조배선(AUX)의 최상단인 제2픽셀전극층(120b)은 콘택영역(CNA) 내에 노출된 제2보호층(119)의 측벽 부분에서 이루어진다. 본 발명의 제1실시예에 따르면, 공통전극층(123)은 콘택영역(CNA)의 내부에 노출된 모든 층을 덮는다.
- [0066] 이하, 본 발명의 제1실시예에 따른 표시 패널의 제조방법을 설명하면 다음과 같다.
- [0067] 도 8 내지 도 15는 본 발명의 제1실시예에 따른 표시 패널의 제조방법을 설명하기 위한 흐름도이다.
- [0068] 도 8에 도시된 바와 같이, 제1기판(110a) 상에 버퍼층(111)을 형성한다. 버퍼층(111)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0069] 버퍼층(111) 상에 반도체층(112)을 형성한다. 반도체층(112)은 표시영역(AA)에 위치하며 소오스영역, 채널영역 및 드레인영역을 갖는다. 반도체층(112)은 유기 반도체 재료, 산화물 반도체 재료 또는 실리콘 반도체 재료 등으로 이루어질 수 있다.
- [0070] 반도체층(112) 상에 게이트절연층(113)을 형성한다. 게이트절연층(113)은 표시영역(AA)에 존재하는 반도체층(112)의 채널영역을 덮도록 형성된다. 게이트절연층(113)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.
- [0071] 게이트절연층(113) 상에 게이트금속층(114)을 형성한다. 게이트금속층(114)은 게이트절연층(113)의 크기에 대응하여 형성된다. 게이트금속층(114)은 트랜지스터(TFT)의 게이트전극이 된다. 이 밖에도, 게이트금속층(114)은 스캔라인 등을 형성하는 층으로 사용된다. 게이트절연층(113)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0072] 게이트금속층(114) 상에 층간절연층(115)을 형성한다. 층간절연층(115)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 층간절연층(115)은 반도체층(112)의 소오스영역과 드레인영역을 노출한다.
- [0073] 층간절연층(115) 상에 금속층(116a, 116b, 116c)을 형성한다. 금속층(116a, 116b, 116c)은 서브 픽셀의 발광영역(SPA) 상에서 반도체층(112)의 소오스영역과 드레인영역에 연결되도록 분리된 제1 및 제2금속층(116a, 116b)과 콘택영역(CNA) 상에 위치하도록 분리된 제3금속층(116c)을 포함한다. 제1 및 제2금속층(116a, 116b)은 트랜지스터(TFT)의 소오스 및 드레인전극이 되고, 제3금속층(116c)은 보조배선의 제1보조전극층(116c)이 된다. 금속층(116a, 116b, 116c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0074] 금속층(116a, 116b, 116c) 상에 커버층(117a, 117b, 117c)을 형성한다. 커버층(117a, 117b, 117c)은 서브 픽셀의 발광영역(SPA)과 콘택영역(CNA)으로 분리되어 있는 금속층(116a, 116b, 116c)을 덮고 보호하도록 금속층

(116a, 116b, 116c)의 위치에 대응하여 패턴된다. 제1 및 제3커버층(117a, 117c)과 달리 제2커버층(117b)은 채널영역까지 덮도록 패턴된다. 제3커버층(117c)은 보조배선의 제2보조전극층(117c)이 된다. 커버층(117a, 117b, 117c)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등의 산화물로 이루어질 수 있다. 커버층(117a, 117b, 117c)은 공정의 특성상 생략될 수도 있다. 층간절연층(115) 및 커버층(117a, 117b, 117c) 상에 제1보호층(118)을 형성한다. 제1보호층(118)을 패턴하여 콘택영역(CNA)과 비 발광영역(NA)에 일부 위치하도록 한다. 제1보호층(118)은 콘택영역(CNA)에 위치하는 제3커버층(117c)을 노출한다. 제1보호층(118)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다.

[0075] 도 9에 도시된 바와 같이, 층간절연층(115), 커버층(117a, 117b, 117c) 및 제1보호층(118) 상에 제2보호층(119)을 형성한다. 서브 픽셀의 발광영역(SPA) 주변의 비 발광영역(NA)에는 제2보호층(119)만 존재하고 콘택영역(CNA) 주변에는 제1보호층(118)과 제2보호층(119)이 함께 위치한다. 그 결과 서브 픽셀의 발광영역(SPA) 주변의 제2보호층(119)에 의해 형성된 높이(H)보다 콘택영역(CNA) 주변의 제1 및 제2보호층(118, 119)에 의해 형성된 높이(H+a)가 더 높다. 제2보호층(119)은 제1보호층(118)과 동일한 재료 또는 다른 재료로 형성된다. 제2보호층(119)의 두께는 제1보호층(118)의 두께와 다르다. 제1보호층(118)의 두께(1000Å 이상)는 제2보호층(119)의 두께(1000Å 이하)보다 더 두껍다. 제1보호층(118)이 제2보호층(119)보다 더 두꺼울수록 좋은데 이와 관련된 효과는 이하에서 다루기로 한다.

[0076] 도 10에 도시된 바와 같이, 제2보호층(119) 상에 유기절연층(121)을 형성한다. 유기절연층(121)은 네거티브 오버코트층, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다. 유기절연층(121)을 패턴하여 서브 픽셀의 발광영역(SPA)에는 개구부(OPN)를 형성하고 콘택영역(CNA)에는 콘택홀(CNH)을 형성한다.

[0077] 도 11에 도시된 바와 같이, 유기절연층(121)을 마스크로 사용하여 유기절연층(121)의 외부로 노출된 제1보호층(118)과 제2보호층(119)을 식각한다. 제1보호층(118)과 제2보호층(119)을 식각할 때에는 습식 식각(Wet etch) 방식을 이용할 수 있다. 서브 픽셀의 발광영역(SPA)을 정의하는 개구부(OPN)에는 그 하부에 위치하는 제2보호층(119)이 유기절연층(121)보다 더 안쪽으로 들어가도록 제1언더컷 형상(UC1)을 형성한다. 콘택영역(CNA)을 정의하는 콘택홀(CNH)에는 그 하부에 위치하는 제1보호층(118)과 제2보호층(119)이 유기절연층(121)보다 더 안쪽으로 들어가도록 제2언더컷 형상(UC2)을 형성한다.

[0078] 도 12에 도시된 바와 같이, 유기절연층(121)을 마스크로 사용하여 픽셀전극층(120a, 120b, 120c)을 형성한다. 픽셀전극층(120a, 120b, 120c)은 유기절연층(121)에 의해 위치별로 구분되어 형성된다. 픽셀전극층(120a, 120b, 120c)은 유기절연층(121)에 의해 자동으로 구분되는바 셀프 얼라인(Self-Align) 된다고 정의할 수 있다. 서브 픽셀의 발광영역(SPA) 상의 제2커버층(117b) 상에 위치하는 제1픽셀전극층(120a)은 유기발광다이오드(OLED)의 애노드전극으로 정의될 수 있다. 콘택영역(CNA) 상의 제3커버층(117c)에 위치하는 제2픽셀전극층(120b)은 보조배선(AUX)의 제3보조전극층(120b)으로 정의될 수 있다.

[0079] 도 13 및 도 14에 도시된 바와 같이, 유기절연층(121)을 마스크로 사용하여 포토레지스트(PR)를 형성한다. 포토레지스트(PR)는 유기절연층(121) 상의 잔존하는 제3픽셀전극층(120c)을 제거하기 위해 형성된다. 포토레지스트(PR)를 형성할 때에는 유기절연층(121)의 거의 하단 높이까지 형성하는 것이 좋다. 따라서, 포토레지스트(PR)를 형성한 후 애싱(Ashing)을 한 후 포토레지스트(PR)를 제거함과 동시에 유기절연층(121) 상의 잔존하는 제3픽셀전극층(120c)을 제거한다.

[0080] 도 15에 도시된 바와 같이, 유기절연층(121)을 마스크로 사용하여 유기발광층(122, 122a, 122b)을 형성한다. 유기발광층(122)은 적색, 녹색 또는 청색을 발광하는 재료로 이루어질 수 있지만, 컬러필터가 존재하는 경우 백색을 발광하는 재료로 이루어질 수도 있다. 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)은 유기절연층(121) 상에 위치하는 유기발광층(122)과 함께 형성되지만 제1언더컷 형상(UC1)으로 인하여 분리된 부분이다. 제2픽셀전극층(120b) 상에 위치하는 유기발광층(122b) 또한 유기절연층(121) 상에 위치하는 유기발광층(122)과 함께 형성되지만 제2언더컷 형상(UC2)으로 인하여 분리된 부분이다.

[0081] 제1언더컷 형상(UC1)으로 인하여 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)은 개구부(OPN)의 내부에만 존재하지만, 그 하부의 제1픽셀전극층(120a)보다 좁은 면적을 차지하며 위치하게 된다. 제2언더컷 형상(UC2)으로 인하여 제2픽셀전극층(120b) 상에 위치하는 유기발광층(122b)은 콘택홀(CNH)의 내부에만 존재하지만, 그 하부의 제2픽셀전극층(120b)보다 좁은 면적을 차지하며 위치하게 된다. 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)은 빛을 발광하지만 제2픽셀전극층(120b) 상에 위치하는 유기발광층(122b)은 빛을 발광하지 않는다.

다. 제1픽셀전극층(120a) 상에 위치하는 유기발광층(122a)의 빛을 발광하므로 제1실시예와 같이 유기절연층(121) 상에 존재하는 부분과 분리되면 인접하는 서브 픽셀들 간에 발생할 수 있는 전류누설(Lateral Current Leakage)을 방지할 수 있는 효과가 있다. 제1언더컷 형상(UC1)으로 인하여, 유기절연층(121) 상의 유기발광층(122)과 제1픽셀전극층(120a) 상의 유기발광층(122a)은 분리될 수 있다. 또한, 유기절연층(121) 상에 픽셀전극층(120a, 120b)이 잔존하지 않기 때문에 유기발광층(122a)이 얇게 형성되지 않더라도 픽셀전극층(120a, 120b)과 공통전극층(123) 간의 접촉으로 인한 쇼트를 방지할 수 있는 효과가 있다.

[0082] 유기발광층(122) 상에 공통전극층(123)을 형성한다. 공통전극층(123)은 유기발광다이오드(OLED)의 캐소드전극으로 정의될 수 있다. 공통전극층(123)은 표시 패널의 표시영역 상에 노출된 모든 유기발광층(122)을 덮도록(모든 서브 픽셀들을 공통으로 덮는 형태) 형성된다. 이 때문에, 공통전극층(123)은 서브 픽셀의 발광영역(SPA)을 정의하는 개구부(OPN)는 물론이고 비 발광영역(NA) 및 콘택영역(CNA) 상에도 끊임 없이 위치한다.

[0083] 특히, 공통전극층(123)은 제2언더컷 형상(UC2)의 하부에 존재하는 제1보호층(118)과 제2보호층(119)의 두께로 인하여 제1언더컷 형상(UC1) 대비 높은 하부 공간을 갖는다. 이 때문에, 콘택영역(CNA) 상에 위치하는 공통전극층(123)은 제1보호층(118)과 제2보호층(119)의 측벽은 물론이고 콘택홀(CNH)의 내부에서 노출된 제2픽셀전극층(120b) 그리고 제2픽셀전극층(120b) 상의 유기발광층(122b)을 덮게 된다. 그 결과, 콘택영역(CNA) 상에 위치하는 공통전극층(123)은 레이저(Laser)를 조사하는 등의 추가 공정을 하지 않더라도 보조배선(AUX)의 최상단인 제2픽셀전극층(120b)과 전기적으로 연결된다. 이와 같은 기능을 용이하게 수행하기 위해, 콘택영역(CNA) 상에만 존재하는 제1보호층(118)의 두께를 더 두껍게 할수록 좋다. 그 이유는 제1보호층(118)이 두꺼울수록 그 측벽까지 파고드는 전극층의 증착 면적과 접촉 면적이 넓어지기 때문이다.

[0084] 그러므로 본 발명의 제1실시예는 콘택영역(CNA)에 위치하는 보호층(118, 119)의 두께만 증가시켜 유기발광층(122)을 단락시키되 보조배선(AUX)과 공통전극층(123)의 접촉을 유도하는 구조를 갖는다. 이로 인하여, 본 발명의 제1실시예는 공통전극층(123)을 형성할 때 보조배선(AUX)의 최상단인 제2픽셀전극층(120b)과 전기적인 접촉이 이루어지므로 실험에 대비 공정을 단순화할 수 있는 효과가 있다.

[0085] 한편, 본 발명의 제1실시예는 특히 상부발광 방식에 적용할 때 전극층의 재료적 문제로 인한 저항 증가 문제를 해소할 목적으로 보조배선을 추가하고 보조배선과 공통전극층을 접촉시키는 구조를 마련할 때 용이하나 이에 한정되지 않고 하부발광 방식의 저항 감소에도 이용될 수 있다.

[0086] <제2실시예>

[0087] 도 16은 본 발명의 제2실시예에 따른 표시 패널의 일부를 나타낸 단면도이다.

[0088] 도 16에 도시된 바와 같이, 제2실시예에 따른 표시 패널은 제1기판(110a), 트랜지스터(TFT), 유기발광다이오드(OLED), 블랙매트릭스층(BM), 컬러필터층(CF) 및 제2기판(110b)을 포함한다. 트랜지스터(TFT), 유기발광다이오드(OLED) 및 컬러필터층(CF)은 서브 픽셀의 발광영역(SPA)에 포함된다.

[0089] 제2실시예에 따른 표시 패널 또한 제1실시예와 마찬가지로 공통전극층(123)을 형성할 때 보조배선(AUX)의 최상단인 제2픽셀전극층(120b)과 전기적인 접촉이 이루어지므로 실험에 대비 공정을 단순화할 수 있는 효과가 있다.

[0090] 제2실시예에 따른 표시 패널은 블랙매트릭스층(BM)과 컬러필터층(CF)을 갖는 점 그리고 유기절연층(121) 상의 제3픽셀전극층(120c)이 잔존하는 점에서 제1실시예 대비 차이점을 갖는다. 제2실시예에 따른 표시 패널은 컬러필터층(CF)을 가지므로, 유기발광층(122)이 백색을 발광하는 재료로 이루어진다. 또한, 제2실시예에 따른 표시 패널은 공정의 단순화를 위해 유기절연층(121) 상의 제3픽셀전극층(120c)을 제거하지 않고 잔존시킨다. 그러나 이는 하나의 예시일 뿐, 제1실시예와 마찬가지로 유기절연층(121) 상의 제3픽셀전극층(120c)을 제거할 수도 있다.

[0091] <제3실시예>

[0092] 도 17 내지 도 19는 본 발명의 제3실시예에 따라 보조배선의 배치를 나타낸 예시도들이다.

[0093] 도 17에 도시된 바와 같이, 앞서 제1 및 제2실시예를 통해 설명된 보조배선(AUX)은 표시 패널(110)의 표시영역(AA) 내에 수직방향으로 배치된다. 이때, 보조배선(AUX)은 도 17 (a)와 같이 모든 서브 픽셀(SP)과 서브 픽셀(SP) 사이에 배치되거나 도 17 (b)와 같이 적어도 2개의 서브 픽셀(SP)을 사이에 두고 배치될 수 있다.

[0094] 도 18에 도시된 바와 같이, 앞서 제1 및 제2실시예를 통해 설명된 보조배선(AUX)은 표시 패널(110)의 표시영역(AA) 내에 수평방향으로 배치된다. 이때, 보조배선(AUX)은 도 18 (a)와 같이 모든 서브 픽셀(SP)과 서브 픽셀

(SP) 간의 경계마다 배치되거나 도 18 (b)와 같이 징검다리 형태가 되도록 적어도 2개의 서브 픽셀(SP) 사이마다 배치될 수 있다.

[0095] 도 19에 도시된 바와 같이, 앞서 제1 및 제2실시예를 통해 설명된 보조배선(AUX)은 표시 패널(110)의 표시영역(AA) 내에 수직방향 및 수평방향으로 배치된다. 이때, 보조배선(AUX)은 도 19 (a)와 같이 모든 서브 픽셀(SP)과 서브 픽셀(SP) 간의 경계마다 배치되거나 도 19 (b)와 같이 징검다리 형태가 되도록 적어도 2개의 서브 픽셀(SP) 사이마다 배치될 수 있다.

[0096] 그러므로 보조배선(AUX)은 공통전극층(123)의 저항 감소를 도모하기 위해 표시 패널(110)의 표시영역(AA) 내부에 위치되되, 라인 형태 또는 그물 형태 등으로 배치될 수 있다. 이 밖에도, 보조배선(AUX)은 표시 패널(110)의 표시영역(AA) 내부뿐만 아니라 표시영역(AA)의 외부에도 배치될 수 있다. 표시영역(AA)의 외부에 배치된 보조배선은 표시영역(AA)의 적어도 2면, 3면 또는 4면을 둘러싸도록 배치될 수 있다.

[0097] 이상 본 발명은 표시 패널의 저항 감소를 위해 보조배선을 마련하더라도 증착 공정을 통해 보조배선과 공통전극층이 직접 접촉되도록 공정을 단순화할 수 있는 효과가 있다. 또한, 본 발명은 대면적 구현시 공통전극층과 보조배선을 이용하여 표시 패널의 저항을 감소시킬 수 있는바 휘도 균일도를 향상할 수 있는 효과가 있다. 또한, 본 발명은 언더컷 구조를 기반으로 한 픽셀전극층의 셀프 얼라인은 물론 마스크의 사용 개수를 절감할 수 있는 효과가 있다.

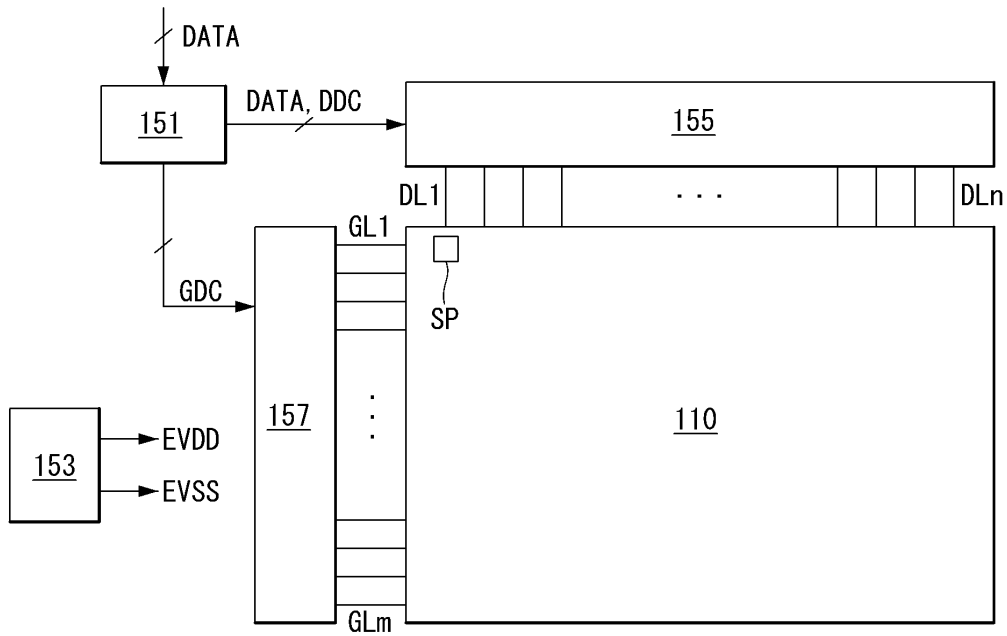
[0098] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

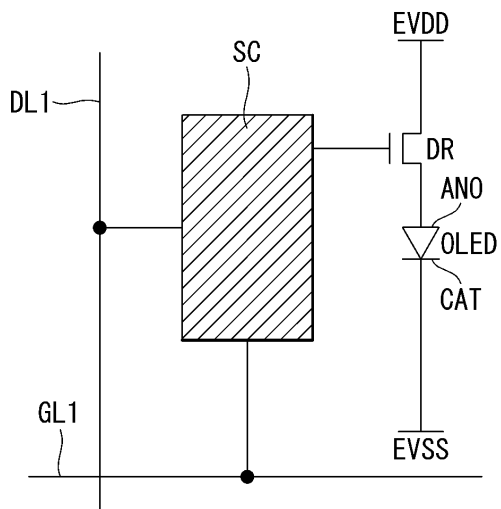
- [0099] SPA: 서브 픽셀의 발광영역 CNA: 콘택영역  
 116a, 116b, 116c: 금속층 117a, 117b, 117c: 커버층  
 118: 제1보호층 119: 제2보호층  
 121: 유기절연층 120a, 120b, 120c: 픽셀전극층  
 122, 122a, 122b: 유기발광층 123: 공통전극층

도면

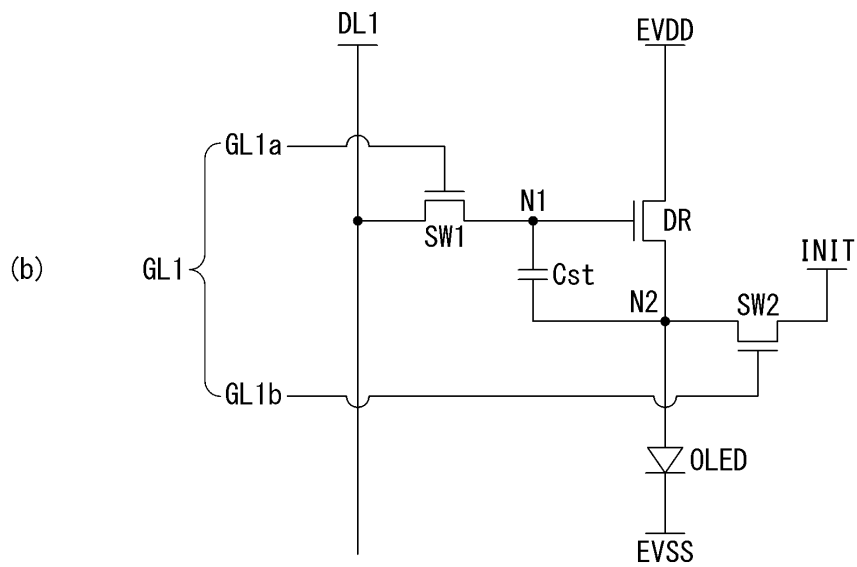
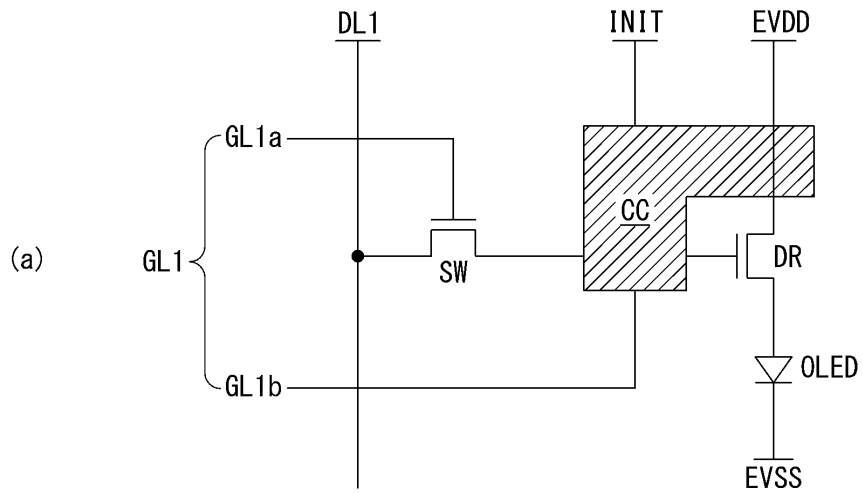
도면1



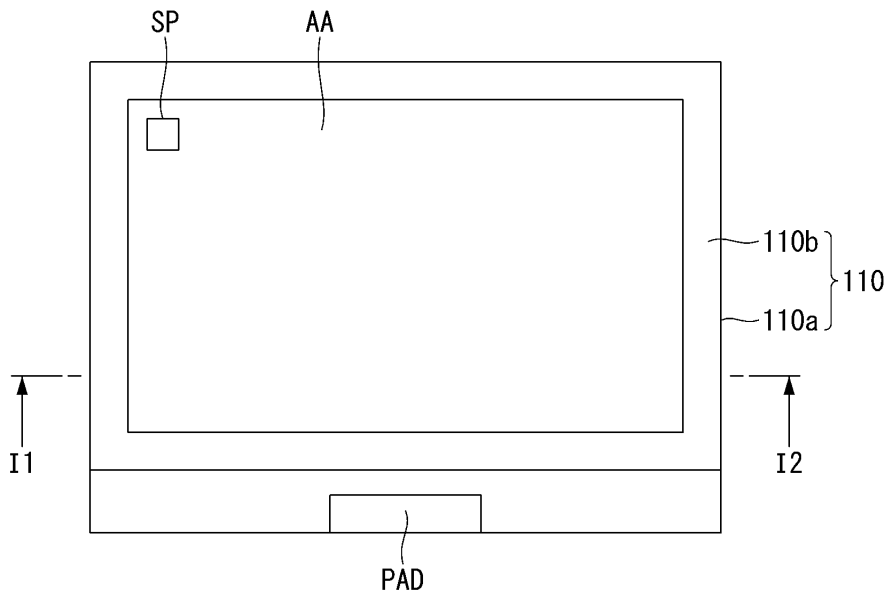
도면2



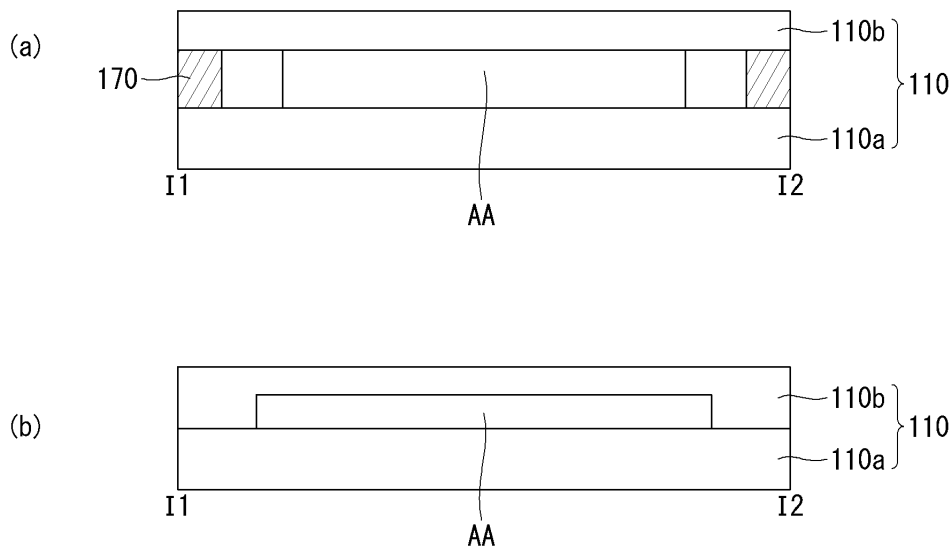
도면3



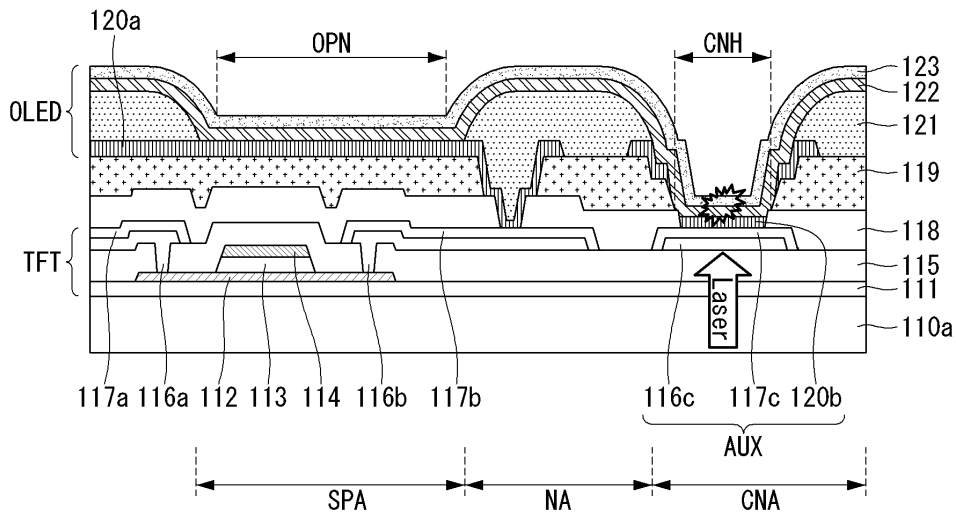
도면4



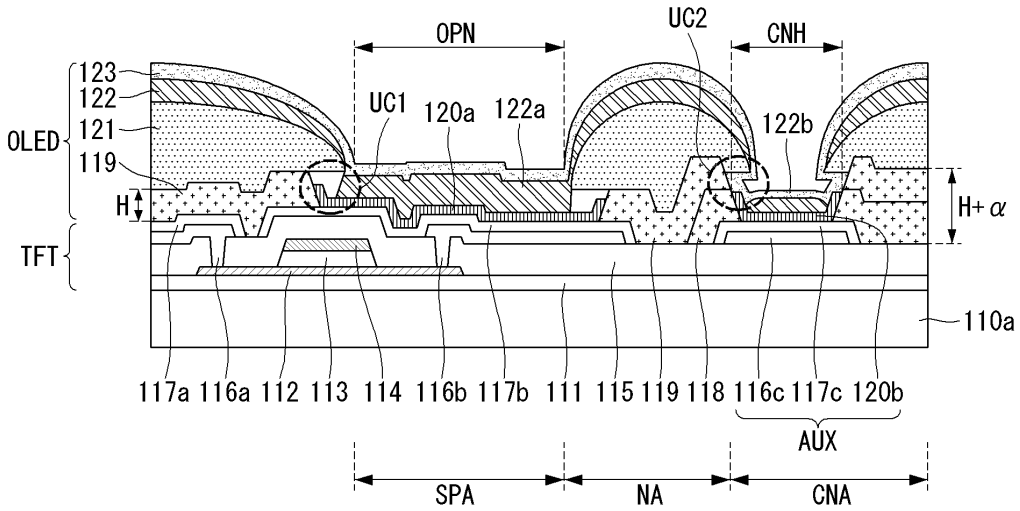
도면5



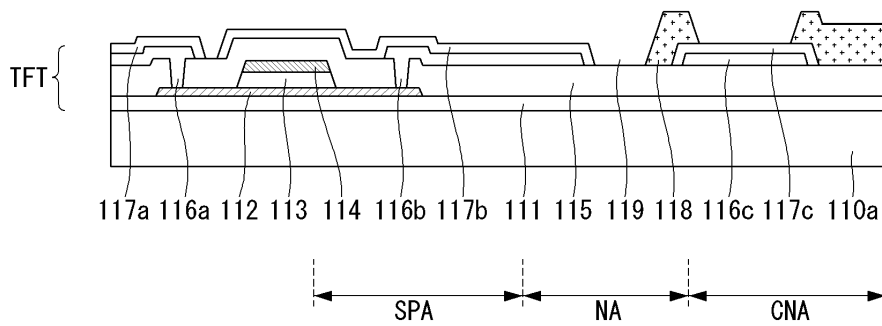
도면6



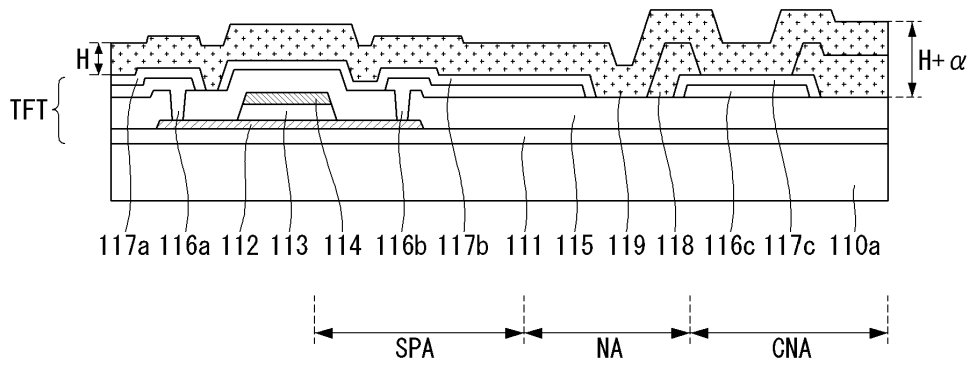
도면7



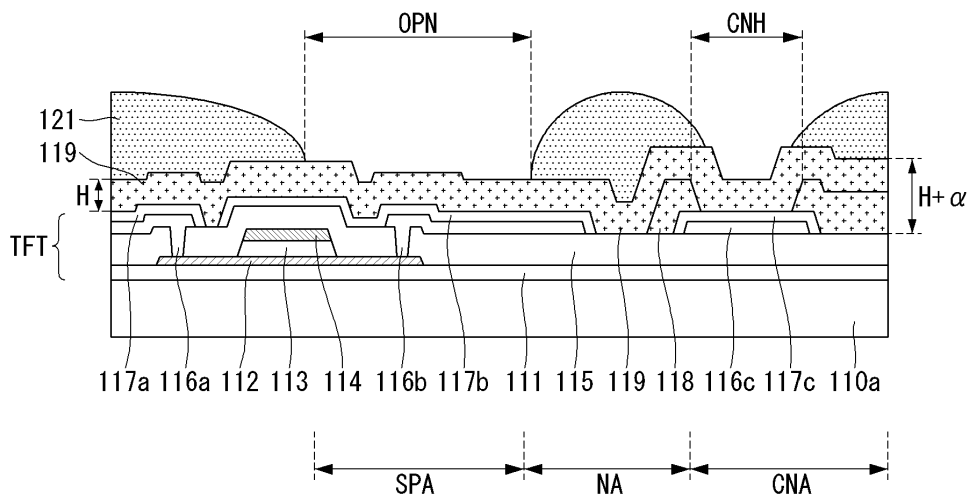
도면8



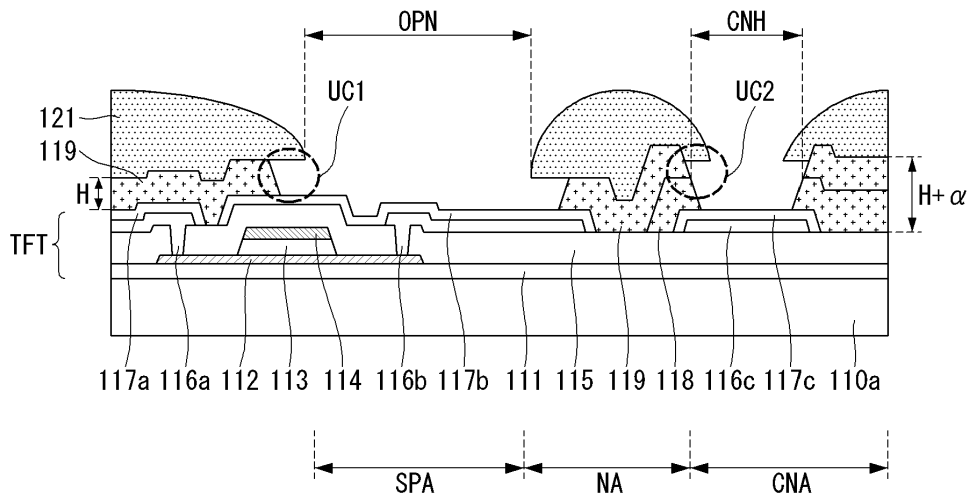
도면9



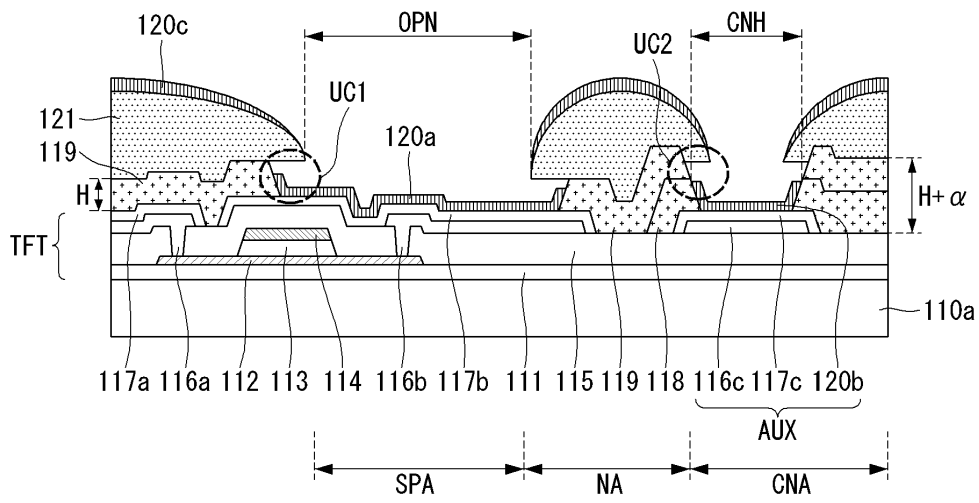
도면10



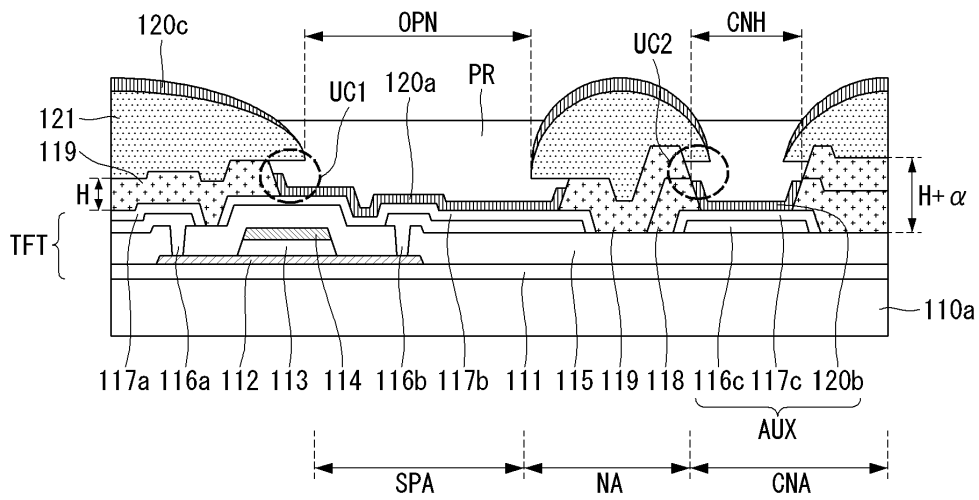
도면11



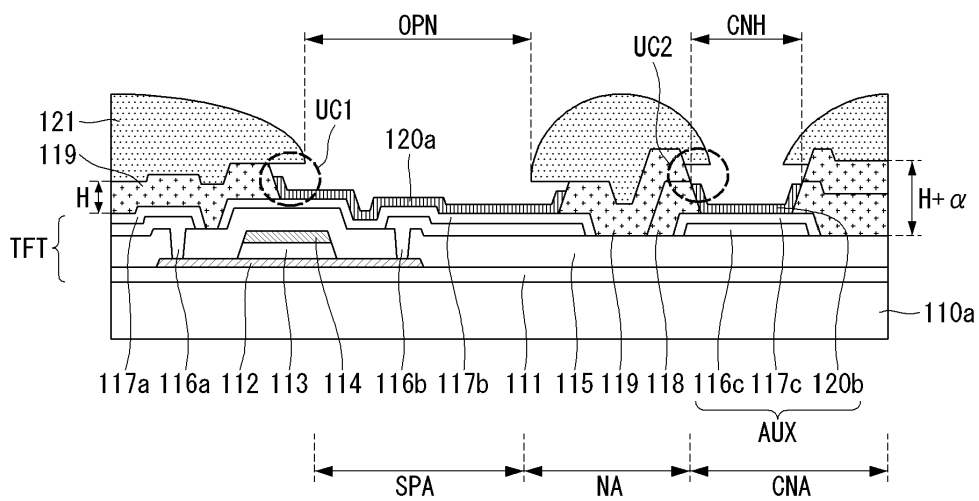
도면12



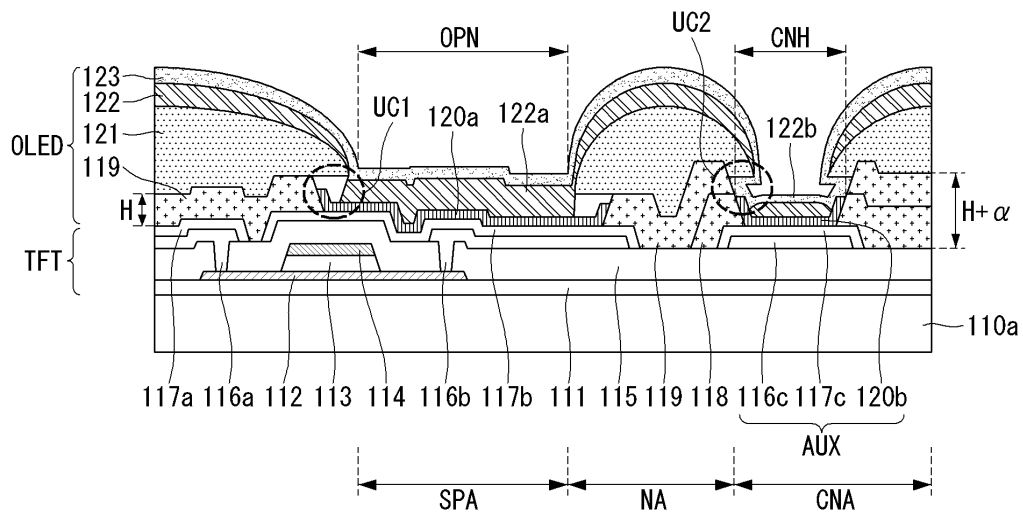
도면13



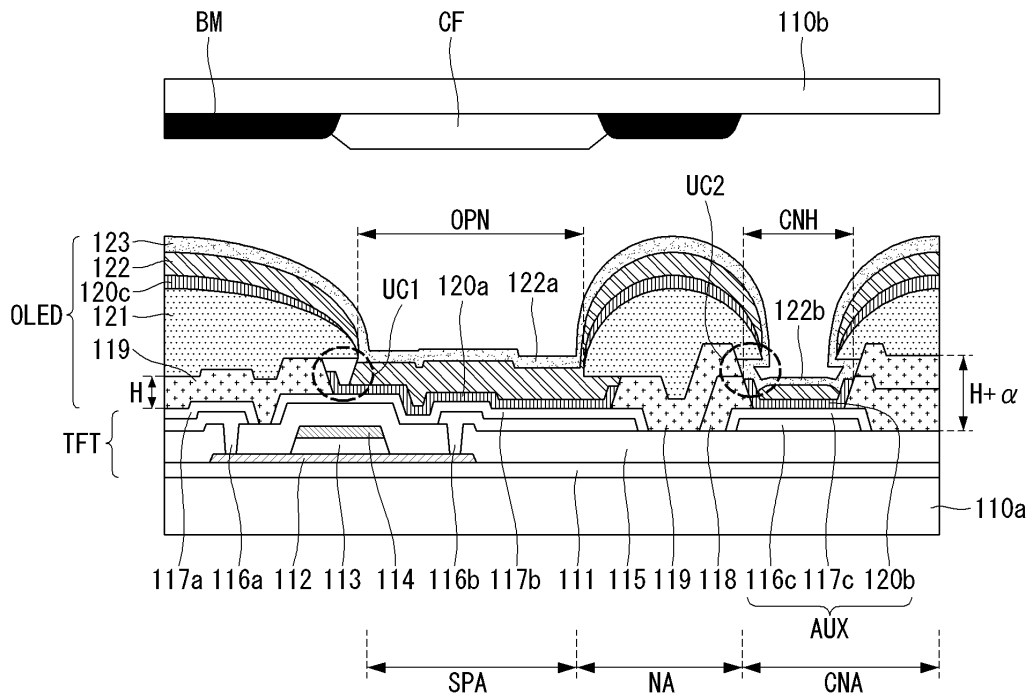
도면14



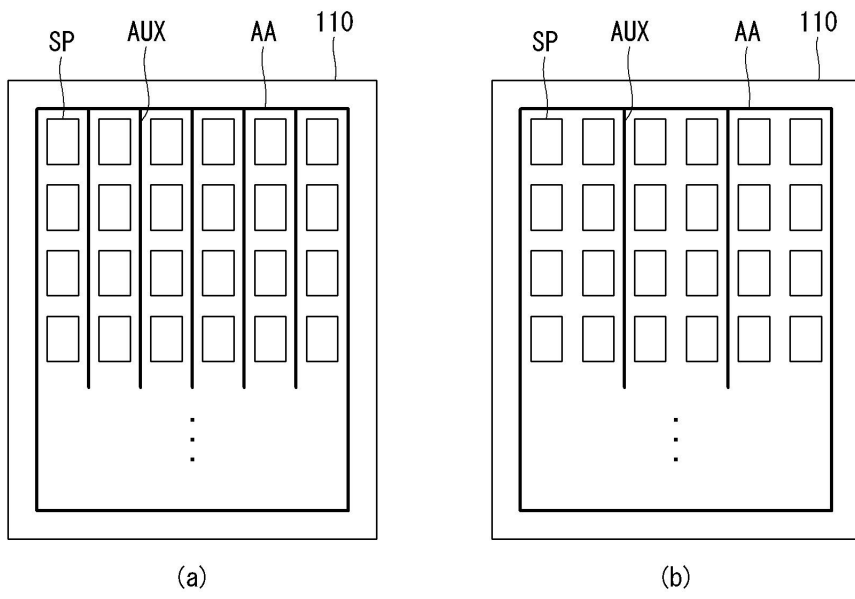
도면15



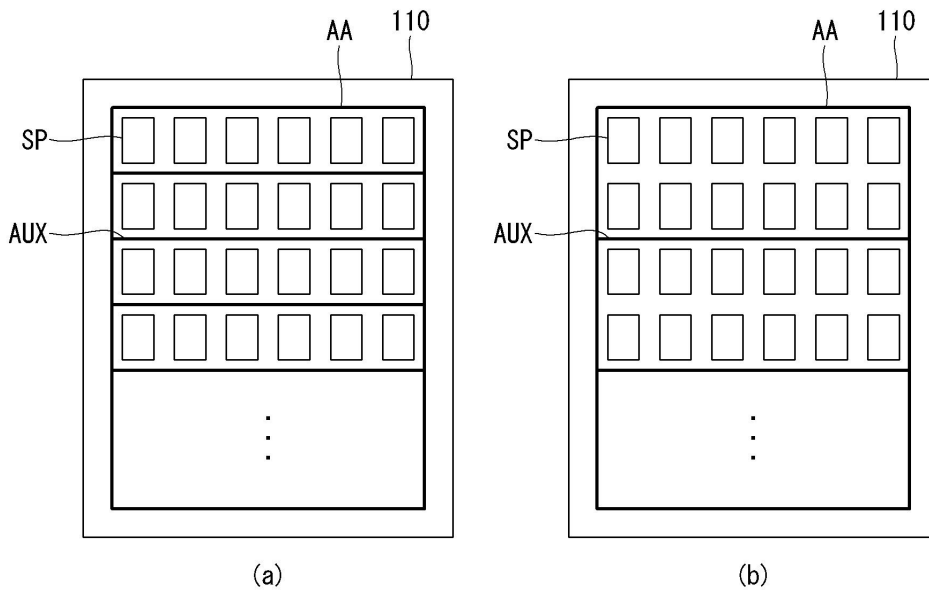
도면16



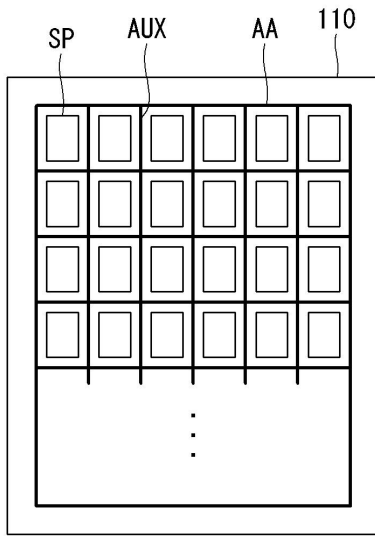
도면17



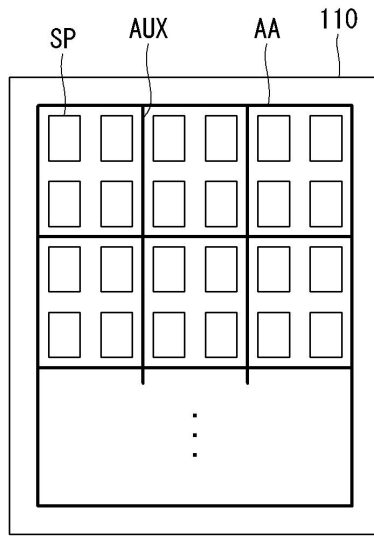
도면18



도면19



(a)



(b)

专利名称(译)	电致发光显示器		
公开(公告)号	<a href="#">KR1020190066495A</a>	公开(公告)日	2019-06-13
申请号	KR1020170166243	申请日	2017-12-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최호원		
发明人	최호원		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5253 H01L27/3248 H01L27/3258 H01L51/5203 H01L51/5243 H01L27/3244 H01L2227/323 H01L27/124 H01L27/1248 H01L27/322 H01L27/3246 H01L27/3279 H01L51/5228 H01L51/5284 H01L51/5209 H01L51/5225 H01L51/56 H01L2251/5315		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供了一种电致发光显示装置，其包括第一基板，层间绝缘层，金属层，覆盖层，第一保护层，第二保护层，像素电极层，有机绝缘层，有机发光层和公共电极层。金属层设置在第一基板上的层间绝缘层上，并且分别设置在第一金属层和第二金属层上以及在第一基板上限定的接触区上，该接触区设置在第一基板上限定的子像素的发光区和非发光区上。第三金属层。覆盖层包括分别设置为对应于第一至第三金属层的第一至第三覆盖层。第一保护层覆盖位于接触区域中的第三覆盖层并且暴露第三覆盖层的一部分。第二保护层覆盖第一覆盖层和第二覆盖层，暴露第二覆盖层的一部分，覆盖第一保护层，并且暴露第三覆盖层的一部分。像素电极层包括在第二覆盖层上的第一像素电极层和在第三覆盖层上的第二像素电极层。有机绝缘层设置在第二保护层上并且具有用于暴露第一像素电极层的一部分的开口和用于暴露第二像素电极层的一部分的接触孔。有机发光层设置在有机绝缘层以及第一像素电极层和第二像素电极层上。公共电极层设置在有机发光层上，并且电连接到第二像素电极层，第二像素电极层是接触区域中的辅助布线的最上层。

