



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0042899
(43) 공개일자 2019년04월25일

(51) 국제특허분류(Int. Cl.)
H01L 51/00 (2006.01) *G06F 1/16* (2006.01)
G09F 9/30 (2006.01) *H01L 51/56* (2006.01)
(52) CPC특허분류
H01L 51/0097 (2013.01)
G06F 1/1652 (2013.01)
(21) 출원번호 10-2017-0134531
(22) 출원일자 2017년10월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
원도영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인센싱크

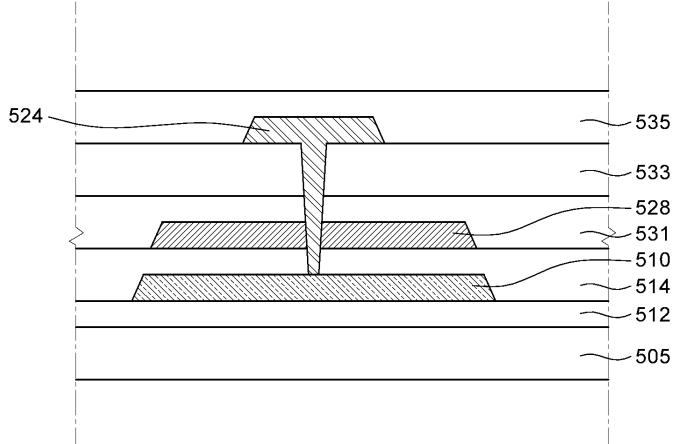
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 플렉시블 전계발광 표시장치

(57) 요 약

본 발명의 실시예에 따른 플렉시블 전계발광 표시장치는 플렉시블 기판, 상기 플렉시블 기판 상에 있는 쉴드층, 상기 쉴드층 상에 있는 베퍼층, 상기 베퍼층 상에 있는 박막 트랜지스터, 상기 박막 트랜지스터 상에 있는 전계 발광소자, 및 상기 박막 트랜지스터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 상기 쉴드층과 상기 박막 트랜지스터는 중첩영역을 가지며, 상기 중첩영역에서 상기 박막 트랜지스터와 상기 쉴드층이 연결된다.

대 표 도 - 도5b



(52) CPC특허분류

G09F 9/301 (2013.01)
H01L 51/56 (2013.01)
G06F 2203/04102 (2013.01)
H01L 2251/5338 (2013.01)

명세서

청구범위

청구항 1

플렉시블 기판;

상기 플렉시블 기판 상에 있는 쿠드층;

상기 쿠드층 상에 있는 베피층;

상기 베피층 상에 있는 박막 트랜지스터;

상기 박막 트랜지스터 상에 있는 전계발광소자; 및

상기 박막 트랜지스터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 상기 쿠드층과 상기 박막 트랜지스터는 중첩영역을 가지며, 상기 중첩영역에서 상기 박막 트랜지스터와 상기 쿠드층이 연결되는, 플렉시블 전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 박막 트랜지스터는 상기 쿠드층과 컨택홀을 통해서 연결되는, 플렉시블 전계발광 표시장치.

청구항 3

제2 항에 있어서,

상기 박막 트랜지스터는 상기 반도체층 상에 있는, 제1절연층, 상기 제1절연층 상에 있는 상기 게이트전극, 상기 게이트전극 상에 있는 제2절연층, 상기 제2절연층 상에 상기 드레인전극 및 소스전극이 있는, 플렉시블 전계발광 표시장치.

청구항 4

제3 항에 있어서,

상기 컨택홀은 상기 베피층, 상기 제1 절연층, 상기 제2 절연층 및 상기 반도체층을 관통하며, 상기 소스전극 및 드레인 전극 중 하나와 상기 쿠드층과 직접 연결되는, 플렉시블 전계발광 표시장치.

청구항 5

제3 항에 있어서,

상기 컨택홀은 상기 베피층 및 상기 제1 절연층 관통하며, 상기 게이트전극과 동일층의 연결전극과 상기 쿠드층과 직접 연결되는, 플렉시블 전계발광 표시장치.

청구항 6

제5 항에 있어서,

상기 연결전극과 상기 소스전극 및 상기 드레인 전극 중 하나와 직접 연결되는, 플렉시블 전계발광 표시장치.

청구항 7

제1 항에 있어서,

상기 반도체층은 불순물이 고농도로 도핑된 영역을 포함하는, 플렉시블 전계발광 표시장치.

청구항 8

제7 항에 있어서,

상기 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나인, 플렉시블 전계발광 표시장치.

청구항 9

제7 항에 있어서,

상기 불순물은 인(P), 비소(As) 및 안티몬(Sb) 중에 하나인, 플렉시블 전계발광 표시장치.

청구항 10

제1 항에 있어서,

상기 반도체층은 산화물 반도체층 또는 폴리실리콘 반도체층 중 하나인, 플렉시블 전계발광 표시장치.

청구항 11

제1 항에 있어서,

상기 소스전극, 드레인전극 및 게이트전극 중 적어도 하나는 복수의 금속층으로 구성되는, 플렉시블 전계발광 표시장치.

청구항 12

플렉시블 기판을 형성하는 단계;

상기 플렉시블 기판 상에 월드층을 형성하는 단계;

상기 월드층 상에 베퍼층을 형성하는 단계;

상기 베퍼층 상에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 전계발광소자를 형성하는 단계; 및

상기 박막 트랜지스터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 상기 월드층과 상기 박막 트랜지스터는 중첩영역을 가지며, 상기 중첩영역에서 상기 박막 트랜지스터와 상기 월드층을 연결하는 단계를 포함하는, 플렉시블 전계발광 표시장치 제조방법.

청구항 13

제12 항에 있어서,

상기 박막 트랜지스터를 형성하는 단계는,

상기 베퍼층 상에 상기 반도체층을 형성하는 단계;

상기 반도체층 상에 제1절연층을 형성하는 단계;

상기 제1절연층 상에 상기 게이트전극을 형성하는 단계;

상기 게이트전극 상에 제2절연층을 형성하는 단계;

상기 제2절연층 상에 상기 드레인전극 및 소스전극을 형성하는 단계를 포함하는, 플렉시블 전계발광 표시장치 제조방법.

청구항 14

제13 항에 있어서,

상기 베퍼층, 상기 제1 절연층, 상기 제2 절연층 및 상기 반도체층을 일괄로 관통하는 컨택홀을 형성하는 단계; 및

상기 소스전극 및 드레인 전극 중 하나와 상기 월드층과 직접 연결하는 단계를 더 포함하는, 플렉시블 전계발광 표시장치 제조방법.

청구항 15

제13 항에 있어서,

상기 버퍼층, 상기 제1 절연층을 일괄로 관통하는 컨택홀을 형성하는 단계;

상기 게이트전극과 동일층의 연결전극을 형성하는 단계; 및

상기 연결전극과 상기 셀드층과 직접 연결하는 단계를 더 포함하는, 플렉시블 전계발광 표시장치 제조방법.

청구항 16

제15 항에 있어서,

상기 제2 절연층을 관통하는 컨택홀을 형성하는 단계;

상기 연결전극과 상기 소스전극 및 드레인 전극 중 하나와 직접 연결되는 단계를 더 포함하는, 플렉시블 전계발광 표시장치 제조방법.

청구항 17

제15 항에 있어서,

상기 반도체층에 불순물을 고농도로 도핑하는 단계를 더 포함하는, 플렉시블 전계발광 표시장치 제조방법.

청구항 18

제15 항에 있어서,

상기 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나인, 플렉시블 전계발광 표시장치 제조방법.

청구항 19

제15 항에 있어서,

상기 불순물은 인(P), 비소(As) 및 안티몬(Sb) 중에 하나인, 플렉시블 전계발광 표시장치 제조방법.

청구항 20

제15 항에 있어서,

소스전극, 드레인전극 및 게이트전극 중 적어도 하나는 복수의 금속층으로 형성되는, 플렉시블 전계발광 표시장치 제조방법.

발명의 설명**기술 분야**

[0001]

본 명세서는 플렉시블 전계발광 표시장치에 관한 것으로서, 보다 상세하게는 플렉시블 전계발광 표시장치의 불량을 최소화할 수 있는 플렉시블 전계발광 표시장치에 관한 것이다.

배경 기술

[0002]

본격적인 정보화 시대로 접어들면서 전기적 정보신호를 시각적으로 표시하는 표시장치 분야가 급속도로 발전하고 있으며, 여러가지 표시장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003]

대표적인 표시장치로는 액정 표시장치(Liquid Crystal Display device; LCD),, 전계방출 표시장치(Field Emission Display device; FED), 전기습윤 표시장치(Electro-Wetting Display device; EWD) 및 유기발광 표시장치(Organic Light Emitting Display Device; OLED) 등을 들 수 있다.

[0004]

유기발광 표시장치를 포함하는 전계발광 표시장치는 자체 발광형 표시장치로서, 액정 표시장치와는 달리 별도의

광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 전계발광 표시장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각, 명암 대비비(Contrast Ratio; CR)도 우수하여, 다양한 분야에서 활용이 기대되고 있다.

[0005] 전계발광 표시장치에는 애노드(Anode)와 캐소드(Cathode)로 된 두 개의 전극 사이에 유기물을 사용한 발광층(Emissive Layer; EML)을 배치한다. 애노드에서의 정공(Hole)을 발광층으로 주입시키고, 캐소드에서의 전자(Electron)를 발광층으로 주입시키면, 주입된 전자와 정공이 서로 재결합하면서 발광층에서 여기자(Exciton)를 형성하며 발광한다.

[0006] 그리고, 발광층에는 호스트(Host) 물질과 도편트(Dopant) 물질이 포함되어 두 물질의 상호작용이 발생한다. 호스트는 전자와 정공으로부터 여기자를 생성하고 도편트로 에너지를 전달하는 역할을 하고, 도편트는 소량이 첨가되는 염료성 유기물로, 호스트로부터 에너지를 받아서 광으로 전환시키는 역할을 한다.

[0007] 유기물로 이루어진 발광층을 포함하는 전계발광 표시장치는 유리(Glass), 금속(Metal) 또는 필름(Film)으로 전계발광 표시장치를 봉지(Encapsulation)하여 외부에서 전계발광 표시장치의 내부로 수분이나 산소의 유입을 차단하여 발광층 및 전극의 산화를 방지하고, 외부에서 가해지는 기계적 또는 물리적 충격으로부터 보호한다.

발명의 내용

해결하려는 과제

[0008] 표시장치가 소형화됨에 따라, 표시장치의 동일 면적에서 유효 표시 화면 크기를 증가시키기 위해 표시영역(Active Area; A/A)의 외곽부인 베젤(Bezel) 영역을 축소시키려는 노력이 계속되고 있다.

[0009] 일반적으로 비표시영역(Non-active Area; N/A)에 해당하는 베젤영역에는 화면을 구동시키기 위한 배선 및 구동회로가 배치되기 때문에, 베젤영역을 축소하는 데에는 한계가 있었다.

[0010] 최근 개발되고 있는 플라스틱(Plastic)과 같은 연성재료의 플렉시블 기판(Flexible Substrate)을 적용하여 휘어져도 표시성능을 유지할 수 있는 플렉시블 전계발광 표시장치와 관련하여, 배선 및 구동회로를 위한 면적을 확보하면서도 베젤영역을 축소시키기 위해서 플렉시블 기판의 비표시영역을 벤딩(Bending)하여 베젤영역을 축소시킬 수 있다.

[0011] 하지만 전계발광 표시장치에 포함된 플렉시블 기판은 그 특유의 성질에 의해서 장기간 구동시 기판에 발생된 대전된 전하로 인해서 상부에 배치된 박막 트랜ジ스터의 성능을 저하시킬 수 있다.

[0012] 플렉시블 전계발광 표시장치에 포함된 박막 트랜ジ스터는 다수의 컨택홀을 포함하고 있으며, 여러단계의 복잡한 공정이 필요해서 생산에 어려움이 있었다.

[0013] 이에, 본 발명의 발명자들은 위에서 언급한 문제점을 인식하고, 새로운 구조의 박막 트랜ジ스터가 포함된 플렉시블 전계발광 표시장치를 발명하였다.

[0014] 그리고, 본 명세서의 발명자들은 전계발광 표시장치의 해상도가 점점 증가함에 따라, 배선을 배치할 공간이 부족함을 인식하고, 제한된 공간 내에서 배선을 보다 자유롭게 배치할 수 있는 새로운 구조의 전계발광 표시장치를 발명하였다.

[0015] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0016] 본 발명의 실시예에 따른 플렉시블 전계발광 표시장치는 플렉시블 기판, 상기 플렉시블 기판 상에 있는 철드층, 상기 철드층 상에 있는 베퍼층, 상기 베퍼층 상에 있는 박막 트랜ジ스터, 상기 박막 트랜ジ스터 상에 있는 전계발광소자, 및 상기 박막 트랜ジ스터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 상기 철드층과 상기 박막 트랜ジ스터는 중첩영역을 가지며, 상기 중첩영역에서 상기 박막 트랜ジ스터와 상기 철드층이 연결된다.

[0017] 본 발명의 실시예에 따른 플렉시블 전계발광 표시장치 제조방법은, 플렉시블 기판을 형성하는 단계, 상기 플렉시블 기판 상에 철드층을 형성하는 단계, 상기 철드층 상에 베퍼층을 형성하는 단계, 상기 베퍼층 상에 박막 트랜ジ스터를 형성하는 단계, 상기 박막 트랜ジ스터 상에 전계발광소자를 형성하는 단계, 및 상기 박막 트랜지스

터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 상기 쇼트층과 상기 박막 트랜지스터는 중첩 영역을 가지며, 상기 중첩영역에서 상기 박막트랜지스터와 상기 쇼트층을 연결하는 단계를 포함한다.

발명의 효과

- [0018] 본 발명의 실시예에 따른 전계발광 표시장치는 플렉시블 기판의 대전된 전하로 상부의 박막 트랜지스터 반도체층에 줄 수 있는 영향을 쇼트층을 통하여 차폐하여 박막 트랜지스터의 성능을 개선하는 효과가 있다.
- [0019] 본 발명의 실시예에 따른 전계발광 표시장치는 제조 공정에서 쇼트층과 전극을 연결하는 컨택홀을 추가 공정없이 단순화하여 형성할 수 있는 효과가 있다.
- [0020] 본 발명의 실시예에 따른 플렉시블 전계발광 표시장치는 플렉시블 전계발광 표시장치에 사용되는 배선을 제한된 공간 내에서 보다 자유롭게 배치할 수 있는 효과가 있다.
- [0021] 본 발명의 실시예에 따른 플렉시블 전계발광 표시장치에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.
- [0022] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0023] 도 1은 본 명세서의 실시예에 따른 전계발광 표시장치의 블록도이다.
- 도 2는 본 명세서의 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다.
- 도 3은 본 명세서의 실시예에 따른 전계발광 표시장치의 평면도이다.
- 도 4a 및 도 4b는 본 명세서의 실시예에 따른 전계발광 표시장치의 표시영역 및 벤딩영역의 상세구조 단면도이다.
- 도 5a 및 도 5b는 본 명세서의 제1 실시예 및 제2 실시예에 따른 전계발광 표시장치에 포함된 쇼트층 연결구조의 단면도이다.
- 도 6a 내지 도 6d는 본 명세서의 제2 실시예에 따른 전계발광 표시장치에 포함된 쇼트층 연결구조의 제조공정이다.
- 도 7은 본 명세서의 일 실시예에 따른 플렉시블 전계발광 표시장치의 벤딩영역 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0025] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0026] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0027] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0028] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지

않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이 하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0029] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0030] 도 1은 본 명세서의 실시예에 따른 전계발광 표시장치(100)의 블록도이다.

[0031] 도 1을 참조하면, 전계발광 표시장치(100)는 영상처리부(110), 타이밍 컨트롤러(120), 데이터드라이버(130), 게이트드라이버(140) 및 표시패널(150)을 포함한다.

[0032] 영상처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터인에이블신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터인에이블신호(DE) 외에도 수직동기신호, 수평동기신호 및 클럭신호 중 하나 이상을 출력할 수 있다.

[0033] 타이밍컨트롤러(120)는 영상처리부(110)로부터 데이터인에이블신호(DE) 또는 수직동기신호, 수평동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍컨트롤러(120)는 구동신호에 기초하여 게이트드라이버(140)의 동작타이밍을 제어하기 위한 게이트타이밍 제어신호(GDC)와 데이터드라이버(130)의 동작타이밍을 제어하기 위한 데이터 타이밍제어신호(DDC)를 출력한다.

[0034] 데이터드라이버(130)는 타이밍컨트롤러(120)로부터 공급된 데이터타이밍 제어신호(DDC)에 응답하여 타이밍컨트롤러(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터드라이버(130)는 데이터라인들(DL1~DLn)을 통해 데이터신호(DATA)를 출력한다.

[0035] 게이트드라이버(140)는 타이밍컨트롤러(120)로부터 공급된 게이트타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트드라이버(140)는 게이트라인들(GL1~GLm)을 통해 게이트신호를 출력한다.

[0036] 표시패널(150)은 데이터드라이버(130) 및 게이트드라이버(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 화소(160)가 발광하면서 영상을 표시한다. 화소(160)의 상세구조는 도 2 및 도 3에서 설명한다.

[0037] 도 2는 본 명세서의 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다.

[0038] 도 2를 참조하면, 전계발광 표시장치(200)의 화소는 스위칭 트랜지스터(240), 구동 트랜지스터(250), 보상회로(260) 및 발광소자(270)를 포함한다.

[0039] 발광소자(270)는 구동 트랜지스터(250)에 의해 형성된 구동전류에 따라 발광하도록 동작한다.

[0040] 스위칭 트랜지스터(240)는 게이트라인(220)을 통해 공급된 게이트신호에 대응하여 데이터라인(230)을 통해 공급되는 데이터신호가 커패시터(Capacitor)에 데이터 전압으로 저장되도록 스위칭 동작한다.

[0041] 구동 트랜지스터(250)는 커패시터에 저장된 데이터전압에 대응하여 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 일정한 구동전류가 흐르도록 동작한다.

[0042] 보상회로(260)는 구동 트랜지스터(250)의 문턱전압 등을 보상하기 위한 회로이며, 보상회로(260)는 하나 이상의 박막 트랜지스터와 커패시터를 포함한다. 보상회로의 구성은 보상 방법에 따라 매우 다양할 수 있다.

[0043] 그리고, 전계발광 표시장치(200)의 화소는 스위칭 트랜지스터(240), 구동 트랜지스터(250), 커패시터 및 발광소자(270)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(260)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 형성할 수 있다.

[0044] 도 3은 본 명세서의 실시예에 따른 전계발광 표시장치의 평면도이다. 상세하게는, 플렉시블 전계발광 표시장치(300)의 플렉시블 기판(310)이 벤딩되지 않은 상태이다.

[0045] 도 3을 참조하면, 플렉시블 전계발광 표시장치(300)는 플렉시블 기판(310) 상에 박막 트랜지스터 및 발광소자를 통해서 실제로 광을 발광하는 화소가 배치되는 표시영역(Active Area; A/A) 및 표시영역(A/A)의 가장자리의 외곽을 둘러싸는 비표시영역(Non-active Area; N/A)을 포함한다.

[0046] 플렉시블 기판(505)의 비표시영역(N/A)에는 플렉시블 전계발광 표시장치(300)의 구동을 위한 게이트구동부(390) 등과 같은 회로 및 스캔라인(Scan Line; S/L) 등과 같은 다양한 신호배선이 배치될 수 있다. 그리고, 플렉시블

전계발광 표시장치(300)의 구동을 위한 회로는 기판(310) 상에 GIP(Gate in Panel)로 배치되거나, TCP(Tape Carrier Package) 또는 COF(Chip on Film) 방식으로 플렉시블 기판(310)에 연결될 수도 있다.

[0047] 비표시영역(N/A)의 기판(505)의 일 측에 패드(395)가 배치된다. 패드(395)는 외부 모듈 본딩되는(Bonded) 금속 패턴이다.

[0048] 플렉시블 기판(310)의 비표시영역(N/A)의 일부를 화살표와 같은 벤딩방향으로 구부려서 벤딩영역(B/A)을 형성할 수 있다. 플렉시블 기판(310)의 비표시영역(N/A)은 화면을 구동시키기 위한 배선 및 구동회로가 배치되며, 화상이 표시되는 영역이 아니므로, 플렉시블 기판(310)의 상면에서 시인될 필요가 없다. 따라서, 플렉시블 기판(310)의 비표시영역(N/A)의 일부영역을 벤딩하여 배선 및 구동회로를 위한 면적을 확보하면서도 베젤영역을 축소시킬 수 있다.

[0049] 플렉시블 기판(310) 상에는 다양한 배선들이 형성된다. 배선은 기판(310)의 표시 영역(A/A)에 형성될 수도 있고, 또는 비표시영역(N/A)에 형성되는 회로배선(370)는 구동회로 또는 게이트드라이버, 데이터드라이버 등을 연결하여 신호를 전달할 수 있다.

[0050] 회로배선(370)은 도전성물질로 형성되며, 기판(310)의 벤딩 시에 크랙이 발생하는 것을 줄이기 위해 연성이 우수한 도전성 물질로 형성될 수 있다. 예를 들어, 회로배선(370)은 금(Au), 은(Ag), 알루미늄(Al) 등과 같이 연성이 우수한 도전성 물질로 형성될 수 있고, 표시영역(A/A)에서 사용되는 다양한 도전성물질 중 하나로 형성될 수 있으며, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 구리(Cu), 및 은(Ag)과 마그네슘(Mg)의 합금 등으로도 구성될 수도 있다. 그리고, 회로배선(370)은 다양한 도전성물질을 포함하는 다층구조로 구성될 수도 있으며, 예를 들어, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti) 3층구조로 구성될 수 있으며, 이에 제한되지는 않는다.

[0051] 벤딩영역(B/A)에 형성되는 회로배선(370)은 벤딩되는 경우 인장력을 받게 된다. 예를 들면, 플렉시블 기판(310) 상에서 벤딩방향(화살표로 표시)과 동일한 방향으로 연장하는 회로배선(370)이 가장 큰 인장력을 받게 되어, 크랙이 발생할 수 있으며, 크랙이 심할 경우 단선이 발생할 수 있다. 따라서, 벤딩방향으로 연장하도록 회로배선(370)을 형성하는 것이 아니라, 벤딩영역(B/A)을 포함하여 배치되는 회로배선(370) 중 적어도 일부분은 벤딩 방향과 상이한 방향인 사선 방향으로 연장하도록 형성함으로써, 인장력을 최소화하여 크랙 발생을 최소화할 수 있다.

[0052] 벤딩영역(B/A)을 포함하여 배치되는 회로배선(370)은 다양한 형상으로 형성될 수 있으며, 예를 들어, 사다리꼴과 형상, 삼각과 형상, 톱니과 형상, 정현과 형상, 오메가(Ω) 형상, 마름모 형상 등 다양한 형상으로 형성될 수 있다.

[0053] 도 4a 및 도 4b는 본 명세서의 실시예에 따른 전계발광 표시장치의 표시영역 및 벤딩영역의 상세구조 단면도이다.

[0054] 도 4a는 도 3에서 설명한 표시영역(A/A)의 단면도이다.

[0055] 도 4a를 참조하면, 기판(405)은 상부에 배치되는 전계발광 표시장치(400)의 구성요소들을 지지 및 보호하는 역할을 하며, 최근에는 플렉시블(Flexible) 특성을 가지는 연성의 물질로 이루어질 수 있으므로, 기판(405)은 플렉시블 기판일 수 있다. 예를 들면, 플렉시블 기판은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 및 이들의 공중합체로 이루어진 군 중 하나를 포함하는 필름형태일 수 있다.

[0056] 예를 들면, 기판(405)은 폴리에틸렌테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리카르보실란(policarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(polymethylmethacrylate), 폴리에틸아크릴레이트(polyethylacrylate), 폴리에틸메타크릴레이트(polyethylmetacrylate), 사이클릭 올레핀 코폴리머(COC), 사이클릭 올레핀 폴리머(COP), 폴리에틸렌(PE), 폴리프로필렌(PP), 폴리이미드(PI), 폴리메틸메타크릴레이트(PMMA), 폴리스타이렌(PS), 폴리아세탈(POM), 폴리에테르에테르케톤(PEEK), 폴리에스테르설폰(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐클로라이드(PVC), 폴리카보네이트(PC), 폴리비닐리덴플로라이드(PVDF), 퍼플루오로알킬 고분자(PFA), 스타이レン아크릴나이트릴코폴리머(SAN) 및 이들의 조합 중에서 적어도 하나로 구성될 있다.

[0057] 기판(405) 상에 순차적으로 제1 베퍼총(412) 및 제2 베퍼총(414)을 배치한다. 실리콘산화물(SiO_x) 또는 실리콘

질화물(SiNx)의 단일층이나 복수층으로 구성되는 베퍼층(412, 414)은 기판(405)을 통한 수분이나 다른 불순물의 침투를 방지하며, 기판(405)의 표면을 평탄화할 수 있다. 베퍼층(412, 414)은 반드시 필요한 구성은 아니며, 기판(405)의 종류나 기판(405) 상에 배치되는 박막 트랜지스터(420)의 종류에 따라 생략할 수도 있다.

[0058] 제1 베퍼층(412) 상에 월드층(410)을 배치한다. 월드층(410)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있으며, 기판(405)과 반도체층(428)의 사이에서 반도체층(428)과 중첩되게 배치한다.

[0059] 월드층(410)에 전원을 인가하여 박막 트랜지스터의 전기적 특성이 변화되는 것을 방지할 수 있다. 월드층(410)에 전원이 인가되면 반도체층(428) 하부에서 플렉시블 기판(405)으로 인해 형성되는 전계를 차폐하여 박막 트랜지스터(420)의 특성이 변하는 것을 방지할 수 있다. 이때, 전원을 인가하는 방법으로, 각 화소에서 박막 트랜지스터(420)의 소스전극(424)과 월드층(410)을 연결하여 월드층(410)에 소스전원을 인가할 수 있다. 소스전극(424)과 월드층(410)의 연결구조에 대해서는 도 5a 및 도 5b에서 상세히 설명한다.

[0060] 월드층(410) 상에 제2 베퍼층(414)을 배치하고, 제2 베퍼층(414) 상에 배치되는 박막 트랜지스터(420)는 게이트전극(422), 소스전극(424), 드레인전극(426) 및 반도체층(428)을 포함한다.

[0061] 반도체층(428)은 비정질실리콘(Amorphous Silicon) 또는 비정질 실리콘보다 우수한 이동도(Mobility)를 가져서 에너지 소비 전력이 낮고 신뢰성이 우수하여, 화소 내에서 구동 박막 트랜지스터에 적용할 수 있는 다결정실리콘(Polycrystalline Silicon)로 구성할 수 있으며, 이에 제한되지 않는다.

[0062] 최근에는 산화물(Oxide) 반도체가 이동도와 균일도가 우수한 특성으로 각광받고 있다. 산화물 반도체는 4원계 금속 산화물인 인듐 주석 갈륨 아연 산화물 (InSnGaZnO) 계 재료, 3원계 금속 산화물인 인듐 갈륨 아연 산화물 (InGaZnO) 계 재료, 인듐 주석 아연 산화물 (InSnZnO) 계 재료, 인듐 알루미늄 아연 산화물 (InAlZnO) 계 재료, 주석 갈륨 아연 산화물 (SnGaZnO) 계 재료, 알루미늄 갈륨 아연 산화물 (AlGaZnO) 계 재료, 주석 알루미늄 아연 산화물 (SnAlZnO) 계 재료, 2원계 금속 산화물인 인듐 아연 산화물 (InZnO) 계 재료, 주석 아연 산화물 (SnZnO) 계 재료, 알루미늄 아연 산화물 (AlZnO) 계 재료, 아연 마그네슘 산화물 (ZnMgO) 계 재료, 주석 마그네슘 산화물 (SnMgO) 계 재료, 인듐 마그네슘 산화물 (InMgO) 계 재료, 인듐 갈륨 산화물 (InGaO) 계 재료, 인듐 산화물 (InO) 계 재료, 주석 산화물 (SnO) 계 재료, 아연 산화물 (ZnO) 계 재료 등으로 반도체층(428)을 구성할 수 있으며, 각각의 원소의 조성 비율은 제한되지 않는다.

[0063] 반도체층(428)은 p형 또는 n형의 불순물을 포함하는 소스영역(Source Region), 드레인영역(Drain Region), 및 소스영역 및 드레인영역 사이에 채널(Channel)을 포함할 수 있고, 채널과 인접한 소스영역 및 드레인영역 사이에는 저농도 도핑영역을 포함할 수 있다.

[0064] 소스영역 및 드레인영역은 불순물이 고농도로 도핑된 영역으로, 박막 트랜지스터(420)의 소스전극(424) 및 드레인전극(426)이 각각 접속되는 영역이다. 불순물 이온은 p형 불순물 또는 n형 불순물을 이용할 수 있는데, p형 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있고, n형 불순물은 인(P), 비소(As) 및 안티몬(Sb) 등으로 이루어진 군에서 선택할 수 있다.

[0065] 반도체층(428)은 NMOS 또는 PMOS의 박막 트랜지스터 구조에 따라, 채널 영역은 n형 불순물 또는 p형 불순물로 도핑될 수 있으며, 본 발명의 실시예에 따른 전계발광 표시장치에 포함된 박막 트랜지스터는 NMOS 또는 PMOS의 박막 트랜지스터가 적용가능하다.

[0066] 제1 절연층(431)은 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층 또는 이들의 다중층으로 구성된 절연층이며, 반도체층(428)에 흐르는 전류가 게이트전극(422)으로 흘러가지 않도록 배치한다. 그리고, 실리콘산화물은 금속보다는 연성이 떨어지지만, 실리콘질화물에 비해서는 연성이 우수하며 그 특성에 따라 선택적으로 단일층 또는 복수층으로 형성할 수 있다.

[0067] 게이트전극(422)은 게이트라인을 통해 외부에서 전달되는 전기 신호에 기초하여 박막 트랜지스터(420)를 턴-온(turn-on) 또는 턴-오프(turn-off)하는 스위치 역할을 하며, 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나, 이에 대한 합금으로 단일층 또는 다중층으로 구성될 수 있으며, 이에 제한되지 않는다.

[0068] 소스전극(424) 및 드레인전극(426)은 데이터라인과 연결되며 외부에서 전달되는 전기신호가 박막 트랜지스터(420)에서 발광소자(440)로 전달되도록 한다. 소스전극(424) 및 드레인전극(426)은 도전성 금속인 구리(Cu), 알

루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금으로 단일층 또는 다중층으로 구성할 수 있으며, 이에 제한되지 않는다.

[0069] 게이트전극(422)과 소스전극(424) 및 드레인전극(426)을 서로 절연시키기 위해서 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 다중층으로 구성된 제2 절연층(433)을 게이트전극(422)과 소스전극(424) 및 드레인전극(426) 사이에 배치할 수 있다.

[0070] 박막 트랜지스터(420) 상에 실리콘산화물(SiO_x), 실리콘질화물(SiNx)과 같은 무기절연층으로 구성된 패시베이션층을 더 배치할 수도 있다. 패시베이션층은, 패시베이션층 구성요소들 사이의 불필요한 전기적 연결을 막고 외부로부터의 오염이나 손상 등을 막는 역할을 할 수 있으며, 박막 트랜지스터(420) 및 발광소자(440)의 구성 및 특성에 따라서 생략할 수도 있다.

[0071] 박막 트랜지스터(420)는 박막 트랜지스터(420)를 구성하는 구성요소들의 위치에 따라 인버티드 스탠드(Invetered Staggered) 구조와 코플래너(Coplanar) 구조로 분류될 수 있다. 인버티드 스탠드 구조의 박막 트랜지스터는 반도체층을 기준으로 게이트전극이 소스전극 및 드레인전극의 반대편에 위치한다. 도 4a에서와 같이, 코플래너 구조의 박막 트랜지스터(420)는 반도체층(428)을 기준으로 게이트전극(422)이 소스전극(424) 및 드레인전극(426)과 같은편에 위치한다.

[0072] 도 4a에서는 코플래너 구조의 박막 트랜지스터(420)가 도시되었으나, 전계발광 표시장치(400)는 인버티드 스탠드 구조의 박막 트랜지스터를 포함할 수도 있다.

[0073] 설명의 편의를 위해, 전계발광 표시장치(400)에 포함될 수 있는 다양한 박막 트랜지스터 중에서 구동 박막 트랜지스터만을 도시하였으나, 스위칭 박막 트랜지스터, 커페시터 등도 전계발광 표시장치(400)에 포함될 수 있다. 이때, 스위칭 박막 트랜지스터는 게이트배선으로부터 신호가 인가되면, 데이터 배선으로부터의 신호를 구동 박막트랜지스터의 게이트 전극으로 전달한다. 구동 박막 트랜지스터는 스위칭 박막 트랜지스터로부터 전달받은 신호에 의해 전원 배선을 통해 전달되는 전류를 애노드(442)로 전달하며, 애노드(442)로 전달되는 전류에 의해 발광을 제어한다.

[0074] 박막 트랜지스터(420)를 보호하고 박막 트랜지스터(420)로 인해서 발생되는 단차를 완화시키며, 박막 트랜지스터(420)와 게이트라인 및 데이터 라인, 발광소자(440) 들 사이에 발생되는 기생정전용량(Parasitic-Capacitance)을 감소시키기 위해서 박막 트랜지스터(420) 상에 평탄화층(435, 437)을 배치한다.

[0075] 평탄화층(435, 437)은 아크릴계 수지 (Acrylic Resin), 에폭시 수지 (Epoxy Resin), 폐놀 수지 (Phenolic Resin), 폴리아미드계 수지 (Polyamides Resin), 폴리이미드계 수지 (Polyimides Resin), 불포화 폴리에스테르계 수지 (Unsaturated Polyesters Resin), 폴리페닐렌계 수지 (Polyphenylene Resin), 폴리페닐렌설파이드계 수지 (Polyphenylenesulfides Resin), 및 벤조사이클로부텐 (Benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으며, 이에 제한되지 않는다.

[0076] 본 명세서의 실시예에 따른 전계발광 표시장치(400)는 순차적으로 적층된 복수의 평탄화층(435, 437)인 제1 평탄화층(435) 및 제2 평탄화층(437)을 포함할 수도 있다.

[0077] 박막 트랜지스터(420) 상에 제1 평탄화층(435)이 적층되어 배치되고, 제1 평탄화층(435) 상에 순차적으로 제2 평탄화층(437)이 적층되어 배치될 수 있다.

[0078] 그리고, 제1 평탄화층(435) 상에는 버퍼층이 배치될 수도 있다. 버퍼층은 제1 평탄화층(435) 상에 배치되는 구성요소를 보호하기 위해서 배치되며, 질화 실리콘(SiNx) 또는 산화 실리콘(SiO_x)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiO_x)의 다중층으로 구성될 수 있으며, 박막 트랜지스터(420) 및 발광소자(440)의 구성 및 특성에 따라서 생략할 수도 있다.

[0079] 제1 평탄화층(435)에 형성되는 컨택홀(Contact Hole)을 통해서 중간전극(430)이 박막 트랜지스터(420)와 연결된다. 중간전극(430)은 박막 트랜지스터(420)와 연결되도록 적층되어 데이터라인도 복층 구조로 형성될 수 있다.

[0080] 그리고, 데이터라인은 소스전극(424) 및 드레인전극(426)과 동일한 물질로 이루어지는 하부층과 중간전극(430)과 동일한 물질로 이루어지는 층이 연결되는 구조로 형성될 수 있어서 두 개의 라인이 서로 병렬 연결된 구조로 데이터라인이 구현될 수 있으므로, 데이터라인의 배선 저항이 감소될 수 있다.

[0081] 제1 평탄화층(435) 및 중간전극(430) 상에 실리콘산화물(SiO_x), 실리콘질화물(SiNx)과 같은 무기절연층으로 구성된 패시베이션층이 더 배치될 수도 있다. 패시베이션층은 구성요소들 사이의 불필요한 전기적 연결을 막고 외

부로부터의 오염이나 손상 등을 막는 역할을 할 수 있으며, 박막 트랜지스터(420) 및 발광소자(440)의 구성 및 특성에 따라서 생략될 수도 있다.

[0082] 제2 평탄화층(437) 상에 배치되는 발광소자(440)는 애노드(442), 발광부(444) 및 캐소드(446)를 포함한다.

[0083] 애노드(442)는 제2 평탄화층(437) 상에 배치될 수 있다. 애노드(442)는 발광부(444)에 정공을 공급하는 역할을 하는 전극으로, 제2 평탄화층(437a)에 있는 컨택홀을 통해 중간전극(430)과 연결되며, 박막 트랜지스터(420)와 전기적으로 연결된다.

[0084] 애노드(442)는 투명 도전성 물질인 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zinc Oxide, IZO) 등으로 구성할 수 있으며, 이에 제한되지 않는다.

[0085] 전계발광 표시장치(400)가 캐소드(446)가 배치된 상부로 광을 발광하는 탑에미션(Top Emission)일 경우 발광된 광이 애노드(442)에서 반사되어 보다 원활하게 캐소드(446)가 배치된 상부 방향으로 방출될 수 있도록, 반사층을 더 포함할 수 있다.

[0086] 예를 들면, 애노드(442)는 투명 도전성 물질로 구성된 투명 도전층과 반사층이 차례로 적층된 2층 구조이거나, 투명 도전층, 반사층 및 투명 도전층이 차례로 적층된 3층 구조일 수 있으며, 반사층은 은(Ag) 또는 은을 포함하는 합금일 수 있다.

[0087] 애노드(442) 및 제2 평탄화층(437a) 상에 배치되는 뱅크(450)는 실제로 광을 발광하는 영역을 구획하여 화소를 정의할 수 있다. 애노드(442) 상에 포토레지스트(Photoresist)를 형성한 후에 사진식각공정(Photolithography)에 의해 뱅크(450)를 형성한다. 포토레지스트는 광의 작용에 의해 현상액에 대한 용해성이 변화되는 감광성 수지를 말하며, 포토레지스트를 노광 및 현상하여 특정 패턴이 얻어질 수 있다. 포토레지스트는 포지티브형 포토레지스트(Positive photoresist)와 네거티브형 포토레지스트(Negative photoresist)로 분류될 수 있다. 포지티브형 포토레지스트는 노광으로 노광부의 현상액에 대한 용해성이 증가되는 포토레지스트를 말하며, 포지티브형 포토레지스트를 현상하면 비노광부가 제거된 패턴이 얻어 진다.

[0088] 발광소자(440)의 발광부(444)를 형성하기 위해서 증착마스크인 FMM(Fine Metal Mask)을 사용할 수 있다. 그리고, 뱅크(450) 상에 배치되는 증착마스크와 접촉하여 발생될 수 있는 손상을 방지하고, 뱅크(450)와 증착마스크 사이에 일정한 거리를 유지하기 위해서, 뱅크(450) 상부에 투명 유기물인 폴리이미드, 포토아크릴 및 벤조사이클로뷰텐(BCB) 중 하나로 구성되는 스페이서Spacer; 452)를 배치할 수도 있다.

[0089] 애노드(442)와 캐소드(446) 사이에는 발광부(444)가 배치된다. 발광부(444)는 광을 발광하는 역할을 하며, 정공주입층(Hole Injection Layer; HIL), 정공수송층(Hole Transport Layer; HTL), 발광층, 전자수송층(Electron Transport Layer; ETL), 전자주입층(Electron Injection Layer; EIL) 중 적어도 하나의 층을 포함할 수 있고, 전계발광 표시장치(400)의 구조나 특성에 따라 발광부(444)의 일부 구성요소는 생략될 수도 있다. 여기서 발광층은 전계발광층 및 무기발광층을 적용하는 것도 가능하다.

[0090] 정공주입층은 애노드(442) 상에 배치하여 정공의 주입이 원활하게 하는 역할을 한다. 정공주입층은, 예를 들어, HAT-CN(dipyrazino[2,3-f:2',3'-h]quinoxaline-2,3,6,7,10,11-hexacarbonitrile), CuPc(phthalocyanine), 및 NPD(N,N' -bis(naphthalene-1-yl)-N,N' -bis(phenyl)-2,2' -dimethylbenzidine)중에서 어느 하나 이상으로 이루어질 수 있다.

[0091] 정공수송층은 정공주입층 상에 배치하여 발광층으로 원활하게 정공을 전달하는 역할을 한다. 정공수송층은, 예를 들어, NPD(N,N' -bis(naphthalene-1-yl)-N,N' -bis(phenyl)-2,2' -dimethylbenzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD(2,2' ,7,7' -tetrakis(N,N-dimethylamino)-9,9-spirofluorene), 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine) 중에서 어느 하나 이상으로 이루어질 수 있다.

[0092] 발광층은 정공수송층 상에 배치되며 특정 색의 광을 발광할 수 있는 물질을 포함하여 특정 색의 광을 발광할 수 있다. 그리고, 발광물질은 인광물질 또는 형광물질을 이용하여 형성할 수 있다.

[0093] 발광층이 적색(Red)을 발광하는 경우, 발광하는 피크파장은 600nm 내지 650nm 범위가 될 수 있으며, CBP(4,4'-bis(carbazol-9-yl)biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl)benzene)를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)(acetylacetone) iridium), PQIr(acac)(bis(1-

phenylquinoline)(acetylacetone) iridium), PQIr(tris(1-phenylquinoline) iridium) 및 PtOEP(octaethylporphyrin platinum) 중에서 하나 이상을 포함하는 도편트를 포함하는 인광 물질로 이루어질 수 있다. 또는, PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광 물질로 이루어질 수 있다.

[0094] 여기서, 피크파장(λ_{max})은 EL(ElectroLuminescence)의 최대 파장을 말한다. 발광부를 구성하는 발광층들이 고유의 광을 내는 파장을 PL(PhotoLuminescence)이라 하며, 발광층들을 구성하는 층들의 두께나 광학적 특성의 영향을 받아 나오는 광을 에미턴스(Emittance)라 한다. 이때, EL(ElectroLuminescence)은 전계발광 표시장치가 최종적으로 방출하는 광을 말하며, PL(PhotoLuminescence) 및 에미턴스(Emittance)의 합으로 표현될 수 있다.

[0095] 발광층이 녹색(Green)을 발광하는 경우, 발광하는 피크 파장은 520nm 내지 540nm 범위가 될 수 있으며, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)₃(tris(2-phenylpyridine)iridium)을 포함하는 Ir complex 와 같은 도편트 물질을 포함하는 인광 물질로 이루어질 수 있다. 또한, Alq₃(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광 물질로 이루어질 수 있다.

[0096] 발광층이 청색(Blue)을 발광하는 경우, 발광하는 피크 파장은 440nm 내지 480nm 범위가 될 수 있으며, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, FIrPic(bis(3,5-difluoro-2-(2-pyridyl)phenyl-(2-carboxypyridyl)iridium)를 포함하는 도편트 물질을 포함하는 인광 물질로 이루어질 수 있다. 또한, spiro-DPVB(4,4'-Bis(2,2-diphenyl-ethen-1-yl)biphenyl), DSA(1-4-di-[4-(N,N-di-phenyl)amino]styryl-benzene), PFO(polyfluorene)계 고분자 및 PPV(polyphenylenevinylene)계 고분자중 어느 하나를 포함하는 형광 물질로 이루어질 수 있다.

[0097] 발광층 상에 전자수송층을 배치하여 발광층으로 전자의 이동을 원활하게 한다. 전자수송층은, 예를 들어, Liq(8-hydroxyquinolinato-lithium), PBD(2-(4-biphenyl)-5-(4-tert-butylphenyl)-1,3,4-oxadiazole), TAZ(3-(4-biphenyl)4-phenyl-5-tert-butylphenyl-1,2,4-triazole), spiro-PBD, BCP(2,9-Dimethyl-4,7-diphenyl-1,10-phenanthroline) 및 BA1q(bis(2-methyl-8-quinolinolate)-4-(phenylphenolato)aluminum) 중에서 어느 하나 이상으로 이루어질 수 있다.

[0098] 전자수송층 상에 전자주입층이 더 배치될 수 있다. 전자주입층은 캐소드(446)로부터 전자의 주입을 원활하게 하는 유기층으로, 전계발광 표시장치(400)의 구조와 특성에 따라서 생략될 수 있다. 전자주입층은 BaF₂, LiF, NaCl, CsF, Li₂O 및 BaO와 같은 금속 무기 화합물일 수 있고, HAT-CN(dipyrazino[2,3-f:2',3'-h]quinoxaline-2,3,6,7,10,11-hexacarbonitrile), CuPc(phthalocyanine), 및 NPD(N,N' -bis(naphthalene-1-yl)-N,N' -bis(phenyl)-2,2' -dimethylbenzidine) 중에서 어느 하나 이상의 유기 화합물일 수 있다.

[0099] 발광층과 인접한 위치에 정공 또는 전자의 흐름을 저지하는 전자저지층(Electron Blocking Layer) 또는 정공저지층(Hole Blocking Layer)을 더 배치하여 전자가 발광층에 주입될 때 발광층에서 이동하여 인접한 정공수송층으로 통과하거나 정공이 발광층에 주입될 때 발광층에서 이동하여 인접한 전자수송층으로 통과하는 현상을 방지하여 발광효율을 향상시킬 수 있다.

[0100] 캐소드(446)는 발광부(444) 상에 배치되어, 발광부(444)로 전자를 공급하는 역할을 한다. 캐소드(446)는 전자를 공급하여야 하므로 일함수가 낮은 도전성 물질인 마그네슘(Mg), 은-마그네슘(Ag:Mg) 등과 같은 금속 물질로 구성할 수 있으며, 이에 제한되지 않는다.

[0101] 전계발광 표시장치(400)가 텁에미션 방식인 경우, 캐소드(446)는 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide, ITZO), 아연 산화물(Zinc Oxide, ZnO) 및 주석 산화물(Tin Oxide, TiO) 계열의 투명 도전성 산화물일 수 있다.

[0102] 발광소자(440) 상에는 전계발광 표시장치(400)의 구성요소인 박막 트랜지스터(420) 및 발광소자(440)가 외부에서 유입되는 수분, 산소 또는 불순물들로 인해서 산화 또는 손상되는 것을 방지하기 위한 봉지부(460)를 배치할 수 있으며, 복수의 봉지층, 이물보상층 및 복수의 베리어필름(Barrier Film)이 적층되어 형성할 수 있다.

[0103] 봉지층은 박막 트랜지스터(420) 및 발광소자(440)의 상부 전면에 배치되며, 무기물인 질화실리콘(SiNx) 또는 산화알루미늄(Al₂O₃) 중 하나로 구성될 수 있으며, 이에 제한되지 않는다.

[0104] 봉지층 상에 배치되는 이물보상층 상에는 봉지층이 더 배치될 수 있다.

[0105] 이물보상층은 봉지층 상에 배치되며, 유기물인 실리콘옥시카본(SiOCz), 아크릴(Acrylic) 또는 에폭시(Epoxy) 계열의 레진(Resin)을 사용할 수 있으며, 이에 제한되지 않으며, 공정 중에 발생될 수 있는 이물이나 파티클

(Particle)에 의해서 발생된 크랙(Crack)에 의해 불량이 발생할 때 이물보상층에 의해서 굴곡 및 이물이 덮히면서 보상할 수 있다.

[0106] 봉지층 및 이물보상층 상에 베리어필름을 배치하여 전계발광 표시장치(400)가 외부에서의 산소 및 수분의 침투를 저연시킬 수 있다. 베리어필름은 투광성 및 양면 접착성을 띠는 필름 형태로 구성되며, 올레핀(Olefin) 계열, 아크릴(Arylic) 계열 및 실리콘(Silicon) 계열 중 어느 하나의 절연재료로 구성될 수 있고, 또는 COP(Cycloolefin Polymer), COC(Cycloolefin Copolymer) 및 PC(Polycarbonate) 중 어느 하나의 재료로 구성된 베리어필름을 더 적층할 수 있으며, 이에 제한되지 않는다.

[0107] 도 4b 는 도 3에서 설명한 벤딩영역(B/A)의 단면도이다.

[0108] 도 4b의 일부 구성요소는 도 4a 에서 설명된 구성요소와 실질적으로 동일/유사하며 이에 대한 상세한 설명은 생략한다.

[0109] 도 1 내지 도 3에서 설명한 게이트신호 및 데이터신호는 외부에서부터 전계발광 표시장치(400)의 비표시영역(N/A)에 배치되는 회로배선을 거쳐서 표시영역(A/A)에 배치되어 있는 화소로 전달되어 발광되도록 한다.

[0110] 전계발광 표시장치(400)의 벤딩영역(B/A)을 포함한 비표시영역(N/A)에 배치되는 배선이 단층 구조로 형성되는 경우, 배선을 배치하기 위한 많은 공간이 요구된다. 도전성 물질을 증착한 후, 형성하고자 하는 배선의 형상으로 도전성 물질을 예칭 등의 공정으로 패터닝하는데, 예칭 공정의 세밀도에는 한계가 있으므로 배선 사이의 간격을 좁히기 위한 한계로 인하여 많은 공간이 요구되므로, 비표시영역(N/A)의 면적이 커지게 되어 네로우 베젤 구현에 어려움이 발생할 수 있다.

[0111] 이와 함께, 하나의 신호를 전달하기 위해 하나의 배선을 사용하는 경우, 해당 배선이 크랙이 발생되는 경우 해당 신호가 전달되지 못할 수 있다. 기판(405)을 벤딩하는 과정에서 배선 자체에 크랙이 발생하거나, 다른 층에 크랙이 발생되어 크랙이 배선으로 전파될 수도 있다. 이와 같이, 배선에 크랙이 발생되는 경우에는 전달하는 신호가 전달되지 않을 수도 있다.

[0112] 이에 따라, 본 명세서의 실시예에 따른 전계발광 표시장치(400)의 벤딩영역(B/A)에 배치되는 배선은 제1 배선(462) 및 제2 배선(464)의 이중배선 형태로 배치된다.

[0113] 제1 배선(462) 및 제2 배선(464)은 도전성 물질로 형성하며, 플렉시블 기판(405)의 벤딩 시에 크랙이 발생하는 것을 줄이기 위해 연성이 우수한 도전성 물질로 형성될 수 있다. 제1 배선(462) 및 제2 배선(464)은 예를 들어, 금(Au), 은(Ag), 알루미늄(Al) 등과 같이 연성이 우수한 도전성 물질로 형성될 수 있고, 표시영역(A/A)에서 사용되는 다양한 도전성물질 중 하나로 형성될 수 있으며, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 구리(Cu), 및 은(Ag)과 마그네슘(Mg)의 합금 등으로도 구성될 수도 있다. 그리고, 제1 배선(462) 및 제2 배선(464)은 다양한 도전성물질을 포함하는 다층구조로 구성될 수도 있는데, 예를 들어, 티타늄 (Ti)/알루미늄(Al)/티타늄(Ti) 3층구조로 구성될 수 있으며, 이에 제한되지 않는다.

[0114] 제1 배선(462) 및 제2 배선(464)을 보호하기 위해서 제1 배선(462) 및 제2 배선(464)의 하부에는 무기절연층으로 이루어지는 베퍼층이 배치될 수도 있고, 제1 배선(462) 및 제2 배선(464)의 상부 및 측부를 둘러싸도록 무기 절연층으로 이루어지는 패시베이션층이 형성되어 제1 배선(462) 및 제2 배선(464)이 수분 등과 반응하여 부식되는 등의 현상이 방지될 수도 있다.

[0115] 벤딩영역(B/A)에 형성되는 제1 배선(462) 및 제2 배선(464)은 벤딩되는 경우 인장력을 받게 된다. 도 3에서 설명한 바와 같이, 기판(405) 상에서 벤딩방향과 동일한 방향으로 연장하는 배선이 가장 큰 인장력을 받게 되고, 크랙이 발생할 수 있으며, 크랙이 심하면 단선이 발생할 수 있다. 따라서, 벤딩방향으로 연장하도록 배선을 형성하는 것이 아니라, 벤딩영역(B/A)을 포함하여 배치되는 배선 중 적어도 일부분은 벤딩 방향과 상이한 방향인 사선 방향으로 연장하도록 형성함으로써, 인장력을 최소화하여 크랙 발생을 줄일 수 있다. 배선의 형상을 마름모 형상, 삼각과 형상, 정현과 형상, 사다리꼴 형상 등으로 구성할 수 있으며, 이에 제한되지 않는다.

[0116] 기판(405) 상에 제1 배선(462)이 배치되고 제1 배선(462) 상에 제1 평탄화층(435b)이 배치된다. 제1 평탄화층(435) 상에는 제2 배선(464)이 배치되고, 제2 배선(464) 상에 제2 평탄화층(437)이 배치된다.

[0117] 제1 평탄화층(435) 및 제2 평탄화층(437)은 아크릴계 수지 (Acrylic Resin), 에폭시 수지 (Epoxy Resin), 폐놀 수지 (Phenolic Resin), 폴리아미드계 수지 (Polyamides Resin), 폴리이미드계 수지 (Polyimides Resin), 불포화 폴리에스테르계 수지 (Unsaturated Polyesters Resin), 폴리페닐렌계 수지 (Polyphenylene Resin), 폴리페닐렌설파이드계 수지 (Polyphenylenesulfides Resin), 및 벤조사이클로부텐 (Benzocyclobutene) 중 하나 이상

의 물질로 형성될 수 있으며, 이에 제한되지 않는다.

[0118] 제2 평탄화층(437) 상에는 마이크로 코팅층(Micro Coating Layer; 466)이 배치된다. 마이크로 코팅층(466)은 벤딩 시에 기판(405) 상에 배치되는 배선부에 인장력이 작용하여 미세 크랙이 발생될 수 있기 때문에, 벤딩되는 위치에 얇은 두께로 레진(Resin)을 코팅하여 배선을 보호하는 역할을 할 수 있다.

[0119] 도 5a 및 도 5b는 본 발명의 제1 실시예 및 제2 실시예에 따른 전계발광 표시장치에 포함된 쉴드층 연결구조의 단면도이다.

[0120] 이때, 도 5a는 쉴드층(510)과 소스전극(524)이 게이트브리지(522)를 거쳐서 전기적으로 연결되는 구조이며, 도 5b는 쉴드층(510)이 소스전극(524)과 직접 연결되는 구조이다. 전계발광 표시장치의 구조나 특성에 따라서 두 구조중 선택적으로 배치할 수 있다.

[0121] 도 5a 및 도 5b에서 나타내는 전계발광 표시장치의 주요 구성요소들은 도 1 내지 도 4b에서 설명된 주요 구성 요소와 실질적으로 동일하거나 유사하며, 중복된 구조에 대해서는 생략하여 표시한다.

[0122] 도 5a를 참조하면, 폴리아미드와 같은 플렉시블한 특성을 가지는 기판(505) 상에 외부로부터 수분 등의 침투를 방지하기 위해서 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성되는 제1 베퍼층(512) 및 제2 베퍼층(514)을 차례로 적층하여 배치한다.

[0123] 제1 베퍼층(512) 상에 플렉시블 기판(505)으로부터 발생되는 전하로부터 반도체층(528)이 받는 영향을 최소화하는 쉴드층(510)이 배치된다. 이때, 쉴드층(510)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다. 쉴드층(510)은 기판(505)과 반도체층(528)의 사이에서 반도체층(528)과 중첩되게 배치한다.

[0124] 쉴드층(510) 상에 제2 베퍼층(514)과 반도체층(528)을 순차적으로 적층하여 배치한다.

[0125] 반도체층(528)은 비정질실리콘 또는 비정질실리콘보다 우수한 이동도를 가지는 다결정실리콘, 또는, 이동도와 균일도 특성이 우수한 ZnO 또는 IGZO와 같은 산화물 반도체로 구성할 수 있다.

[0126] 반도체층(528)은 p형 또는 n형의 불순물을 포함하는 소스영역과 드레인영역을 포함하고 이들 사이에 채널을 포함하며, 채널과 인접한 소스영역 및 드레인영역 사이에 저농도 도핑영역을 더 포함할 수도 있다.

[0127] 반도체층(528) 상에 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성된 제1 절연층(531)을 배치한다.

[0128] 제1 절연층(531) 상에 쉴드층(522)과 중첩한 영역에 박막 트랜지스터의 게이트전극과 동일층으로 구성된 게이트브리지(522)를 배치한다. 게이트브리지(522)는 게이트전극과 이격되어 제2 베퍼층(514) 및 제1 절연층(531)에 형성된 컨택홀을 통해서 쉴드층(510)과 직접 연결된다.

[0129] 게이트전극 및 게이트브리지(522) 상에 소스전극(524)을 절연시키기 위해서 제2 절연층(533)이 배치될 수 있다.

[0130] 제2 절연층(533) 상에 반도체층(528)과 연결되는 소스전극(524)이 배치된다.

[0131] 소스전극(524)은 외부에서 전달되는 전기신호가 박막 트랜지스터(500)에서 전계발광소자로 전달하는 역할을 하며, 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0132] 소스전극(524)은 제2 절연층(533)에 형성되는 컨택홀을 통해서 게이트브리지(522)와 직접 연결된다. 이를 통해, 소스전극(524)과 쉴드층(510)이 서로 전기적으로 연결되어 쉴드층(510)의 상부에 배치된 반도체층(528)이 플렉시블 기판(505)으로부터 받는 영향을 최소화 할 수 있다.

[0133] 소스전극(524) 상에 평탄화층(535)를 형성하며, 평탄화층(535) 상의 전계발광 표시장치의 다른 주요 구성요소들은 도 4a 내지 도 4b에서 설명된 주요 구성요소와 실질적으로 동일하거나 유사하며, 생략하여 표시한다.

[0134] 도 5b를 참조하면, 폴리아미드와 같은 플렉시블한 특성을 가지는 기판(505) 상에 외부로부터 수분 등의 침투를 방지하기 위해서 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성될 수 있는 제1 베퍼층(512) 및 제2 베퍼층(514)이 차례로 적층하여 배치될 수 있다. 이때 전계발광 표시장치의 구조나 특성에 따라 베퍼층은 생략될 수 있다.

- [0135] 제1 벼퍼층(512) 상에 플렉시블 기판(505)으로부터 발생되는 전하로부터 반도체층(528)이 받는 영향을 최소화하는 월드층(510)이 배치된다. 이때, 월드층(510)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다. 월드층(510)은 기판(505)과 반도체층(528)의 사이에서 반도체층(528)과 중첩되게 배치한다.
- [0136] 월드층(510) 상에 제2 벼퍼층(514)과 비정질실리콘 또는 비정질 실리콘보다 우수한 이동도를 가지는 다결정실리콘 또는 이동도와 균일도 특성이 우수한 ZnO 또는 IGZO와 같은 산화물 반도체로 구성할 수 있는 반도체층(528)을 순차적으로 적층하여 배치한다.
- [0137] 반도체층(528)은 p형 또는 n형의 불순물을 포함하는 소스영역과 드레인영역을 포함하고 이들 사이에 채널을 포함하며, 채널과 인접한 소스영역 및 드레인영역 사이에 저농도 도핑영역을 더 포함할 수도 있다.
- [0138] 반도체층(528) 상에 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성된 제1 절연층(531) 및 제2 절연층(533)을 순차적으로 배치한다.
- [0139] 제2 절연층(533) 상에 반도체층(528)과 연결되며, 외부에서 전달되는 전기신호가 박막 트랜지스터(500)에서 전계발광소자로 전달하는 역할을 하는 소스전극(524)이 배치된다.
- [0140] 소스전극(524)은 제2 벼퍼층(514), 반도체층(528), 제1 절연층(531) 및 제2 절연층(533)을 일괄로 관통하는 컨택홀을 통해서 반도체층(528)과 연결되면서 동시에 월드층(510)과 연결된다. 이를 통해, 소스전극(324)과 월드층(510)이 서로 전기적으로 연결되어 월드층(510)의 상부에 배치된 반도체층(528)이 플렉시블 기판(505)으로부터 받는 영향을 최소화 할 수 있다.
- [0141] 소스전극(524) 상에 평탄화층(535)를 형성하며, 평탄화층(535) 상의 전계발광 표시장치의 다른 주요 구성요소들은 도 4a 내지 도 4b에서 설명된 주요 구성요소와 실질적으로 동일하거나 유사하며, 생략하여 표시한다.
- [0142] 도 6a 내지 도 6d는 본 명세서의 제2 실시예에 따른 전계발광 표시장치에 포함된 월드층 연결구조의 제조공정이다.
- [0143] 도 6a 내지 도 6c에서 나타내는 플렉시블 전계발광 표시장치의 주요 구성요소들은 도 1 내지 도 5b에서 설명된 주요 구성요소와 실질적으로 동일하거나 유사하며, 중복되는 구성요소는 생략하여 표시한다.
- [0144] 도 6a를 참조하면, 기판(605) 상에 실리콘산화물(SiO_x) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 제1 벼퍼층(612)을 증착하고, 금속층을 증착한다. 증착된 금속층 상에서 마스크를 배치하고 패터닝하여 월드층(610)을 형성한다. 이때, 월드층(610)은 상부에 배치되는 반도체층(528)과 중첩이 되도록 한다.
- [0145] 도 6b를 참조하면, 월드층(610) 상에 제2 벼퍼층(614)을 증착하고, 제2 벼퍼층(614) 상에 반도체물질을 증착하고, 마스크로 패터닝하여 반도체층(628)을 형성한다.
- [0146] 도 6c를 참조하면, 반도체층(628) 상에 제1 절연층(631)을 증착한다. 도 5a 및 도 5b에서 설명한 것처럼 본 발명의 제1 실시예에 따른 전계발광 표시장치에서는 게이트브리지와 월드층을 연결하기 위해서 제2 벼퍼층(614) 및 제1 절연층(631)을 관통하는 별도의 컨택홀이 형성되지만, 본 발명의 제2 실시예에 따른 전계발광 표시장치에서는 제2 벼퍼층(614) 및 제1 절연층(631)을 관통하는 별도의 컨택홀이 형성되지 않기 때문에, 제조공정을 단순화 할 수 있는 효과가 있다.
- [0147] 제1 절연층(631) 상에 제2 절연층(633)이 증착되고, 마스크를 사용하여 제1 절연층(631), 제2 절연층(633), 반도체층(628) 및 제2 벼퍼층(614)을 관통하여 월드층(610)의 상부가 노출이 되는 컨택홀을 형성한다.
- [0148] 도 6d를 참조하면, 제2 절연층(633) 상에 도전성 금속층을 증착하고 마스크로 패터닝하여 소스전극(624)을 형성하고, 컨택홀을 통해서 반도체층(628)과 연결되면서 동시에 월드층(610)과 직접 연결하여, 월드층(610)의 상부에 배치된 반도체층(618)이 기판(605)의 전하로부터 받는 영향을 최소화 할 수 있다.
- [0149] 소스전극(624) 상에 상의 전계발광 표시장치의 다른 주요 구성요소들에 대한 제조공정들은 도 4a 내지 도 5b에서 설명된 주요 구성요소와 실질적으로 동일하거나 유사하며, 생략하여 표시한다.
- [0150] 도 7는 본 명세서의 실시예에 따른 플렉시블 전계발광 표시장치의 벤딩영역 단면도이다.
- [0151] 도 7를 참조하면, 플렉시블 기판(710) 상에 배리어필름(720)이 배치된다. 배리어필름(720)은 플렉시블 전계발광 표시장치(700)의 다양한 구성 요소를 보호하기 위한 구성으로서, 플렉시블 전계발광 표시장치(700)의 적어도 표

시영역(A/A)에 대응하도록 배치될 수 있다.

[0152] 예를 들면, 배리어필름(720)은 접착성을 갖는 물질이 포함되어 구성될 수 있으며, 접착성을 갖는 물질은 열 경화형 또는 자연 경화형의 접착제일 수 있으며, PSA(Pressure Sensitive Adhesive)와 같은 물질로 구성될 수 있어서 배리어필름(720) 상의 편광판(730)을 고정시키는 역할을 할 수 있다.

[0153] 배리어필름(720) 상에 배치되는 편광판(730)은 표시영역(A/A) 상에서 외부 광의 반사를 억제한다. 표시장치(700)가 외부에서 사용되는 경우, 외부 자연 광이 유입되어 전계발광소자의 애노드에 포함된 반사판에 의해 반사되거나, 유기 발광소자 하부에 배치된 금속으로 구성된 전극에 의해 반사될 수 있다. 이와 같이 반사된 광들에 의해 표시장치(700)의 영상이 잘 시인되지 않을 수 있다. 편광판(730)은 외부에서 유입된 광을 특정 방향으로 편광하며, 반사된 광이 다시 표시장치(700)의 외부로 방출되지 못하게 한다. 편광판(730)은 표시영역(A/A) 상에 배치될 수 있으나, 이에 한정되지 않는다.

[0154] 편광판(730)은 편광자 및 이를 보호하는 보호필름으로 구성된 편광판일 수도 있고, 플렉서블리티를 위하여 편광 물질을 코팅하는 방식으로 형성할 수도 있다.

[0155] 편광판(730) 상에 접착층을 배치하여 표시장치(700)의 외관을 보호하는 커버 글라스(Cover Glass, CG)를 접착하여 배치할 수도 있다.

[0156] 플렉시블 기판(710) 하부에는 백플레이트(740)가 배치된다. 플렉시블 기판(710)이 폴리아미드와 같은 플라스틱 물질로 이루어지는 경우, 플렉시블 기판(710) 하부에 유리로 이루어지는 지지기판이 배치된 상황에서 플렉시블 전계발광 표시장치(700) 제조공정이 진행되고, 제조공정이 완료된 후 지지기판이 분리되어 릴리즈될 수 있다.

[0157] 지지기판이 릴리즈된 이후에도 플렉시블 기판(710)을 지지하기 위한 구성요소가 필요하므로, 플렉시블 기판(505)을 지지하기 위한 백플레이트(740)가 플렉시블 기판(710)의 하부에 배치될 수 있다. 백플레이트(740)는 벤딩 영역(B/A)을 제외한 플렉시블 기판(505)의 다른 영역에서 벤딩영역(B/A)에 인접하도록 배치될 수 있다.

[0158] 백플레이트(740)는 폴리아미드, 폴리에틸렌 나프탈레이트(PEN), 폴리에틸렌 테레프탈레이트(PET), 폴리머들, 이를 폴리머들의 조합 등으로 형성된 플라스틱 박막으로 이루어질 수 있다.

[0159] 두 개의 백플레이트들(740) 사이에는 지지부재(770)가 배치되고, 지지 부재(770)는 접착층(760)에 의해 백플레이트(740)와 접착될 수 있다. 지지 부재(570)는 폴리카보네이트(PC), 폴리아미드(PI), 폴리에틸렌 나프탈레이트(PEN), 폴리에틸렌 테레프탈레이트(PET), 폴리머들, 이를 폴리머들의 조합 등과 같은 플라스틱 재료로 형성될 수 있다. 이러한 플라스틱 재료들로 형성된 지지부재(770)의 강도는 지지부재(770)의 두께 및 강도를 증가시키기 위한 첨가제들을 첨가하는 것에 의해 제어될 수도 있다. 그리고, 지지부재(770)는 유리, 세라믹, 금속 또는 다른 강성이 있는(Rigid) 재료들 또는 전술한 재료들의 조합들로 형성될 수도 있다.

[0160] 플렉시블 기판(710)의 벤딩영역(B/A) 상에는 마이크로 코팅층 (Micro Coating Layer; 750)이 배치된다. 마이크로 코팅층(750)은 배리어필름(720)의 일 측을 덮도록 형성될 수도 있다.

[0161] 마이크로 코팅층(750)은 벤딩 시에 플렉시블 기판(710) 상에 배치되는 배선부에 인장력이 작용하여 미세 크랙이 발생될 수 있기 때문에, 레진(Resin)을 벤딩되는 위치에 얇은 두께로 코팅하여 배선을 보호하는 역할을 할 수 있다.

[0162] 마이크로 코팅층(750)은 벤딩영역(B/A)의 중립면을 조절할 수 있다. 중립면은 구조물이 벤딩되는 경우, 구조물에 인가되는 압축력(Compressive Force)과 인장력(Tensile Force)이 서로 상쇄되어 응력을 받지 않는 가상의 면을 의미한다. 2개 이상의 구조물이 적층되어 있는 경우, 구조물들 사이에 가상의 중립면이 형성될 수 있다. 구조물 전체가 일 방향으로 벤딩하는 경우, 중립면을 기준으로 벤딩 방향에 배치되는 구조물들은 벤딩에 의해 압축되게 되므로 압축력을 받는다. 이와 반대로 중립면을 기준으로 벤딩 방향과 반대 방향에 배치되는 구조물들은 벤딩에 의해 늘어나게 되므로 인장력을 받는다. 이때, 일반적으로 구조물들은 동일한 압축력과 인장력 중 인장력을 받는 경우에 더 취약하므로, 인장력을 받을 때 크랙이 발생할 확률이 더 높다.

[0163] 중립면을 기준으로 하부에 배치되는 플렉시블 기판(710)은 압축되므로 압축력을 받고, 상부에 배치되는 배선들은 인장력을 받을 수 있고, 이에 따라 인장력에 의하여 크랙이 발생할 수 있다. 따라서, 배선이 받는 인장력을 최소화하기 위해서는 중립면 상에 위치시킬 수 있다.

[0164] 마이크로 코팅층(750)을 벤딩 영역(B/A) 상에 배치시킴으로써, 중립면을 상부 방향으로 상승시킬 수 있으며, 중립면이 배선과 동일한 위치에 형성하거나 중립면보다 높은 위치에 위치하여 벤딩 시 응력을 받지 않거나 압축력

을 받게 되어 크랙 발생을 억제할 수 있다.

[0165] 마이크로 코팅층(750)은 레진으로 구성될 수 있으며, 아크릴계 물질이나 우레탄 아크릴레이트로 구성될 수 있지만 이에 한정되는 것은 아니다.

[0166] 플렉시블 기판(710)의 끝단에 절연필름(780)이 연결된다. 절연필름(780) 상에는 표시영역(A/A)에 배치된 화소로 신호를 전달하기 위한 다양한 배선이 형성된다. 절연필름(780)은 휘어질 수 있도록 플렉서빌리티를 갖는 재료로 형성된다. 절연필름(780)에는 구동소자가 장착될 수 있으며, 절연필름(780)과 함께 칩 온 필름(Chip on Film; COF)과 같은 구동 패키지(Package)를 형성하며, 절연필름(780) 상에 형성된 배선에 연결되어 구동 신호 및 데이터를 표시영역(A/A)에 배치된 화소에 제공한다.

[0167] 절연필름(780)과 연결되는 회로기판은 외부로부터 영상신호를 입력받아 표시영역(A/A)에 배치된 화소에 다양한 신호를 인가할 수 있으며, 인쇄 회로 기판(Printed Circuit Board)일 수 있다.

[0168] 본 발명의 일 실시예에 따른, 플렉시블 전계발광 표시장치는 플렉시블 기판, 플렉시블 기판 상에 있는 월드층, 월드층 상에 있는 버퍼층, 버퍼층 상에 있는 박막 트랜지스터, 박막 트랜지스터 상에 있는 전계발광소자 및 박막 트랜지스터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 월드층과 박막 트랜지스터는 중첩 영역을 가지며, 중첩영역에서 박막 트랜지스터와 월드층이 연결된다.

[0169] 본 발명의 다른 특징에 따르면, 박막 트랜지스터는 월드층과 컨택홀을 통해서 연결된다.

[0170] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터는 반도체층 상에 있고, 제1절연층, 제1절연층 상에 있는 게이트전극, 게이트전극 상에 있고, 제2절연층, 제2절연층 상에 드레인전극 및 소스전극이 있다.

[0171] 본 발명의 또 다른 특징에 따르면, 컨택홀은 버퍼층, 제1 절연층, 제2 절연층 및 반도체층을 관통하며, 소스전극 및 드레인 전극 중 하나와 월드층과 직접 연결된다.

[0172] 본 발명의 또 다른 특징에 따르면, 컨택홀은 버퍼층 및 제1 절연층 관통하며, 게이트전극과 동일층의 연결전극과 월드층과 직접 연결된다.

[0173] 본 발명의 또 다른 특징에 따르면, 연결전극과 소스전극 및 드레인 전극 중 하나와 직접 연결된다.

[0174] 본 발명의 또 다른 특징에 따르면, 반도체층은 불순물이 고농도로 도핑된 영역을 포함한다.

[0175] 본 발명의 또 다른 특징에 따르면, 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나이다.

[0176] 본 발명의 또 다른 특징에 따르면, 불순물은 인(P), 비소(As) 및 안티몬(Sb) 중에 하나이다.

[0177] 본 발명의 또 다른 특징에 따르면, 반도체층은 산화물 반도체층 또는 폴리실리콘 반도체층 중 하나이다.

[0178] 본 발명의 또 다른 특징에 따르면, 소스전극, 드레인전극 및 게이트전극 중 적어도 하나는 복수의 금속층으로 구성된다.

[0179] 본 발명의 일 실시예에 따른 플렉시블 전계발광 표시장치 제조방법은 플렉시블 기판을 형성하는 단계, 플렉시블 기판 상에 월드층을 형성하는 단계, 월드층 상에 버퍼층을 형성하는 단계, 버퍼층 상에 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 상에 전계발광소자를 형성하는 단계 및 박막 트랜지스터는 반도체층, 소스전극, 드레인전극 및 게이트전극을 포함하고, 월드층과 박막 트랜지스터는 중첩영역을 가지며, 중첩영역에서 박막트랜지스터와 월드층을 연결하는 단계를 포함한다.

[0180] 본 발명의 다른 특징에 따르면, 박막트랜지스터를 형성하는 단계는, 버퍼층 상에 반도체층을 형성하는 단계, 반도체층 상에 제1절연층을 형성하는 단계, 제1절연층 상에 게이트전극을 형성하는 단계, 게이트전극 상에 제2절연층을 형성하는 단계, 제2절연층 상에 드레인전극 및 소스전극을 형성하는 단계를 포함한다.

[0181] 본 발명의 또 다른 특징에 따르면, 본 방법은 버퍼층, 제1 절연층, 제2 절연층 및 반도체층을 일괄로 관통하는 컨택홀을 형성하는 단계, 소스전극 및 드레인 전극 중 하나와 월드층과 직접 연결되는 단계를 더 포함한다.

[0182] 본 발명의 또 다른 특징에 따르면, 본 방법은 버퍼층, 제1 절연층을 일괄로 관통하는 컨택홀을 형성하는 단계, 게이트전극과 동일층의 연결전극을 형성하는 단계, 연결전극과 월드층과 직접 연결되는 단계를 더 포함한다.

[0183] 본 발명의 또 다른 특징에 따르면, 본 방법은 제2 절연층을 관통하는 컨택홀을 형성하는 단계, 및 연결전극과 소스전극 및 드레인 전극 중 하나와 직접 연결되는 단계를 더 포함한다.

- [0184] 본 발명의 또 다른 특징에 따르면, 본 방법은 반도체층에 불순물을 고농도로 도핑하는 단계를 포함한다.
- [0185] 본 발명의 또 다른 특징에 따르면, 불순물은 봉소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중에 하나이다.
- [0186] 본 발명의 또 다른 특징에 따르면, 불순물은 인(P), 비소(As) 및 안티몬(Sb) 중에 하나이다.
- [0187] 본 발명의 또 다른 특징에 따르면, 소스전극, 드레인전극 및 게이트전극 중 적어도 하나는 복수의 금속층으로 형성된다.
- [0188] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

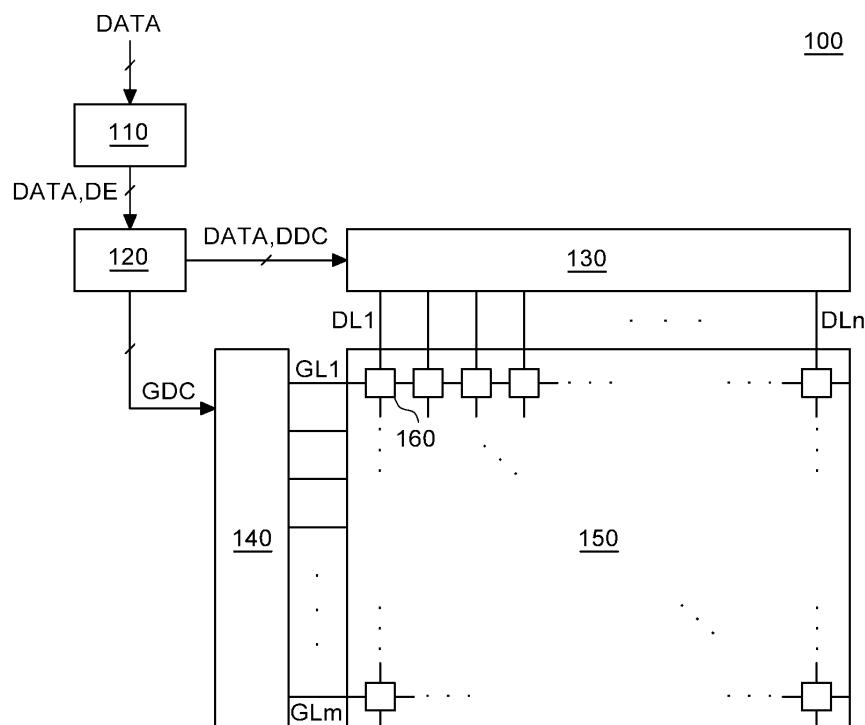
부호의 설명

- [0189] 100, 200, 300, 400, 500, 600, 700: 전계발광 표시장치
 110: 영상처리부 120: 타이밍 컨트롤러
 130: 데이터드라이버 140: 게이트드라이버
 150: 표시패널
 160: 화소
 220: 게이트라인
 230: 데이터라인
 240: 스위칭트랜지스터 250: 구동트랜지스터
 260: 보상회로
 270, 440: 발광소자
 310, 405, 505, 605, 710: 기판
 370: 회로배선
 390: 게이트구동부 395: 패드
 410, 510, 610: 쿠드층
 412, 512, 612: 제1 베폐층
 414, 514, 612: 제2 베폐층
 420: 박막트랜지스터 422: 게이트전극
 424, 524, 624: 소스전극
 426: 드레인전극
 428, 528, 628: 반도체층
 431, 531, 631: 제1 절연층
 433, 533, 633: 제2 절연층
 435: 제1 평탄화층 437: 제2 평탄화층
 442: 애노드 444: 발광부

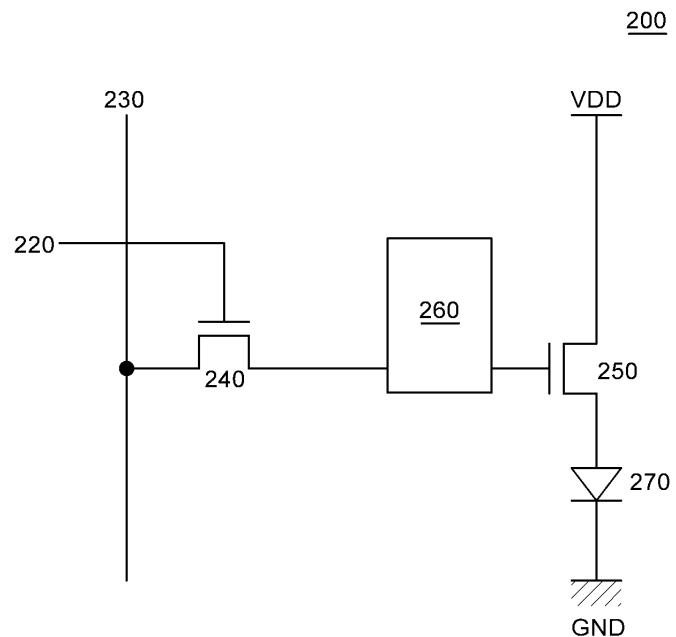
446: 캐소드 450: 뱅크
 452: 스페이서 460: 봉지부
 462: 제1 배선 464: 제2 배선
 466, 750: 마이크로 코팅층
 522: 게이트브리지
 535: 평탄화층
 720: 배리어 필름 730: 편광판
 740: 백플레이트 760: 점착층
 770: 지지부재 780: 회로기판
 A/A: 표시영역 N/A: 비표시영역
 B/A: 벤딩영역 S/L: 스캔라인
 C/H: 컨택홀

도면

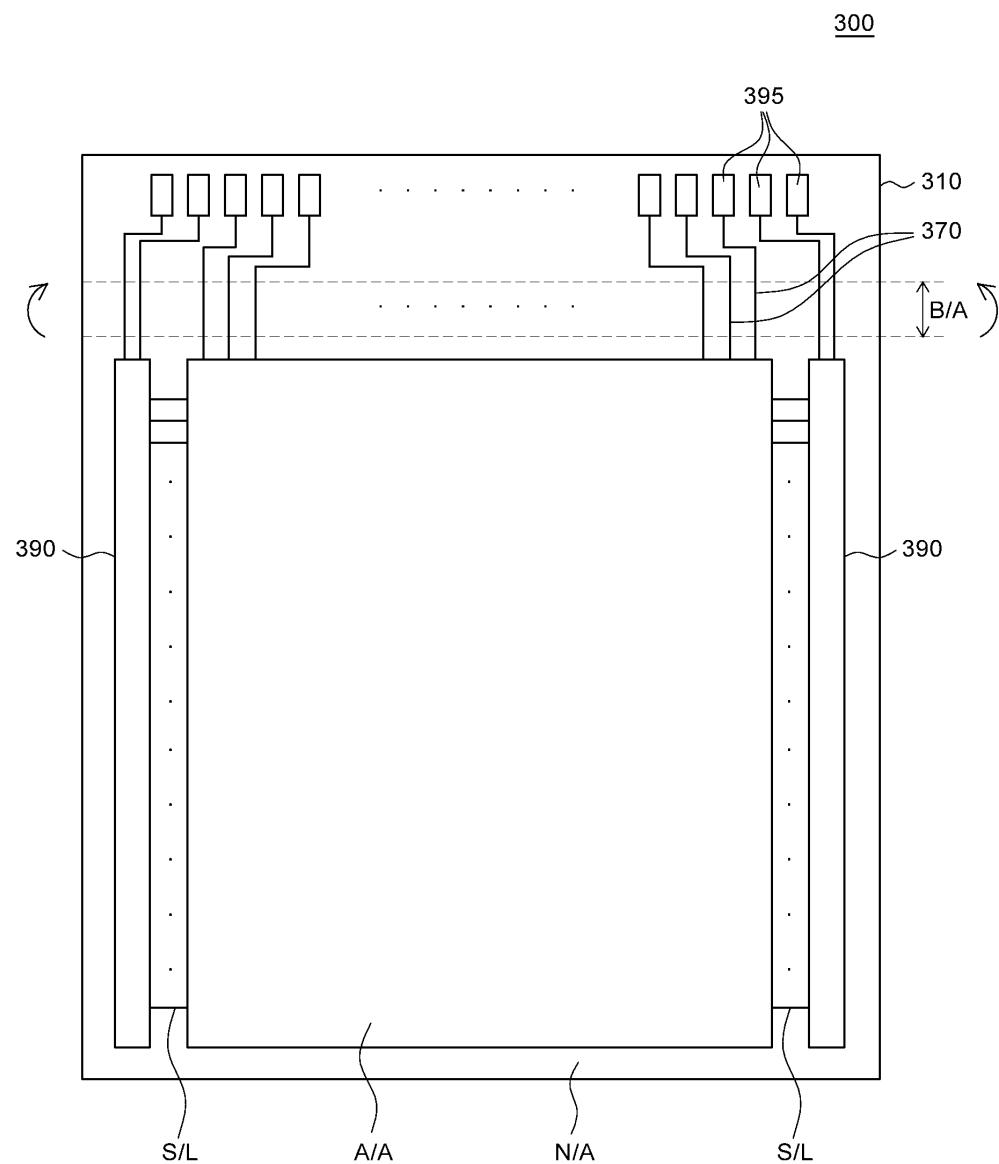
도면1



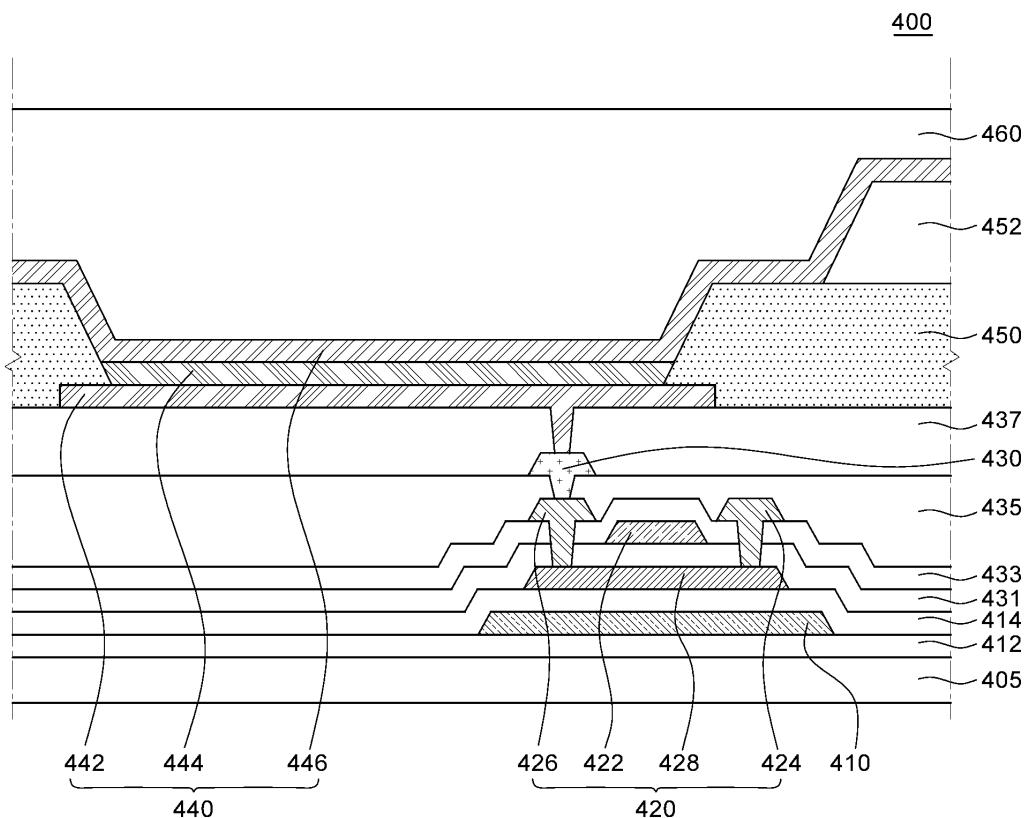
도면2



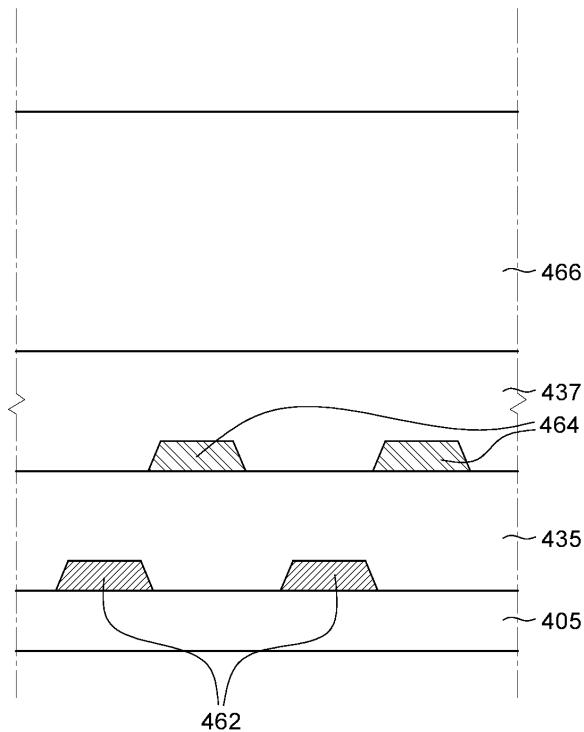
도면3



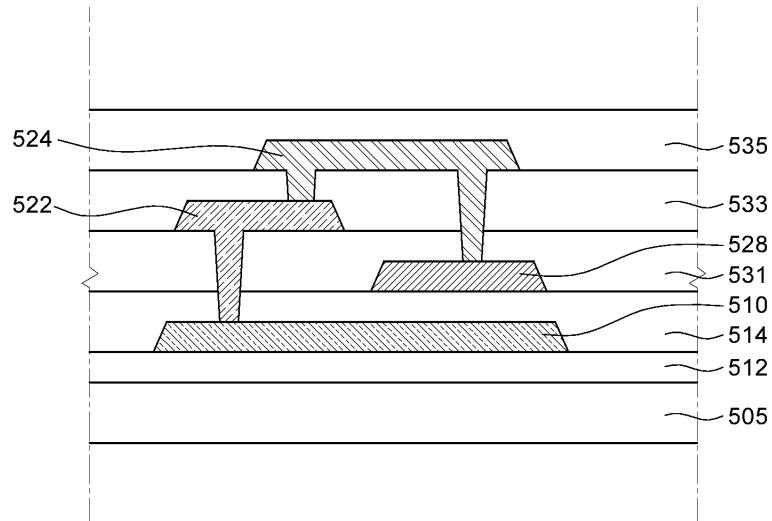
도면4a



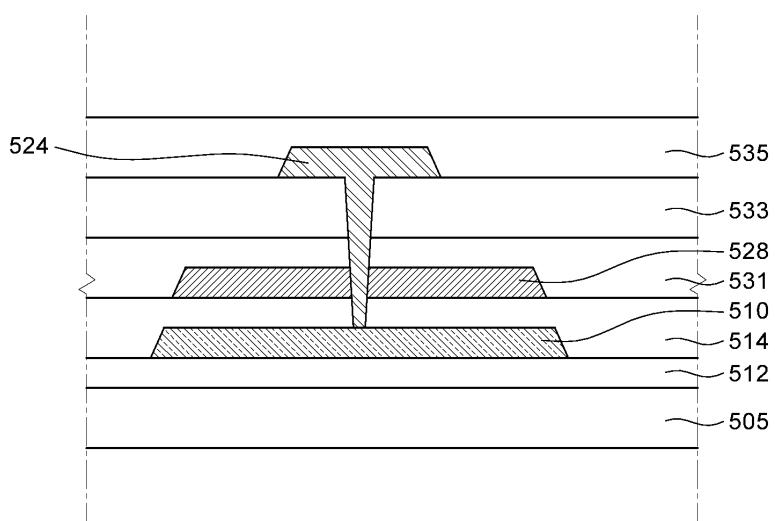
도면4b



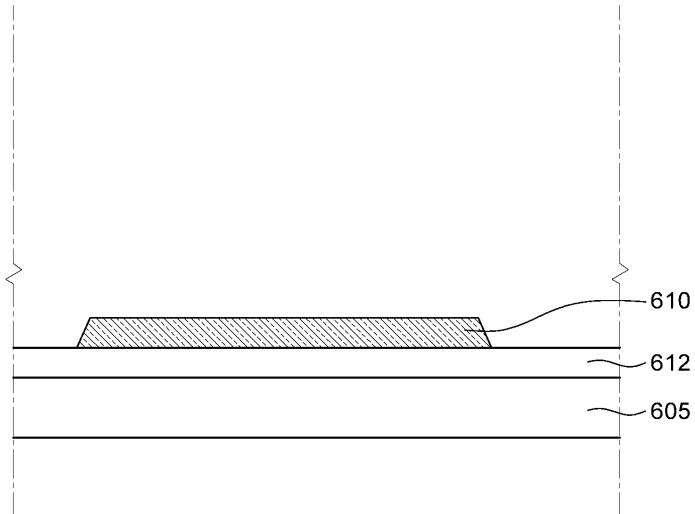
도면5a



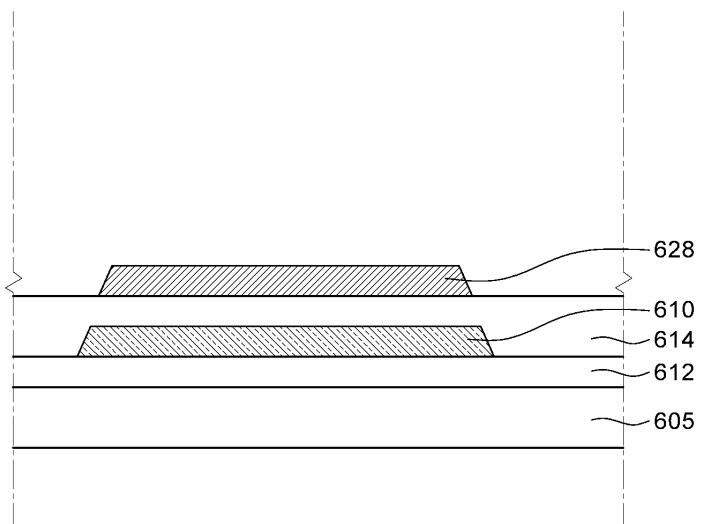
도면5b



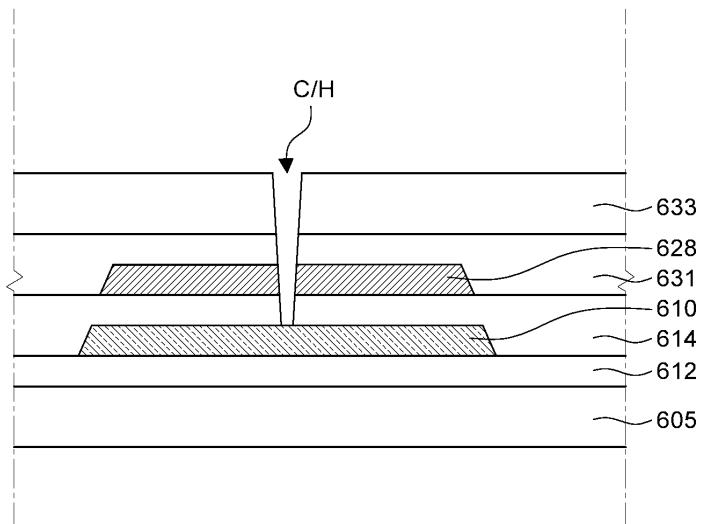
도면6a



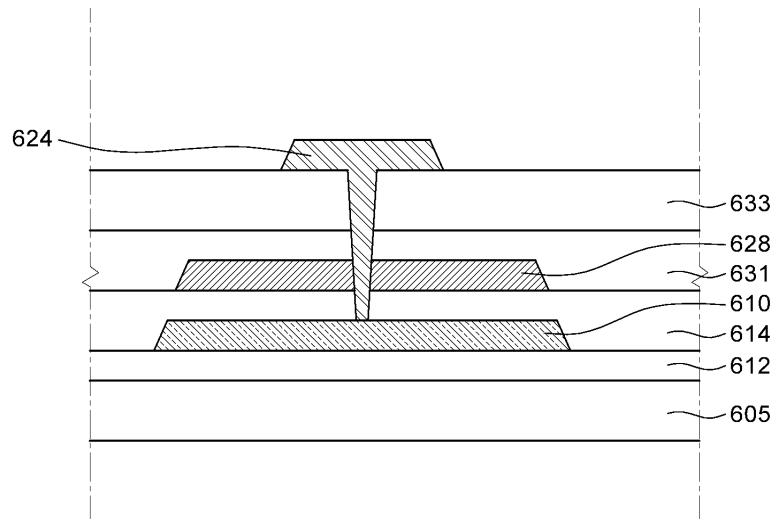
도면6b



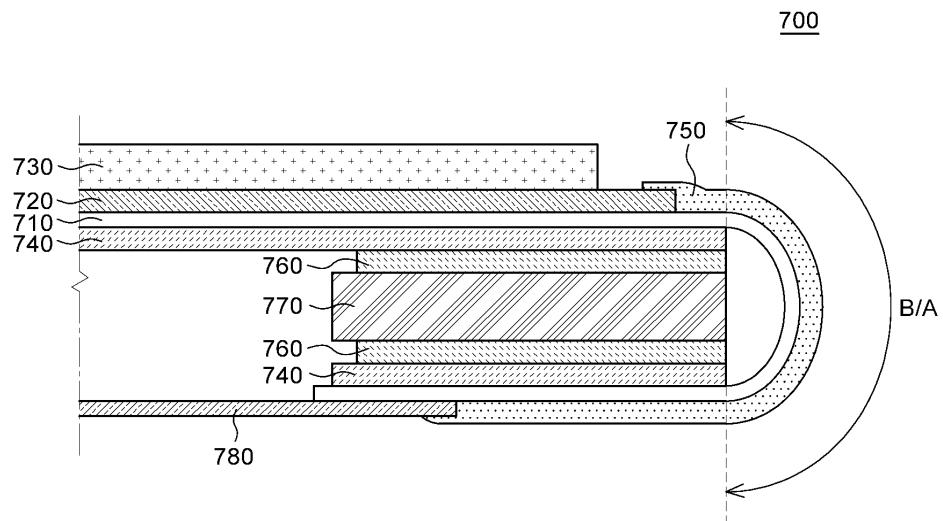
도면6c



도면6d



도면7



专利名称(译)	柔性电致发光显示装置		
公开(公告)号	KR1020190042899A	公开(公告)日	2019-04-25
申请号	KR1020170134531	申请日	2017-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	원도영		
发明人	원도영		
IPC分类号	H01L51/00 G06F1/16 G09F9/30 H01L51/56		
CPC分类号	H01L51/0097 G06F1/1652 G09F9/301 H01L51/56 G06F2203/04102 H01L2251/5338		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的柔性电致发光显示装置是柔性基板，在柔性基板上的屏蔽层，在屏蔽层上的缓冲层，在缓冲层上的薄膜晶体管，在薄膜晶体管上的电致发光装置。薄膜晶体管包括半导体层，源电极，漏电极和栅电极，其中屏蔽层和薄膜晶体管具有重叠区域，并且薄膜晶体管和屏蔽层在重叠区域中连接。

