



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0036461
(43) 공개일자 2019년04월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G06F 3/041 (2006.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G06F 3/0416 (2013.01)
(21) 출원번호 10-2018-0095895
(22) 출원일자 2018년08월17일
심사청구일자 없음
(30) 우선권주장
1020170125355 2017년09월27일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김경민
경기도 파주시 월롱면 엘지로 245
한인효
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
이승찬

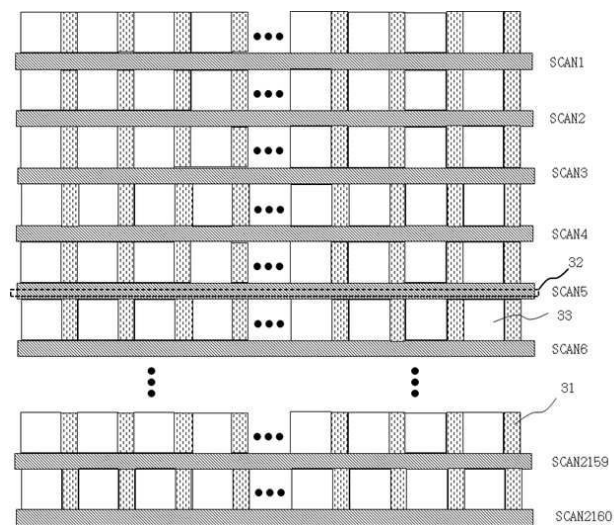
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 OLED 표시패널과 이를 이용한 OLED 표시 장치

(57) 요약

본 발명은 화소 어레이 내에 게이트 구동 회로의 GIP가 배치되는 표시패널과 이를 이용한 OLED 표시 장치에 관한 것으로, 표시패널은 데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비한 것이다.

대표도 - 도6



(52) CPC특허분류

G09G 2300/0408 (2013.01)

G09G 2300/0452 (2013.01)

(72) 발명자

박해진

경기도 과주시 월롱면 엘지로 245

장영인

경기도 과주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고,

하나의 단위 화소 영역에는 상기 GIP를 구성하는 하나의 소자가 배치되며,

상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고,

상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 우측에 상기 GIP부가 배치되거나,

상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 좌측에 상기 GIP부가 배치되는 OLED 표시패널.

청구항 2

제 1 항에 있어서,

상기 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 적어도 하나의 GIP가 분산 배치되는 OLED 표시패널.

청구항 3

제 1 항에 있어서,

상기 GIP는,

라인 선택 신호에 따라 세트 신호를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간에 실시간 보상용 신호에 따라 제 1 노드를 제 1 정전압으로 충전하고 제 2 노드를 제 2 정전압으로 방전하는 블랭크 구간 제 1 및 제 2 노드 제어부와,

해당 스테이지를 구동 구간에 전단의 캐리 펄스에 따라 상기 제 1 노드를 상기 전단의 캐리 펄스 전압으로 충전하고 후단의 캐리 펄스에 따라 상기 제 1 노드 및 제 3 노드를 제 2 정전압으로 방전하며, 상기 제 1 노드의 전압에 따라 상기 제 3 노드를 상기 제 1 정전압으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부와,

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부와,

복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호를 수신하여 상기 제 1 노드 및 상기 제 2 노드의 전압에 따라 캐리 펄스 및 스캔 펄스를 출력하는 출력 버퍼부와,

상기 블랭크 구간에 타이밍 컨트롤러에서 출력되는 리셋 신호에 따라 상기 제 1 노드를 제 2 정전압으로 방전하는 리셋부를 구비하고,

상기 출력 버퍼부의 스캔 펄스 출력 버퍼부, 상기 인버터부, 상기 블랭크 구간 제 1 및 제 2 노드 제어부, 상기 출력 버퍼부의 캐리 펄스 출력 버퍼부, 상기 구동 구간 제 1 내지 제 3 노드 제어부 및 리셋부 순서로 배치되는 OLED 표시패널.

청구항 4

제 1 항에 있어서,

상기 GIP를 구성하는 소자들 중 적어도 하나의 소자는 분할되어 해당 게이트 라인 방향을 따라 복수의 단위 화소 영역에 병렬로 배치되는 OLED 표시패널.

청구항 5

제 1 항에 있어서,

상기 표시 영역에는 터치 센서들이 더 배치되는 OLED 표시패널.

청구항 6

복수개의 데이터 라인들과 복수개의 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역;

상기 복수개의 데이터 라인들을 복수개의 그룹으로 분할하여 각 그룹의 데이터 라인들을 구동하는 복수개의 소스 드라이브 IC들; 및

각 소스 드라이브 IC에 의해 구동되는 그룹으로 상기 표시 영역이 구분되고, 구분된 각 표시 영역 그룹 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고,

하나의 단위 화소 영역에는 상기 GIP를 구성하는 하나의 소자가 배치되며,

상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고,

상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 우측에 상기 GIP부가 배치되거나,

상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 좌측에 상기 GIP부가 배치되는 OLED 표시 장치.

청구항 7

제 6 항에 있어서,

각 소스 드라이브 IC에 의해 구동되는 그룹으로 상기 표시 영역이 구분되고, 구분된 각 표시 영역 그룹 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 적어도 하나의 GIP가 분산 배치되는 OLED 표시 장치.

청구항 8

제 6 항에 있어서,

상기 GIP는,

라인 선택 신호에 따라 세트 신호를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간에 실시간 보상용 신호에 따라 제 1 노드를 제 1 정전압으로 충전하고 제 2 노드를 제 2 정전압으로 방전하는 블랭크 구간 제 1 및 제 2 노드 제어부와,

해당 스테이지를 구동 구간에 전단의 캐리 펄스에 따라 상기 제 1 노드를 상기 전단의 캐리 펄스 전압으로 충전하고 후단의 캐리 펄스에 따라 상기 제 1 노드 및 제 3 노드를 제 2 정전압으로 방전하며, 상기 제 1 노드의 전압에 따라 상기 제 3 노드를 상기 제 1 정전압으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부와,

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부와,

복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호를 수신하여 상기 제 1 노드 및 상기 제 2 노드의 전압에 따라 캐리 펄스 및 스캔 펄스를 출력하는 출력 버퍼부와,

상기 블랭크 구간에 타이밍 컨트롤러에서 출력되는 리셋 신호에 따라 상기 제 1 노드를 제 2 정전압으로 방전하는 리셋부를 구비하고,

상기 출력 버퍼부의 스캔 펄스 출력 버퍼부, 상기 인버터부, 상기 블랭크 구간 제 1 및 제 2 노드 제어부, 상기 출력 버퍼부의 캐리 펄스 출력 버퍼부, 상기 구동 구간 제 1 내지 제 3 노드 제어부 및 리셋부 순서로 배치되는 OLED 표시 장치.

청구항 9

제 6 항에 있어서,

GIP를 구성하는 소자들 중 적어도 하나의 소자는 분할되어 해당 게이트 라인 방향을 따라 복수의 단위 화소 영역에 병렬로 배치되는 OLED 표시 장치.

청구항 10

제 6 항에 있어서,

각 소스 드라이브 IC는 화소를 구동하기 위한 데이터 전압 및 각종 전원들을 공급할 뿐만 아니라, GIP를 구동하기 위한 캐리 펄스 출력용 캐리 펄스, 스캔 펄스 출력용 스캔 펄스, 전원, 스타트 신호, 리셋 신호, 라인 선택 신호 중 적어도 하나를 공급하는 OLED 표시 장치.

청구항 11

제 6 항에 있어서,

각 게이트 라인은 각 소스 드라이브 IC에 의해 구동되는 표시 영역별로 전기적으로 독립되거나 각 소스 드라이브 IC에 의해 구동되는 표시 영역에 일체로 형성되는 OLED 표시 장치.

청구항 12

복수개의 데이터 라인들과 복수개의 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역;

상기 복수개의 데이터 라인들을 복수개의 그룹으로 분할하여 각 그룹의 데이터 라인들을 구동하는 복수개의 소스 드라이브 IC들; 및

인접한 2개 이상의 소스 드라이브 IC들에 의해 구동되는 그룹으로 상기 표시 영역이 구분되고, 구분된 각 표시 영역 그룹 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고,

하나의 단위 화소 영역에는 상기 GIP를 구성하는 하나의 소자가 배치되며,

상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고,

상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 우측에 상기 GIP부가 배치되거나,

상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 좌측에 상기 GIP부가 배치되는 OLED 표시 장치.

청구항 13

데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고,

제 1 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되고,

제 2 단위 화소 영역은, 적어도 3개의 서브 화소부와, 더미 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들 및 더미 연결 배선이 배치되는 OLED 표시패널.

청구항 14

제 13 항에 있어서,

상기 더미 GIP부는 상기 GIP부와 동일한 구조로 구성되거나 상기 GIP부와 다른 구조로 구성되는 OLED 표시패널.

청구항 15

제 13 항에 있어서,

상기 더미 GIP부는 차광 금속 패턴, 게이트 전극 패턴 및 소오스/드레인 전극 패턴의 조합으로 구성되는 OLED 표시패널.

청구항 16

제 13 항에 있어서,

상기 더미 GIP부는,

기관;

상기 유리 기관상에 형성되는 차광 금속 패턴;

상기 차광 금속 패턴을 포함한 상기 기관 전면에 형성되는 버퍼층;

상기 버퍼층상에 형성되는 게이트 절연막 및 게이트 전극 패턴;

상기 게이트 전극을 포함한 기관 전면에 형성되는 층간 절연막; 그리고

상기 층간 절연막상에 형성되는 소오스/드레인 전극 패턴을 포함하여 구성되는 OLED 표시패널.

청구항 17

제 16 항에 있어서,

상기 더미 GIP부는,

상기 버퍼층과 상기 게이트 절연막 및 게이트 전극 패턴 사이에 형성되는 활성층을 더 구비하는 OLED 표시패널.

청구항 18

제 17 항에 있어서,

상기 더미 GIP부는,

상기 소오스/드레인 전극 패턴은 상기 활성층에 전기적으로 연결되는 OLED 표시패널.

청구항 19

제 13 항에 있어서,

상기 더미 GIP부는,

기관;

상기 기관상에 형성되는 GIP 신호 라인용 제 1 차광 금속 패턴 및 2개의 제 2 차광 금속 패턴;

상기 제 1 및 제 2 차광 금속 패턴을 포함한 상기 기관 전면에 형성되는 버퍼층;

상기 버퍼층상에 형성되는 게이트 절연막 및 게이트 전극 패턴; 그리고

상기 게이트 전극 패턴을 포함한 기관 전면에 형성되는 층간 절연막을 포함하여 구성되는 OLED 표시패널.

청구항 20

제 13 항에 있어서,

상기 더미 GIP부는,

기관;

상기 기관상에 형성되는 GIP 신호 라인용 차광 금속 패턴;

상기 차광 금속 패턴을 포함한 상기 기관 전면에 형성되는 버퍼층;

상기 버퍼층상에 형성되는 3개의 게이트 절연막 및 게이트 전극 패턴; 그리고

상기 3개의 게이트 전극 패턴을 포함한 기판 전면에 형성되는 층간 절연막을 포함하여 구성되는 OLED 표시패널.

청구항 21

제 19 항 또는 제 20 항에 있어서,

상기 더미 GIP부는,

상기 버퍼층과 상기 게이트 절연막 및 게이트 전극 패턴 사이에 형성되는 활성층을 더 구비하는 OLED 표시패널.

청구항 22

데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고,

상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 GIP 내부 연결 배선부를 구비하고,

상기 GIP부에 GIP 신호를 공급하기 위한 복수개의 GIP 신호 라인들이 배치되며,

상기 GIP 신호 라인들 중 적어도 하나의 GIP 신호 라인상에는 빛을 차단하는 차광층이 형성되는 OLED 표시패널.

청구항 23

제 22 항에 있어서,

상기 차광층은 R, G, B 칼라 필터층 중 적어도 2개의 칼라 필터층이 적층되어 구성되는 OLED 표시패널.

청구항 24

제 22 항에 있어서,

상기 차광층은 블랙 매트릭층으로 구성되는 OLED 표시패널.

청구항 25

제 22 항에 있어서,

상기 적어도 하나의 GIP 신호 라인은 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 OLED 표시패널.

청구항 26

제 22 항에 있어서,

상기 GIP 내부 연결 배선부는 인가되는 전압에 따라 GIP의 출력 버퍼부를 제어하는 제 1 노드 및 상기 제 2 노드를 구비하고,

상기 제 1 노드 또는 상기 제 2 노드 상에 빛을 차단하는 차광층이 더 형성되는 OLED 표시패널.

청구항 27

제 26 항에 있어서,

상기 차광층은 R, G, B 칼라 필터층 중 적어도 2개의 칼라 필터층이 적층되어 구성되는 OLED 표시패널.

청구항 28

제 26 항에 있어서,

상기 차광층은 블랙 매트릭층으로 구성되는 OLED 표시패널.

발명의 설명

기술 분야

[0001] 본 발명은 화소 어레이 내에 게이트 구동 회로의 GIP가 배치되고, GIP 배치에 따른 화질 불량을 개선할 수 있는 OLED 표시패널과 이를 이용한 OLED 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

[0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.

[0005] 상기와 같은 표시 장치들 중 액정 표시 장치의 표시 패널은, 유리 기판상에 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이 기판과, 유리 기판상에 칼라 필터 어레이가 형성되는 칼라 필터 어레이 기판과, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판 사이에 충진된 액정층을 구비한다.

[0006] 상기 박막 트랜지스터 어레이 기판은, 제1방향으로 연장되는 복수개의 게이트 라인들(GL)과, 제1방향과 수직인 제2방향으로 연장되는 복수개의 데이터 라인들(DL)을 포함하며, 각 게이트 라인과 각 데이터 라인에 의하여 하나의 서브 화소 영역(Pixel; P)이 정의된다. 하나의 서브 화소 영역(P) 내에는 하나의 박막 트랜지스터와 화소 전극이 형성된다.

[0007] 이러한 액정 표시 장치의 표시 패널은, 전기장 생성 전극 (화소 전극 및 공통 전극)에 전압을 인가하여 상기 액정층에 전기장을 생성하고, 상기 전기장에 의해 액정층의 액정 분자들의 배열 상태를 조절하여 입사광의 편광을 제어함으로써 영상을 표시한다.

[0008] 또한, 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.

[0009] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.

[0010] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커패시터에 충전한다. 상기 구동 TFT는 상기 커패시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.

[0011] 이러한 표시 장치용 표시 패널은, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.

[0012] 또한, 상기 표시 패널을 구동하기 위한 상기 구동회로는 상기 표시 패널의 상기 복수개의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급하는 게이트 구동 회로와, 상기 표시 패널의 상기 복수개의 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로와, 상기 게이트 구동 회로와 상기 데이터 구동 회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 콘트롤러 등으로 이루어진다.

[0013] 상기 게이트 구동 회로는, 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 표시 패널의 상기 복수개의 신호 라인 (게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.

[0014] 즉, 상기 게이트 구동 회로를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 "GIP"라고도 함) 방식이 적용되고 있다.

[0015] 상기와 같은 게이트 구동 회로는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지(stage; 이하 "GIP"로 표현한다)를 포함하여 구성되고, 구동 특성을 향상시키기 위하여 산화물 반도체 박막트랜지스터들을 이용한다.

- [0016] 즉, 상기 게이트 구동 회로는 종속적으로 접속된 복수개의 스테이지(GIP)를 포함한다. 그리고, 각 스테이지(GIP)는 각 게이트 라인에 연결되어, 상기 타이밍 콘트롤러로부터 인가되는 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압을 수신하여, 하나의 캐리 펄스와 하나의 스캔 펄스를 생성하는 출력부를 포함한다.
- [0017] 도1은 일반적인 (n)번째 GIP의 구성 블록도이다.
- [0018] 상기 각 GIP는, 도 1에 도시한 바와 같이, 스타트 펄스(start pulse) 또는 전단의 GIP에서 출력되는 캐리 펄스(SET)에 의해 셋팅되고, 후단의 GIP에서 출력되는 캐리 펄스(RST)에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어하는 노드 제어부(100)와, 다수의 스캔 펄스 출력용 클럭신호(SCCLKs) 중 하나의 스캔 펄스 출력용 클럭신호와 상기 다수의 캐리 펄스 출력용 클럭신호(CRCLKs) 중 하나의 캐리 펄스 출력용 클럭 신호를 수신하여, 상기 제 1 및 제 2 노드(Q, Qb)의 전압 레벨에 따라 하나의 스캔 펄스((So(n)) 및 하나의 캐리 펄스(Co(n))를 출력하는 출력부(200)를 포함하여 구성된다.
- [0019] 6상의 클럭 신호에 의해 구동되는 GIP의 경우, 상기 노드 제어부(100)는 3번째 전단의 GIP에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되고, 3번째 후단의 GIP에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어한다.
- [0020] 도면에는 도시되지 않았지만, 상기 GIP의 출력부(200)는, 캐리 펄스 출력부 및 스캔 펄스 출력부를 구비하여 구성된다.
- [0021] 상기 캐리 펄스 출력부는 복수개의 캐리용 클럭 신호 중 하나의 캐리 펄스 출력용 클럭 신호가 인가되는 캐리 펄스 출력용 클럭 신호 단과 제 1 게이트 로우 전압단(VGL1) 사이에 직렬 연결되는 제 1 풀업 트랜지스터 및 제 1 풀다운 트랜지스터를 구비하여 구성된다.
- [0022] 상기 제 1 풀업 트랜지스터는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 1 풀다운 트랜지스터는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 캐리 펄스 출력용 클럭 신호를 캐리 펄스(Co(n))로 출력한다.
- [0023] 상기 스캔 펄스 출력부는 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 스캔 펄스 출력용 클럭 신호가 인가되는 스캔 펄스 출력용 클럭 신호 단과 제 2 게이트 로우 전압단(VGL2) 사이에 직렬 연결되는 제 2 풀업 트랜지스터 및 제 2 풀다운 트랜지스터와, 상기 제 2 풀업 트랜지스터의 게이트 전극과 소오스 전극 사이에 연결되는 부트스트랩(bootstrap) 커패시터를 구비하여 구성된다.
- [0024] 상기 제 2 풀업 트랜지스터는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 2 풀다운 트랜지스터는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 스캔 펄스 출력용 클럭 신호를 스캔 펄스(So(n))로 출력한다.
- [0025] 도 2는 도 1에 도시된 (n) 번째 GIP의 동작을 보여 주는 파형도이다.
- [0026] 도 2에서는 상술한 바와 같이, 상기 노드 제어부(100)는 3번째 전단의 GIP에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되고, 3번째 후단의 GIP에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어함을 도시한 것이다.
- [0027] 상기 (n)번째 GIP(GIP(n))는 3번째 전단의 GIP에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되어 상기 제 1 노드(Q)를 게이트 하이 전압(VGH)으로 충전하고, 상기 제 2 노드(Qb)를 게이트 로우 전압(VGL) 상태로 방전한다. 따라서, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터는 턴-온되고, 상기 캐리 펄스 출력부의 제 1 풀다운 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀다운 트랜지스터는 턴-오프된다.
- [0028] 그리고, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터의 드레인 전극과 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터의 드레인 전극에는 동일 위상을 갖는 클럭 신호(CRCLK, SCCLK)가 인가된다.
- [0029] 상기 제 1 풀업 트랜지스터의 드레인 전극과 상기 제 2 풀업 트랜지스터의 드레인 전극에 하이 레벨의 클럭 신호(CRCLK, SCCLK)가 인가되면, 상기 부트스트랩 커패시터에 의해 상기 플로팅된 제 1 노드(Q)의 전압이 부트스트래핑되어 2VGH 만큼 상승된다.
- [0030] 이와 같이 상기 제 1 노드(Q)가 부트스트래핑된 상태에서, 상기 캐리 펄스 출력부 및 상기 스캔 펄스 출력부는

입력되는 클럭 펄스(CRCLK, SCCLK)를 각각 캐리 펄스(Co(n)) 및 스캔 펄스(So(n))로 출력한다.

[0031] 그리고, 상기 3번째 후단 GIP 에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋되어 상기 제 1 노드(Q)는 로우 상태가 되고, 상기 제 2 노드(Qb)를 하이 상태가 된다. 따라서, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터는 턴-오프되고, 상기 캐리 펄스 출력부의 제 1 풀다운 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀다운 트랜지스터는 턴-온되어, 캐리 펄스(Co(n)) 및 스캔 펄스(So(n))로 게이트 로우 전압(VGL)을 출력한다.

[0032] 이와 같이 종래의 게이트 구동 회로는 상기 표시 패널의 비표시 영역에 직접화되므로, 평판 표시 장치의 네로우 베젤(Narrow bezel) 설계가 어렵다.

발명의 내용

해결하려는 과제

[0033] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 베젤을 최소화하고 베젤 형상과 관계 없이 표시 패널의 표시 영역에 GIP를 배치할 수 있으며, GIP가 표시 영역에 배치됨에 따른 화질 불량을 개선할 수 있는 OLED 표시 패널과 이를 이용한 OLED 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0034] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고, 하나의 단위 화소 영역에는 상기 GIP를 구성하는 하나의 소자가 배치되며, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고, 상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 우측에 상기 GIP부가 배치되거나, 상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 좌측에 상기 GIP부가 배치됨을 특징으로 한다.

[0035] 여기서, 상기 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 적어도 하나의 GIP가 분산 배치됨을 특징으로 한다.

[0036] 상기 표시 영역에는 터치 센서들이 더 배치됨을 특징으로 한다.

[0037] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고, 제 1 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되고, 제 2 단위 화소 영역은, 적어도 3개의 서브 화소부와, 더미 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들 및 더미 연결 배선이 배치됨에 또 다른 특징이 있다.

[0038] 여기서, 상기 더미 GIP부는 상기 GIP부와 동일한 구조로 구성되거나 상기 GIP부와 다른 구조로 구성됨을 특징으로 한다.

[0039] 상기 더미 GIP부는 차광 금속 패턴, 게이트 전극 패턴 및 소오스/드레인 전극 패턴의 조합으로 구성됨을 특징으로 한다.

[0040] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 GIP 내부 연결 배선부를 구비하고, 상기 GIP부에 GIP 신호를 공급하기 위한 복수개의 GIP 신호 라인들이 배치되며, 상기 GIP 신호 라인들 중 적어도 하나의 GIP 신호 라인상에는 빛을 차단하는 차광층이 형성됨에 또 다른 특징이 있다.

[0041] 여기서, 상기 차광층은 R, G, B 칼라 필터층 중 적어도 2개의 칼라 필터층이 적층되어 구성되거나, 블랙 매트릭층

으로 구성됨을 특징으로 한다.

- [0042] 상기 적어도 하나의 GIP 신호 라인은 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가됨을 특징으로 한다.
- [0043] 상기 GIP 내부 연결 배선부는 인가되는 전압에 따라 GIP의 출력 버퍼부를 제어하는 제 1 노드 및 상기 제 2 노드를 구비하고, 상기 제 1 노드 또는 상기 제 2 노드 상에 빛을 차단하는 차광층이 더 형성됨을 특징으로 한다.
- [0044] 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 장치는, 복수개의 데이터 라인들과 복수개의 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 상기 복수개의 데이터 라인들을 복수개의 그룹으로 분할하여 각 그룹의 데이터 라인들을 구동하는 복수개의 소스 드라이브 IC들; 및 각 소스 드라이브 IC에 의해 구동되는 그룹으로 상기 표시 영역이 구분되고, 구분된 각 표시 영역 그룹 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고, 하나의 단위 화소 영역에는 상기 GIP를 구성하는 하나의 소자가 배치되며, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고, 상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 우측에 상기 GIP부가 배치되거나, 상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 좌측에 상기 GIP부가 배치됨에 그 특징이 있다.
- [0045] 여기서, 각 소스 드라이브 IC는 화소를 구동하기 위한 데이터 전압 및 각종 전원들을 공급할 뿐만 아니라, GIP를 구동하기 위한 캐리 펄스 출력용 캐리 펄스, 스캔 펄스 출력용 스캔 펄스, 전원, 스타트 신호, 리셋 신호, 라인 선택 신호 중 적어도 하나를 공급함을 특징으로 한다.
- [0046] 각 게이트 라인에 의해 구동되는 표시 영역별로 전기적으로 독립되거나 각 소스 드라이브 IC에 의해 구동되는 표시 영역에 일체로 형성됨을 특징으로 한다.
- [0047] 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 장치는, 복수개의 데이터 라인들과 복수개의 게이트 라인들이 교차되고, 상기 교차부에 배치된 서브 화소들을 포함한 표시 영역; 상기 복수개의 데이터 라인들을 복수개의 그룹으로 분할하여 각 그룹의 데이터 라인들을 구동하는 복수개의 소스 드라이브 IC들; 및 인접한 2개 이상의 소스 드라이브 IC들에 의해 구동되는 그룹으로 상기 표시 영역이 구분되고, 구분된 각 표시 영역 그룹 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 GIP를 구비하고, 하나의 단위 화소 영역에는 상기 GIP를 구성하는 하나의 소자가 배치되며, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP를 구성하는 하나의 소자가 배치되는 GIP부와, GIP의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고, 상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 우측에 상기 GIP부가 배치되거나, 상기 GIP 내부 연결 배선부의 상측 및 상기 적어도 3개의 서브 화소부의 좌측에 상기 GIP부가 배치됨에 또 다른 특징이 있다.

발명의 효과

- [0048] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 패널 및 이를 이용한 OLED 표시 장치에 있어서는 다음과 같은 효과가 있다.
- [0049] 첫째, 표시 영역 내에 GIP를 분산 배치하므로, 표시 영역 좌우측의 비표시 영역에 GIP를 구성하는 종래의 표시 패널에 비해 표시 패널의 좌우 베젤을 최소화 할 수 있다.
- [0050] 둘째, GIP를 표시 영역 내에 배치하면서, 하나의 게이트 라인(스캔 라인)에 1개의 GIP를 배치할 경우 가운데 부분에 배치하거나 하나의 스캔 라인에 2개 이상의 GIP를 배치하므로, 화질의 균일도 등에 효율적이다.
- [0051] 셋째, GIP의 구성들을 기능별로 분리하여 배치하므로 GIP 내부 배선 연결부를 간소화 할 수 있다.
- [0052] 넷째, GIP의 구성 중 사이즈가 상대적으로 큰 소자는 분할 배치하여 병렬로 연결할 수 있으므로 표시 영역에 GIP를 구성하는 소자들을 충분히 분산 시킬 수 있다.
- [0053] 다섯째, 표시 영역내의 단위 화소 영역에 적어도 3개의 서브 화소부와 GIP부를 나누어 배치하므로 화소와 GIP 간의 신호 간섭 현상을 최소화 할 수 있다.
- [0054] 여섯째, 각 소스 드라이브 IC에 의해 구동되는 그룹으로 상기 표시 영역이 구분되고, 구분된 각 표시 영역 그룹 내의 각 게이트 라인에 의해 구동되는 단위 화소 영역들에 GIP를 구성하는 소자들이 분산 배치되므로, 각 소스

드라이브 IC를 통해 GIP를 구동하기 위한 신호들을 공급할 수 있다.

[0055] 일곱째, GIP부가 배치되지 않은 단위 화소에 더미 GIP부를 배치하고, 상기 GIP 내부 연결 배선부(32)에 더미 배선을 배치하므로, 표시 장치의 비 구동 시 설계 편차가 인지됨을 방지할 수 있다.

[0056] 여덟번째, 캐리 펄스 출력용 클럭 신호 또는 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인 또는 상기 GIP 내부 연결 배선부에 배치되는 Q 노드 또는 Qb 노드 상에 R, G, B 칼라 필터층을 적층하거나, 블랙 매트릭층을 형성하므로, 상기 캐리 펄스 출력용 클럭 신호 또는 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인과 상기 Q 노드 또는 상기 Qb 노드에 의해 이상 발광 현상이 발생하더라도 저계조 빛샘 현상을 방지할 수 있다.

도면의 간단한 설명

[0057] 도 1은 일반적인 (n)번째 GIP의 구성 블록도
 도 2는 도 1에 도시된 (n)번째 GIP의 동작 파형도
 도 3은 본 발명의 실시예에 따른 OLED 표시 장치를 개략적으로 보여 주는 블록도
 도 4는 도 3의 OLED 표시 장치에서 하나의 서브 화소의 회로 구성도
 도 5는 본 발명에 따른 (n)번째 GIP의 회로 구성도
 도 6은 본 발명의 제 1 실시예에 따른 표시 패널의 표시 영역 구성도
 도 7은 도 6의 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소를 보다 구체적으로 도시한 구성도
 도 8a 내지 8d는 본 발명에 따른 GIP부의 배치 위치를 나타낸 설명도
 도 9는 본 발명에 따른 GIP 소자들의 배치 상태를 도시한 설명도
 도 10은 본 발명에 따른 GIP 소자들 중 큰 사이즈를 갖는 박막트랜지스터의 배치 상태를 도시한 설명도
 도 11은 본 발명의 제 2 실시예에 따른 표시 패널의 표시 영역 구성도
 도 12a는 본 발명에 따른 표시 패널에서 GIP부가 배치된 단위 화소의 구성도
 도 12b는 본 발명에 따른 표시 패널에서 GIP부가 배치되지 않은 단위 화소의 구성도
 도 13은 본 발명에 따른 표시 패널에서 GIP부가 배치되지 않은 단위 화소에 더미 GIP부가 배치되고, 상대적으로 배선 수가 적은 단위 화소의 GIP 내부 연결 배선부에 더미 배선이 배치된 구성도
 도 14는 도 12a에 도시된 본 발명에 따른 표시 패널에서 GIP부의 구조 단면도
 도 15는 본 발명에 따른 표시 패널에서 제1 실시예에 따른 더미 GIP부의 구조 단면도
 도 16은 본 발명에 따른 표시 패널에서 제2 실시예에 따른 더미 GIP부의 구조 단면도
 도 17은 본 발명에 따른 표시 패널에서 제3 실시예에 따른 더미 GIP부의 구조 단면도
 도 18은 본 발명에 따른 OLED 표시 패널에서 제 1 실시예에 따른 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L) 상의 구조 단면도
 도 19는 본 발명에 따른 OLED 표시 패널에서 제 2 실시예에 따른 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L) 상의 구조 단면도
 도 20은 본 발명에 따른 OLED 표시 패널에서 제 1 실시예에 따른 Q 노드 또는 Qb 노드 상의 구조 단면도
 도 21은 본 발명에 따른 OLED 표시 패널에서 제 2 실시예에 따른 Q 노드 또는 Qb 노드 상의 구조 단면도

발명을 실시하기 위한 구체적인 내용

[0058] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의

범주에 의해 정의될 뿐이다.

- [0059] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0060] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0061] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0062] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0063] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0064] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0065] 본 발명에 따른 GIP의 회로와 서브 화소의 회로는 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있다. 이하의 실시예에서 n 타입 TFT를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 GIP 회로와 화소 회로를 구성하는 트랜지스터들을 n 타입 TFT로 예시되었지만, 이에 한정되지 않는다. 따라서, 이하의 설명에서 TFT의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.
- [0066] GIP 회로로부터 출력되는 게이트 펄스는 게이트 온 전압(Gate High Voltage, VGH)과 게이트 오프 전압(Gate Low Voltage, VGL) 사이에서 스위칭한다. 게이트 온 전압(VGH)은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압(VGL)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0067] 도 3은 본 발명의 실시예에 따른 OLED 표시 장치를 개략적으로 보여 주는 구성 블록도이다.
- [0068] 도 3을 참조하면, 본 발명에 따른 OLED 표시 장치는 표시패널(PNL)과, 상기 표시 패널(PNL)에 영상 데이터를 제공하기 위한 구동 회로를 구비한다.
- [0069] 상기 표시 패널(PNL)의 표시 영역(AA)은 교차 배열되는 복수개의 데이터 라인들(DL1~DLm) 및 복수개의 게이트 라인들(GL1~GLn)과, 상기 복수개의 데이터 라인들(DL1~DLm)과 상기 복수개의 게이트 라인들(GL1~GLn)에 의해 매트릭스 형태로 배치되는 복수개의 서브 화소들을 구비한다. 상기 표시 패널(PNL)의 표시 영역(AA)에는 터치 센서들(touch sensor)이 더 배치될 수 있다.
- [0070] 상기 복수개의 서브 화소들은, 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B) 서브 화소들을 포함하고, 상

기 적색(R), 녹색(G), 및 청색(B) 서브 화소들 이외에 백색(W) 서브 화소를 더 포함할 수 있다.

- [0071] 상기 적색(R), 녹색(G), 및 청색(B) 서브 화소들이 하나의 단위 화소를 구성하거나, 상기 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들이 하나의 단위 화소를 구성한다.
- [0072] 그리고, 상기 단위 화소 영역들에는 게이트 구동 회로의 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치된다.
- [0073] 즉, 각 게이트 라인에 배치되는 복수개의 단위 화소 영역들에 게이트 구동 회로의 적어도 하나의 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치된다. 물론, 각 게이트 라인에 배치되는 복수개의 단위 화소 영역들에 다수개의 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치될 수 있다. 그 구체적인 GIP의 배치 방법은 후술한다.
- [0074] 상기 구동 회로는 상기 표시 패널(PNL)의 데이터 라인들(DL1~DLm)에 영상 데이터 전압을 공급하는 데이터 구동 회로와, 상기 영상 데이터 전압에 동기되는 스캔 펄스를 표시패널(PNL)의 게이트 라인들(GL1~GLn)에 공급하는 게이트 구동회로, 및 상기 데이터 구동 회로와 상기 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 컨트롤러(Timing controller, T-CON) 등을 포함한다.
- [0075] 상기 데이터 구동회로는 하나 이상의 소스 드라이브 IC(SIC)를 포함할 수 있다. 상기 소스 드라이브 IC(SIC)는 상기 타이밍 컨트롤러(T-CON)의 제어 하에 입력 영상의 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생하고 그 데이터전압을 데이터라인들(DL1~DLm)로 출력한다. 상기 소스 드라이브 IC(SIC)는 구부러질 수 있는 연성 회로 기판 예를 들어, COF(Chip on Film)에 실장되거나 COG 공정으로 상기 표시 패널(PNL)의 비 표시 영역의 기판 상에 직접 접착될 수 있다.
- [0076] 상기 COF들은 ACF(anisotropic conductive film)를 통해 상기 표시 패널(PNL)의 하부 기판(SUBS1)의 패드 영역과 소스 PCB(SPCB)에 접착된다. 상기 COF들의 입력 핀들은 상기 소스 PCB(SPCB)의 출력단자들(패드)에 전기적으로 연결된다. 상기 소스 COF들(COF)의 출력 핀들은 ACF를 통해 상기 표시 패널(PNL)의 기판에 형성된 데이터 패드들에 전기적으로 연결된다.
- [0077] 상기 게이트 구동회로는 상기 타이밍 컨트롤러(T-CON)로부터의 스타트 펄스(VST), 클럭 신호(CRCLK, SCCLK), 게이트 하이 전압(VGH), 게이트 로우 전압(VGL) 등을 수신하여 각 게이트 라인(GL1~GLn)에 순차적으로 스캔 펄스를 출력하는 복수개의 GIP를 포함한다. 상기 복수개의 GIP들은 상기 타이밍 컨트롤러(T-CON)의 제어 하에 상기 데이터 전압에 동기되는 스캔 펄스를 각 게이트 라인들(GL1~GLn)에 순차적으로 공급하여 영상 데이터 전압이 인가되는 1 라인의 화소들을 선택한다.
- [0078] 상기 타이밍 컨트롤러(T-CON)는 제어 PCB(CPCB) 상에 실장되고, 상기 제어 PCB(CPCB)와 상기 소스 PCB(SPCB)는 FFC(Flexible Flat Cable)에 의해 연결된다.
- [0079] 본 발명에 따른 OLED 표시 장치에서 하나의 서브 화소의 회로 구성과, 본 발명에 따른 하나의 GIP의 회로는 도 4 및 도 5에 도시한 바와 같다.
- [0080] 도 4는 도 3의 OLED 표시 장치에서 하나의 서브 화소의 회로 구성도이고, 도 5는 본 발명에 따른 (n)번째 GIP의 회로 구성도이다.
- [0081] 본 발명에 따른 OLED 표시 장치의 각 서브 화소는, 도 4에 도시한 바와 같이, 유기 발광 다이오드(OLED: Organic Light Emitting Diode)와, 상기 유기 발광 다이오드는 구동하는 화소 회로를 구비한다.
- [0082] 상기 화소 회로는 제 1 및 제 2 스위칭 TFT(T1, T2), 스토리지 커패시터(Cst), 및 구동 TFT(DT)를 포함한다.
- [0083] 상기 제 1스위칭 TFT(T1)는 스캔 펄스(Scan)에 응답하여 데이터(DATA) 전압을 상기 스토리지 커패시터(Cst)에 충전한다. 상기 구동 TFT(DT)는 상기 스토리지 커패시터(Cst)에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. 상기 제 2 스위칭 TFT(T2)는 센싱(Sense) 신호에 응답하여 상기 구동 TFT(DT)의 문턱 전압 및 이동도를 센싱한다.
- [0084] 상기 유기 발광 다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기 발광층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.
- [0085] 상기 스토리지 커패시터(Cst)는 상기 구동 TFT(DT)의 게이트 전극(gate)과 소오스 전극(source) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지

해줄 수 있다.

- [0086] 도 4에서는 3개의 TFT(T1, T2, DT)와 하나의 스토리지 커패시터(Cst)로 구성되는 3T1C 서브 화소의 구성을 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 OLED 표시 장치의 각 서브 화소는 4T1C, 4T2C, 5T1C, 5T2C 등의 서브 화소를 갖을 수 있다.
- [0087] 한편, 본 발명에 따른 (k)번째 GIP의 회로는, 도 5에 도시한 바와 같이, 트랜지스터(TA, TB, T3qA, T1B, T1C, T5A, T5B) 및 커패시터(C1)를 구비하여 구성되며, 라인 선택 신호(LSP; Line select pulse)에 따라 세트 신호(CP(k))를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간(Blank time)에 실시간 보상용 신호(VRT; Vertical real time)에 따라 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전하는 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26); 트랜지스터(T1, T1A, T3n, T3nA, T3q, T3, T3A, T5)를 구비하여 구성되며 해당 스테이지를 구동 구간에 3번째 전단의 캐리 펄스(CP(k-3))에 따라 상기 제 1 노드(Q)를 상기 캐리 펄스(CP(k-3)) 전압으로 충전하고 3번째 후단의 캐리 펄스(CP(k+3))에 따라 상기 제 1 노드(Q) 및 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전하며, 상기 제 1 노드(Q)의 전압에 따라 제 3노드(Qh)를 상기 제 1정전압(GVDD)으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부(23, 25); 트랜지스터(T4, T41, T4q, T5q) 및 커패시터(C2)를 구비하여 구성되며 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(24); 풀업 트랜지스터(T6cr, T6) 및 풀다운 트랜지스터(T7cr, T7) 및 부트스트랩핑 커패시터(C3)를 구비하여 구성되며 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k)) 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))를 수신하여 상기 제 1 노드(Q) 및 상기 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))를 출력하는 출력 버퍼부(27); 그리고, 트랜지스터(T3nB, T3nC)를 구비하여 구성되며 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러에서 출력되는 리셋 신호(RST)에 따라 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전하는 리셋부(22)를 구비하여 구성된다.
- [0088] 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)는 상기 라인 선택 신호(LSP)가 하이 레벨일 때 상기 트랜지스터(TA, TB, T3q)가 턴-온 되어 세트 신호(CP(k))를 상기 커패시터(C1)에 저장한다.
- [0089] 그리고, 상기 블랭크 구간에 상기 실시간 보상용 신호(VRT)가 하이 레벨일 때 상기 트랜지스터(T1C, T5B)가 턴-온 되어 상기 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고, 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다.
- [0090] 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25)는 구동 구간에 상기 3번째 전단의 캐리 펄스(CP(k-3))가 하이 레벨일 때 상기 트랜지스터(T1, T1A, T5)가 턴-온되어 상기 제 1 노드(Q)를 상기 3번째 전단의 캐리 펄스(CP(k-3)) 전압으로 충전하고 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다. 이와 같이 상기 제 1 노드(Q)가 충전되고 상기 제 2 노드(Qb)가 방전 될 때 상기 트랜지스터(T3q)가 턴-온되어 상기 제 3 노드(Qh)를 제 1 정전압(GVDD)으로 충전한다.
- [0091] 그리고 3번째 후단의 캐리 펄스(CP(k+3))가 하이 레벨일 때 상기 트랜지스터(T3n, T3nA)가 턴-온되어 상기 제 1 노드(Q) 및 상기 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전한다.
- [0092] 상기 인버터부(24)는 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가한다.
- [0093] 상기 출력 버퍼부(27)는 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6cr)가 턴-온되고 상기 풀다운 트랜지스터(T7cr)가 턴-오프되어 상기 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k))를 캐리 펄스(CP(k))로 출력한다. 또한 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6)가 턴-온되고 상기 풀다운 트랜지스터(T7)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))를 스캔 펄스(SP(k))로 출력한다.
- [0094] 이 때, 상기 스캔 펄스 출력용 클럭 신호(SCCLK(k))가 하이 레벨로 인가되면 상기 출력 버퍼부(27)의 상기 부트스트랩핑 커패시터(C3)에 의해 상기 제 1노드(Q)는 부트스트랩핑(또는 커플링(Coupling))되어 더 높은 전위를 갖는다.
- [0095] 이와 같이 상기 제 1 노드(Q)가 부트스트랩핑된 상태에서, 상기 출력 버퍼부(27)는 각각 입력된 캐리 펄스 출력용 클럭 신호(CRCLK(k)) 및 스캔 펄스 출력용 클럭 신호(SCCLK(k))를 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))로 출력하므로 출력 손실(Loss)을 방지할 수 있다.

- [0096] 상기 리세트부(22)는 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러(4)에서 출력되는 리세트 신호(RS T)가 하이 레벨일 때 상기 트랜지스터(T3nB, T3nC)가 턴-온되어 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전한다.
- [0097] 상기 도 5에서는 6상(Phase)으로 구동되는 GIP를 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 GIP는 다양하게 구성될 수 있다.
- [0098] 상기 도 5에 도시한 바와 같이, 상기 GIP는 25개의 트랜지스터와 3개의 커패시터를 구비하여 구성된다.
- [0099] 따라서, 하나의 단위 화소 영역에 상기 GIP의 회로를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)를 분산 배치하면, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 GIP의 회로를 배치할 수 있다.
- [0100] 도 6은 본 발명의 제 1 실시예에 따른 표시 패널의 표시 영역 구성도이고, 도 7은 도 6의 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소를 보다 구체적으로 도시한 구성도이다.
- [0101] 도 6 및 도 7에서는 단위 화소가 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성됨을 도시하였으나, 이에 한정되지 않고, 적색(R), 녹색(G) 및 청색(B) 서브 화소들로 구성될 수 있다.
- [0102] 본 발명에 따른 표시 패널의 표시 영역의 단위 화소 영역은 적어도 3개의 서브 화소부(R, G, B, W)(33), GIP부(31), 및 GIP 내부 연결 배선부(32) 등으로 구분된다.
- [0103] 상기 적어도 3개의 서브 화소부(R, G, B, W)(33)들은 복수개의 데이터 라인(DL1~DLm), 복수개의 기준 전압 라인(Vref) 및 제 1 및 제 2 정전압 라인(EVDD, EVSS) 등이 수직 방향으로 배열되고, 복수개의 게이트 라인(스캔 라인)이 수평 방향으로 배열되어 구성된다.
- [0104] 상기 GIP부(31)는 GIP의 회로를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당된다. 즉, 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성되는 단위 화소 영역에, 도 5에 도시한 GIP의 회로를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)가 분산 배치된다.
- [0105] 즉, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 GIP가 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산하여 배치된다.
- [0106] 물론, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 GIP를 2개 이상 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산 배치할 수도 있다.
- [0107] 만약, GIP를 하나 배치할 경우, 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역들 중 가운데 부분의 복수개의 단위 화소 영역에 상기 GIP를 구성하는 소자들(트랜지스터 또는 커패시터)을 분산 배치하는 것이 바람직하다.
- [0108] 만약, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 GIP를 2개 배치할 경우, 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소들 중 양쪽 가장자리 부분의 복수개의 단위 화소 영역에 각각 상기 GIP를 구성하는 소자들(트랜지스터 또는 커패시터)을 분산 배치하는 것이 바람직하다.
- [0109] 또한, 도 6 및 도 7에서는 모든 단위 화소 영역에 GIP부(31)가 배치됨을 도시하였으나, 이에 한정되지 않고, 일부 단위 화소 영역에는 GIP부(31)가 배치되지 않을 수도 있다.
- [0110] 상기 GIP 내부 연결 배선부(32)는 상기 도 5에 도시한 바와 같이, GIP의 각 소자들을 연결하는 연결 배선들(Q 노드, QB 노드, 소자와 소자 연결 라인 등)이 배치되는 영역이다.
- [0111] 또한, 상기 적어도 3개의 서브 화소부(33), GIP부(31), 및 GIP 내부 연결 배선부(32)의 배치 위치를 다양하게 할 수 있다.
- [0112] 도 8a 내지 8d는 본 발명에 따른 GIP부의 배치 위치를 나타낸 설명도이다.
- [0113] 즉, 도 8a에 도시한 바와 같이, 상기 GIP 내부 연결 배선부(32)의 상측 및 상기 단위 적어도 3개의 서브 화소부(33)의 우측에 상기 GIP부(31)를 배치할 수 있다.
- [0114] 도 8b에 도시한 바와 같이, 상기 GIP 내부 연결 배선부(32)의 상측 및 상기 적어도 3개의 서브 화소부(33)의 좌측에 상기 GIP부(31)를 배치할 수 있다.
- [0115] 도 8c에 도시한 바와 같이, 상기 GIP 내부 연결 배선부(32)와 상기 적어도 3개의 서브 화소부(33) 사이에 상기

GIP부(31)를 배치할 수 있다.

- [0116] 도 8d에 도시한 바와 같이, 상기 적어도 3개의 서브 화소부(33)의 반대편인 상기 GIP 내부 연결 배선부(32)의 하측에 상기 GIP부(31)를 배치할 수 있다.
- [0117] 한편, GIP의 각 소자들을 표시 영역에 배치함에 있어, 기능별로 배치하면 상기 GIP 내부 연결 배선부(32)의 배선을 간소화 할 수 있다.
- [0118] 도 9는 본 발명에 따른 GIP 소자들의 배치 상태를 도시한 설명도이다.
- [0119] 도 5에서 설명한 바와 같이, 본 발명에 따른 GIP의 회로는, 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)와, 구동 구간 제 1 내지 제 3 노드 제어부(23, 25)와, 인버터부(24)와, 출력 버퍼부(27)와 리세트부(22)를 구비하여 구성된다.
- [0120] 여기서, 상기 출력 버퍼부(27)는 상기 풀업 트랜지스터(T6cr)와 상기 풀다운 트랜지스터(T7cr)로 구성되어 캐리 펄스(CP(k))를 출력하는 캐리 펄스 출력 버퍼부와, 상기 풀업 트랜지스터(T6)와 상기 풀다운 트랜지스터(T7) 및 부트스트래핑 커패시터(C3)로 구성되어 스캔 펄스(SP(k))를 출력하는 스캔 펄스 출력 버퍼부로 구분된다.
- [0121] 따라서, 상기 GIP의 각 소자들을 표시 영역에 배치함에 있어, 도 9에 도시한 바와 같이, 상기 출력 버퍼부(27) 중 상기 스캔 펄스 출력 버퍼부(T6, T7, C3)을 먼저 배치하고, 그 다음으로 인버터부(24), 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26), 상기 출력 버퍼부(27) 중 상기 캐리 펄스 출력 버퍼부(T6cr, T7cr), 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25) 및 리세트부(22) 순서로 배치하면 상기 GIP 내부 연결 배선부(32)의 배선을 간소화 할 수 있다.
- [0122] 또한, 상술한 바와 같이, 상기 GIP의 각 소자들을 표시 영역에 배치함에 있어, 상기 GIP의 각 소자들 중 상기 출력 버퍼부(27)의 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)는 다른 트랜지스터들보다 상대적으로 큰 폭이 요구된다.
- [0123] 즉, 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)는 스캔 펄스 출력용 클럭 신호(SCCLK)를 스캔 펄스로 출력할 때 지연(Delay)을 최소화하여 출력하여야 한다. 따라서, 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)의 폭은 다른 트랜지스터들의 폭보다 상대적으로 크다.
- [0124] 또한, 마찬가지로 이유로, 상기 구동 구간 제 1 내지 제 3 노드 제어부(23)의 트랜지스터(T1)도 다른 트랜지스터들보다 상대적으로 큰 폭이 요구된다.
- [0125] 이와 같이, 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)의 폭 및 상기 구동 구간 제 1 내지 제 3 노드 제어부(23)의 트랜지스터(T1)의 폭은 다른 트랜지스터들의 폭보다 상대적으로 크게 설계되어야 하지만, 단위 화소 영역이 제한되어 있으므로, 한 개의 단위 화소 영역에 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)를 배치할 수 없다. 따라서, 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6) 및 상기 구동 구간 제 1 내지 제 3 노드 제어부(23)의 트랜지스터(T1) 등 상대적으로 큰 폭이 요구되는 소자를 분할하여 가로 방향으로 병렬(spreading) 배치하여, 제한된 단위 화소 영역에 큰 사이즈의 박막트랜지스터를 배치할 수 있다.
- [0126] 도 10은 본 발명에 따른 GIP 소자들 중 큰 사이즈를 갖는 박막트랜지스터의 배치 상태를 도시한 설명도이다.
- [0127] 도 10에서는 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)를 분할하여 가로 방향으로 병렬(spreading) 배치함을 도시하였다. 상기 구동 구간 제 1 내지 제 3 노드 제어부(23)의 트랜지스터(T1)도 같은 방법으로 분할하여 가로 방향으로 병렬(spreading) 배치할 수 있다.
- [0128] 즉, 도 10에 도시한 바와 같이, 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6)를 4개의 단위 화소 영역에 분할하여 가로 방향으로 병렬(spreading) 배치할 수 있다.
- [0129] 상술한 상기 스캔 펄스 출력 버퍼부를 구성하는 트랜지스터(T6) 및 상기 구동 구간 제 1 내지 제 3 노드 제어부(23)의 트랜지스터(T1)뿐만 아니라, 다른 큰 사이즈를 갖는 박막트랜지스터들도 상기 도 10에서 설명한 바와 같은 방법으로 분할하여 가로 방향으로 병렬(spreading) 배치할 수 있다. 또한, 표시 패널 내에서 GIP 구동에 필요한 신호들의 드롭 및 라이징(Drop and Rising)을 줄이기 위하여 배선 폭을 늘려야 될 경우에도 단위 화소 영역별로 나누어 배치할 수 있다.
- [0130] 이와 같이, 단위 화소 내에 GIP를 구성하는 소자들을 분산 배치하여, 하나의 스캔 라인에 적어도 하나의 GIP를 배치하므로 표시 패널의 좌우 베젤을 최소화할 수 있다.

- [0131] 상기 도 6 내지 도 10에서는 표시 영역 내의 하나의 스캔 라인에 적어도 하나의 GIP를 배치함을 설명하였다.
- [0132] 도 3에서 설명한 바와 같이, 상기 데이터 구동회로는 복수개의 소스 드라이브 IC(SIC)를 포함한다. 도 3에서는 6개의 소스 드라이브 IC로 구성됨을 도시하였다.
- [0133] 따라서, 다른 실시예로, 각 소스 드라이브 IC(SIC)별로 각 스캔 라인을 따라 GIP를 배치할 수 있다.
- [0134] 도 11은 본 발명의 제 2 실시예에 따른 표시 패널의 표시 영역 구성도이다.
- [0135] 도 11을 참조하면, 본 발명의 제 2 실시예에 따른 OLED 표시 장치는 표시패널(PNL)과, 상기 표시 패널(PNL)에 영상 데이터를 제공하기 위한 구동 회로를 구비한다.
- [0136] 상기 표시 패널(PNL)의 표시 영역(AA)은 교차 배열되는 복수개의 데이터 라인들(DL1~DLm) 및 복수개의 게이트 라인들(GL1~GLn)과, 상기 복수개의 데이터 라인들(DL1~DLm)과 상기 복수개의 게이트 라인들(GL1~GLn)에 의해 매트릭스 형태로 배치되는 복수개의 서브 화소들을 구비한다. 상기 표시 패널(PNL)의 표시 영역(AA)에는 터치 센서들(touch sensor)이 더 배치될 수 있다.
- [0137] 상기 복수개의 서브 화소들은, 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B) 서브 화소들을 포함하고, 상기 적색(R), 녹색(G), 및 청색(B) 서브 화소들 이외에 백색(W) 서브 화소를 더 포함할 수 있다.
- [0138] 상기 적색(R), 녹색(G), 및 청색(B) 서브 화소들이 하나의 단위 화소를 구성하거나, 상기 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들이 하나의 단위 화소를 구성한다.
- [0139] 그리고, 상기 단위 화소 영역들에 게이트 구동 회로의 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치된다.
- [0140] 보다 구체적으로 설명하면 다음과 같다.
- [0141] 상기 구동 회로는 상기 표시 패널(PNL)의 데이터 라인들(DL1~DLm)에 영상 데이터 전압을 공급하는 데이터 구동 회로와, 상기 영상 데이터 전압에 동기되는 스캔 펄스를 표시패널(PNL)의 게이트 라인들(GL1~GLn)에 공급하는 게이트 구동회로, 및 상기 데이터 구동 회로와 상기 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 콘트롤러(Timing controller, 도 3의 T-CON 참조) 등을 포함한다.
- [0142] 상기 데이터 구동회로는 복수개의 소스 드라이브 IC(SIC1 ~ SIC6)를 포함한다. 도 11에서는 상기 데이터 구동회로가 6개의 소스 드라이브 IC(SIC1 ~ SIC6)를 포함함을 도시하였다.
- [0143] 따라서, 6개의 상기 소스 드라이브 IC(SIC1 ~ SIC6)는 6개의 COF(Chip on Film)에 각각 실장되고, 상기 각 COF들은 ACF를 통해 상기 표시 패널(PNL)의 하부 기판(SUBS1)의 패드 영역과 소스 PCB(SPCB)에 접촉된다. 상기 각 COF들의 입력 핀들은 상기 소스 PCB(SPCB)의 출력단자들(패드)에 전기적으로 연결되고, 상기 각 소스 COF들(COF)의 출력 핀들은 ACF를 통해 상기 표시 패널(PNL)의 기판에 형성된 데이터 패드들에 전기적으로 연결된다.
- [0144] 상기 게이트 구동회로는 상기 타이밍 콘트롤러로부터의 스타트 펄스(VST), 클럭 신호(CRCLK, SCCLK), 게이트 하이 전압(VGH), 게이트 로우 전압(VGL) 등을 수신하여 각 게이트 라인(GL1~GLn)에 순차적으로 스캔 펄스를 출력하는 복수개의 GIP를 포함한다.
- [0145] 상기 복수개의 GIP들은 상기 타이밍 콘트롤러의 제어 하에 상기 데이터 전압에 동기되는 스캔 펄스를 각 게이트 라인들(GL1~GLn)에 순차적으로 공급하여 영상 데이터 전압이 인가되는 1 라인의 화소들을 선택한다.
- [0146] 여기서, 상기 복수개의 GIP들은 상기 각 소스 드라이브 IC(SIC1 ~ SIC6) 별로 구분되어, 각 소스 드라이브 IC(SIC1 ~ SIC6) 별로 각 게이트 라인의 복수개의 단위 화소 영역에 적어도 하나의 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치된다.
- [0147] 즉, 각 소스 드라이브 IC(SIC1, SIC2, SIC3, SIC4, SIC5, SIC6))에 의해 구동되는 표시 영역 별로 복수개의 GIP를 구비한 하나의 GIP 블록이 배치된다. 이 때, 각 블록의 복수개의 게이트 라인(스캔 라인) 각각의 복수개의 단위 화소 영역에 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치된다.
- [0148] 예를들면, 표시 패널이 UHD (3840 * 2160) 모델이라면, 각 소스 드라이브 IC(SIC1, SIC2, SIC3, SIC4, SIC5, SIC6))에 의해 구동되는 표시 영역 별로 2160개의 GIP가 배치된다.
- [0149] 또한, 상기에서 언급한 바와 같이, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분되어 GIP들이 배치되고, 각 게이트 라인(스캔 라인)에 배치되는 복수개의 단위 화소 영역들에 2개 이상의 GIP

가 배치될 수 있다.

- [0150] 따라서, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분하여 GIP들이 배치되고, 단위 화소 영역에 GIP를 구성하는 소자들(TFT, Capacitor 등)이 분산 배치되는 구성은 도 6 및 도 7에서 설명한 바와 같이, 적어도 3개의 서브 화소부(R, G, B, W), GIP부(31), 및 GIP 내부 연결 배선부(32) 등으로 구분된다.
- [0151] 또한, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분하여 GIP들이 배치되고, 상기 적어도 3개의 서브 화소부(R, G, B, W), GIP부(31), 및 GIP 내부 연결 배선부(32)의 배치 위치는 상기 도 8a 내지 8d에서 설명한 바와 같이 다양하게 배치할 수 있다.
- [0152] 또한, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분되어 GIP들이 배치되고, 상기 도 9에서 설명한 바와 같이, 상기 출력 버퍼부(27) 중 상기 스캔 펄스 출력 버퍼부(T6, T7, C3)을 먼저 배치하고, 그 다음으로 인버터부(24), 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26), 상기 출력 버퍼부(27) 중 상기 캐리 펄스 출력 버퍼부(T6cr, T7cr), 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25) 및 리세트부(22) 순서로 배치하면 상기 GIP 내부 연결 배선부(32)의 배선을 간소화 할 수 있다.
- [0153] 또한, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분되어 GIP들이 배치되고, 상기 도 10에서 설명한 바와 같이, 상대적으로 큰 폭이 요구되는 소자를 분할하여 가로 방향으로 병렬(spreading) 배치하여, 제한된 단위 화소 영역에 큰 사이즈의 박막트랜지스터를 배치할 수 있다.
- [0154] 또한, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분되어 GIP들이 배치되고, 각 소스 드라이브 IC(SIC1 ~ SIC6) 별로 동일 게이트 라인(스캔 라인)에 배치되는 GIP는 동일 캐리 펄스 출력용 캐리 펄스(CRCLK) 및 동일 스캔 펄스 출력용 스캔 펄스(SCCLK)에 의해 구동되어 동시에 캐리 펄스 및 스캔 펄스를 출력한다.
- [0155] 또한, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역 별로 구분되어 GIP들이 배치되지만, 각 게이트 라인(스캔 라인)은 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역별로 전기적으로 독립될 수 있고, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)에 의해 구동되는 표시 영역에 일체로 형성될 수 있다.
- [0156] 그리고, 상기 각 소스 드라이브 IC(SIC1 ~ SIC6)는 화소를 구동하기 위한 데이터 전압 및 각종 전원들을 공급할 뿐만 아니라, GIP 그룹 별로 6상(Phase)의 GIP일 경우, GIP를 구동하기 위한 캐리 펄스 출력용 캐리 펄스(CRCLK1~CRCLK6), 스캔 펄스 출력용 스캔 펄스(SCCLK1~SCCLK6), 전원(GVDD, GVSS0, GVSS1, GVSS2), 스타트 신호(VST), 리셋 신호(RESET, RST), 라인 선택 신호(LSP) 등을 GIP부(31) 및 GIP 내부 연결 배선부(32)에 공급한다.
- [0157] 또한, 도 11에서는 하나의 소스 드라이브 IC(SIC1, SIC2, SIC3, SIC4, SIC5, 또는 SIC6)에 의해 구동되는 표시 영역에 적어도 하나의 GIP 블록이 배치됨을 설명하였지만, 이에 한정되지 않고, 인접한 2개의 소스 드라이브 IC(SIC1 및 SIC2, SIC3 및 SIC4, 또는 SIC5 및 SIC6)에 의해 구동되는 표시 영역에 하나의 GIP 블록이 배치될 수 있고, 인접한 3개의 소스 드라이브 IC(SIC1 ~ SIC3, 또는 SIC4 ~ SIC6)에 의해 구동되는 표시 영역에 하나의 GIP 블록이 배치될 수 있다.
- [0158] 한편, 상술한 바와 같이, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 적어도 하나의 GIP를 해당 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산하여 배치할 경우, 상기 GIP부(31)가 배치되는 단위 화소와, 상기 GIP부(31)가 배치되지 않은 단위 화소가 존재하게 된다.
- [0159] 그리고, 상기 GIP부(31)의 소자에 따라 상기 GIP 내부 연결 배선부(32)에 배치되는 배선 수에 차이가 있다.
- [0160] 이와 같이, 상기 GIP부(31)가 배치되는 단위 화소와, 상기 GIP부(31)가 배치되지 않은 단위 화소 간의 차이와 상기 GIP 내부 연결 배선부(32)에 배치되는 배선 수의 차이에 따라 반사도 및 투과도에 차이가 발생하여 표시 장치의 비 구동 시 설계 편차가 인지될 수 있다.
- [0161] 이와 같은 문제점을 예방하기 위하여, 상기 GIP부(31)가 배치되지 않은 단위 화소에 더미 GIP부를 배치하고, 상기 GIP 내부 연결 배선부(32)에도 더미 배선을 배치할 수 있다.
- [0162] 이와 같이 더미 GIP부 및 더미 배선을 배치하는 방법을 보다 구체적으로 설명하면 다음과 같다.
- [0163] 도 12a는 본 발명에 따른 표시 패널에서 GIP부가 배치된 단위 화소의 구성도이고, 도 12b는 본 발명에 따른 표시 패널에서 GIP부가 배치되지 않은 단위 화소의 구성도이다.

- [0164] 상기 도 5에서 설명한 바와 같이, 하나의 게이트 라인을 구동하는 하나의 GIP는 25개의 트랜지스터와 3개의 커패시터를 구비하여 구성되고, 하나의 게이트 라인에 의해 구동되는 단위 화소들의 수는 상기 하나의 GIP를 구성하는 소자들(트랜지스터 및 커패시터)의 개수보다 훨씬 많이 구성되므로, 도 12a와 같이 단위 화소에 상기 GIP부(31)가 배치될 수 있고, 도 12b에 도시한 바와 같이, 임의의 단위 화소에는 상기 GIP부가 배치되지 않을 수 있다.
- [0165] 또한, 도 12a와 같이, 단위 화소에 상기 GIP부(31)가 배치되더라도, 해당 단위 화소에 배치되는 상기 GIP부(31)의 소자에 따라 상기 GIP 내부 연결 배선부(32)에 배치되는 배선 수에 차이가 있다.
- [0166] 이와 같이, 상기 GIP부(31)의 배치 유무와 상기 GIP 내부 연결 배선부(32)에 배치되는 배선 수의 차이에 따라 각 단위 화소별로 반사도 및 투과도에 차이가 발생하게 된다. 따라서, 표시 패널의 비 구동 시에 설계 편차가 발생되고, 상기 설계 편차에 따라 화질에 저하되는 문제점이 있을 수 있다.
- [0167] 즉, 도 12b에 도시한 바와 같이, 임의의 단위 화소에 상기 GIP부가 배치되지 않으면, 상기 GIP부가 배치되지 않은 단위 화소는 상기 GIP부가 배치되는 단위 화소에 비해 금속층이 적게 형성된다. 따라서, 상기 GIP부가 배치되지 않은 단위 화소는 상기 GIP부가 배치되는 단위 화소에 비해 반사도가 낮아진다.
- [0168] 마찬가지로, 임의의 단위 화소의 상기 GIP 내부 연결 배선부(32)에 배치되는 배선 수가 다른 단위 화소의 상기 GIP 내부 연결 배선부(32)에 배치되는 배선 수보다 적으로 경우, 상기 임의의 단위 화소는 상기 다른 단위 화소에 반사도가 낮아진다.
- [0169] 이와 같은 문제점을 해결하기 위하여, 본 발명은 GIP부가 배치되지 않은 단위 화소에 더미 GIP부를 배치하고, 상대적으로 배선 수가 적은 단위 화소의 GIP 내부 연결 배선부에 더미 배선을 형성한다.
- [0170] 도 13은 본 발명에 따른 표시 패널에서 GIP부가 배치되지 않은 단위 화소에 더미 GIP부가 배치되고, 상대적으로 배선 수가 적은 단위 화소의 GIP 내부 연결 배선부에 더미 배선이 배치된 구성도이다.
- [0171] 도 13에 도시한 바와 같이, 게이트 라인에 스캔 신호를 공급하는 GIP가 표시 영역에 내장되는 표시 패널에서, GIP를 구성하는 소자들 중 하나에 해당하는 GIP부가 배치되지 않은 단위 화소에 더미 GIP부(34)를 구성한다.
- [0172] 상기 더미 GIP부(34)는 GIP를 구성하는 소자와 무관한 것으로, OLED 표시 패널 공정에 사용되는 물질을 이용하여 형성한다.
- [0173] 즉, 상기 더미 GIP부(34)도 상기 GIP부(31)와 동일한 구성으로 형성하여도 되고, 상기 GIP부(31)와 다른 구성으로 형성하여도 무방하다.
- [0174] 상기 더미 GIP부(34)는, 상기 GIP부(31)가 배치되는 단위 화소와 동등한 반사도 및 투과도를 갖도록 하기 위하여, OLED 표시 패널의 구성에서 금속층을 패터닝하여 형성함이 바람직하다.
- [0175] 참고로, OLED 표시 패널에서는 3개의 금속층(차광 금속 패턴, 게이트 전극 패턴, 및 소오스/드레인 전극 패턴)이 적층된 구조를 갖는다.
- [0176] 도 12a, 12b 및 13에서, 미설명 부호는 데이터 라인(Data), 기준 전압 라인(Ref), 화소의 전원 공급 라인(EVDD) 및 GIP 신호 라인(GIP S/L)이다.
- [0177] 상기 GIP부(31)와 상기 더미 GIP부(34)의 단면 구조를 보다 구체적으로 설명하면 다음과 같다.
- [0178] 도 14는 도 12a에 도시된 본 발명에 따른 표시 패널에서 GIP부의 단면 구성도이다.
- [0179] 상기 도 5와 같이 구성되는 GIP 회로에서, 임의의 단위 화소에 박막트랜지스터가 형성된다고 가정할 때, 도 14에 도시한 바와 같이, 유리 기판(1)상에 차광 금속 패턴(3)이 형성되고, 상기 차광 금속 패턴(3)을 포함한 상기 기판(1) 전면에 버퍼층(2)이 형성된다. 상기 차광 금속 패턴(3)은 도 12a, 도 12b 및 도 13에서의 GIP 신호 라인(GIP S/L)으로 이용된다.
- [0180] 그리고, 상기 버퍼층(2)상에 활성층(4)이 형성되고, 상기 활성층(4) 상의 소정 영역에 게이트 절연막(5) 및 게이트 전극(6)이 형성된다. 상기 게이트 전극(6)을 포함한 기판 전면에 층간 절연막(7)이 형성되고, 상기 층간 절연막(7)상에 소오스/드레인 전극(8, 9)이 형성된다.
- [0181] 상기 소오스/드레인 전극(8, 9)은 상기 층간 절연막(7)에 형성되는 콘택홀을 통해 상기 활성층(4)의 소오스/드레인 영역에 전기적으로 연결된다.

- [0182] 또한, 도 12b에서 설명한 상기 더미 GIP부(34)도, 상기 도 14에 도시한 바와 같이, 상기 GIP부(31)와 동일한 구조로 형성할 수 있다.
- [0183] 상기 더미 GIP부(34)는, 상기 도 14에 도시한 바와 같은 상기 GIP부(31)에서 활성층(4)이 형성되지 않을 수도 있다.
- [0184] 한편, 상기 더미 GIP부(34)는 상기 GIP부(31)와 다른 구조로 형성할 수 있다.
- [0185] 도 15는 본 발명의 표시 패널에서 제1 실시예에 따른 더미 GIP부의 구조 단면도이다.
- [0186] 본 발명의 제1 실시예에 따른 상기 더미 GIP부는, 도 15에 도시한 바와 같이, 유리 기판(11)상에 상기 GIP 신호 라인(GIP S/L)으로 이용되는 차광 금속 패턴(13)이 형성되고, 상기 차광 금속 패턴(13)을 포함한 상기 기판(11) 전면에 버퍼층(12)이 형성된다.
- [0187] 그리고, 상기 버퍼층(12)상에 활성층 패턴(14)이 형성되고, 상기 활성층 패턴(14) 상의 소정 영역에 게이트 절연막 패턴(15) 및 게이트 전극 패턴(16)이 형성된다. 상기 게이트 전극 패턴(16)을 포함한 기판 전면에 층간 절연막(17)이 형성되고, 상기 층간 절연막(17)상에 소오스/드레인 전극 패턴(18, 19)이 형성된다.
- [0188] 상기 소오스/드레인 전극 패턴(18, 19)은 상기 활성층 패턴(14)에 전기적으로 연결되지 않는다.
- [0189] 상기 도 15에서는 상기 활성층 패턴(14)이 형성됨을 도시하였으나, 이에 한정되지 않고, 상기 활성층 패턴(14)이 형성되지 않을 수도 있다.
- [0190] 즉, 상기 게이트 전극 패턴(16)과 상기 소오스/드레인 전극 패턴(18, 19)에 의해 박막트랜지스터의 구성과 같은 구조를 갖도록 형성된다.
- [0191] 또한, 도 16은 본 발명의 표시 패널에서 제2 실시예에 따른 더미 GIP부의 구조 단면도이다.
- [0192] 본 발명의 제2 실시예에 따른 상기 더미 GIP부는, 도 16에 도시한 바와 같이, 유리 기판(11)상에 상기 GIP 신호 라인(GIP S/L)으로 이용되는 차광 금속 패턴(13)이 형성되고, 이와 별도로 상기 더미 GIP부(34)에 2개의 차광 금속 패턴(13a, 13b)이 더 형성되고, 상기 차광 금속 패턴(13, 13a, 13b)을 포함한 상기 기판(11) 전면에 버퍼층(12)이 형성된다. 상기 2개의 차광 금속 패턴(13a, 13b)은, 상기 도 14에서 설명한 소오스/드레인 전극(8, 9)에 상응하는 위치에 형성된다.
- [0193] 그리고, 상기 버퍼층(12)상에 활성층 패턴(14)이 형성되고, 상기 활성층 패턴(14) 상의 소정 영역에 게이트 절연막 패턴(15) 및 게이트 전극 패턴(16)이 형성된다. 상기 게이트 전극 패턴(16)을 포함한 기판 전면에 층간 절연막(17)이 형성된다.
- [0194] 마찬가지로, 상기 도 16에서는 상기 활성층 패턴(14)이 형성됨을 도시하였으나, 이에 한정되지 않고, 상기 활성층 패턴(14)이 형성되지 않을 수도 있다.
- [0195] 즉, 상기 게이트 전극 패턴(16)과 2개의 차광 금속 패턴(13a, 13b)에 의해 박막트랜지스터의 구성과 같은 구조를 갖도록 형성된다.
- [0196] 또한, 도 17은 본 발명의 표시 패널에서 제3 실시예에 따른 더미 GIP부의 구조 단면도이다.
- [0197] 본 발명의 제3 실시예에 따른 상기 더미 GIP부는, 도 17에 도시한 바와 같이, 유리 기판(11)상에 상기 GIP 신호 라인(GIP S/L)으로 이용되는 차광 금속 패턴(13)이 형성되고, 상기 차광 금속 패턴(13)을 포함한 상기 기판(11) 전면에 버퍼층(12)이 형성된다.
- [0198] 그리고, 상기 버퍼층(12)상에 활성층 패턴(14)이 형성되고, 상기 활성층 패턴(14) 상의 소정 영역에 3개의 게이트 절연막 패턴(15) 및 3개의 게이트 전극 패턴(16)이 형성된다.
- [0199] 여기서, 상기 3개의 게이트 절연막 패턴(15) 및 3개의 게이트 전극 패턴(16) 중 양측에 형성되는 2개의 게이트 절연막 패턴(15) 및 2개의 게이트 전극 패턴(16)은 상기 도 14에서 설명한 소오스/드레인 전극(8, 9)에 상응하는 위치에 형성된다.
- [0200] 상기 게이트 전극 패턴(16)을 포함한 기판 전면에 층간 절연막(17)이 형성된다.
- [0201] 마찬가지로, 상기 도 17에서는 상기 활성층 패턴(14)이 형성됨을 도시하였으나, 이에 한정되지 않고, 상기 활성층 패턴(14)이 형성되지 않을 수도 있다.

- [0202] 즉, 3개의 게이트 전극 패턴(16)에 의해 박막트랜지스터의 구성과 같은 구조를 갖도록 형성된다.
- [0203] 본 발명에 따른 상기 더미 GIP부는, 상기 도 15 내지 도 17에서 설명한 바와 같은 실시예에 한정되지 않고, 3개의 금속층(차광 금속 패턴, 게이트 전극 패턴, 및 소오스/드레인 전극 패턴)을 다양하게 조합하여 형성할 수 있다.
- [0204] 예를들면, 상기 더미 GIP부는, 하나의 소오스 또는 드레인 전극 패턴(18 or 19)과 하나의 게이트 전극 패턴(16) 및 하나의 차광 금속 패턴(13a or 13b))의 조합으로 형성할 수 있고, 하나의 소오스 또는 드레인 전극 패턴(18, 19)과 2개의 게이트 전극 패턴(16)의 조합으로 형성할 수 있고, 하나의 소오스 또는 드레인 전극 패턴(18, 19)과, 2개의 차광 금속 패턴(13a, 13b))의 조합으로 형성할 수 있고, 3개의 소오스 또는 드레인 전극 패턴(18 or 19)의 조합으로 형성할 수 있다.
- [0205] 또한, 상기 더미 GIP부는, 상기 소오스/드레인 전극 패턴(18, 19)과 하나의 차광 금속 패턴(13a or 13b))의 조합으로 형성할 수 있고, 3개의 차광 금속 패턴(13a, 13b))의 조합으로 형성할 수 있고, 2개의 게이트 전극 패턴(16)과 하나의 차광 금속 패턴(13a or 13b))의 조합으로 형성할 수 있다.
- [0206] 상기 도 12a 내지 도 17에서 설명한 바와 같이, GIP부(31)가 배치되지 않은 단위 화소에 더미 GIP부를 배치하고, 상기 GIP 내부 연결 배선부(32)에 더미 배선을 배치하므로, 표시 장치의 비 구동 시 설계 편차가 인지됨을 방지할 수 있다.
- [0207] 한편, 본 발명은 게이트 구동 회로의 GIP가 화소 어레이 내에 배치되고, 상기 게이트 구동 회로의 GIP를 구동하기 위해서는 외부에서 각종 GIP 신호들이 공급된다.
- [0208] 즉, 도 5에 도시한 바와 같은 GIP의 회로 구성에서, 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)의 트랜지스터(TA)의 게이트 전극에는 라인 선택 신호(LSP)가 공급되고, 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)의 트랜지스터(T5A)의 게이트 전극에는 실시간 보상용 신호(VRT)가 공급된다.
- [0209] 또한, 상기 출력 버퍼부(27)의 풀업 트랜지스터(T6cr, T6)의 소오스 전극에는 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k)) 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))가 공급되고, 상기 리세트부(22)의 트랜지스터(T3nB, T3nC)의 게이트 전극에는 리세트 신호(RST)가 공급된다.
- [0210] 또한, 트랜지스터들(T3qA, T1B, T3q, T4)의 소오스 전극에는 전원 전압(GVDD)이 공급되고, 트랜지스터들(T3nC, T3nA, T3A, T5qT4q, T5, T5B)의 드레인 전극 및 풀다운 트랜지스터들(T7cr, T7)의 드레인 전극에는 접지 전압(GVSS0, GVSS1, GVSS2)들이 공급된다.
- [0211] 따라서, 임의의 단위 화소의 상기 GIP부(31)에 상기 트랜지스터(TA), 상기 트랜지스터(T5A), 상기 풀업 트랜지스터들(T6cr, T6), 상기 트랜지스터들(T3nB, T3nC), 상기 트랜지스터들(T3qA, T1B, T3q, T4), 상기 트랜지스터들(T3nC, T3nA, T3A, T5qT4q, T5, T5B), 및 상기 풀다운 트랜지스터들(T7cr, T7)이 배치되는 경우, 상기 도 12a에 도시된 GIP 신호 라인(GIP S/L)을 통해 해당 신호를 공급한다.
- [0212] 여기서, 상기 라인 선택 신호(LSP), 상기 실시간 보상용 신호(VRT), 상기 리세트 신호(RST), 전원 전압(GVDD) 및 접지 전압(GVSS0, GVSS1, GVSS2) 등의 신호들은 주파수가 낮지만, 상기 캐리 펄스 출력용 클럭 신호 및 상기 스캔 펄스 출력용 클럭 신호들은 상대적으로 고전압이고 매우 높은 주파수를 갖는다.
- [0213] 따라서, 상기 캐리 펄스 출력용 클럭 신호 및 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L)을 따라 이상 발광 현상이 발생하여 저계조 빛샘 현상이 발생할 수 있다.
- [0214] 본 발명은 상기와 같은 상기 캐리 펄스 출력용 클럭 신호 및 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L)을 따라 발생할 수 있는 빛샘 현상을 방지하고자 한다.
- [0215] 이를 구체적으로 설명하면 다음과 같다.
- [0216] 도 18은 본 발명의 OLED 표시 패널에서 제 1 실시예에 따른 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L) 상의 구조 단면도이다.
- [0217] 유리 기판(40)상에 GIP 신호 라인(GIP S/L) 들 중 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(41)이 형성되고, 상기 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(41)을 포함한 상기 기판(40) 전면에 버퍼층(42)이 형성된다.
- [0218] 그리고, 상기 버퍼층(42)상에 층간 절연막(43) 및 보호층(44)이 차례로 형성된다.

- [0219] 물론, 도면에는 도시되지 않았지만, 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 버퍼층(42)상에 활성층, 게이트 절연막 및 게이트 전극이 형성되고, 상기 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 층간 절연막(43)상에 소오스/드레인 전극 등이 형성되어, 서브 화소 영역에는 도 4에 도시한 바와 같은 유기 발광 다이오드는 구동하는 화소 회로가 형성되고, 단위 화소의 각 GIP부(31)에는 GIP를 구성하는 소자가 형성된다 (도 14 참조).
- [0220] 그리고, 상기 보호층(44)위에 R, G, B 칼라 필터층(45R, 45B, 45G)이 적층된다. 상기 R, G, B 칼라 필터층(45R, 45B, 45G)의 적층 순서에는 큰 영향을 받지 않는다.
- [0221] 물론, 도 13에 도시된 각 R, G, B 서브 화소에는 각각 R 칼라 필터층(45R), G 칼라 필터층(45G) 및 B 칼라 필터층(45B)만 형성된다.
- [0222] 상기 적층된 R, G, B 칼라 필터층(45R, 45B, 45G)위에 오버 코트층(46), बैं크층(47), 발광층(48) 및 발광소자의 제 2 전극(캐소드 전극; 49)이 차례로 형성된다.
- [0223] 물론, 도면에는 도시되지 않았지만, 각 서브 화소 영역에서는 상기 बैं크층(47)이 선택적으로 제거되고, 박막트랜지스터(구동 트랜지스터)의 드레인 전극에 연결되도록 상기 오버 코트층(46)상에 제 1 전극(애노드 전극)이 형성되고, 상기 제 1 전극상에 상기 발광층(48)이 형성된다.
- [0224] 한편, 다른 실시예로 상기 R, G, B 칼라 필터층(45R, 45B, 45G)을 적층하지 않고, 상기 बैं크층(47)을 빛을 차단할 수 있는 블랙 बैं크층을 이용할 수 있다.
- [0225] 도 19는 본 발명의 OLED 표시 패널에서 제 2 실시예에 따른 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L) 상의 구조 단면도이다.
- [0226] 유리 기판(40)상에 GIP 신호 라인(GIP S/L) 들 중 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(41)이 형성되고, 상기 캐리 펄스 출력용 클럭 신호 또는 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(41)을 포함한 상기 기판(40) 전면에 버퍼층(42)이 형성된다.
- [0227] 그리고, 상기 버퍼층(42)상에 층간 절연막(43) 및 보호층(44)이 차례로 형성된다.
- [0228] 마찬가지로, 도면에는 도시되지 않았지만, 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 버퍼층(42)상에 활성층, 게이트 절연막 및 게이트 전극이 형성되고, 상기 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 층간 절연막(43)상에 소오스/드레인 전극 등이 형성되어, 서브 화소 영역에는 도 4에 도시한 바와 같은 유기 발광 다이오드는 구동하는 화소 회로가 형성되고, 단위 화소의 각 GIP부(31)에는 GIP를 구성하는 소자가 형성된다 (도 14 참조).
- [0229] 그리고, 상기 보호층(44)위에 오버 코트층(46)이 형성되고, 상기 오버 코트층(46)상에 블랙(Black) बैं크층(47a)이 형성되고, 상기 블랙 बैं크층(47a) 상에 발광층(48) 및 발광소자의 제 2 전극(캐소드 전극; 49)이 차례로 형성된다.
- [0230] 마찬가지로, 도면에는 도시되지 않았지만, 각 서브 화소 영역에서는 상기 블랙 बैं크층(47a)이 선택적으로 제거되고, 박막트랜지스터(구동 트랜지스터)의 드레인 전극에 연결되도록 상기 오버 코트층(46)상에 제 1 전극(애노드 전극)이 형성되고, 상기 제 1 전극상에 상기 발광층(48)이 형성된다.
- [0231] 한편, 상기 캐리 펄스 출력용 클럭 신호 및 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L)뿐만 아니라, 단위 화소의 상기 GIP 내부 연결 배선부(32)에 배치되는 배선들 중 제 1 노드(Q)와 제 2 노드(Qb)에도 상대적으로 높은 주파수의 고전압이 인가되기 때문에, 단위 화소의 상기 GIP 내부 연결 배선부(32)에 배치되는 배선들 중 제 1 노드(Q)와 제 2 노드(Qb)에 의해서도 이상 발광 현상이 발생하여 저계조 빙셈 현상이 발생할 수 있다.
- [0232] 본 발명은 상기와 같이 상기 제 1 노드(Q)와 제 2 노드(Qb)에 의해서 발생할 수 있는 빙셈 현상을 방지하고자 한다.
- [0233] 이를 구체적으로 설명하면 다음과 같다.
- [0234] 도 20은 본 발명의 OLED 표시 패널에서 제 1 실시예에 따른 제 1 노드(Q)와 제 2 노드(Qb)상의 구조 단면도이다.
- [0235] 유리 기판(40)상에 버퍼층(42)이 형성되고, 상기 버퍼층(42)상에 층간 절연막(43)이 형성된다. 그리고, 상기 층간 절연막(43) 상에 제 1 노드(Q)와 제 2 노드(Qb)(50)가 형성되고, 상기 제 1 노드(Q)와 제 2 노드(Qb)(50)를

포함한 기관 전면에 보호층(44)이 형성된다.

- [0236] 물론, 도면에는 도시되지 않았지만, 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 버퍼층(42)상에 활성층, 게이트 절연막 및 게이트 전극이 형성되고, 상기 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 층간 절연막(43)상에 소오스/드레인 전극 등이 형성되어, 서브 화소 영역에는 도 4에 도시한 바와 같은 유기 발광 다이오드는 구동하는 화소 회로가 형성되고, 단위 화소의 각 GIP부(31)에는 GIP를 구성하는 소자가 형성된다 (도 14 참조).
- [0237] 그리고, 상기 보호층(44)위에 R, G, B 칼라 필터층(45R, 45B, 45G)이 적층된다. 상기 R, G, B 칼라 필터층(45R, 45B, 45G)의 적층 순서에는 큰 영향을 받지 않는다.
- [0238] 물론, 도 13에 도시된 각 R, G, B 서브 화소에는 각각 R 칼라 필터층(45R), G 칼라 필터층(45G) 및 B 칼라 필터층(45B)만 형성된다.
- [0239] 상기 적층된 R, G, B 칼라 필터층(45R, 45B, 45G)위에 오버 코트층(46), बैं크층(47), 발광층(48) 및 발광소자의 제 2 전극(캐소드 전극; 49)이 차례로 형성된다.
- [0240] 도면에는 도시되지 않았지만, 각 서브 화소 영역에서는 상기 बैं크층(47)이 선택적으로 제거되고, 박막트랜지스터(구동 트랜지스터)의 드레인 전극에 연결되도록 상기 오버 코트층(46)상에 제 1 전극(애노드 전극)이 형성되고, 상기 제 1 전극상에 상기 발광층(48)이 형성된다.
- [0241] 한편, 다른 실시예로 상기 R, G, B 칼라 필터층(45R, 45B, 45G)을 적층하지 않고, 상기 बैं크층(47)을 빛을 차단할 수 있는 블랙 बैं크층을 이용할 수 있다.
- [0242] 도 21은 본 발명의 OLED 표시 패널에서 제 2 실시예에 따른 제 1 노드(Q)와 제 2 노드(Qb)상의 구조 단면도이다.
- [0243] 유리 기판(40)상에 버퍼층(42)이 형성되고, 상기 버퍼층(42)상에 층간 절연막(43)이 형성된다. 그리고, 상기 층간 절연막(43) 상에 제 1 노드(Q)와 제 2 노드(Qb)(50)가 형성되고, 상기 제 1 노드(Q)와 제 2 노드(Qb)(50)를 포함하는 기관 전면에 보호층(44)이 형성된다.
- [0244] 그리고, 상기 버퍼층(42)상에 층간 절연막(43) 및 보호층(44)이 차례로 형성된다.
- [0245] 마찬가지로, 도면에는 도시되지 않았지만, 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 버퍼층(42)상에 활성층, 게이트 절연막 및 게이트 전극이 형성되고, 상기 서브 화소 영역 및 상기 GIP부(31) 영역의 상기 층간 절연막(43)상에 소오스/드레인 전극 등이 형성되어, 서브 화소 영역에는 도 4에 도시한 바와 같은 유기 발광 다이오드는 구동하는 화소 회로가 형성되고, 단위 화소의 각 GIP부(31)에는 GIP를 구성하는 소자가 형성된다 (도 14 참조).
- [0246] 그리고, 상기 보호층(44)위에 오버 코트층(46)이 형성되고, 상기 오버 코트층(46)상에 블랙(Black) बैं크층(47a)이 형성되고, 상기 블랙 बैं크층(47a) 상에 발광층(48) 및 발광소자의 제 2 전극(캐소드 전극; 49)이 차례로 형성된다.
- [0247] 마찬가지로, 도면에는 도시되지 않았지만, 각 서브 화소 영역에서는 상기 블랙 बैं크층(47a)이 선택적으로 제거되고, 박막트랜지스터(구동 트랜지스터)의 드레인 전극에 연결되도록 상기 오버 코트층(46)상에 제 1 전극(애노드 전극)이 형성되고, 상기 제 1 전극상에 상기 발광층(48)이 형성된다.
- [0248] 상기 도 18 및 도 21에서 설명한 바와 같이, 상기 캐리 펄스 출력용 클럭 신호 및 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L) 또는 상기 GIP 내부 연결 배선부(32)에 배치되는 Q 노드 또는 Qb 노드 상에 R, G, B 칼라 필터층을 적층하거나, 블랙 बैं크층을 형성하므로, 상기 캐리 펄스 출력용 클럭 신호 또는 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L)과 상기 Q 노드 또는 상기 Qb 노드에 의해 이상 발광 현상이 발생하더라도 저계조 빛샘 현상을 방지할 수 있다.
- [0249] 상기 도 18 내지 도 21에서, 상기 캐리 펄스 출력용 클럭 신호 또는 상기 스캔 펄스 출력용 클럭 신호가 인가되는 GIP 신호 라인(GIP S/L)과 상기 GIP 내부 연결 배선부의 Q 노드 또는 Qb 노드 상에만 R, G, B 칼라 필터층을 적층하거나 블랙 बैं크층을 형성함을 설명하였으나, 이에 한정되지 않고, 모든 GIP 신호 라인(GIP S/L)과 상기 GIP 내부 연결 배선부(32)의 모드 배선 상에 R, G, B 칼라 필터층을 적층하거나 블랙 बैं크층을 형성할 수 있다.
- [0250] 상기 도 18 및 도 20에서는 GIP 신호 라인(GIP S/L), Q 노드 또는 Qb 노드 상에 3개의 칼라 필터층이 적층됨을 설명하였으나, 이에 한정되지 않고, R, G, B 칼라 필터층들 중 적어도 2개의 층이 적층되어도 무방하다.

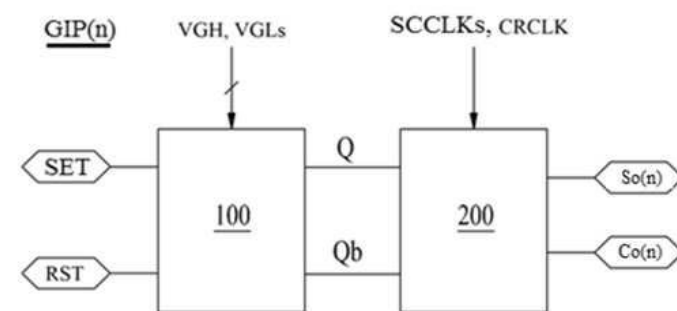
[0251] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

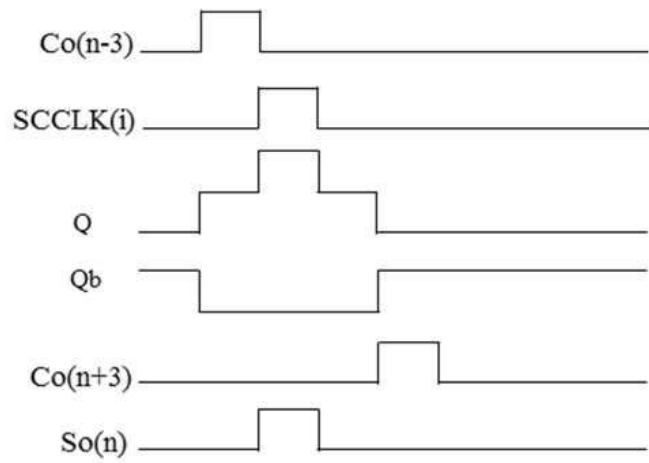
[0252] PNL: 표시패널 SIC1~SIC: 소스 드라이브 IC
 1, 11, 40: 유리 기판 2, 12, 42: 버퍼층
 3, 13: 차광 금속 패턴 4, 14: 활성층
 5, 15: 게이트 절연막 6: 게이트 전극
 7, 17, 43: 층간 절연막 8,9: 소오스/드레인 전극
 16: 게이트 전극 패턴 18, 19: 소오스/드레인 전극 패턴
 21, 26: 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부
 22: 리세트부 24: 인버터부
 23, 25: 구동 구간 제 1 내지 제 3 노드 제어부
 27: 출력 버퍼부 31: GIP 회로부
 32: GIP 내부 연결 배선부 33: 서브 화소부
 41: GIP 신호 라인 44: 보호막
 45R, 45G, 45B: 칼라 필터층 46: 오버 코트층
 47: बैं크층 47a: 블랙 बैं크층
 48: 발광층 49: 제 2 전극
 50: Q 노드 또는 Qb 노드

도면

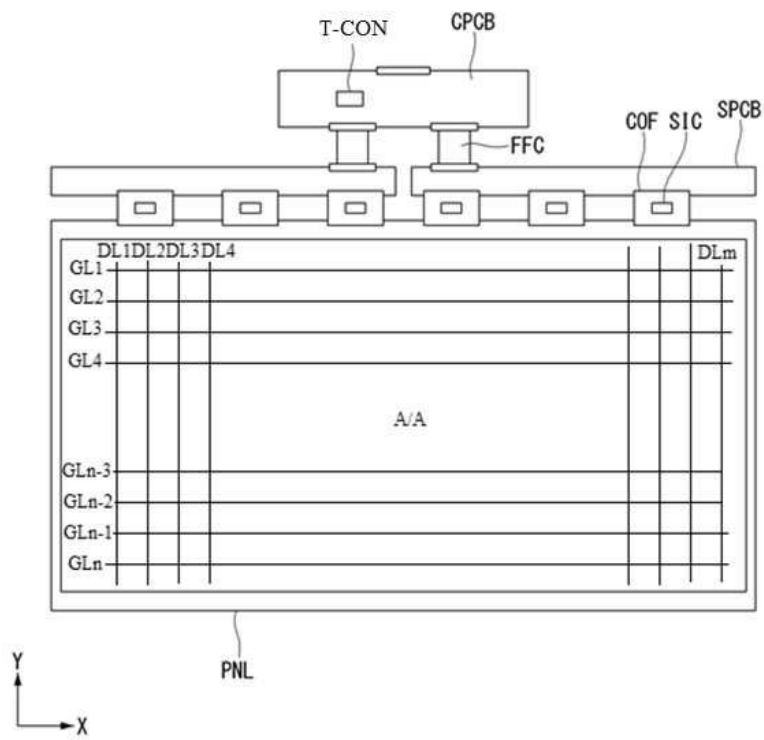
도면1



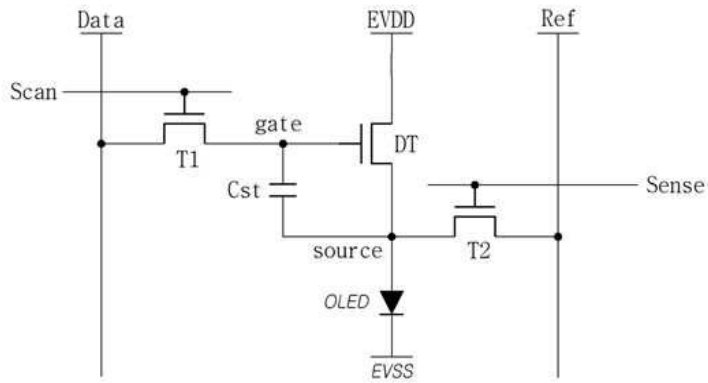
도면2



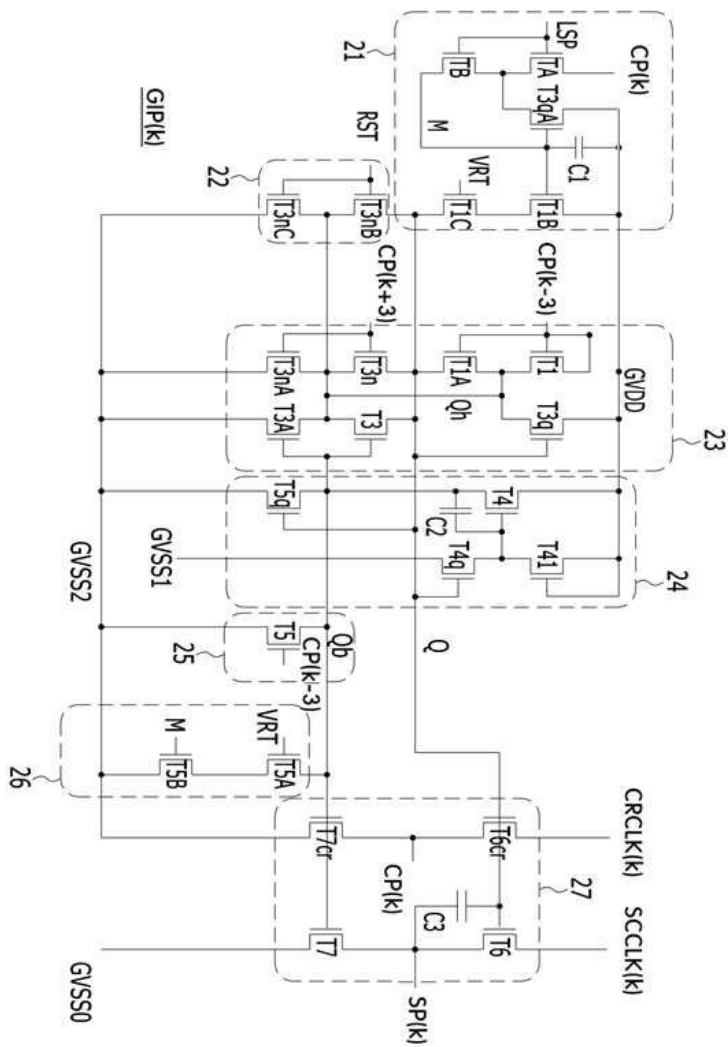
도면3



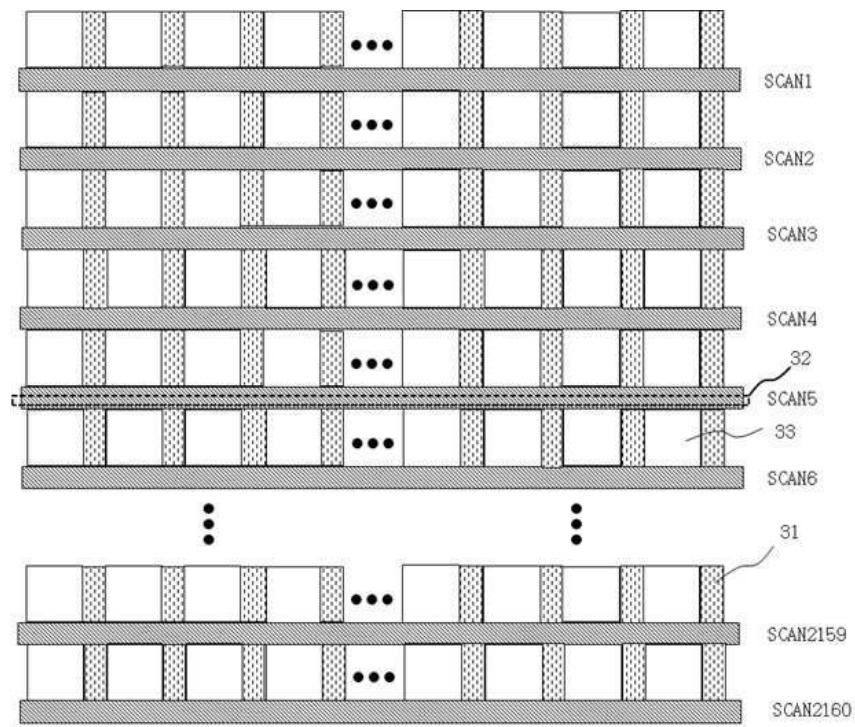
도면4



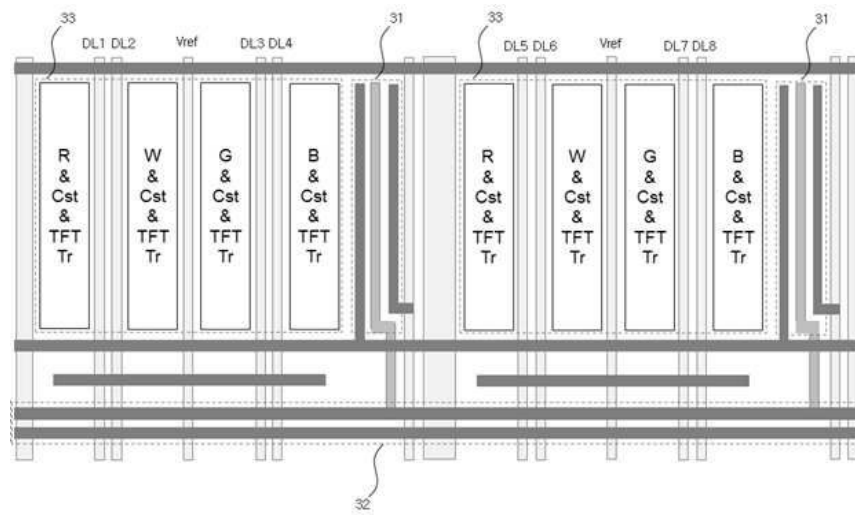
도면5



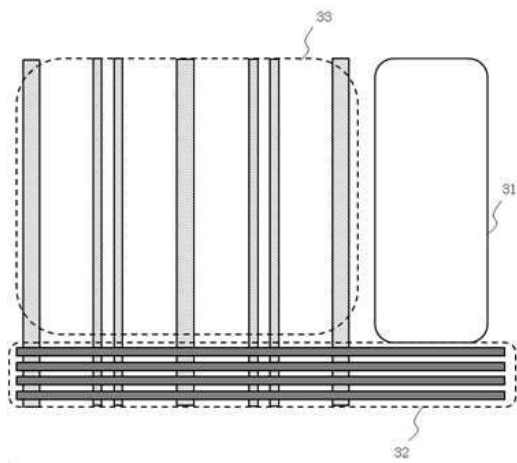
도면6



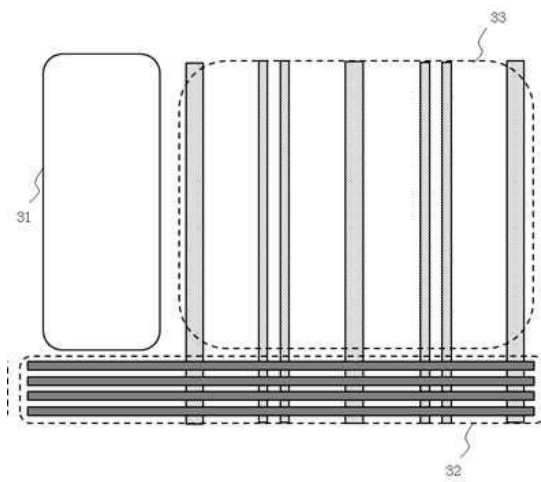
도면7



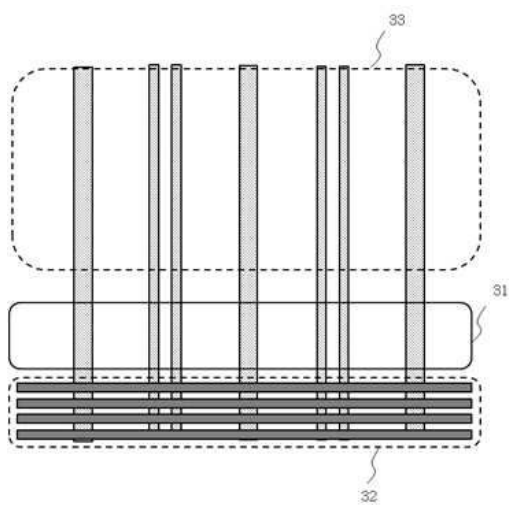
도면8a



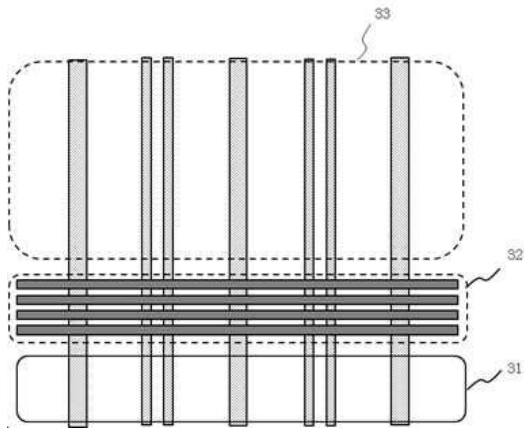
도면8b



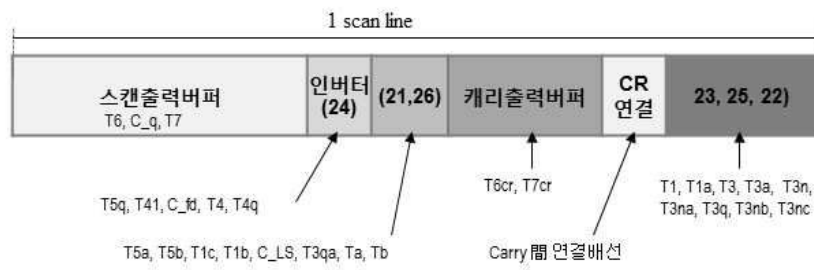
도면8c



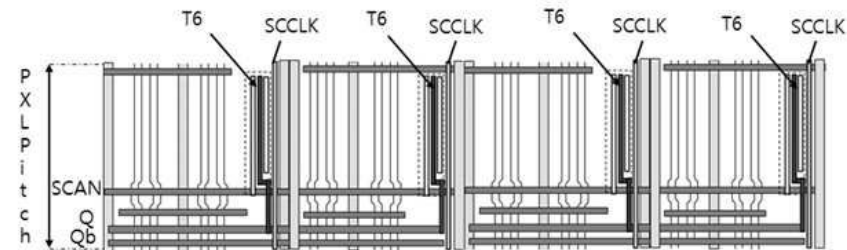
도면8d



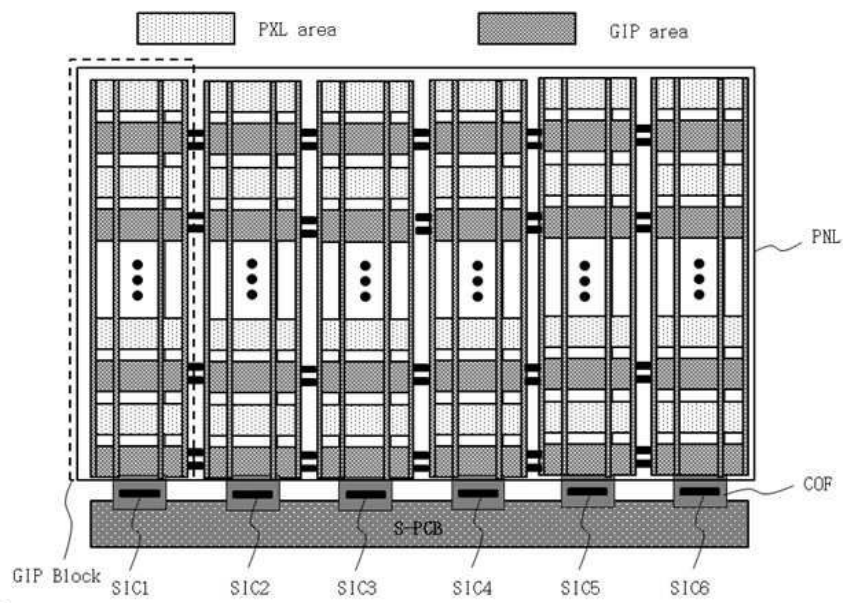
도면9



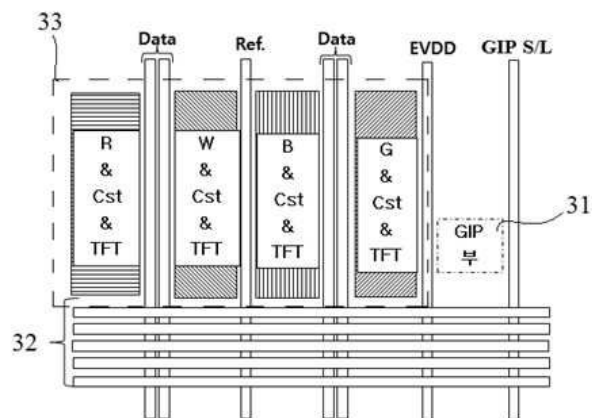
도면10



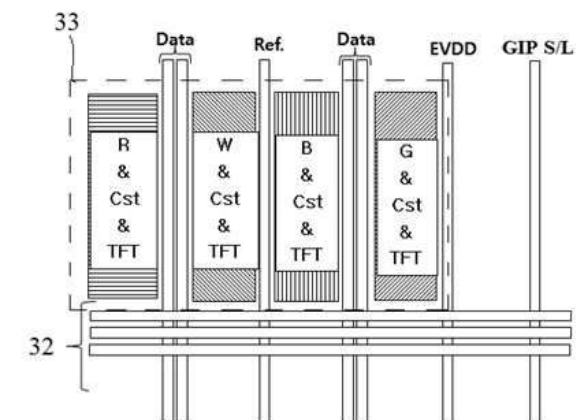
도면11



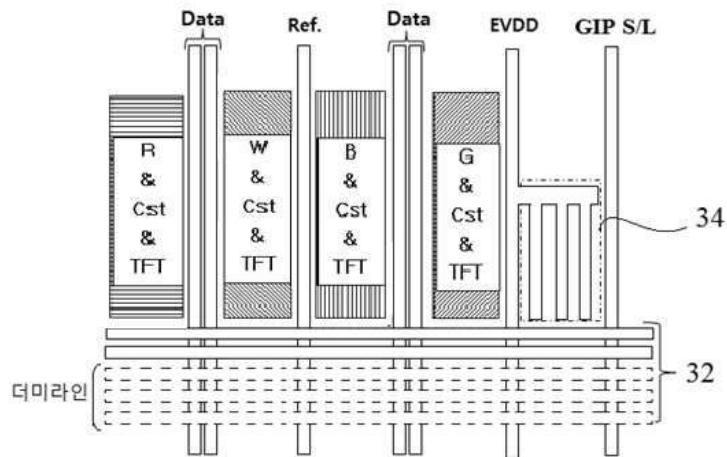
도면12a



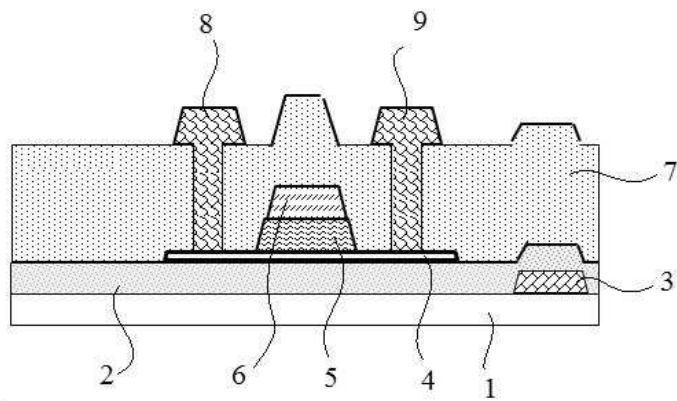
도면12b



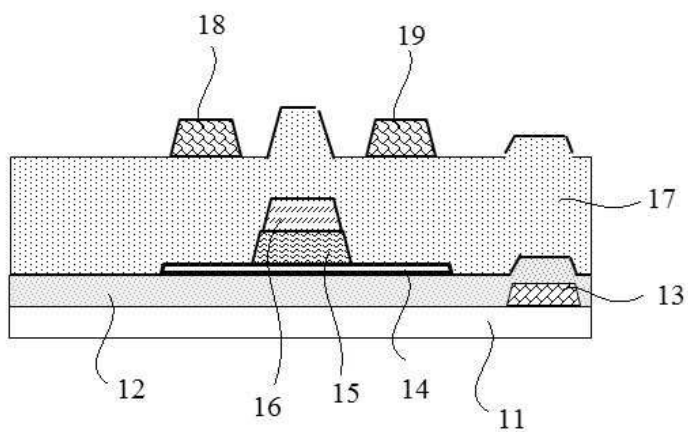
도면13



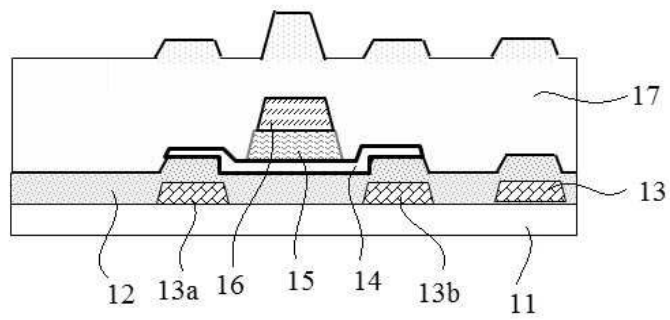
도면14



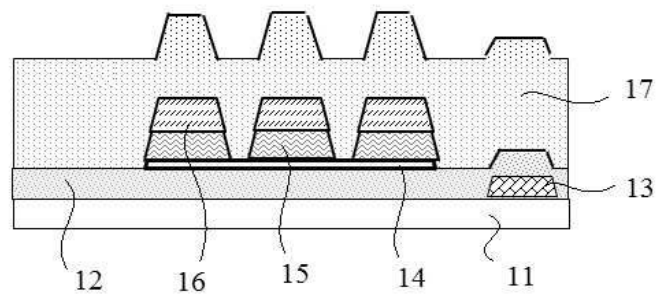
도면15



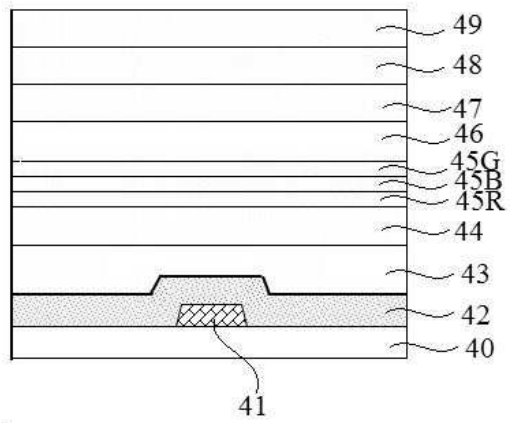
도면16



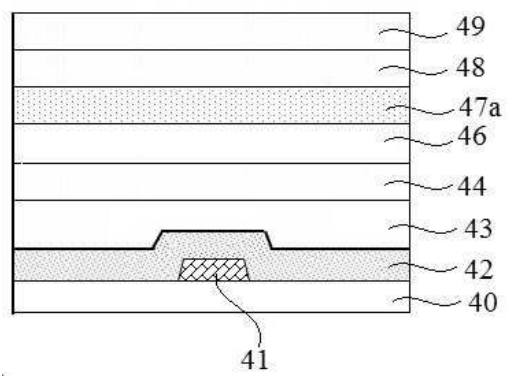
도면17



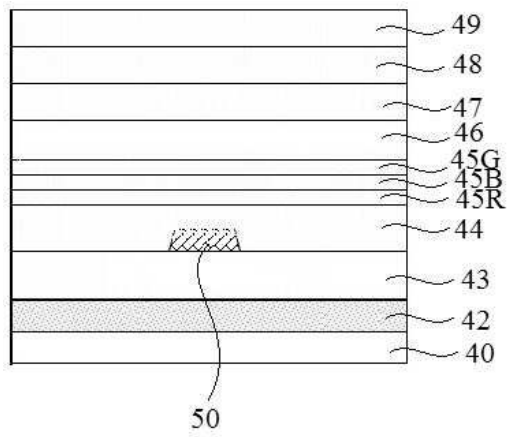
도면18



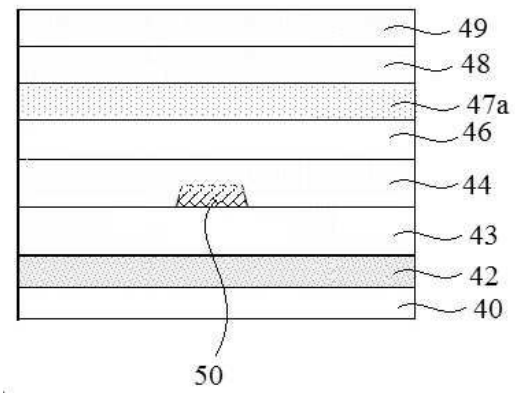
도면19



도면20



도면21



专利名称(译)	OLED显示面板和OLED显示器使用相同		
公开(公告)号	KR1020190036461A	公开(公告)日	2019-04-04
申请号	KR1020180095895	申请日	2018-08-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김경민 한인효 박해진 장영인		
发明人	김경민 한인효 박해진 장영인		
IPC分类号	G09G3/3266 G06F3/041		
CPC分类号	G09G3/3266 G06F3/0416 G09G2300/0408 G09G2300/0452		
代理人(译)	이승찬		
优先权	1020170125355 2017-09-27 KR		
外部链接	Espacenet		

摘要(译)

显示面板及使用该显示面板的OLED显示装置技术领域本发明涉及一种在像素阵列中配置有栅极驱动电路的GIP的显示面板以及使用该显示面板的OLED显示装置。面积并且，多个GIP分布在由显示区域中的栅极线驱动的单位像素区域中，以向相应的栅极线提供扫描脉冲。

