



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0076171
(43) 공개일자 2018년07월05일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0180338

(22) 출원일자 2016년12월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

임병준

경기도 안산시 단원구 화정천동로5안길 2, 203호
(와동)

장영순

경기도 파주시 가온로 205, 701동 802호(와동동,
해솔마을7단지롯데캐슬아파트)

(74) 대리인

특허법인인벤투스

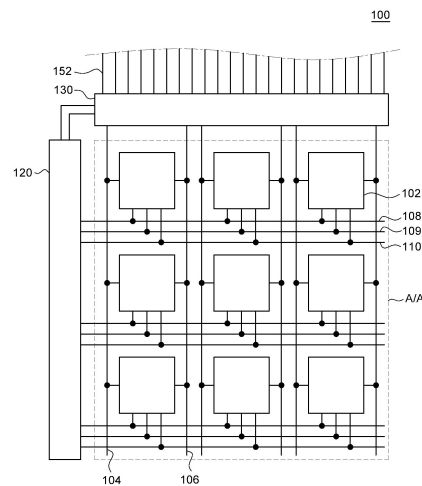
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전계 발광 표시 장치

(57) 요약

스토리지 커패시터의 일 전극 및 P형 구동 트랜지스터의 게이트 전극과 전기적으로 연결된 A노드, 데이터 배선과 전기적으로 연결된 B노드와 상기 A노드의 전기적 연결을 스위칭 하도록 구성된 N형 스위칭 트랜지스터, ELVDD 전압을 인가하고, 상기 스토리지 커패시터의 타 전극 및 상기 P형 구동 트랜지스터의 제1 전극과 전기적으로 연결된 C노드, 전계 발광 다이오드에 전류를 공급하고, 상기 P형 구동 트랜지스터의 제2 전극과 전기적으로 연결된 D노드 및 상기 A노드와 상기 D노드의 전기적 연결을 스위칭 하도록 구성된 제1 트랜지스터를 포함하고, 상기 A노드의 전압을 기초로 상기 P형 구동 트랜지스터의 제1 문턱 전압 편차를 보상하고, 상기 A노드의 전압을 기초로 상기 N형 스위칭 트랜지스터의 제2 문턱 전압 편차를 보상하도록 구성된 복수의 서브 화소를 포함하는, 전계 발광 표시 장치가 제공된다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0214 (2013.01)

명세서

청구범위

청구항 1

스토리지 커패시터의 일 전극 및 P형 구동 트랜지스터의 게이트 전극과 전기적으로 연결된 A노드;

데이터 배선과 전기적으로 연결된 B노드와 상기 A노드의 전기적 연결을 스위칭 하도록 구성된 N형 스위칭 트랜지스터;

ELVDD 전압을 인가하고, 상기 스토리지 커패시터의 타 전극 및 상기 P형 구동 트랜지스터의 제1 전극과 전기적으로 연결된 C노드;

전계 발광 다이오드에 전류를 공급하고, 상기 P형 구동 트랜지스터의 제2 전극과 전기적으로 연결된 D노드;

상기 A노드와 상기 D노드의 전기적 연결을 스위칭 하도록 구성된 제1 트랜지스터; 및

상기 A노드의 전압을 기초로 상기 P형 구동 트랜지스터의 제1 문턱 전압 편차를 보상하고, 상기 A노드의 전압을 기초로 상기 N형 스위칭 트랜지스터의 제2 문턱 전압 편차를 보상하도록 구성된 복수의 서브 화소를 포함하는, 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 데이터 배선과 전기적으로 연결되고, 상기 P형 구동 트랜지스터의 제1 문턱 전압 및 상기 N형 스위칭 트랜지스터의 제2 문턱 전압 정보를 저장하도록 구성된, 구동부를 더 포함하는, 전계 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 구동부는, 선택적으로 상기 데이터 배선에 영상 신호를 공급하거나 또는 상기 데이터 배선의 전압을 감지하도록 구성된, 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 구동부는, 상기 데이터 배선의 전압을 순차적으로 감지하여, 상기 제1 문턱 전압 및 상기 제2 문턱 전압을 순차적으로 감지하도록 구성된, 전계 발광 표시 장치.

청구항 5

제3항에 있어서,

상기 구동부는, 상기 복수의 서브 화소 각각의 상기 제1 문턱 전압 편차만큼 대응되는 상기 영상 신호의 전압을 조절하도록 구성된, 전계 발광 표시 장치.

청구항 6

제2항에 있어서,

상기 구동부는, 상기 A노드에 충전된 전압을 감지하여, 상기 제2 문턱 전압을 감지하도록 구성된, 전계 발광 표시 장치.

청구항 7

제3항에 있어서,

상기 구동부는, 상기 데이터 배선의 전압을 감지하여 상기 제1 문턱 전압을 판단한 다음, 상기 데이터 배선의

전압을 다시 감지하여 상기 제2 문턱 전압을 판단하도록 구성된, 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 구동부는, 상기 제1 문턱 전압을 판단한 다음, 상기 제2 문턱 전압 감지를 위해서, 상기 데이터 배선을 초기화하도록 구성된, 전계 발광 표시 장치.

청구항 9

제2항에 있어서,

상기 복수의 서브 화소에 영상을 표시할 때,

상기 구동부에 저장된 상기 제1 문턱 전압 및 상기 제2 문턱 전압 정보를 기초로, 상기 제1 문턱 전압 편차 및 상기 제2 문턱 전압 편차를 보상하여, 프로그래밍 단계 및 발광 단계 만으로 영상을 표시하도록 구성된, 전계 발광 표시 장치.

청구항 10

제2항에 있어서,

상기 복수의 서브 화소에 영상을 표시할 때,

상기 구동부는 특정 주기마다 상기 제1 문턱 전압 및 상기 제2 문턱 전압 정보를 갱신하도록 구성된, 전계 발광 표시 장치.

청구항 11

제1항에 있어서,

상기 N형 스위칭 트랜지스터의 게이트 전극과 전기적으로 연결된 제1 스캔 배선;

상기 제1 트랜지스터의 게이트 전극과 전기적으로 연결된 제2 스캔 배선; 및

상기 제1 스캔 배선 및 상기 제2 스캔 배선에 제1 스캔 신호 및 제2 스캔 신호를 공급하도록 구성된 스캔 드라이버를 포함하는, 전계 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 제1 스캔 신호의 턴-온 전압 및 턴-오프 전압은, 상기 복수의 서브 화소의 상기 N형 스위칭 트랜지스터들의 제2 문턱 전압 산포를 고려하여 결정된, 전계 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 데이터 배선과 전기적으로 연결되고, 상기 P형 구동 트랜지스터의 제1 문턱 전압 및 상기 N형 스위칭 트랜지스터의 제2 문턱 전압 정보를 저장하도록 구성된, 구동부를 더 포함하고,

상기 구동부는, 상기 제2 문턱 전압 산포의 최소 값 및 최대 값을 저장하도록 구성된, 전계 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 스캔 신호의 상기 턴-온 전압은 상기 제2 문턱 전압 산포의 상기 최대 값보다 크도록 구성되고,

상기 제1 스캔 신호의 상기 턴-오프 전압은 상기 제2 문턱 전압 산포의 상기 최소 값보다 작도록 구성된, 전계 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 데이터 배선과 전기적으로 연결되고, 상기 P형 구동 트랜지스터의 제1 문턱 전압 및 상기 N형 스위칭 트랜지스터의 제2 문턱 전압 정보를 저장하도록 구성된, 구동부;

상기 전계 발광 다이오드와 상기 D노드 사이의 전기적 연결을 스위칭 하도록 구성된 제2 트랜지스터; 및

상기 제2 트랜지스터의 게이트 전극과 전기적으로 연결되고 상기 스캔 드라이버로부터 EM 신호를 전달하도록 구성된 EM 배선을 더 포함하고,

상기 제2 트랜지스터는, 상기 구동부가 상기 제1 문턱 전압 및 상기 제2 문턱 전압 감지 시, 상기 D노드에서 상기 전계 발광 다이오드로 발생하는 누설 전류를 차단하도록 구성된, 전계 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 각각 N형 또는 P형 트랜지스터로 구성된, 전계 발광 표시 장치.

청구항 17

제12항에 있어서,

상기 데이터 배선과 전기적으로 연결되고, 상기 P형 구동 트랜지스터의 제1 문턱 전압 및 상기 N형 스위칭 트랜지스터의 제2 문턱 전압 정보를 저장하도록 구성된, 구동부를 더 포함하고,

상기 구동부는, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 N형 또는 P형 트랜지스터인지 여부에 따라, 인가되는 스캔 신호의 턴-온 전압 및 턴-오프 전압을 결정하도록 구성된, 전계 발광 표시 장치.

청구항 18

제17항에 있어서,

상기 제1 트랜지스터가 N형 트랜지스터일 경우,

상기 제2 스캔 신호의 턴-온 전압은 상기 제2 문턱 전압 산포의 최대 값보다 크도록 구성되고,

상기 제2 스캔 신호의 턴-오프 전압은 상기 제2 문턱 전압 산포의 최소 값보다 작도록 구성된, 전계 발광 표시 장치.

청구항 19

제17항에 있어서,

상기 제2 트랜지스터가 P형 트랜지스터일 경우,

상기 구동부는, 상기 제1 문턱 전압 산포의 최소 값 및 최대 값을 저장하도록 구성되고,

EM 신호의 턴-온 전압은 상기 제1 문턱 전압 산포의 상기 최대 값보다 크도록 구성되고,

상기 EM 신호의 턴-오프 전압은 상기 제1 문턱 전압 산포의 상기 최소 값보다 작도록 구성된, 전계 발광 표시 장치.

청구항 20

제1항에 있어서,

상기 P형 구동 트랜지스터는 결정화 실리콘 반도체 트랜지스터(LTPS TFT)이고, 상기 N형 스위칭 트랜지스터는 산화물 반도체 트랜지스터(oxide TFT)인, 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시 장치와 그 구동 방법에 관한 것으로서, 보다 상세하게는, 문턱 전압 보상이 가능한 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 전계 발광 표시 장치는 저전압 구동에 따라 소비 전력 측면에서 유리할 뿐만 아니라, 빠른 응답 속도(fast response time), 넓은 시야각(view viewing angle) 및 무한 명암비(infinite constrast ratio) 등의 장점이 있다.

[0003] 전계 발광 표시 장치의 화소 영역(active area; AA)은 복수의 서브 화소(sub-pixel)를 포함한다. 서브 화소는 전계 발광 다이오드(electro-luminescence diode; ELD)를 포함한다. 화소 영역(AA)의 주변에는 주변 영역(periphery area; PA)이 구성된다.

[0004] 전계 발광 다이오드는 애노드(anode), 발광층(emissive layer) 및 캐소드(cathode)를 포함한다. 고전위 전압(ELVDD)은 구동 트랜지스터(driving transistor)를 통해서 애노드(즉, 화소 전극)에 공급된다. 저전위 전압(ELVSS)은 캐소드(즉, 공통 전극)에 공급된다.

[0005] 전계 발광 다이오드의 애노드와 캐소드 사이에는 다양한 유기 및 무기물 층이 더 포함될 수 있다. 예를 들면, 정공 주입층(HIL; hole injection layer), 정공 수송층(HTL; hole transport layer), 전자 수송층(ETL; electron transport layer) 및 전자 주입층(EIL; electron injection layer)을 더 포함할 수 있다. 애노드 전극과 캐소드 전극 사이에 전위차가 형성되면 정공 수송층을 통과한 정공과 전자 수송층을 통과한 전자가 발광층으로 이동되어 여기자를 형성하고, 그 결과 발광층이 가시광(예를 들어, 380nm~680nm)대역을 발광하게 된다.

[0006] 전계 발광 다이오드의 발광층은 유기 물질 및/또는 무기 물질로 이루어질 수 있다. 발광층이 유기 물질로 이루어지는 경우 유기 발광 다이오드 (organic light emitting diode; OLED)로 지칭될 수 있으며, 무기 물질로 이루어지는 경우 무기 발광 다이오드 (inorganic light emitting diode; ILED)로 지칭될 수 있다. 무기 물질은 예를 들어 퀀텀닷(quantum-dot) 및/또는 나노 크리스탈(nano crystal) 물질일 수 있다. 발광층은 무기 발광 물질과 유기 발광 물질이 혼합되거나 적층된 구조일 수 있다.

[0007] 서브 화소는 전계 발광 다이오드에 공급되는 전류량을 조절하여 서브 화소의 밝기를 조절한다. 서브 화소는 데이터 전압 크기에 따라 전계 발광 다이오드에 공급되는 전류량을 조절한다. 서브 화소는 적어도 두 개의 스위칭 트랜지스터(switching transistor), 적어도 하나의 구동 트랜지스터(driving transistor) 및 적어도 하나의 저장 커패시터(storage capacitor)를 사용하여 전계 발광 다이오드를 제어한다.

[0008] 화소 영역(AA)의 주변 영역에서 스캔 드라이버(scan driver) 및/또는 데이터 드라이버(data driver)가 전기적으로 연결되어 복수의 서브 화소를 구동한다.

[0009] 스캔 드라이버는 복수의 서브 화소의 트랜지스터(transistor; TFT)를 순차적으로 턴-온(turn-on) 또는 턴-오프(turn-off) 한다. 따라서 스캔 드라이버는 서브 화소를 구동한다.

[0010] 스캔 드라이버는 스테이지들(stage)이 종속적으로 연결된 시프트 레지스터를 포함한다. 스캔 드라이버는 스타트 펄스(start pulse) 또는 이전 스테이지(stage)로부터 수신된 캐리 신호(carry signal)를 스타트 펄스로서 입력 받아 클럭(clock)이 입력될 때 출력을 발생하고, 시프트 클럭 타이밍(shift clock timing)에 맞추어 출력을 시프트 함으로써 스캔 신호를 스캔 배선들에 순차적으로 공급할 수 있다.

[0011] 데이터 드라이버는 서브 화소에 데이터 전압을 공급한다. 공급된 데이터 전압은 서브 화소의 저장 커패시터에 충전된다.

[0012] 전계 발광 다이오드의 밝기는 충전된 데이터 전압에 따라 조절되며, 따라서 영상이 표시된다.

[0013] 전계 발광 장치의 밝기는 디지털 영상신호의 계조에 따라서 표시된다. 전계 발광 표시 장치의 밝기 계조는 최소 휘도(예를 들어, minimum 0 nit)와 최대 휘도(예를 들어, maximum 1000 nit) 사이에서 조절된다. 전계 발광 다이오드 표시 장치의 계조는 영상 신호의 포맷에 따라 표시할 수 있는 휘도의 정밀도가 달라지게 된다. 예를 들어, 8-bit 포맷(format)의 영상 신호는 256 단계의 계조를 표시할 수 있고, 10-bit 포맷의 영상 신호는 1024 단계의 계조를 표시할 수 있다.

[0014] [관련기술문헌]

[0015] 1. 보상기능을 갖는 유기발광표시장치 (한국특허출원번호 제 10-2013-0158317 호)

발명의 내용

해결하려는 과제

[0016] 본 발명의 발명자들은, 표시 영상의 품질이 우수한 전계 발광 표시 장치에 대한 연구 및 개발을 하였다.

[0017] 구체적으로, 본 발명의 발명자들은 다양한 종류의 트랜지스터를 배치하여 성능이 우수한 서브 화소를 구현하고자 하였다. 예를 들면, 누설 전류 특성이 우수한 N형 트랜지스터(N-type transistor) 및 전류 구동 특성이 우수한 P형 트랜지스터(P-type transistor)의 장점을 활용하여 성능이 우수한 전계 발광 표시 장치를 구현하고자 하였다.

[0018] 하지만 N형 트랜지스터 및 P형 트랜지스터를 동시에 포함하는 서브 화소 구조는 제조 공정이 더 까다롭고, 구동 트랜지스터의 균일도 확보가 상대적으로 어렵다. 특히 전계 발광 표시 장치의 대량 생산 시, 각각의 서브 화소가 N형 트랜지스터 및 P형 트랜지스터를 모두 포함하면, 트랜지스터의 수명, 문턱 전압 편차(threshold voltage deviation; ΔV_{th}) 등의 균일도를 향상시키는데 기술적 난이도가 존재한다. 따라서, 본 발명의 발명자들은 대량 생산의 어려움에 대해서 인식하였다.

[0019] 특히, N형 트랜지스터와 P형 트랜지스터 각각은 제조 공정이 다르고, 반도체 특성이 다르기 때문에, 각각의 트랜지스터의 특성을 균일하게 확보하는데 기술적 난이도가 존재 한다.

[0020] 이에 본 발명이 해결하고자 하는 과제는, N형 트랜지스터와 P형 트랜지스터를 모두 포함하는 서브 화소의 다양한 편차를 보상할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0021] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0022] 본 발명의 일 실시예에 따른, 스토리지 커패시터의 일 전극 및 P형 구동 트랜지스터의 게이트 전극과 전기적으로 연결된 A노드, 데이터 배선과 전기적으로 연결된 B노드와 A노드의 전기적 연결을 스위칭 하도록 구성된 N형 스위칭 트랜지스터, ELVDD 전압을 인가하고, 스토리지 커패시터의 타 전극 및 P형 구동 트랜지스터의 제1 전극과 전기적으로 연결된 C노드, 전계 발광 다이오드에 전류를 공급하고, P형 구동 트랜지스터의 제2 전극과 전기적으로 연결된 D노드 및 A노드와 D노드의 전기적 연결을 스위칭 하도록 구성된 제1 트랜지스터를 포함하고, A노드의 전압을 기초로 P형 구동 트랜지스터의 제1 문턱 전압 편차를 보상하고, A노드의 전압을 기초로 N형 스위칭 트랜지스터의 제2 문턱 전압 편차를 보상하도록 구성된 복수의 서브 화소를 포함하는, 전계 발광 표시 장치가 제공된다.

[0023] 본 발명의 다른 특징에 따르면, 데이터 배선과 전기적으로 연결되고, P형 구동 트랜지스터의 제1 문턱 전압 및 N형 스위칭 트랜지스터의 제2 문턱 전압 정보를 저장하도록 구성된, 구동부를 포함하는 것을 특징으로 한다.

[0024] 본 발명의 또 다른 특징에 따르면, 구동부는, 선택적으로 데이터 배선에 영상 신호를 공급하거나 또는 데이터 배선의 전압을 감지하도록 구성된 것을 특징으로 한다.

[0025] 본 발명의 또 다른 특징에 따르면, 구동부는, 데이터 배선의 전압을 순차적으로 감지하여, 제1 문턱 전압 및 제2 문턱 전압을 순차적으로 감지하도록 구성된 것을 특징으로 한다.

[0026] 본 발명의 또 다른 특징에 따르면, 구동부는, 복수의 서브 화소 각각의 제1 문턱 전압 편차만큼 대응되는 영상 신호의 전압을 조절하도록 구성된 것을 특징으로 한다.

[0027] 본 발명의 또 다른 특징에 따르면, 구동부는, A노드에 충전된 전압을 감지하여, 제2 문턱 전압을 감지하도록 구성된 것을 특징으로 한다.

[0028] 본 발명의 또 다른 특징에 따르면, 구동부는, 데이터 배선의 전압을 감지하여 제1 문턱 전압을 판단한 다음, 데이터 배선의 전압을 다시 감지하여 제2 문턱 전압을 판단하도록 구성된 것을 특징으로 한다.

[0029] 본 발명의 또 다른 특징에 따르면, 구동부는, 제1 문턱 전압을 판단한 다음, 제2 문턱 전압 감지를 위해서, 데

이터 배선을 초기화하도록 구성된 것을 특징으로 한다.

- [0030] 본 발명의 또 다른 특징에 따르면, 복수의 서브 화소에 영상을 표시할 때, 구동부에 저장된 제1 문턱 전압 및 제2 문턱 전압 정보를 기초로, 제1 문턱 전압 편차 및 제2 문턱 전압 편차를 보상하여, 프로그래밍 단계 및 발광 단계 만으로 영상을 표시하도록 구성된 것을 특징으로 한다.
- [0031] 본 발명의 또 다른 특징에 따르면, 복수의 서브 화소에 영상을 표시할 때, 구동부는 특정 주기마다 제1 문턱 전압 및 제2 문턱 전압 정보를 갱신하도록 구성된 것을 특징으로 한다.
- [0032] 본 발명의 또 다른 특징에 따르면, N형 스위칭 트랜지스터의 게이트 전극과 전기적으로 연결된 제1 스캔 배선, 제1 트랜지스터의 게이트 전극과 전기적으로 연결된 제2 스캔 배선, 및 제1 스캔 배선 및 제2 스캔 배선에 제1 스캔 신호 및 제2 스캔 신호를 공급하도록 구성된, 스캔 드라이버를 포함하는 것을 특징으로 한다.
- [0033] 본 발명의 또 다른 특징에 따르면, 제1 스캔 신호의 턴-온 전압 및 턴-오프 전압은, 복수의 서브 화소의 N형 스위칭 트랜지스터들의 제2 문턱 전압 산포를 고려하여 결정된 것을 특징으로 한다.
- [0034] 본 발명의 또 다른 특징에 따르면, 구동부는, 제2 문턱 전압 산포의 최소 값 및 최대 값을 저장하도록 구성된 것을 특징으로 한다.
- [0035] 본 발명의 또 다른 특징에 따르면, 제1 스캔 신호의 턴-온 전압은 제2 문턱 전압 산포의 최대 값보다 크도록 구성되고, 제1 스캔 신호의 턴-오프 전압은 제2 문턱 전압 산포의 최소 값보다 작도록 구성된, 것을 특징으로 한다.
- [0036] 본 발명의 또 다른 특징에 따르면, 전계 발광 다이오드와 D노드 사이의 전기적 연결을 스위칭 하도록 구성된 제2 트랜지스터 및 제2 트랜지스터의 게이트 전극과 전기적으로 연결되고 스캔 드라이버로부터 EM 신호를 전달하도록 구성된 EM 배선을 더 포함하고, 제2 트랜지스터는, 구동부가 제1 문턱 전압 및 제2 문턱 전압 감지 시, D노드에서 전계 발광 다이오드로 발생하는 누설 전류를 차단하도록 구성된 것을 특징으로 한다.
- [0037] 본 발명의 또 다른 특징에 따르면, 제1 트랜지스터 및 제2 트랜지스터는 각각 N형 또는 P형 트랜지스터로 구성된 것을 특징으로 한다.
- [0038] 본 발명의 또 다른 특징에 따르면, 구동부는, 제1 트랜지스터 및 제2 트랜지스터가 N형 또는 P형 트랜지스터인지 여부에 따라, 인가되는 스캔 신호의 턴-온 전압 및 턴-오프 전압을 결정하도록 구성된 것을 특징으로 한다.
- [0039] 본 발명의 또 다른 특징에 따르면, 제1 트랜지스터가 N형 트랜지스터일 경우, 제2 스캔 신호의 턴-온 전압은 제2 문턱 전압 산포의 최대 값보다 크도록 구성되고, 제2 스캔 신호의 턴-오프 전압은 제2 문턱 전압 산포의 최소 값보다 작도록 구성된 것을 특징으로 한다.
- [0040] 본 발명의 또 다른 특징에 따르면, 제2 트랜지스터가 P형 트랜지스터일 경우, 구동부는, 제1 문턱 전압 산포의 최소 값 및 최대 값을 저장하도록 구성되고, EM 신호의 턴-온 전압은 제1 문턱 전압 산포의 최대 값보다 크도록 구성되고, EM 신호의 턴-오프 전압은 제1 문턱 전압 산포의 최소 값보다 작도록 구성된 것을 특징으로 한다.
- [0041] 본 발명의 또 다른 특징에 따르면, P형 구동 트랜지스터는 결정화 실리콘 반도체 트랜지스터(LTPS TFT)이고, N형 스위칭 트랜지스터는 산화물 반도체 트랜지스터(oxide TFT)인 것을 특징으로 한다.
- [0042] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0043] 본 발명의 실시예들에 따르면, 구동 트랜지스터의 문턱 전압 편차(ΔV_{th})를 보상할 수 있으며, 스위칭 트랜지스터의 문턱 전압 편차(ΔV_{th})를 보상할 수 있는 장점이 있다.
- [0044] 본 발명의 실시예들에 따르면, 기 보상된 정보를 저장하고, 저장된 정보로 문턱 전압을 보상할 수 있기 때문에, 영상 표시 시 고속 구동이 가능한 장점이 있다.
- [0045] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0046] 도 1은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치를 설명하기 위한 개략적인 개념도이다.
- 도 2는, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 서브 화소를 설명하는 개략적인 회로도이다.
- 도 3은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작을 설명하는 개략적인 파형도이다.
- 도 4는, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제1 단계를 설명하는 회로도이다.
- 도 5는, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제2 단계를 설명하는 회로도이다.
- 도 6은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제3 단계를 설명하는 회로도이다.
- 도 7은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제4 단계를 설명하는 회로도이다.
- 도 8은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작을 설명하는 개략적인 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0047] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0048] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0049] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0050] 위치 관계에 대한 설명일 경우, 예를 들면, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0051] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0052] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0053] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0054] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0055] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0056] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0057] 도 1은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치를 설명하기 위한 개략적인 개념도이다.
- [0058] 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)는 발광된 빛이 상부, 하부 및/또는 상하부로 방출될 수 있는, 탑 에미션 방식(top-emission type), 바텀 에미션 방식(bottom-emission type) 또는 듀얼 에미션 방식(dual-emission type)의 전계 발광 표시 장치로 구현될 수 있으며, 전계 발광 표시 장치(100)는 투명 표시 장치 및/또는 플렉서블 표시 장치로 구현되는 것도 가능하다. 단 이에 제한되지 않는다.

- [0059] 도 1을 참조하여 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)를 설명한다.
- [0060] 전계 발광 표시 장치(100)는 기판 상에 형성된다. 기판은 유리, 플라스틱, 절연막 처리된 금속, 세라믹 등으로 이루어 질 수 있으며 전계 발광 표시 장치의 여러 구성요소들을 지지한다. 기판은 커브드(curved) 형상일 수 있으며, 벤딩된(bended) 형상일 수도 있다. 또한 벤딩된 경우, 주변 영역(PA)의 일부는 화소 영역(AA)과 중첩될 수 있다. 단, 본 발명은 기판의 종류 또는 특정 영역의 정의 등에 제한되지 않는다.
- [0061] 기판 상에는 화소 영역(AA; active area) 및 화소 영역(AA)의 주변 영역(PA; periphery area)이 구성된다.
- [0062] 화소 영역(AA)은 복수의 서브 화소(102)를 포함하며 영상을 표시한다. 주변 영역(PA)은 화소 영역(AA) 이외의 주변 영역을 의미한다.
- [0063] 서브 화소(102)는 적어도 데이터 배선(104), ELVDD 배선(106), 제1 스캔 배선(108), 제2 스캔 배선(109), EM 배선(110)과 전기적으로 연결된다. 그리고 각각의 배선을 통해서 인가되는 신호 및 전압에 따라 서브 화소(102)가 구동된다.
- [0064] 서브 화소(102)는 다양한 배선들과 전기적으로 연결되어 다양한 신호를 인가 받아 구동된다. 일반적으로, 3개 또는 4개의 서브 화소들로 하나의 화소를 구성하며, 복수 개의 픽셀들이 어레이(array) 또는 매트릭스(matrix) 형태로 화소 영역에 구현되어 있다. 여기서 하나의 픽셀을 이루는 서브 화소들의 개수, 모양, 배열, 등은 다양할 수 있으며 전계 발광 표시 장치의 크기, 용도, 특성, 등에 따라 적합하게 구현될 수 있다. 각 서브 화소(102)는 전계 발광 다이오드에 공급되는 전류량을 조절하여 서브 화소의 휘도를 조절한다.
- [0065] 전계 발광 다이오드의 발광층은 유기물질 및/또는 무기물질로 이루어질 수 있다. 발광층이 유기물질로 이루어지는 경우 유기 발광 다이오드 (organic light emitting diode; OLED)로 지칭될 수 있으며, 무기물질로 이루어지는 경우 무기 발광 다이오드 (inorganic light emitting diode; ILED)로 지칭될 수 있다. 무기물질은 예를 들어 퀀텀닷(quantum-dot) 및/또는 나노 크리스탈(nano crystal) 물질일 수 있다. 발광층은 무기 발광 물질과 유기 발광 물질이 혼합되거나 적층된 구조일 수 있다. 단 이에 제한되지 않는다.
- [0066] 각각의 서브 화소(102)는 전계 발광 다이오드를 포함하거나 또는 전계 발광 다이오드와 전기적으로 연결될 수 있다. 전계 발광 다이오드는 애노드, 발광층 및 캐소드를 포함한다. 고전위 전압(ELVDD)은 구동 트랜지스터를 통해서 애노드에 공급된다. 저전위 전압(ELVSS)은 캐소드(공통 전극)에 공급된다. 캐소드는 화소 영역(AA)을 덮도록 형성될 수 있다. 단 이에 제한되지 않는다.
- [0067] 몇몇 실시예에서는, 화소 영역(AA)은 원형, 타원형, 직사각형, 정사각형, 삼각형 등 다양한 형상의 영역으로 구성될 수 있다.
- [0068] 몇몇 실시예에서는, 적어도 하나의 트랜지스터는 산화물(oxide) 반도체층으로 구성되는 것도 가능하다.
- [0069] 몇몇 실시예에서는, 적어도 하나의 트랜지스터는 저온 폴리 실리콘(low temperature poly silicon; LTPS) 반도체층으로 구성되는 것도 가능하다.
- [0070] 몇몇 실시예에서는, 적어도 하나의 트랜지스터는 산화물 반도체층 및 저온 폴리 실리콘 반도체층으로 구성되는 것도 가능하다.
- [0071] 주변 영역(PA)에는 화소 영역(AA)을 구동하도록 구성된 회로들이 배치된다. 예를 들면, 주변 영역(PA)은 스캔 드라이버(120) 및 구동부(130)를 포함한다. 상술한 회로부들과 서브 화소는 상술한 배선들에 의해서 전기적으로 서로 연결된다.
- [0072] 구동부(130)는 영상 신호를 시스템으로부터 전달 받는다. 구동부(130)는 디지털 형식의 영상 신호를 데이터 전압(즉, 아날로그 영상 신호)으로 변환한다. 구동부(130)는 데이터 전압을 생성하기 위한 감마 전압 생성부를 포함하거나 또는 별도의 감마 전압 생성부와 전기적으로 연결될 수 있다.
- [0073] 부연 설명하면, 감마 전압은 영상 신호의 각각의 계조(gray level)에 대응되는 전압을 의미한다. 감마 전압 생성부는 DAC(digital to analogue converter)를 사용하여 디지털 영상 신호를 아날로그 전압으로 변환할 수 있다. 단 이에 제한되지 않는다.
- [0074] 예를 들면, 구동부(130)는 각각의 서브 화소(102)에 대응되는 데이터 전압을 공급하기 위한 각 신호들의 타이밍을 조절하는 기능을 수행할 수 있다.
- [0075] 구동부(130)는 데이터 드라이버의 기능을 수행하거나, 타이밍 컨트롤러의 기능을 수행하거나, 또는 데이터 드라

이버 및 타이밍 컨트롤러의 기능 모두를 수행하는 회로부를 의미할 수 있다. 단 이에 제한되지 않는다.

- [0076] 구동부(130)는 기준 전압 공급부에서 생성되는 다양한 기준 전압들을 공급받을 수 있다. 기준 전압 공급부는 DC-DC converter 등의 전압 생성 회로 일 수 있으며, ELVDD 전압, ELVSS 전압, 기준 전압 및 구동부(130) 내부 로직(logic) 구동에 필요한 하이(HIGH) 전압, 로우(LOW) 전압 및 다양한 클럭(CLK; clock) 신호를 생성할 수 있다.
- [0077] 몇몇 실시예에서는, 기준 전압 공급부는 구동부(130)의 일부로 구성되거나 또는 시스템의 일부로 구성될 수 있다.
- [0078] 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)의 스캔 드라이버(120)는 복수의 쉬프트 레지스터(shift register)를 포함 하도록 구성된다. 쉬프트 레지스터는 복수의 스캔 배선 및 EM 배선에 순차적으로 펄스를 전달한다.
- [0079] 예를 들면, 화소 영역(AA)은 (n 행) x (m 열) 매트릭스(matrix)로 배열된 복수의 서브 화소(102)를 포함할 수 있다. 그리고 스캔 드라이버(120)는 n 개의 쉬프트 레지스터를 포함할 수 있다. 즉, 하나의 쉬프트 레지스터는 화소 영역(AA)의 하나의 행에 스캔 신호(SCAN) 및 EM 신호(EM)를 공급한다. 단 이에 제한되지 않는다. 스캔 드라이버(120)는 스캔 신호를 순차적으로 출력할 수 있다.
- [0080] 예를 들면, 스캔 드라이버(120)는 제1 트랜지스터(260)의 게이트 전극과 전기적으로 연결된 제1 스캔 배선(108), 제2 트랜지스터(262)의 게이트 전극과 전기적으로 연결된 제2 스캔 배선(109)과 전기적으로 연결되어 제1 스캔 배선(108)에 제1 스캔 신호(Scan 1) 및 제2 스캔 배선(109)에 제2 스캔 신호(Scan 2)를 공급하도록 구성된다. 또한 스캔 드라이버(120)는 제4 트랜지스터(266)를 더 포함하고, 제4 트랜지스터(266)의 게이트 전극과 전기적으로 연결된 EM 배선(110)과 전기적으로 연결되어, EM 배선(110)에 EM 신호(EM)를 공급하도록 구성될 수 있다. 이하 설명의 편의를 위해 제4 트랜지스터(266) 및 EM 배선(110)을 도시하여 설명하나, 이에 제한되는 것은 아니다.
- [0081] 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)의 PAD 배선(152)은 구동부(130)와 시스템을 전기적으로 연결시킨다. 구동부(130)는 PAD 배선(152)을 통해서 시스템으로부터 다양한 제어 신호 및 다양한 기준 전압 등을 공급 받을 수 있다. 예를 들면, 구동부(130)는 시스템으로부터 전달받은 영상 신호를 공급받아 영상을 표시할 수 있다. 이때 영상 신호는 디지털 형식의 신호(예를 들어, 6-bit, 8-bit and 10-bit)일 수 있다. 단 이에 제한되지 않는다.
- [0082] PAD 배선(152)은 기판 상에 형성된 패드를 통해서 기판과 전기적으로 연결될 수 있다. 예를 들면, PAD 배선(152)이 실장 될 때는 이방성 도전 필름(anisotropic conductive film; ACF) 등이 도전성 접착제로 사용될 수 있다. PAD 배선(152)은 인쇄 회로 기판 또는 연성 회로 기판일 수 있다. 단 이에 제한되지 않는다.
- [0083] 몇몇 실시예에서는, 구동부(130)가 PAD 배선(152) 상에 형성되거나 또는 실장 될 수 있다.
- [0084] 몇몇 실시예에서는, 전계 발광 표시 장치는 시스템을 포함할 수 있다. 이러한 경우, 전계 발광 표시 장치와 시스템이 일체화되어, 일체화된 전계 발광 표시 장치가 영상 신호를 직접 공급하는 것도 가능하다.
- [0085] 도 2는, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 서브 화소를 설명하는 개략적인 회로도이다.
- [0086] 서브 화소(102)는 제1 트랜지스터(260), 제2 트랜지스터(262), 제3 트랜지스터(264), 제4 트랜지스터(266), 전계 발광 다이오드(ELD), 및 스토리지 커패시터(Cst)를 포함하도록 구성된다.
- [0087] 서브 화소(102)는 적어도 하나의 P형 트랜지스터와 적어도 하나의 N형 트랜지스터를 포함하도록 구성된다.
- [0088] N형 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스 전극으로부터 드레인 전극으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. 즉, N형 트랜지스터에서 전류의 방향은 드레인 전극으로부터 소스 전극 쪽으로 흐른다.
- [0089] P형 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스 전극으로부터 드레인 전극으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높은 전압을 가진다. 즉, P형 트랜지스터에서 전류의 방향은 소스 전극으로부터 드레인 전극 쪽으로 흐른다.
- [0090] 단, 트랜지스터의 소스 전극과 드레인 전극은 불변하는 성질이 아니며, 소스 전극과 드레인 전극의 정의는 인가되는 전압에 따라 결정될 수 있다. 따라서, 본 발명은 트랜지스터의 소스 전극과 드레인 전극의 위치에 제한되

지 않는다. 부연 설명하면, 본 발명에서 설명하는 트랜지스터는 게이트 전극(gate electrode), 소스 전극(source electrode) 및 드레인 전극(drain electrode)을 포함한 3 전극 소자를 의미한다. 채널은 소스 전극과 드레인 전극 사이에 위치하며 게이트 전극과 중첩된다. 소스 전극은 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 드레인 전극은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, 트랜지스터 내에서 캐리어는 소스 전극으로부터 채널을 통해 드레인 전극으로 이동한다.

[0091] 부연 설명하면, 스위칭 트랜지스터의 경우, 트랜지스터의 채널을 온-오프 하는 기능을 수행하기 때문에, 소스 및 드레인 전극의 위치에 한정되지 않는다. 이하 설명의 편의를 위해 소스 전극 및 드레인 전극을 제1 전극 또는 제2 전극으로 지칭해서 설명한다. 또한 채널이 턴-온 된 경우, 스위칭 트랜지스터의 채널이 도통되었다고 설명하는 것도 가능하다.

[0092] 제1 트랜지스터(260)는 N형 트랜지스터(NMOS)로 구성된 것을 특징으로 한다. 제1 트랜지스터(260)는 스위칭 트랜지스터의 기능을 수행하도록 구성된다. 제1 트랜지스터(260)의 게이트 전극은 제1 스캔 배선(108)과 전기적으로 연결된다. 제1 트랜지스터(260)의 제1 전극 및 제2 전극 중 하나의 전극은 A노드(A)와 전기적으로 연결되고 또 다른 전극은 B노드(B)와 전기적으로 연결된다. 데이터 배선(104)은 B노드(B)와 전기적으로 연결된다. 따라서, 제1 스캔 배선(108)에 턴-온 전압이 인가되면 제1 트랜지스터(260)는 턴-온 되어 A노드(A)와 B노드(B)를 전기적으로 연결시킨다. 제1 트랜지스터(260)가 누설 전류 차단 특성이 좋은 N형 트랜지스터(NMOS)로 구성될 경우, A노드(A)에 충전된 전압을 장시간 유지할 수 있는 장점이 있다. 보다 바람직하게, 제1 트랜지스터(260)가 N형 산화물 반도체층을 포함하는 트랜지스터로 구성될 경우, A노드(A)에 충전된 전압을 보다 더 효과적으로 유지할 수 있는 장점이 있다.

[0093] 제2 트랜지스터(262)는 P형 또는 N형 트랜지스터로 구성된 것을 특징으로 한다. 제2 트랜지스터(262)는 구동 트랜지스터인 제3 트랜지스터(264)의 다이오드 커백션 기능을 수행하도록 구성된다. 제2 트랜지스터(262)의 게이트 전극은 제2 스캔 배선(109)과 전기적으로 연결된다. 제2 트랜지스터(262)의 제1 전극 및 제2 전극 중 하나의 전극은 A노드(A)와 전기적으로 연결되고 또 다른 전극은 D노드(D)와 전기적으로 연결된다. 제2 트랜지스터(262)가 누설 전류 차단 특성이 좋은 N형 트랜지스터(NMOS)로 구성될 경우, A노드(A)에 충전된 전압을 장시간 유지할 수 있는 장점이 있다. 보다 바람직하게, 제2 트랜지스터(262)가 N형 산화물 반도체층을 포함하는 트랜지스터로 구성될 경우, A노드(A)에 충전된 전압을 보다 더 효과적으로 유지할 수 있는 장점이 있다. 단 이에 제한되지 않는다.

[0094] 따라서, 제2 트랜지스터(262)에 턴-온 전압이 인가되면, 제3 트랜지스터(264)는 다이오드 커백션 상태가 된다.

[0095] 제3 트랜지스터(264)는 P형 트랜지스터(PMOS)로 구성된 것을 특징으로 한다. 제3 트랜지스터(264)는 구동 트랜지스터의 기능을 수행하도록 구성된다. 제3 트랜지스터(264)의 게이트 전극은 A노드(A)와 전기적으로 연결되고, 소스 전극은 C노드(C)와 전기적으로 연결되고, 드레인 전극은 D노드(D)와 전기적으로 연결된다. ELVDD 배선(106)은 C노드(C)와 전기적으로 연결된다. 제3 트랜지스터(263)가 전류 구동 특성이 좋은 P형 트랜지스터(PMOS)로 구성될 경우, 구동 트랜지스터의 성능을 향상시킬 수 있는 장점이 있다. 보다 바람직하게, 제3 트랜지스터(263)가 P형 저온 폴리 실리콘 반도체층(LTPS)을 포함하는 트랜지스터로 구성될 경우, 제3 트랜지스터(264)의 반도체층의 면적을 저감할 수 있으며 전류량을 크게 하여 구동 효율을 높일 수 있고 소비 전력을 개선할 수 있는 장점이 있다. 단 이에 제한되지 않는다.

[0096] 제4 트랜지스터(266)는 P형 또는 N형 트랜지스터로 구성된 것을 특징으로 한다. 제4 트랜지스터(266)는 전계 발광 다이오드(ELD)에 공급되는 전류를 차단하는 기능을 수행하도록 구성된다. 제4 트랜지스터(266)의 게이트 전극은 EM 배선(110)과 전기적으로 연결된다. 제4 트랜지스터(264)의 제1 전극 및 제2 전극 중 하나의 전극은 D노드(D)와 전기적으로 연결되고, 또 다른 전극은 전계 발광 다이오드(ELD)와 전기적으로 연결된다.

[0097] 스토리지 커패시터(Cst)는 적어도 두 개의 전극을 포함하고, A노드(A) 및 C노드(C)와 전기적으로 연결된다. 즉, 스토리지 커패시터(Cst)의 제1 전극은 A노드(A)와 전기적으로 연결되고, 제2 전극은 C노드(C)와 전기적으로 연결된다. 따라서 스토리지 커패시터(Cst)는 제3 트랜지스터(264)와 연결된 A노드(A)와 C노드(C) 사이의 전위차를 저장하도록 구성된다.

[0098] 전계 발광 다이오드(ELD)의 캐소드는 ELVSS 전압을 공급받도록 구성된다. ELVSS 전압은 ELVDD 전압보다 낮게 설정된다.

[0099] 예를 들면, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)는, 스토리지 커패시터(Cst)의 일 전극 및 제3 트랜지스터(264)의 게이트 전극과 전기적으로 연결된 A노드(A), 데이터 배선(104)과 전기적으로 연결된 B노드

(B)와 A노드(A)의 전기적 연결을 스위칭 하도록 구성된 제1 트랜지스터(260), ELVDD 전압을 인가하고, 스토리지 커패시터의 타 전극 및 제3 트랜지스터(264)의 제1 전극과 전기적으로 연결된 C노드(C), 전계 발광 다이오드(ELD)에 전류를 공급하고, 제3 트랜지스터(264)의 제2 전극과 전기적으로 연결된 D노드(D) 및 A노드(A)와 D노드(D)의 전기적 연결을 스위칭 하도록 구성된 제2 트랜지스터(262)를 포함한다. 또한, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)는, A노드(A)의 전압을 기초로 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})를 보상하고, A노드(A)의 전압을 기초로 제1 트랜지스터(260)의 문턱 전압 편차(ΔV_{th})를 보상하도록 구성된 복수의 서브 화소(102)를 포함하도록 구성될 수 있다. 여기서, 제4 트랜지스터(266)는 선택적으로 추가 될 수 있다.

[0100] 예를 들면, 전계 발광 표시 장치(100)는 전계 발광 다이오드(ELD)와 D노드(D) 사이의 전기적 연결을 스위칭 하도록 구성된 제4 트랜지스터(266) 및 제4 트랜지스터(266)의 게이트 전극과 전기적으로 연결되고 스캔 드라이버(120)로부터 EM 신호(EM)를 전달하도록 구성된 EM 배선(110)을 더 포함하고, 제4 트랜지스터(266)는, 구동부(130)가 제3 트랜지스터(264)의 문턱 전압 및 제1 트랜지스터(260)의 문턱 전압 감지 시, D노드(D)에서 전계 발광 다이오드(ELD)로 발생하는 누설 전류를 차단할 수 있는 효과가 있다.

[0101] 만약 제4 트랜지스터(266)가 없을 경우, A노드(A)에 충전된 전압이 전계 발광 다이오드(ELD)로 누설될 수 있기 때문에, 천천히 저감될 수 있다. 따라서 문턱 전압 감지 정확도가 저감될 수 있다. 단 이에 제한되지 않는다.

[0102] 도 3은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작을 설명하는 개략적인 파형도이다.

[0103] 도 3을 참조하면, 전계 발광 표시 장치(100)는 적어도 4단계로 동작하도록 구성된 것을 특징으로 한다.

[0104] 도 4는, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제1 단계를 설명하는 회로도이다.

[0105] 이하 도 3 및 도 4를 참조하여, 제1 단계인 프로그래밍 단계(Programming)에 대해서 설명한다.

[0106] 제1 단계인 프로그래밍 단계에서, 턴-온 전압(H)의 제1 스캔 신호(Scan 1)를 제1 스캔 배선(108)을 통해 공급하여 제1 트랜지스터(260)를 턴-온 시키고, 턴-온 전압(H)의 제2 스캔 신호(Scan 2)를 제2 스캔 배선(109)을 통해 공급하여 제2 트랜지스터(262)를 턴-온 시키고, 턴-오프 전압(H)의 EM 신호(EM)를 EM 배선(110)을 통해 공급하여 제4 트랜지스터(266)를 턴-오프 시킨다. 따라서 제3 트랜지스터(264)에 의해서 D노드(D)의 전위를 A노드(A)와 함께 설정할 수 있다. 단, 제1 단계에서, 제2 스캔 신호(Scan 2)는 턴-온 전압(H)에 제한되지 않으며, 턴-오프 전압(L)이 되는 것도 가능하다.

[0107] 부연 설명하면, 턴-오프 전압은 NMOS 또는 PMOS에 따라 바뀌기 때문에, 트랜지스터의 특성에 따라 가변될 수 있다. 예시된 것처럼, 제1 트랜지스터(260) 및 제2 트랜지스터(262)는 NMOS이기 때문에, 하이 전압(high voltage)이 턴-온 전압의 기능을 수행하게 된다. 그리고 제4 트랜지스터(266)는 PMOS이기 때문에, 하이 전압이 턴-오프 전압의 기능을 수행하게 된다. 따라서 본 발명의 실시예들에서, 트랜지스터의 특성에 따라 턴-온 전압 및 턴-오프 전압이 바뀔 수 있다는 점을 명심해야 한다.

[0108] 만약 제4 트랜지스터(266)가 턴-온 될 경우, 제2 트랜지스터(262)가 턴-온 되어 있기 때문에, 전류가 전계 발광 다이오드(ELD)로 흐를 수 있다. 따라서 A노드(A)의 제1 전압(αV)이 가변될 수 있다. 따라서, 제1 단계에서는 제4 트랜지스터(266)를 턴-오프 시키는 것이 바람직하다.

[0109] 구동부(130)는 데이터 배선(104)을 통해서 A노드(A)의 제1 전압(αV)을 설정(Programming)한다. 이때 설정된 A노드(A)의 전압은 C노드(C)의 전압과 제3 트랜지스터(263)의 문턱 전압(V_{th})을 고려하여 설정된 것을 특징으로 한다. 구체적으로, A노드(A)의 제1 전압을 αV 라고 가정하고, C노드(C)의 전압을 βV 라고 가정하고, 제3 트랜지스터(263)의 문턱 전압을 V_{th} 라고 가정하면, A노드(A)의 제1 전압은 $\alpha V \leq (\beta V + V_{th})$ 를 만족하는 전압인 것을 특징으로 한다.

[0110] 예를 들면, βV 가 10V이고, V_{th} 가 -2V일 때, A노드(A)의 제1 전압(αV)은 8V보다 작은 전압이어야 한다. 만약, 상술한 예시에서, A노드(A)의 제1 전압(αV)이 8V보다 클 경우, 구동부(130)는 제3 트랜지스터(263)의 문턱 전압(V_{th}) 감지 시 오판할 수 있게 된다.

[0111] 즉, 제1 단계인 프로그래밍 단계에서 데이터 배선(104)을 통해서 $\alpha V \leq (\beta V + V_{th})$ 조건을 만족하는 제1 전압(αV)이 A노드(A)에 설정된다. 구동부(130)는 기 설정된 제1 전압(αV)을 생성하여 데이터 배선(104)에 공급한다. 예를 들면, 제1 전압(αV)은 구동부(130)에 기 저장된 전압 값이거나, 기 설정된 기준 전압 값일 수 있다. 단 이에 제한되지 않는다.

- [0112] 다만 제1 전압(αV)을 설정하기 위해서, 사전 분석 단계가 필요하다. 다시 말해, 제3 트랜지스터(264)의 일반적인 문턱 전압(V_{th}) 편차 범위를 미리 알 필요가 있다. 구체적으로, 제3 트랜지스터(264)의 편차 특성, 산포 등에 대해서는, 다수의 제품을 개발하면서 축적된 정보를 이용할 수 있다. 또는 시뮬레이션으로 제3 트랜지스터(264)의 문턱 전압(V_{th}) 편차 범위를 예측할 수 있다.
- [0113] 부연 설명하면, 화소 영역(AA)에는 수 백만개의 서브 화소(102)가 배치될 수 있으며, 서브 화소(102)들의 문턱 전압(V_{th})들은 일정한 범위내에서 산포된다. 즉, 통계적인 정보, 시뮬레이션, 및/또는 실험을 통해서 화소 영역(AA)내의 모든 서브 화소(102)의 A노드(A)에 $\alpha V < (\beta V - V_{th})$ 조건을 만족하는 제1 전압(αV)을 설정할 수 있다. 그리고 설정된 제1 전압(αV)은 구동부(130)에 저장된다. 다만 상술한 문턱 전압 산포 특성은 문턱 전압의 최소 및 최대 전압을 확률적으로 계산할 순 있지만, 각각의 서브 화소(102)의 문턱 전압을 알 수 없는 한계가 있다. 문턱 전압 산포는 예를 들면, 가우시안 분포(Gaussian distribution)일 수 있다. 단 이에 제한되지 않는다.
- [0114] 다시 한번 설명하면, 제1 단계에서, 구동부(130)에서 공급하는 제1 전압(αV)은 화소 영역(AA)의 제3 트랜지스터(264)들의 문턱 전압 편차(ΔV_{th}) 산포를 고려하여 설정된 것을 특징으로 한다.
- [0115] 상술한 구성에 따르면, 제3 트랜지스터(264)가 다이오드 커넥션 상태가 되고, A노드(A)에 설정된 제1 전압(αV)에 의해서 제3 트랜지스터(264)의 문턱 전압을 감지할 수 있는 준비 상태가 된다.
- [0116] 만약, 특정 서브 화소(102)가 상기 조건을 만족하지 못할 경우, 해당 서브 화소(102)의 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th}) 보상이 불가능해지기 때문에, 화소 영역에 불량 서브 화소가 발생할 수 있다.
- [0117] 도 5는, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제2 단계를 설명하는 회로도이다.
- [0118] 이하 도 3 및 도 5를 참조하여, 제2 단계인 제1 센싱 단계(Sensing 1)에 대해서 설명한다.
- [0119] 제2 단계인 제1 센싱 단계에서, 제1 트랜지스터(260) 및 제2 트랜지스터(262)는 턴-온 상태가 되고, 제4 트랜지스터(266)는 턴-오프 상태가 된다.
- [0120] 구동부(130)는 데이터 배선(104)을 통해서 제1 전압(αV)의 공급을 중단하고, 다시 데이터 배선(104)을 통해서 A노드(A)의 제2 전압($\alpha'V$)을 감지한다. 여기서, 구동부(130)는 제3 트랜지스터(264)의 문턱 전압(V_{th}) 감지를 위해서 데이터 배선(104)과 전기적으로 연결된 아날로그-디지털 변환부(ADC; analogue to digital converter)를 포함하도록 구성된 것을 특징으로 한다. 그리고 구동부(130)의 아날로그-디지털 변환부는 A노드(A)의 전압을 디지털 값으로 변환하도록 구성된다. 구동부(130)는 필요에 따라 데이터 배선(104)에 영상 신호를 공급하도록 스위칭하고, 필요에 따라 데이터 배선(104)의 전압을 감지하기 위해서 아날로그-디지털 변환부로 스위칭하도록 구성된다. 즉, 구동부(130)는, 선택적으로 데이터 배선(104)에 영상 신호를 공급하거나 또는 데이터 배선(104)의 전압을 감지하도록 구성된다.
- [0121] 다이오드 커넥션에 의해서, 기 설정된 A노드(A)의 제1 전압(αV)이 제2 전압($\alpha'V$)으로 변화되고, 이에 제3 트랜지스터(264)의 문턱 전압(V_{th})을 감지할 수 있다. A노드(A)의 제2 전압($\alpha'V$)은 기 설정된 제1 전압(αV)에서 C노드(C)의 전압(βV)과 제3 트랜지스터(264)의 문턱 전압(V_{th}) 차이만큼 변화한다. 즉, A노드(A)의 제2 전압은 $\alpha'V = (\beta V + V_{th})$ 가 될 때까지 충전된다.
- [0122] 구동부(130)는 βV 의 값(ELVDD 전압)을 저장하고 있기 때문에, $\alpha'V$ 를 감지하여 제3 트랜지스터(264)의 문턱 전압(V_{th})을 분석할 수 있다. 그리고 구동부(130)는 각각의 서브 화소(102)의 제3 트랜지스터(264)의 분석된 문턱 전압(V_{th})들을 메모리에 저장한다. 메모리는 구동부(130) 또는 구동부(130)와 전기적으로 연결된 시스템에 포함될 수 있다. 단 이에 제한되지 않는다.
- [0123] 구동부(130)는 추가적으로, 각각의 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})를 분석할 수 있다. 분석된 각각의 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})는 메모리에 저장되거나, 실시간으로 활용될 수 있다. 이때, 구동부(130)는 각각의 서브 화소(102)의 주소(address)를 저장할 수 있다. 예를 들어, 화소 영역(AA)에 $n \times m$ 개의 서브 화소가 배치될 경우, 각 서브 화소(102)의 주소에 대응되는 제3 트랜지스터(264)의 문턱 전압(V_{th})이 저장될 수 있다.

- [0124] 따라서 구동부(130)는 각각의 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})만큼 각각의 서브 화소(102)에 인가되는 데이터 전압에 오프셋(offset)을 설정할 수 있다. 문턱 전압 편차(ΔV_{th}) 계산을 위해서 구동부(130)는 평균 문턱 전압 값(mean V_{th})을 계산할 수 있다. 단 이에 제한되지 않으며, 구동부(130)는 최소 문턱 전압 값, 최대 문턱 전압 값 등 다양한 값을 사용할 수 있다. 문턱 전압 편차(ΔV_{th})는 기준 문턱 전압 또는 표준 문턱 전압과의 전압차로 계산될 수 있다.
- [0125] 즉, 구동부(130)는, 복수의 서브 화소(102) 각각의 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})만큼 대응되는 영상 신호의 전압을 조절하도록 구성된다.
- [0126] 즉, 구동부(130)는 각 서브 화소(102)의 문턱 전압 편차(ΔV_{th})를 각 서브 화소(102)에 인가되는 영상 신호에 반영하도록 구성된다. 상술한 구성에 따르면, 화소 영역(AA)의 휘도 균일도가 향상될 수 있으며, 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})가 보상될 수 있다.
- [0127] 몇몇 실시예에서는, 구동부(130)는 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th}) 정보를 메모리에 저장해서 룩업 테이블(look-up table) 형식으로 영상 신호를 보상할 수 있다. 이러한 경우, 전계 발광 표시 장치(100)는 기 저장된 문턱 전압 편차(ΔV_{th}) 정보를 계속 활용할 수 있기 때문에, 저장된 문턱 전압 편차(ΔV_{th}) 정보를 활용할 경우, 제1 센싱 단계(Sensing 1)를 생략할 수 있는 장점이 있다. 따라서, 제1 센싱 단계에 소요되는 시간을 단축할 수 있으며, 보다 빠른 재생빈도로 구동할 수 있는 장점이 있다.
- [0128] 몇몇 실시예에서는, 구동부(130)는 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th}) 정보를 실시간으로 계산해서 영상 신호를 보상할 수 있다. 이러한 경우, 전계 발광 표시 장치(100)는 실시간으로 문턱 전압 편차(ΔV_{th}) 정보를 확인할 수 있기 때문에, 문턱 전압 편차(ΔV_{th}) 특성이 실시간으로 변화 하더라도, 실시간으로 보상할 수 있는 장점이 있다.
- [0129] 몇몇 실시예에서는, 구동부(130)는 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th}) 정보를 특정 기간마다 감지해서 메모리에 갱신할 수 있다. 예를 들면, 구동부(130)는 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th}) 정보를 매월, 매년, 또는 제품 턴-오프 시마다 감지해서 메모리에 갱신할 수 있다. 이러한 경우, 전계 발광 표시 장치(100)는 저장된 문턱 전압 편차(ΔV_{th})의 정확도를 올릴 수 있으며, 통상적인 동작 시에 감지를 수행하지 않기 때문에, 빠른 동작 및 실시간 보상의 장점을 모두 누릴 수 있는 장점이 있다.
- [0130] 도 6은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제3 단계를 설명하는 회로도이다.
- [0131] 이하 도 3 및 도 6을 참조하여, 제3 단계인 초기화 단계(Initialization)에 대해서 설명한다.
- [0132] 제3 단계인 프로그래밍 단계에서, 턴-오프 전압(L)의 제1 스캔 신호(Scan 1)를 제1 스캔 배선(108)을 통해 공급하여 제1 트랜지스터(260)를 턴-오프 시키고, 턴-온 전압(H)의 제2 스캔 신호(Scan 2)를 제2 스캔 배선(109)을 통해 공급하여 제2 트랜지스터(262)를 턴-온 시키고, 턴-오프 전압(H)의 EM 신호(EM)를 EM 배선(110)을 통해 공급하여 제4 트랜지스터(266)를 턴-오프 시킨다.
- [0133] 구동부(130)는 데이터 배선(104)에 초기화 전압(V_{init})을 인가한다. 초기화 전압(V_{init})은 예를 들면 0V이거나, 0보다 작은 전압일 수 있다.
- [0134] 부연 설명하면, 데이터 배선(104)이 초기화 되지 않으면, 제1 트랜지스터(260)의 문턱 전압(V_{th}) 감지에 어려움이 발생하게 된다. 즉, 제1 트랜지스터(260)의 문턱 전압(V_{th}) 감지 시, 데이터 배선(104)에 제2 전압($\alpha'V$)이 잔존할 경우, 정확한 감지가 불가능할 수 있다. 따라서, 구동부(130)는 A노드(A)에 제2 전압($\alpha'V$)을 충전시킨 후, 제1 트랜지스터(260)를 턴-오프하고, B노드(B)를 초기화 시킨다.
- [0135] 상술한 구성에 따르면, 제1 트랜지스터(260)가 턴-오프 되고, A노드(A)에 충전된 제2 전압($\alpha'V$)과 초기화된 데이터 배선(104)에 의해서 제1 트랜지스터(260)의 문턱 전압을 감지할 수 있는 준비 상태가 된다.
- [0136] 도 7은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작 중 제4 단계를 설명하는 회로도이다.
- [0137] 이하 도 3 및 도 7을 참조하여, 제4 단계인 제2 센싱 단계(Sensing 2)에 대해서 설명한다.

- [0138] 제4 단계인 제2 센싱 단계(Sensing 2)에서, 턴-온 전압(H)의 제2 스캔 신호(Scan 2)를 제2 스캔 배선(109)을 통해 공급하여 제2 트랜지스터(262)를 턴-온 시키고, 턴-오프 전압(H)의 EM 신호(EM)를 EM 배선(110)을 통해 공급하여 제4 트랜지스터(266)를 턴-오프 시킨다.
- [0139] 구동부(130)는 제1 트랜지스터(260)의 게이트 전극에 감지 전압(S)을 인가하고, 아날로그-디지털 변환부를 통해서 데이터 배선(104)과 연결된 B노드(B)의 제3 전압(γV)값을 감지하여, 제1 트랜지스터(260)의 문턱 전압(V_{th})을 분석한다.
- [0140] 구체적으로, 제1 트랜지스터(260)의 문턱 전압(V_{th})은 감지 전압(S)에서 제3 전압(γV)을 뺀 값으로 충전된다. 이때 B노드(B)에 충전되는 제3 전압(γV)은 A노드(A)의 제2 전압($\alpha'V$) 보다 작거나 같은 전압으로 충전될 수 있다. 부연 설명하면, 데이터 배선(104)과 연결된 B노드(B)의 제3 전압(γV)은, A노드(A)에 충전된 제2 전압($\alpha'V$)을 기초로 하기 때문에, 제2 전압($\alpha'V$)보다 같거나 작게 된다.
- [0141] 즉, $V_{th} = SV - \gamma V$ 이고, $\gamma V \leq (\alpha'V)$ 가 된다. 여기서 제1 트랜지스터(260)의 문턱 전압(V_{th})은 각각의 서브 화소(102)의 제1 트랜지스터(260)마다 상이할 수 있다. 그리고 $V_{sen} = SV - \gamma V$ 가 된다. 여기서 제1 트랜지스터(260)의 감지된 문턱 전압(V_{sen})은 구동부(130)가 연산하여 감지된 값을 의미한다.
- [0142] 이하 제2 전압($\alpha'V$)은 예시적으로 8V로 가정하고, 제1 트랜지스터(260)의 문턱 전압(V_{th})은 2V로 가정하고 설명한다. 상술한 구성에 따르면, B노드(B)의 제3 전압(γV)은 8V 이상 충전되지 않게 된다. 그리고 구동부(130)는 감지 전압(S)을 점진적으로 가변 하면서, 제1 트랜지스터(260)의 문턱 전압(V_{th})을 감지하도록 구성된다.
- [0143] 설명의 명확성을 위해서 부연 설명하면, 위에서 가정한 제1 트랜지스터(260)의 문턱 전압(V_{th})은 고유한 문턱 전압 특성이며 후술할 구동부(130)가 수식에 의해서 연산하여 감지된 문턱 전압(V_{sen})으로써, 둘은 서로 다른 개념인 점을 주의해야 한다.
- [0144] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 4V로 설정할 경우, $V_{th} = 2V = 4V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 2V가 된다. 그리고 구동부(130)는 $V_{sen} = 4V - 2V$ 의 연산을 통해서 $V_{sen} = 2V$ 로 판단한다. 따라서 구동부(130)는 제1 트랜지스터(260)의 문턱 전압(V_{sen})을 2V로 감지할 수 있다.
- [0145] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 6V로 설정할 경우, $V_{th} = 2V = 6V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 4V가 된다. 그리고 구동부(130)는 $V_{sen} = 6V - 4V$ 의 연산을 통해서 $V_{sen} = 2V$ 로 판단한다. 따라서 구동부(130)는 제1 트랜지스터(260)의 문턱 전압(V_{sen})을 2V로 감지할 수 있다.
- [0146] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 8V로 설정할 경우, $V_{th} = 2V = 8V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 6V가 된다. 그리고 구동부(130)는 $V_{sen} = 8V - 6V$ 의 연산을 통해서 $V_{sen} = 2V$ 로 판단한다. 따라서 구동부(130)는 제1 트랜지스터(260)의 문턱 전압(V_{sen})을 2V로 감지할 수 있다.
- [0147] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 10V로 설정할 경우, $V_{th} = 2V = 10V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 8V가 된다. 그리고 구동부(130)는 $V_{sen} = 10V - 8V$ 의 연산을 통해서 $V_{sen} = 2V$ 로 판단한다. 따라서 구동부(130)는 제1 트랜지스터(260)의 문턱 전압(V_{sen})을 2V로 감지할 수 있다.
- [0148] 여기서, 감지 전압(S)은 A노드(A)의 제2 전압($\alpha'V$)에서 제1 트랜지스터(260)의 문턱 전압(V_{th})을 뺀 값보다 작도록 구성된 것을 특징으로 한다.
- [0149] 즉, 구동부(130)는 $(S) < \alpha'V + V_{th}$ 을 만족하도록 감지 전압(S)을 설정한다. 만약, 상술한 조건을 만족하지 않을 경우, 문턱 전압 감지에 오류가 발생될 수 있다.

- [0150] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 12V로 설정할 경우, $V_{th} = 2V = 12V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 10V가 되어야 하나, 8V이상 증가할 수 없기 때문에, 8V가 된다. 그리고 구동부(130)는 $V_{sen} = 12V - 8V$ 의 연산을 통해서 $V_{sen} = 4V$ 로 오판한다. 상술한 경우 구동부(130)가 제1 트랜지스터(260)의 문턱 전압(V_{th})을 오판하는 문제가 발생된다. 이러한 문제를 방지하기 위해서, 구동부(130)는 A노드(A)의 전압과 제1 트랜지스터(260)의 문턱 전압을 고려하여, 감지 전압(S)을 설정하도록 구성된다.
- [0152] 이하 제2 전압($\alpha'V$)은 예시적으로 8V로 가정하고, 제1 트랜지스터(260)의 문턱 전압(V_{th})은 -1V로 가정하고 설명한다. 상술한 구성에 따르면, B노드(B)의 제3 전압(γV)은 8V 이상 충전되지 않게 된다.
- [0153] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 6V로 설정할 경우, $V_{th} = -1V = 6V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 7V가 된다. 그리고 구동부(130)는 $V_{sen} = 7V - 8V$ 의 연산을 통해서 $V_{sen} = -1V$ 로 판단한다. 따라서 구동부(130)는 제1 트랜지스터(260)의 문턱 전압(V_{sen})을 2V로 감지할 수 있다.
- [0154] 예를 들면, 제1 트랜지스터(260)의 게이트 전극에 인가되는 감지 전압(S)을 8V로 설정할 경우, $V_{th} = -1V = 8V - \gamma V$, ($\gamma V < 8$)의 수식에 따라 B노드(B)의 제3 전압(γV)이 충전된다. 따라서 제3 전압(γV)은 9V가 되어야 하나, 8V이상 증가할 수 없기 때문에, 8V가 된다. 그리고 구동부(130)는 $V_{sen} = 8V - 8V$ 의 연산을 통해서 $V_{sen} = 0V$ 로 오판한다. 상술한 경우 구동부(130)가 제1 트랜지스터(260)의 문턱 전압(V_{th})을 오판하는 문제가 발생된다.
- [0155] 상술한 구성에 따르면, 구동부(130)는 데이터 배선(104)을 통해서 B노드(B)의 제3 전압(γV)을 감지하여 제1 트랜지스터(260)의 문턱 전압(V_{th})을 감지할 수 있다.
- [0156] 특히, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)는 P형 구동 트랜지스터와 N형 스위칭 트랜지스터 각각의 문턱 전압을 감지하여 보상할 수 있는 장점이 있다.
- [0157] 특히, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)는 서브 화소(102)의 A노드(A)의 제2 전압 정보 및 ELVDD 전압 정보를 기초로 구동 트랜지스터의 문턱 전압 편차(ΔV_{th})를 보상할 수 있다. 또한, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)는 A노드(A)에 저장된 제2 전압 정보 및 스위칭 트랜지스터의 게이트 전극에 인가되는 감지 전압(S)을 조절하여 스위칭 트랜지스터의 문턱 전압 편차(ΔV_{th})를 보상할 수 있는 장점이 있다.
- [0158] 부연 설명하면, 구동부(130)는 A노드(A)에 충전된 제2 전압($\alpha'V$)을 감지하여, 제1 트랜지스터(260)의 문턱 전압(V_{th})을 감지하도록 구성된다.
- [0159] 즉, 구동부(130)는, 하나의 데이터 배선(104)의 전압을 감지하여 제3 트랜지스터(264)의 문턱 전압(V_{th})을 판단한 다음, 동일한 데이터 배선(104)의 전압을 다시 감지하여 제1 트랜지스터(260)의 문턱 전압(V_{th})을 판단하도록 구성된다.
- [0160] 상술한 동작을 위해서, 구동부(130)는, 제3 트랜지스터(264)의 문턱 전압(V_{th})을 판단한 다음, 제1 트랜지스터(260)의 문턱 전압(V_{th}) 감지를 위해서, 데이터 배선(104)을 초기화하도록 구성될 수 있다.
- [0161] 다르게 표현하면, 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)는, 데이터 배선(104)의 전압을 순차적으로 감지하여, 제3 트랜지스터(264)의 문턱 전압(V_{th}) 및 제1 트랜지스터(260)의 문턱 전압(V_{th})을 순차적으로 감지하도록 구성된 것을 특징으로 한다.
- [0163] 도 8은, 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 동작을 설명하는 개략적인 파형도이다.
- [0164] 이하 도 8을 참조하여, 문턱 전압 감지 이후에 영상을 표시하는 프로그래밍 단계(Programming)와 발광 단계

(Emission)에 대해서 설명한다.

- [0165] 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 구동부(130)는 도 1 내지 도 7에서 설명한 방법으로, 각각의 서브 화소(102)의 제1 트랜지스터(260)의 문턱 전압과 제3 트랜지스터(264)의 문턱 전압을 저장하도록 구성된다.
- [0166] 프로그래밍 단계에서, 턴-온 전압(H)의 제1 스캔 신호(Scan 1)를 제1 스캔 배선(108)을 통해 공급하여 제1 트랜지스터(260)를 턴-온 시키고, 턴-오프 전압(L)의 제2 스캔 신호(Scan 2)를 제2 스캔 배선(109)을 통해 공급하여 제2 트랜지스터(262)를 턴-오프 시키고, 턴-오프 전압(H)의 EM 신호(EM)를 EM 배선(110)을 통해 공급하여 제4 트랜지스터(266)를 턴-오프 시킨다.
- [0167] 발광 단계에서, 턴-오프 전압(L)의 제1 스캔 신호(Scan 1)를 제1 스캔 배선(108)을 통해 공급하여 제1 트랜지스터(260)를 턴-오프 시키고, 턴-오프 전압(L)의 제2 스캔 신호(Scan 2)를 제2 스캔 배선(109)을 통해 공급하여 제2 트랜지스터(262)를 턴-오프 시키고, 턴-온 전압(L)의 EM 신호(EM)를 EM 배선(110)을 통해 공급하여 제4 트랜지스터(266)를 턴-온 시킨다.
- [0168] 즉, 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)의 구동부(130)는 각각의 서브 화소(102)의 제3 트랜지스터(264)의 문턱 전압 편차(ΔV_{th})에 따라서, 영상 신호에 대응되는 데이터 전압을 가변 하도록 구성된다. 따라서, 표시 영상의 휘도 균일도를 향상 시킬 수 있으며, 영상의 품질을 향상시킬 수 있다. 또한, 제3 트랜지스터(264)의 문턱 전압 정보는 메모리에 저장되어 있기 때문에, 추가적인 문턱 전압 감지가 불필요하다.
- [0169] 즉, 복수의 서브 화소(102)에 영상을 표시할 때, 구동부(130)에 저장된 제1 트랜지스터(260)의 문턱 전압 및 제3 트랜지스터(264)의 문턱 전압 정보를 기초로, 각각의 문턱 전압 편차를 보상하여, 프로그래밍 단계 및 발광 단계 만으로 영상을 표시하도록 구성될 수 있다.
- [0170] 상술한 동작에 따르면, 전계 발광 표시 장치(100)는 구동부(130)에 보상에 필요한 정보를 모두 저장하고 있기 때문에, 제1 트랜지스터(260)와 제3 트랜지스터(264)의 문턱 전압을 보상하는데 실질적으로 추가 동작이 생략될 수 있는 장점이 있다. 따라서, 영상 표시 시, 문턱 전압 감지에 소요되는 시간을 저감할 수 있으며, 240Hz이상의 재생 빈도로 구동이 가능한 장점이 있다.
- [0171] 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)의 구동부(130)는 화소 영역(AA)의 복수의 서브 화소(102)들의 제1 트랜지스터(260)의 문턱 전압 산포 특성을 고려하여, 제1 스캔 신호(SCAN 1)의 턴-온 전압(H)과 턴-오프 전압(L)을 결정하도록 구성된다. 즉, 제1 스캔 신호(SCAN 1)의 턴-온 전압(H)과 턴-오프 전압(L)이 문턱 전압 산포 영역 내에 위치하게 될 경우, 화소 영역(AA)내의 특정 제1 트랜지스터(260)는 오 동작 할 수 있다.
- [0172] 하지만, 본 발명의 일 실시예에 따른, 전계 발광 표시 장치(100)의 구동부(130)는 화소 영역(AA)의 제1 트랜지스터(260)들의 문턱 전압 산포 정보를 저장하도록 구성되었기 때문에, 문턱 전압 산포 특성을 고려하여 제1 스캔 신호(SCAN)의 턴-온 전압(H)과 턴-오프 전압(L)을 설정할 수 있으며, 따라서, 제1 트랜지스터(260)의 오동작을 방지할 수 있는 장점이 있다.
- [0173] 즉, 구동부(130)는, 제1 트랜지스터(260)의 문턱 전압 산포의 최소 값(Min) 및 최대 값(Max)을 저장하도록 구성될 수 있다. 그리고 제1 스캔 신호(Scan 1)의 턴-온 전압은 상기 최대 값(Max)보다 크고, 턴-오프 전압은 상기 최소 값(Min)보다 작도록 구성될 수 있다.
- [0174] 몇몇 실시예에서는, 제1 트랜지스터(260)와 제2 트랜지스터(262)는 모두 N형 스위칭 트랜지스터 일 수 있으며, 이때 공급되는 각각의 스캔 신호의 턴-온 전압 및 턴-오프 전압은 모두 동일하도록 설정될 수 있다. 즉, 제2 스캔 신호(Scan 2)의 턴-온 전압 및 턴-오프 전압은, 제1 트랜지스터(260)들의 문턱 전압 산포를 고려하여 결정될 수 있다. 부연 설명하면, 본 발명의 실시예들에 따른, 전계 발광 표시 장치는 반도체 제조 방법으로 제조되기 때문에, 실질적으로 제1 트랜지스터(260)와 제2 트랜지스터(262)의 문턱 전압 산포는 동일하게 된다.
- [0175] 따라서, 제1 트랜지스터(260)의 문턱 전압 산포를 분석함으로 써, 제2 트랜지스터(262)의 문턱 전압 산포도 같이 보상할 수 있는 장점이 있다.
- [0177] 몇몇 실시예에서는, 제1 트랜지스터(260)와 제4 트랜지스터(266)는 모두 N형 스위칭 트랜지스터 일 수 있으며, 이때 공급되는 각각의 스캔 신호의 턴-온 전압 및 턴-오프 전압은 모두 동일하도록 설정될 수 있다. 따라서, 제

1 트랜지스터(260)의 문턱 전압 산포를 분석함으로써, 제4 트랜지스터(262)의 문턱 전압 산포도 같이 보상할 수 있는 장점이 있다.

[0178] 몇몇 실시예에서는, 제1 트랜지스터(260), 제2 트랜지스터(262) 및 제4 트랜지스터(266)는 모두 N형 스위칭 트랜지스터 일 수 있으며, 이때 공급되는 각각의 스캔 신호의 턴-온 전압 및 턴-오프 전압은 모두 동일하도록 설정될 수 있다. 따라서, 제1 트랜지스터(260)의 문턱 전압 산포를 분석함으로써, 동일한 형태의 트랜지스터들의 문턱 전압 산포도 같이 보상할 수 있는 장점이 있다.

[0179] 몇몇 실시예에서는, 제2 트랜지스터(262) 및 또는 제4 트랜지스터(266)는 P형 트랜지스터일 수 있으며, 이 때 구동부는, 제3 트랜지스터(264)의 문턱 전압 산포의 최소 값(Min) 및 최대 값(Max)을 저장하도록 구성되고, 대응되는 스캔 신호의 턴-온 전압은 상기 최소 값(Min)보다 작도록 구성되고, 턴-오프 전압은 상기 최대 값(Max)보다 크도록 구성될 수 있다. 즉, 구동부는, 스위칭 트랜지스터가 N형 또는 P형 트랜지스터인지 여부에 따라, 인가되는 스캔 신호의 턴-온 전압 및 턴-오프 전압을 결정하도록 구성될 수 있다. 상술한 구성에 따르면, 제1 트랜지스터(260)가 N형 트랜지스터이고, 제1 트랜지스터(260)의 문턱 전압 산포를 분석하였기 때문에, 또 다른 N형 트랜지스터들의 문턱 전압을 보상할 수 있으며, 제3 트랜지스터(264)가 P형 트랜지스터이고, 제3 트랜지스터(264)의 문턱 전압 산포를 분석하였기 때문에, 또 다른 P형 트랜지스터들의 문턱 전압을 보상할 수 있는 장점이 있다.

[0180] 몇몇 실시예에서는, 전계 발광 표시 장치의 구동부는 특정 주기마다 N형 스위칭 트랜지스터의 문턱 전압 및 P형 구동 트랜지스터의 문턱 전압 정보를 갱신하도록 구성될 수 있다. 이러한 경우, 점진적으로 가변될 수 있는 문턱 전압을 특정 주기마다 보상함으로써, 장시간 신뢰성을 향상시킬 수 있는 장점이 있다. 또한, 상술한 구성에 따르면, 특정 주기로 구동되는 감지 시간을 제외하면, 고속 구동을 할 수 있는 장점이 있다. 특정 주기는, 예를 들면, 1달, 1년 일 수 있으며, 사용자 또는 엔지니어가 직접 감지 모드를 실행하도록 설정할 수도 있다.

[0181] 몇몇 실시예에서는, 전계 발광 표시 장치의 구동부는 발광 단계에서 EM 신호에 특정 발광 듀티비(duty ratio)에 따라 동작할 수 있다. 예를 들면, PWM(pulse width modulation) 방식으로 구동할 수 있다.

[0182] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0183] 100: 전계 발광 표시 장치
102: 서브 화소
104: 데이터 배선
106: ELVDD 배선
108: 제1 스캔 배선
109: 제2 스캔 배선
110: EM 배선
120: 스캔 드라이버
130: 구동부
152: PAD 배선
260: 제1 트랜지스터
262: 제2 트랜지스터

264: 제3 트랜지스터

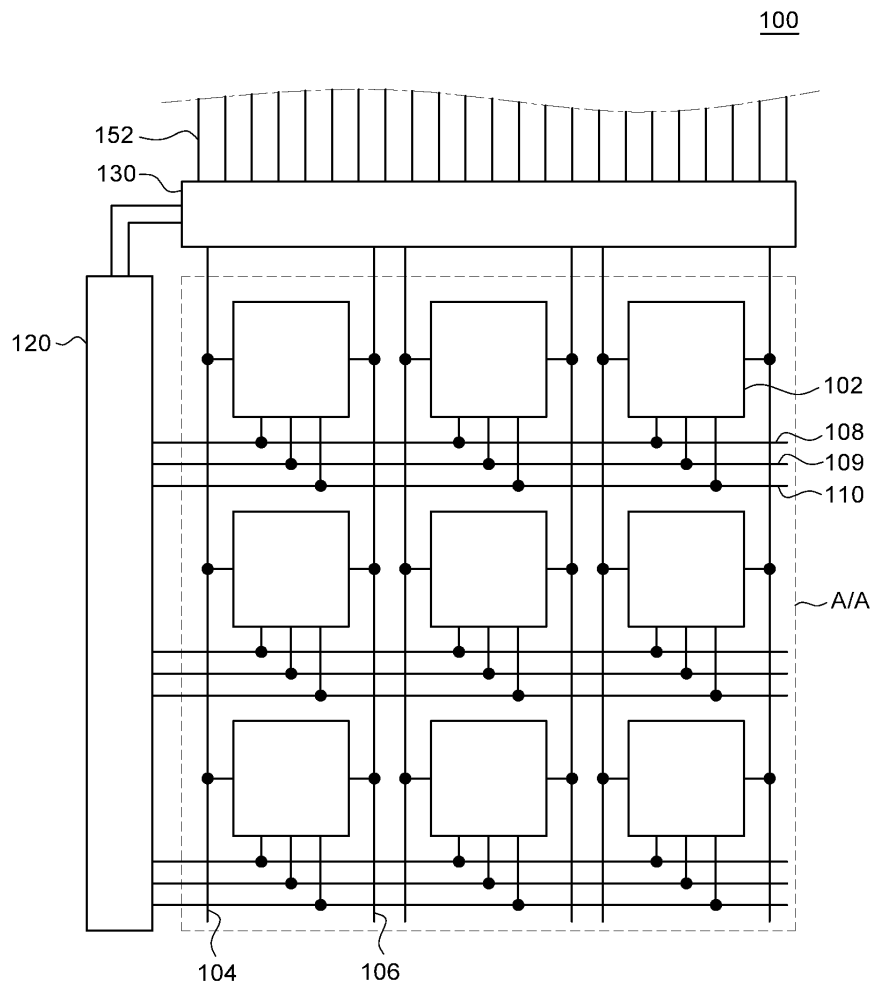
266: 제4 트랜지스터

ELD: 전계 발광 다이오드

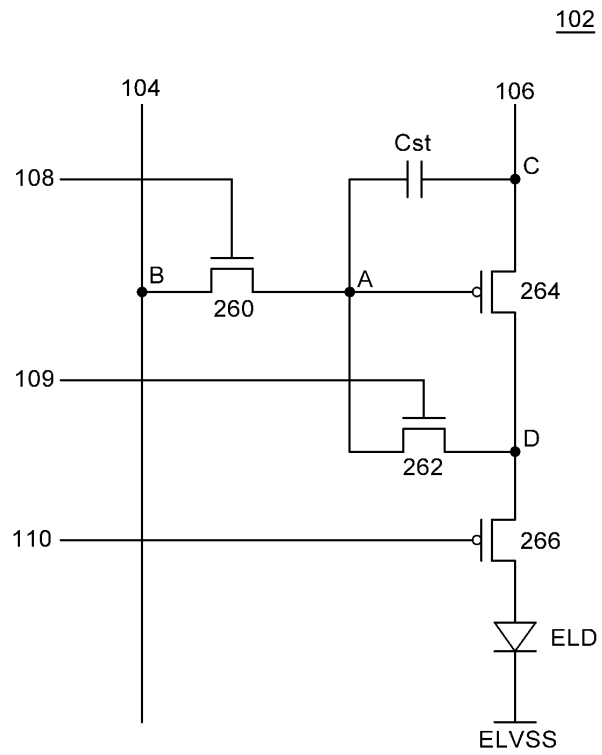
Cst: 스토리지 커패시터

도면

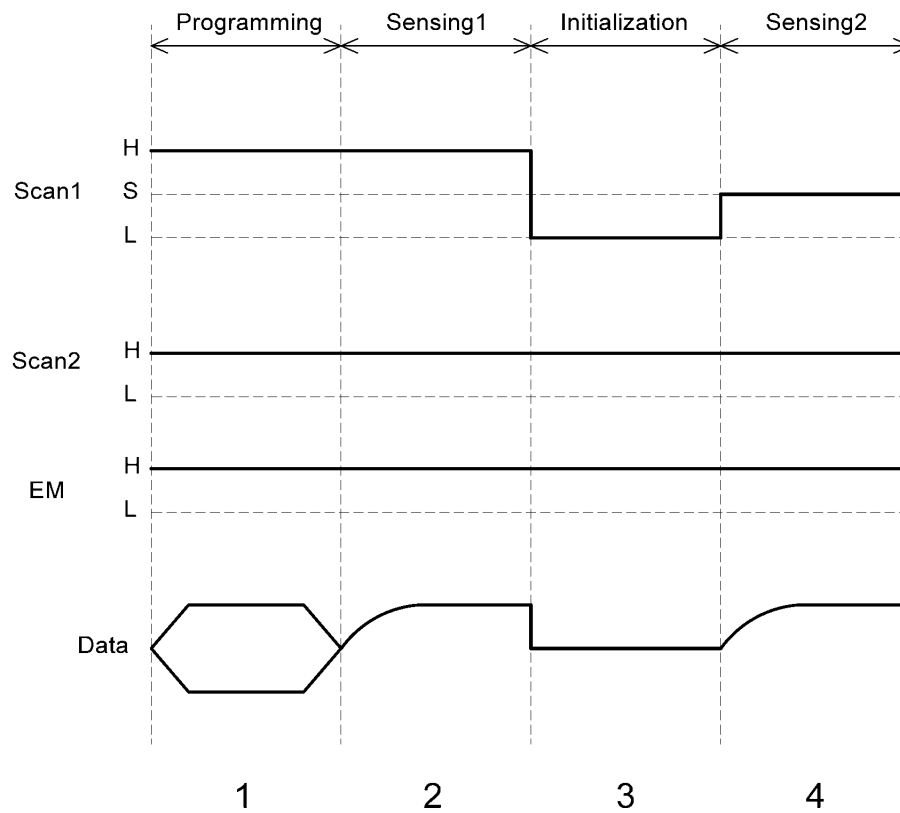
도면1



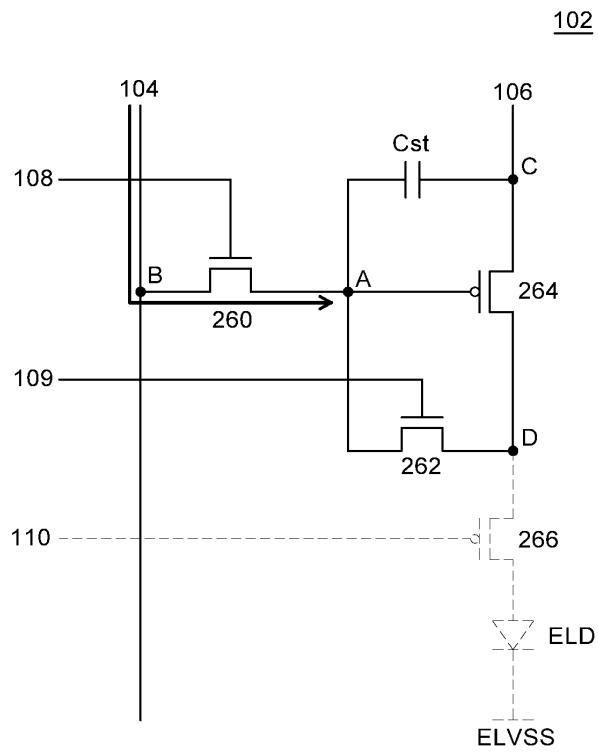
도면2



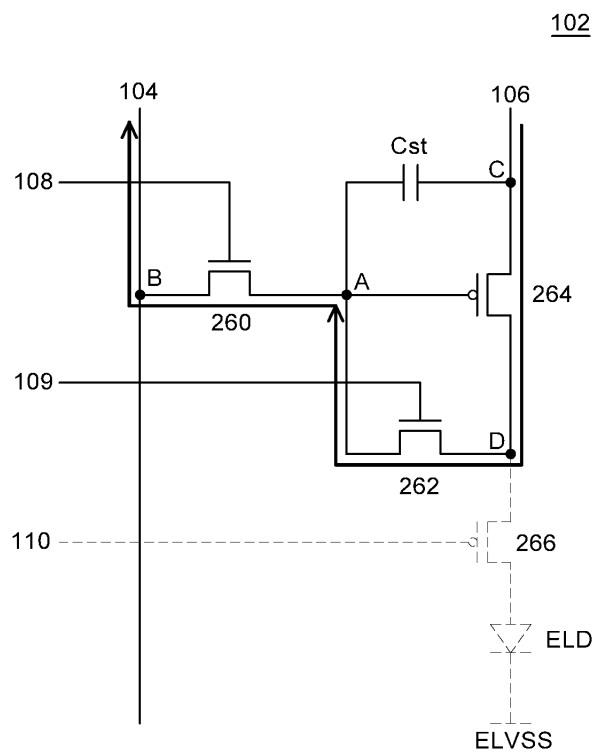
도면3



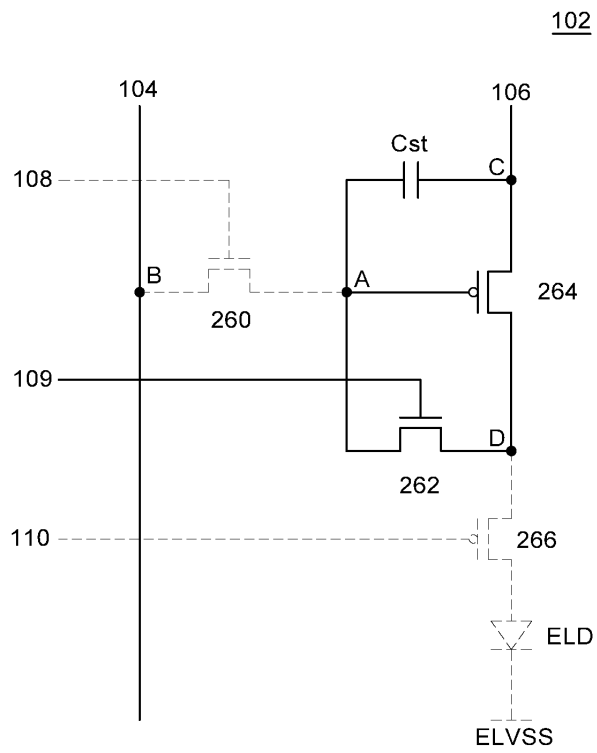
도면4



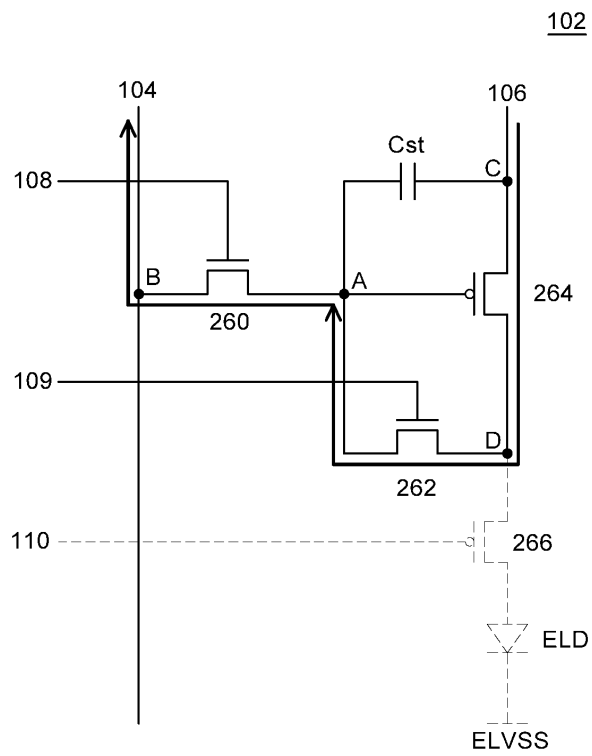
도면5



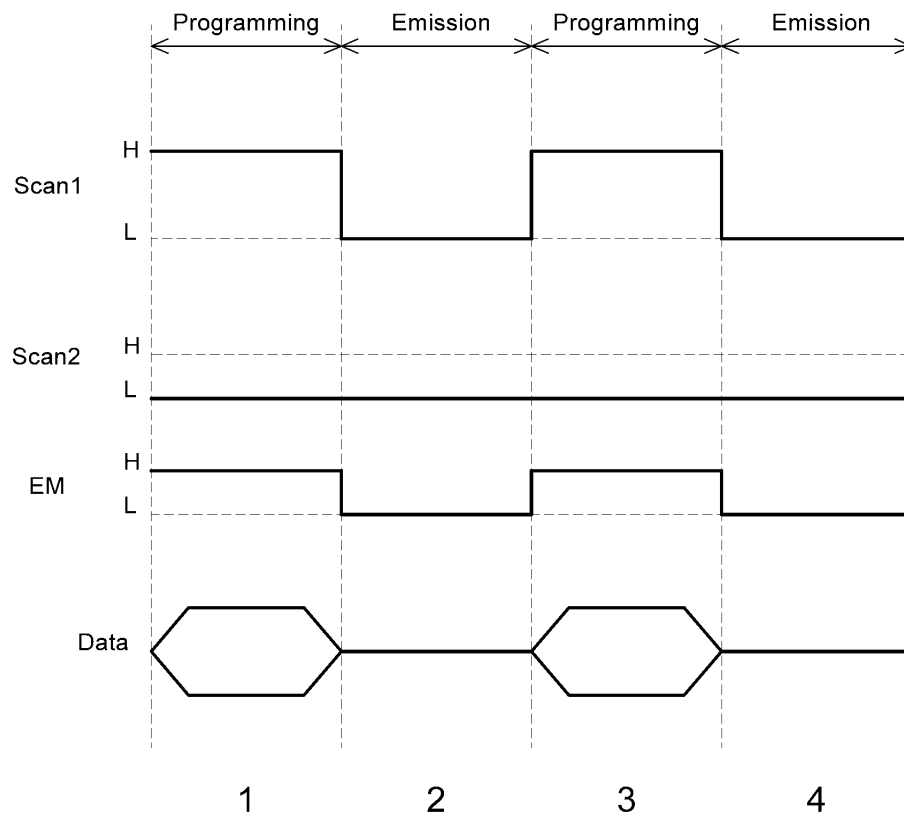
도면6



도면7



도면8



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020180076171A	公开(公告)日	2018-07-05
申请号	KR1020160180338	申请日	2016-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM BYUNG JUN 임병준 JANG YOUNG SUN 장영순		
发明人	임병준 장영순		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2230/00 G09G2320/0214 G09G3/32 G09G3/3208 G09G2300/0861 G09G2320/0295 G09G2320/043 G09G2320/0204 H01L27/3211 H01L27/3262		
外部链接	Espacenet		

摘要(译)

包括节点, N型开关晶体管, C节点和第一晶体管, 并且基于A节点的电压和包括多个子像素的电致发光显示器补偿P型驱动晶体管的阈值电压的第一变化。被配置为基于A节点的电压来补偿N型开关晶体管的阈值电压的第二变化。节点与存储电容器的工作电极和P型驱动晶体管的栅极电连接。N型开关晶体管被配置为切换与数据线电连接的A节点和B节点的电触点。C节点施加ELVDD电压并且与存储电容器的电极和P型驱动晶体管的第一电极电连接。第一晶体管将电流提供给发光二极管, 并配置为切换D节点, D节点与P型驱动晶体管A的第二电极电连接, 节点和D节点的电接触。

