



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0127622
(43) 공개일자 2017년11월22일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/5228 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2016-0057918
(22) 출원일자 2016년05월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
홍상표
경기도 파주시 가온로 205 (와동동) 롯데캐슬 71
3동2901호
(74) 대리인
특허법인로알

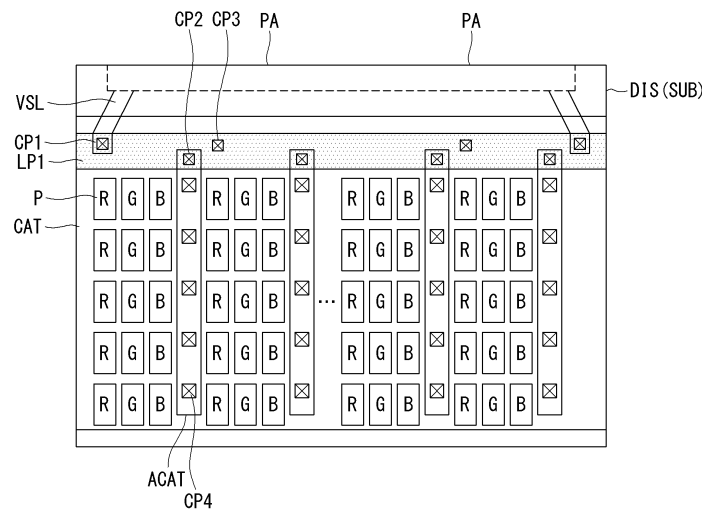
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 캐소드 전극과 보조 캐소드 전극의 접속구조 형성 방법과 그를 이용한 유기발광 다이오드 표시장치

(57) 요약

본 발명은 캐소드 전극의 저전위 전원 전압 편차를 최소화할 수 있는 유기발광 다이오드 표시장치에 관한 것으로, 애노드 전극, 유기발광층 및 캐소드 전극을 포함한다. 유기발광 다이오드 표시장치는 또한 저전위 전원 전압을 공급하는 저전위 전원라인, 및 상기 저전위 전원라인과 상기 캐소드 전극을 연결하는 적어도 하나의 보조 캐소드 전극을 포함한다. 적어도 하나의 보조 캐소드 전극은, 상기 저전위 전원라인에 연결되는 제 1 전극층과, 복수의 제 1 위치에서 상기 1 전극층에 접속되며, 상기 복수의 제 1 위치와 다른 복수의 제 2 위치에서 상기 캐소드 전극에 접속되는 제 2 전극층을 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 27/3297 (2013.01)

H01L 51/5215 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/323 (2013.01)

명세서

청구범위

청구항 1

애노드 전극, 유기발광층 및 캐소드 전극을 포함하는 유기발광 다이오드를 갖는 유기발광 다이오드 표시장치에 있어서,

저전위 전원 전압을 공급하는 저전위 전원라인; 및

상기 저전위 전원라인과 상기 캐소드 전극을 연결하는 적어도 하나의 보조 캐소드 전극을 포함하며,

상기 적어도 하나의 보조 캐소드 전극은,

상기 저전위 전원라인에 연결되는 제 1 전극층과,

복수의 제 1 위치에서 상기 1 전극층에 접속되며, 상기 복수의 제 1 위치와 다른 복수의 제 2 위치에서 상기 캐소드 전극에 접속되는 제 2 전극층을 포함하는 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 저전위 전원라인과 상기 보조 캐소드 전극의 상기 제 1 전극층을 연결하는 제 1 링크패턴을 더 포함하는 유기발광 다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 적어도 하나의 보조 캐소드 전극의 타단부에 접속되며, 상기 적어도 하나의 보조 캐소드 전극과 교차하도록 배치된 상기 제 1 링크패턴과 평행하게 배치되는 제 2 링크패턴을 더 포함하는 유기발광 다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 제 1 링크패턴을 상기 제 2 링크패턴에 연결하는 적어도 하나의 제 3 링크패턴을 더 포함하는 유기발광 다이오드 표시장치.

청구항 5

제 1 항에 있어서,

서로 교차하는 게이트 라인 및 데이터 라인에 의해 구획된 화소영역들을 더 포함하고,

상기 캐소드 전극과 상기 보조 캐소드 전극이 접속되는 영역에서,

상기 게이트 라인을 커버하는 게이트 절연막 상에는 상기 보조 캐소드 전극의 제 1 금속층이 배치되고,

상기 제 1 금속층 상에는 상기 복수의 제 1 위치에서 상기 제 1 금속층을 노출시키는 개구부를 갖는 평탄화층이 배치되고,

상기 제 2 금속층은 상기 평탄화층 상에 배치되어 상기 복수의 제 1 위치에서 상기 제 1 금속층과 접속되고,

상기 복수의 제 1 위치에 대응하는 상기 제 2 금속층의 위치에는 잔류 유기발광층이 배치되며,

상기 캐소드 전극은 상기 잔류 유기발광층과 상기 제 2 금속층 상에 배치되어 상기 복수의 제 2 위치에서 상기 제 2 금속층과 접속되는 유기발광 다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 링크패턴은 상기 게이트 라인과 동일 층에 배치되고 상기 게이트 라인과 동일 물질로 형성되며,

상기 저전위 전원라인은 상기 게이트 절연층 상에서 상기 데이터 라인과 동일 물질로 형성되는 유기 발광 다이오드 표시장치.

청구항 7

제 6 항에 있어서,

상기 저전위 전원라인은 비표시 영역에서 상기 게이트 절연층을 관통하는 콘택홀을 통해 노출된 상기 제 1 링크 패턴에 접속되는 유기발광 다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 캐소드 전극은 상기 비표시 영역에서 상기 저전위 전원라인을 노출시키는 콘택홀을 통해 상기 저전위 전원 라인에 접속되는 유기발광 다이오드 표시장치.

청구항 9

제 7 항에 있어서,

상기 애노드 전극과 상기 제 2 금속층은 투명 도전성 물질로 형성되고, 상기 제 1 링크패턴과 상기 제 1 금속층은 투명 도전성 물질보다 비저항이 낮은 저저항 금속물질로 이루어지는 유기발광 다이오드 표시장치.

청구항 10

서로 교차하는 게이트 라인 및 데이터 라인에 의해 구획된 화소영역들에 애노드 전극, 유기발광층 및 캐소드 전극을 포함하는 유기발광 다이오드가 배치된 유기발광 다이오드 표시장치에서, 상기 캐소드 전극과 보조 캐소드 전극을 연결하기 위한 접속구조의 형성방법에 있어서,

상기 게이트 라인을 커버하는 게이트 절연막 상에 데이터 라인과 나란하게 배치되는 제 1 금속층을 형성하는 단계;

상기 제 1 금속층 상에, 제 1 금속층의 일부영역을 노출시키도록 평탄화막을 형성하는 단계;

상기 평탄화막 상에 서로 이격되도록 투명 도전성 물질을 증착하고, 상기 투명 도전성 물질을 패터닝하여 상기 애노드 전극과 제 2 금속층을 형성하는 단계;

상기 애노드 전극 및 상기 제 2 금속층을 커버하도록 유기 발광물질을 증착하는 단계;

상기 제 2 금속층이 형성된 영역에 솔벤트를 분사한 후 건조하여, 상기 제 2 금속층을 노출시키는 단계;

상기 노출된 제 2 금속층을 커버하도록 투명 도전성 물질을 증착하여 캐소드 전극을 형성하는 단계를 포함하는 접속구조 형성방법.

청구항 11

제 10 항에 있어서,

상기 평탄화막은 복수의 제 1 위치에서 제 1 금속층이 노출되도록 오목부와 볼록부를 갖는 요철형으로 형성되는 접속구조 형성방법.

청구항 12

제 11 항에 있어서,

상기 제 2 금속층은 상기 평탄화막의 볼록부에 대응하는 복수의 제 2 위치에서 노출되는 접속구조 형성방법.

발명의 설명

기술 분야

[0001] 본 발명은 캐소드 전극과 보조 캐소드 전극의 접속구조 형성 방법과 그를 이용한 유기발광 다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT: Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한, 평판 표시장치의 예로는, 액정 표시장치(LCD: Liquid Crystal Display), 전계방출 표시장치(FED: Field Emission Display), 플라즈마 표시장치(PDP: Plasma Display Panel) 및 유기발광 다이오드 표시장치(OLED: Organic Light Emitting Display) 등이 있다.

[0003] 이들 평판 표시장치 중에서 유기발광 다이오드 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자기 발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기 발광 다이오드 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기 발광 다이오드는 애노드 전극, 캐소드 전극, 및 이들 전극 사이에 배치되는 유기 발광층을 포함한다. 애노드 전극으로부터는 정공이 주입되며 캐소드 전극으로부터는 전자가 주입된다. 애노드 전극과 캐소드 전극을 통해 각각 주입된 정공과 유기 발광층(emission layer: EML)에 주입되면 여기자인 엑시톤(exciton)을 형성하고, 이 엑시톤은 에너지를 빛으로 방출하면서 발광하게 된다.

[0005] 이러한 유기 발광 다이오드 표시장치는 게이트 라인들, 데이터 라인들 및 공통전원라인들의 교차에 의해 구획되는 다수의 화소들을 포함한다. 각 화소는 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 스토리지 커패시터 및 유기발광 다이오드를 포함한다. 스위칭 박막 트랜지스터는 게이트 라인에 스캔 펄스가 공급되면 턴-온되어 데이터 라인에 공급된 데이터 신호를 스토리지 커패시터 및 구동 박막 트랜지스터의 게이트 전극으로 공급한다. 구동 박막 트랜지스터는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원라인으로부터 유기 발광 다이오드로 공급되는 전류를 제어함으로써 유기 발광 다이오드의 발광량을 조절하게 된다. 스토리지 커패시터는 스위칭 박막 트랜지스터가 턴-오프되더라도 구동 박막 트랜지스터가 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 유기 발광 다이오드의 발광을 유지할 수 있도록 스위칭 박막 트랜지스터를 통해 데이터 라인으로부터 공급되는 데이터 전압을 충전한다.

[0006] 이하, 도 1 및 도 2를 참조하여, 종래의 유기발광 다이오드 표시장치에 대해 설명하기로 한다. 도 1은 종래의 유기 발광 표시장치의 일부 영역을 도시한 단면도이고, 도 2는 도 1의 I-I' 라인을 따라 취한 단면도이다.

[0007] 도 1 및 2를 참조하면, 유기발광 다이오드 표시장치는 각 화소영역에 박막 트랜지스터들(Thin Film Transistor, 이하 TFT라 함)(ST, DT) 및 박막 트랜지스터(ST, DT)와 연결되어 구동되는 유기발광 다이오드(OLE)가 배치되는 박막 트랜지스터 기판을 포함한다.

[0008] 박막 트랜지스터 기판은 스위칭 TFT(ST), 스위칭 TFT(ST)와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기 발광 다이오드(OLE)를 포함한다. 스위칭 TFT(ST)는 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 인접 배치된다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 게이트 라인(GL)에서 분기하는 게이트 전극(SG), 반도체 층(SA), 소스 전극(SS), 및 드레인 전극(SD)을 포함한다.

[0009] 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)에 연결된 게이트 전극(DG), 반도체층(DA), 고전위 전원라인(VDL)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLE)의 애노드 전극(ANO)과 연결된다. 애노드 전극(ANO) 위에는 기판의 대부분을 덮는 캐소드 전극(CAT)이 배치되며, 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에는 유기발광층(OL)이 배치된다.

[0010] 화소들이 배치되는 표시 영역의 외주부에는, 게이트 라인(GL)의 일단부에 연결된 게이트 패드(GP), 데이터 라인(DL)의 일단부에 연결된 데이터 패드(DP), 고전위 전원라인(VDL)의 일단부에 형성된 고전위 전원 패드(VDP), 및 저전위 전원라인(VSL)의 일단부에 형성된 저전위 전원 패드(VSP)가 배치된다.

[0011] 도 2를 더 참조하면, 기판(SUB) 상에는 스위칭 TFT(ST)와 구동 TFT(DT)의 반도체층들(SA, DA)이 형성된다. 반

도체층들(SA, DA)을 커버하는 게이트 절연막(GI) 상에는 게이트 전극들(SG, DG)이 형성된다. 게이트 전극들(SG, DG)은 반도체층(SA, DA)의 중심부에 중첩되며, 게이트 전극들(SG, DG)과 중첩된 반도체층(SA, DA)의 영역은 채널영역으로 정의될 수 있다. 또한, 게이트 절연막(GI) 위에는 게이트 패드(GP)가 형성될 수 있다.

[0012] 반도체층(SA, DA)의 일측부는 게이트 절연막(GI)에 형성된 콘택홀을 통해 소스 전극들(SS, DS)에 연결되고, 타측부는 게이트 절연막(GI)에 형성된 콘택홀을 통해 드레인 전극들(SD, DD)에 연결된다. 소스 전극들(SS, DS) 및 드레인 전극들(SD, DD)은 게이트 전극들(SG, DG)을 커버하는 절연막(IN) 위에 형성된다. 절연막(IN) 상에는 저전위 전원라인(VSL)이 배치된다. 또한, 절연막(IN) 상에는 데이터 패드(DP), 고전위 전원 패드(VDP) 및, 저전위 전원 패드(VSP)가 배치될 수 있다.

[0013] 스위칭 TFT(ST)와 구동 TFT(DT)가 형성된 기판(SUB) 상에는 보호막(PAS)이 형성된다. 보호막(PAS)이 형성된 기판(SUB) 상에는 평탄화 막(PL)이 형성된다.

[0014] 평탄화 막(PL) 상에는, 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉하는 애노드 전극(ANO)이 형성된다. 또한, 평탄화 막(PL)이 형성되지 않은 외주부에는, 절연막을 관통하는 콘택홀들을 통해 게이트 패드(GP), 데이터 패드(DP), 및 고전위 전원 패드(VDP)와 각각 연결되는 게이트 패드 단자(GPT), 데이터 패드 단자(DPT), 고전위 전원 단자(VDPT) 및 저전위 전원 단자(VSPT)가 형성된다. 애노드 전극(ANO)이 형성된 기판(SUB) 상에는뱅크패턴(BA)이 형성된다. 뱅크패턴(BA)은 애노드 전극(ANO)의 대부분을 노출시킨다. 노출된 애노드 전극(ANO) 위에는 유기발광층(OL)이 형성된다. 유기발광층(OL)이 형성된 기판 위에는 캐소드 전극(CAT)이 형성된다. 이에 따라, 애노드 전극(ANO), 유기발광층(OL), 캐소드 전극(CAT)을 포함하는 유기발광 다이오드(OLED)가 형성된다.

[0015] 저전위 전원라인(VSL)을 통해 저전위 전원 전압을 인가받는 캐소드 전극(CAT)은, 기판(SUB) 전체 표면의 대부분에 걸쳐 형성된다. 상부 발광형(Top-Emission) 표시장치와 같이, 캐소드 전극(CAT)이 상층에 위치하는 경우, 투과도를 확보할 필요가 있으므로 캐소드 전극(CAT)을 ITO(Indium Tin Oxide)와 같은 투명 도전물질로 형성할 필요가 있다. 캐소드 전극(CAT)을 ITO와 같은 투명 도전물질로 형성하는 경우, 전기저항이 증가하여 화질이 저하되는 문제가 발생할 수 있다.

[0016] 이와 같이 저항이 증가하면 저전위 전원 전압이 캐소드 전극의 전체 면적에 걸쳐 일정한 전압값을 갖지 못하는 문제가 발생한다. 특히, 대면적 표시장치의 경우, 위치에 따른 전압 편차 예를 들어, 저전위 전원 전압이 인가되는 인입부와외의 거리에 따른 전압 편차가 크게 발생할 것이므로, 전체 화면에 걸쳐서 휘도가 불균일해지는 현상은 더욱 중요한 문제로 된다.

발명의 내용

해결하려는 과제

[0017] 본 발명의 목적은 상기 문제점들을 해결하기 위한 것으로, 위치에 따른 캐소드 전극의 저전위 전원 전압 편차를 최소화한 유기발광 다이오드 표시장치를 제공하기 위한 것이다.

[0018] 본 발명의 다른 목적은 캐소드 전극에 공급되는 저전위 전원 전압의 편차를 최소화하기 위한 보조 캐소드 전극과 캐소드 전극을 효율적으로 접속시킬 수 있는 접속구조 형성방법을 제공하기 위한 것이다.

과제의 해결 수단

[0019] 본 발명에 따르는 유기발광 다이오드 표시장치는 애노드 전극, 유기발광층 및 캐소드 전극을 포함한다. 유기발광 다이오드 표시장치는 또한 저전위 전원 전압을 공급하는 저전위 전원라인, 및 상기 저전위 전원라인과 상기 캐소드 전극을 연결하는 적어도 하나의 보조 캐소드 전극을 포함한다. 적어도 하나의 보조 캐소드 전극은, 상기 저전위 전원라인에 연결되는 제 1 전극층과, 복수의 제 1 위치에서 상기 1 전극층에 접속되며, 상기 복수의 제 1 위치와 다른 복수의 제 2 위치에서 상기 캐소드 전극에 접속되는 제 2 전극층을 포함한다.

[0020] 유기발광 다이오드 표시장치는 또한 상기 저전위 전원라인과 상기 보조 캐소드 전극의 상기 제 1 전극층을 연결하는 제 1 링크패턴을 더 포함한다.

[0021] 유기발광 다이오드 표시장치는 또한 상기 적어도 하나의 보조 캐소드 전극의 타단부에 접속되며, 상기 적어도 하나의 보조 캐소드 전극과 교차하도록 배치된 상기 제 1 링크패턴과 평행하게 배치되는 제 2 링크패턴을 더 포함할 수 있다.

- [0022] 유기발광 다이오드 표시장치는 또한 상기 제 1 링크패턴을 상기 제 2 링크패턴에 연결하는 적어도 하나의 제 3 링크패턴을 더 포함할 수 있다.
- [0023] 유기발광 다이오드 표시장치는 또한 서로 교차하는 게이트 라인 및 데이터 라인에 의해 구획된 화소영역들을 더 포함한다. 상기 캐소드 전극과 상기 보조 캐소드 전극이 접속되는 영역에서, 상기 게이트 라인을 커버하는 게이트 절연막 상에는 상기 보조 캐소드 전극의 제 1 금속층이 배치되고, 상기 제 1 금속층 상에는 상기 복수의 제 1 위치에서 상기 제 1 금속층을 노출시키는 개구부를 갖는 평탄화층이 배치되고, 상기 제 2 금속층은 상기 평탄화층 상에 배치되어 상기 복수의 제 1 위치에서 상기 제 1 금속층과 접속되고, 상기 복수의 제 1 위치에 대응하는 상기 제 2 금속층의 위치에는 잔류 유기발광층이 배치되며, 상기 캐소드 전극은 상기 잔류 유기발광층과 상기 제 2 금속층 상에 배치되어 상기 복수의 제 2 위치에서 상기 제 2 금속층과 접속된다.
- [0024] 상기 구성에서, 제 1 링크패턴은 상기 게이트 라인과 동일 층에 배치되고 상기 게이트 라인과 동일 물질로 형성된다. 또한, 상기 저전위 전원라인은 상기 게이트 절연층 상에서 상기 데이터 라인과 동일 물질로 형성된다.
- [0025] 또한, 저전위 전원라인은 비표시 영역에서 상기 게이트 절연층을 관통하는 콘택홀을 통해 노출된 상기 제 1 링크패턴에 접속된다.
- [0026] 또한, 캐소드 전극은 상기 비표시 영역에서 상기 저전위 전원라인을 노출시키는 콘택홀을 통해 상기 저전위 전원라인에 접속된다.
- [0027] 또한, 애노드 전극과 상기 제 2 금속층은 투명 도전성 물질로 형성되고, 상기 제 1 링크패턴과 제 1 금속층은 투명 도전성 물질보다 비저항이 낮은 저저항 금속물질로 이루어진다.
- [0028] 본 발명에 따르는 유기발광 다이오드 표시장치는 캐소드 전극과 보조 캐소드 전극을 연결하기 위한 접속구조의 형성방법은, 서로 교차하는 게이트 라인 및 데이터 라인에 의해 구획된 화소영역들에 애노드 전극, 유기발광층 및 캐소드 전극을 포함하는 유기발광 다이오드가 배치된 유기발광 다이오드 표시장치에서, 상기 캐소드 전극과 보조 캐소드 전극을 연결하기 위한 접속구조의 형성방법에 관한 것이다. 상기 접속구조의 형성방법은, 제 1 금속층 형성 단계, 평탄화막 형성단계, 제 2 금속층 형성단계, 유기 발광물질 증착단계, 제 2 금속층 노출단계, 및 캐소드 전극 형성단계를 포함한다. 제 1 금속층 형성단계는 게이트 라인을 커버하는 게이트 절연막 상에 데이터 라인과 나란하게 제 1 금속층을 형성하는 단계이다. 평탄화막 형성단계는 제 1 금속층 상에, 제 1 금속층의 일부영역을 노출시키도록 평탄화막을 형성하는 단계이다. 제 2 금속층 형성단계는 상기 평탄화막 상에 서로 이격되도록 투명 도전성 물질을 증착하고, 상기 투명 도전성 물질을 패터닝하여 상기 애노드 전극과 제 2 금속층을 형성하는 단계이다. 유기발광물질 증착단계는 애노드 전극 및 상기 제 2 금속층을 커버하도록 유기 발광 물질을 증착하는 단계이다. 제 2 금속층 노출단계는 제 2 금속층이 형성된 영역에 솔벤트를 분사한 후 건조하여, 제 2 금속층을 노출시키는 단계이다. 캐소드 전극 형성단계는 상기 노출된 제 2 금속층을 커버하도록 투명 도전성 물질을 증착하여 캐소드 전극을 형성하는 단계이다.
- [0029] 상기 구성에서, 평탄화막은 복수의 제 1 위치에서 제 1 금속층이 노출되도록 오목부와 볼록부를 갖는 요철형으로 형성된다.
- [0030] 또한, 제 2 금속층은 상기 평탄화막의 볼록부에 대응하는 복수의 제 2 위치에서 노출되도록 형성된다.

발명의 효과

- [0031] 본 발명에 따르는 유기발광 다이오드 표시장치에 의하면, 표시패널의 위치에 따른 캐소드 전극의 저전위 전원 전압 편차를 최소화할 수 있으므로 표시패널의 위치에 따른 저항편차에 의한 휘도 불균일에 의한 불량을 방지할 수 있는 효과를 얻을 수 있다.
- [0032] 또한, 유기발광소자에 의한 캐소드 전극과 보조 캐소드 전극의 접속 방해 구조를 효과적으로 제거함으로써 보조 캐소드 전극과 캐소드 전극 사이의 콘택을 효율적으로 달성할 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0033] 도 1은 종래의 유기 발광 표시장치의 일부 영역을 도시한 단면도,
 도 2는 도 1의 I-I' 라인을 따라 취한 단면도,
 도 3은 본 발명의 실시예에 따른 유기발광 다이오드 표시장치를 개략적으로 도시한 블록도,

도 4는 도 3에 도시된 표시패널의 1화소영역을 개략적으로 도시한 등가도,

도 5는 도 3에 도시된 표시패널의 캐소드 전극에 저전위 전원 전압을 공급하기 위한 링크패턴과 보조전극을 도시한 평면도,

도 6a 및 도 6b는 도 5에 도시된 링크패턴과 보조전극의 배치 예를 개략적으로 도시한 평면도,

도 7은 도 3에 도시된 표시패널의 일부 영역을 도시한 평면도,

도 8은 도 7의 II-II'라인을 따라 취한 단면도,

도 9는 도 7의 III-III'라인을 따라 취한 단면도,

도 10a 내지 도 10f는 도 5의 캐소드 전극과 보조 캐소드 전극을 연결하기 위한 제조공정을 도시한 단면도.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0035] 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들 고유의 의미로 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용된다.
- [0036] 이하, 도 3 및 도 4를 참조하여 본 발명의 실시예에 따르는 유기발광 다이오드 표시장치에 대해 설명하기로 한다. 도 3은 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 나타낸 도면이다. 도 4는 도 3에 도시된 표시패널의 1 화소영역을 개략적으로 나타낸 등가 회로도이다.
- [0037] 도 3을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치(10)는 디스플레이 구동 회로(12, 14, 16)와 표시패널(DIS)을 포함한다.
- [0038] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하며, 입력영상의 비디오 데이터전압을 표시 패널(DIS)의 화소들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터라인들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트펄스를 게이트라인들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시 패널(DIS)의 화소들을 선택한다.
- [0039] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0040] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템(Home Theater System), 폰 시스템(Phone System) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler를 내장한 SoC(System on chip)을 포함하여 입력영상의 디지털 비디오 데이터(RGB)를 표시 패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0041] 표시 패널(DIS)의 화소 어레이는 데이터라인들(D1~Dm, m은 양의 정수)과 게이트라인들(G1~Gn, n은 양의 정수)에 의해 정의된 화소들을 포함한다. 화소들 각각은 자기발광 소자인 유기발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함한다.
- [0042] 도 4를 참조하면, 표시 패널(DIS)에는 다수의 데이터라인들(DL)과, 다수의 게이트라인들(GL)이 교차되고, 이 교

차영역마다 화소들이 매트릭스 형태로 배치된다. 화소 각각은 유기발광 다이오드(OLE), 유기발광 다이오드(OLE)에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(DT), 구동 TFT(DT)의 게이트-소스간 전압을 세팅하기 위한 프로그래밍부(SC)를 포함한다.

- [0043] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다.
- [0044] 스위치 TFT는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 턴 온 됨으로써, 데이터라인(DL)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다.
- [0045] 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 유기발광 다이오드(OLE)로 공급되는 전류량을 제어하여 유기발광 다이오드(OLE)의 발광량을 조절한다. 유기발광 다이오드(OLE)의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례한다.
- [0046] 각각의 화소는 고전위 전원 전압원(EVDD)과 저전위 전원 전압원(EVSS)에 연결되어, 전원 발생부(도시생략)로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다.
- [0047] 화소를 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 화소를 구성하는 TFT들의 반도체층은, 비정질 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 유기발광 다이오드(OLE)는 애노드 전극(ANO), 캐소드 전극(CAT), 및 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에 개재된 유기발광층을 포함한다. 애노드 전극(ANO)은 구동 TFT(DT)와 접속된다. 유기발광층은 발광층(Emission layer, EML)을 포함하고, 발광층을 사이에 두고 정공주입층(Hole injection layer, HIL) 및 정공수송층(Hole transport layer, HTL)과 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)이 배치될 수 있다.
- [0048] 이하, 도 5 및 도 6을 참조하여, 본 발명에 따르는 유기발광 다이오드 표시장치에서 캐소드 전극에 저전위 전원 전압을 공급하기 위한 구성을 설명하기로 한다.
- [0049] 도 5는 도 3에 도시된 표시패널의 캐소드 전극에 저전위 전원 전압을 공급하기 위한 링크패턴과 보조전극을 도시한 평면도이다. 도 6a 및 도 6b는 도 5에 도시된 링크패턴과 보조전극의 배치 예를 개략적으로 도시한 평면도이다.
- [0050] 도 5를 참조하면, 본 발명에 따르는 유기발광 다이오드 표시장치는 도 3에 도시된 디스플레이 구동 회로(12, 14, 16)로부터 구동 신호들 및 전원 전압을 인가 받는 표시 패널(DIS)을 포함한다. 표시 패널(DIS)은 저전위 전원라인(VSL), 캐소드 전극(CAT), 보조 캐소드 전극(ACAT), 및 제 1 링크패턴(LP1)을 포함한다.
- [0051] 저전위 전원라인(VSL)에는 저전위 전원 전압이 인가된다. 예를 들어, 저전위 전원라인(VSL)은 패드부(PA)에 구비된 패드들 중 저전위 전원 전압이 공급되는 패드와 연결될 수 있다. 이때, 패드부(PA)는 COF(Chip On Film)와 같은 연성 필름과 연결될 수 있고, 전원 발생부에서 출력된 저전위 전원 전압은 표시 패널(DIS)의 패드부(PA)와 전기적으로 연결된 연성 필름을 통해 표시 패널(DIS)의 저전위 전원라인(VSL)으로 입력될 수 있다.
- [0052] 캐소드 전극(CAT)은 저전위 전원라인(VSL)에 연결되어 저전위 전원 전압을 공급받는다. 상부 발광형(Top-Emission) 유기발광 다이오드 표시장치의 경우, 상층에 위치하는 캐소드 전극(CAT)은 빛이 투과되어야 하므로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(Gallium-doped Zinc Oxide)와 같은 투명 도전성 물질로 형성된다. 투명 도전성 물질은 금속 물질보다는 비저항 값이 높은 편이다. 이와 같이, 비저항이 큰 물질을 포함한 캐소드 전극(CAT)을 이용하는 경우, 캐소드 전극(CAT)에 인가되는 저전위 전원 전압이 캐소드 전극(CAT)의 전체 면적에 걸쳐 일정한 전압값을 갖지 못하는 문제가 발생한다. 예를 들어, 저전위 전원 전압이 인가되는 쪽인 인입부에서의 저전위 전원 전압 값과, 인입부로부터 이격된 위치에서의 저전위 전원 전압 값의 편차가 커져 휘도가 위치에 따라 일정하지 않을 수 있다.
- [0053] 따라서, 표시패널 상의 위치에 따른 저전위 전원전압 값의 편차를 균일하게 할 필요가 있다. 본 발명의 유기발광 다이오드 표시장치는 저전위 전원라인으로부터 공급되는 저전위 전원전압을 표시패널에 균등하게 공급할 수 있는 구조를 제공한다.
- [0054] 이를 위해 본 발명의 유기발광 다이오드 표시장치는 저전위 전원라인(VSL)에 연결된 제 1 링크패턴(LP1), 제 1 링크패턴(LP1)에 연결되어 다수의 위치에서 캐소드전극(CAT)에 저전위 전원전압을 공급하는 복수의 보조 캐소드 전극들(ACAT)을 포함한다.

- [0055] 제 1 링크패턴(LP1)은 예를 들어 제 1 콘택위치(CP1)에서 저전위 전원라인(VSL)에 연결되어 저전위 전원 전압을 공급받는다. 제 1 링크패턴(LP1)은 제 2 콘택위치(CP2)에서 보조 캐소드 전극들(ACAT)의 각 일단부와 연결되어, 보조 캐소드 전극(ACAT)들을 전기적으로 연결시킨다.
- [0056] 제 1 링크패턴(LP1)은 캐소드 전극(CAT) 보다 저항이 낮은 물질, 예를 들면 저저항 금속물질로 형성된다. 제 1 링크패턴(LP1)은 보조 캐소드 전극(ACAT)과 교차하는 방향으로 연장된 바(bar) 형상을 가질 수 있다.
- [0057] 제 1 링크패턴(LP1)은 저전위 전원라인(VSL)과 연결되는 저전위 전원 전압의 인입부를 포함하는 다수의 위치(예를 들면 제 3 콘택위치(CP3))에서 캐소드 전극(CAT)에 연결될 수 있다. 제 1 링크패턴(LP1)이 이와 같이 다수의 위치에서 캐소드 전극(CAT)과 연결되면 캐소드 전극(CAT)의 저항을 더욱 낮출 수 있는 효과를 얻을 수 있다.
- [0058] 복수의 보조 캐소드 전극들(ACAT) 각각은 데이터 라인과 나란한 방향으로 배치되며, 제 2 콘택위치(CP2)에서 제 1 링크패턴(LP1)에 접속된다. 복수의 보조 캐소드 전극들(ACAT) 각각은 또한 도 5에 도시된 바와 같이 다수의 제 4 콘택위치(CP4)에서 캐소드 전극(CAT)에 접속된다.
- [0059] 캐소드 전극(CAT)은 전원 발생부(미도시)로부터 발생된 저전위 전원 전압(Evss)을 저전위 전원라인(VSL)을 통해 직접 입력 받을 수 있다. 또한, 캐소드 전극(CAT)은 전원 발생부로부터 발생된 저전위 전원 전압을 저전위 전원라인(VSL)에 연결된 제 1 링크패턴(LP1)과 보조 캐소드 전극들(ACAT)을 통해 다수의 위치에서 입력 받는다. 이에 따라, 복수의 저전위 전원 공급경로에 따라 저전위 전원 전압을 캐소드 전극(CAT)에 공급할 수 있다. 따라서, 캐소드 전극(CAT)에서 발생하는 위치별 전압 편차를 최소화할 수 있는 효과를 얻을 수 있다.
- [0060] 도 6a 및 도 6b를 참조하면, 본 발명에 따르는 유기발광 다이오드 표시장치는 제 2 링크패턴(LP2) 및 제 3 링크패턴(LP3) 중의 적어도 하나를 더 포함할 수 있다.
- [0061] 제 2 링크패턴(LP2)은 보조 캐소드 전극(ACAT)들의 타단과 연결된다. 제 2 링크패턴(LP2)은 저저항 물질로 형성되며, 제 1 링크패턴(LP1)과 동일한 물질로 형성될 수 있다. 제 2 링크패턴(LP2)과 보조 캐소드 전극(ACAT)의 타단은 제 2 콘택위치(CP2)에서 서로 연결된다.
- [0062] 제 2 링크패턴(LP2)은 보조 캐소드 전극(ACAT)과 교차하는 방향으로 연장된 바 형상을 가질 수 있다.
- [0063] 제 3 링크패턴(LP3)은 제 1 링크패턴(LP1) 및 제 3 링크패턴(LP3)과 연결되어, 제 1 링크패턴(LP1) 및 제 3 링크패턴(LP3)을 전기적으로 연결시킨다. 제 3 링크패턴(LP3)은 저저항 물질로 형성되며, 제 1 링크패턴(LP1) 및/또는 제 2 링크패턴(LP2)과 동일한 물질로 형성될 수 있다. 제 1 링크패턴(LP1), 제 2 링크패턴(LP2), 및 제 3 링크패턴(LP3)은 동일한 층에 한 몸체로 형성될 수 있다.
- [0064] 저항이 낮은 물질을 포함하는 제 2 링크패턴(LP2) 및 제 3 링크패턴(LP3)을 더 구비할수록 캐소드 전극(CAT) 전면에서의 등전위 형성에 유리하다. 따라서, 제 2 링크패턴(LP2) 및 제 3 링크패턴(LP3)을 추가적으로 더 포함시키면 화소위치에 따른 캐소드 전극(CAT)의 저전위 전압의 편차를 최소화할 수 있는 효과를 얻을 수 있다.
- [0065] 이하, 도 7 내지 도 9를 참조하여, 본 발명의 바람직한 실시예에 따르는 유기발광 다이오드 표시장치의 구성에 대해 보다 구체적으로 설명하기로 한다. 도 7은 도 3에 도시된 본 발명의 실시예에 따르는 유기발광 다이오드 표시장치의 표시패널의 일부 영역을 도시한 평면도이고, 도 8은 도 7의 II-II'라인을 따라 취한 단면도이며, 도 9는 도 7의 III-III'라인을 따라 취한 단면도이다.
- [0066] 도 7을 참조하면, 본 발명의 바람직한 실시예에 따르는 유기발광 다이오드 표시장치는 영상 정보를 표시하는 표시 영역(AA)과, 표시 영역(AA)을 구동하기 위한 여러 소자들이 배치되는 비표시 영역(NA)을 구비하는 기판(SUB)을 포함한다. 표시 영역(AA)에는 매트릭스 방식으로 배열된 복수 개의 화소들(P)이 배치된다.
- [0067] 복수의 화소들(P)은 다양한 방식으로 배열될 수도 있다. 예를 들어, 화소들은 동일한 크기를 가질 수도 있고, 서로 다른 크기를 가질 수도 있다. 또한, 도 5에 도시된 바와 같이 R(적색), G(녹색), B(청색) 색상을 나타내는 3 개의 서브 화소를 하나의 단위로 하여, 규칙적으로 배열될 수도 있다. 가장 단순한 구조로 설명하면, 화소들(P)은 제 1 방향으로 진행되는 게이트 라인(GL)들과, 제 2 방향으로 진행되는 복수 개의 데이터 라인(DL)들의 교차 구조에 의해 정의되는 영역에 배치될 수 있다.
- [0068] 비표시 영역(NA)의 일측에는 데이터 패드, 고전위 전원 패드, 저전위 전원 패드 등을 포함하는 패드부(PA)가 배치된다. 데이터 라인(DL)은 패드부(PA)의 데이터 패드와 전기적으로 연결되어 데이터 전압을 공급받는다. 고전위 전원라인(VDL)은 패드부(PA)의 고전위 전원 패드와 전기적으로 연결되어 고전위 전원 전압을 공급받는다. 저전위 전원라인(VSL)은 패드부(PA)의 저전위 전원 패드와 전기적으로 연결되어 저전위 전원 전압을

공급받는다. 캐소드 전극(CAT)은 저전위 전원라인(VSL)에 직접 연결되어 저전위 전원 전압을 공급받는다. 따라서, 저전위 전원 전압이 공급되는 제 1 공급 경로가 형성된다.

- [0069] 데이터 라인(DL)은 제 1 방향으로 이웃하는 화소(P)들 사이에 배치된다. 고전위 전원라인(VDL)은 데이터 라인(DL)에 인접하여 배치되며, 제 1 방향으로 이웃하는 화소(P)들 사이에 배치된다. 다만, 고전위 전원라인(VDL)은 제 1 방향으로 이웃하는 화소(P)들 사이마다 반드시 배치될 필요는 없다. 이 경우, 제 2 방향으로 진행되는 어느 하나의 고전위 전원라인(VDL)은 제 1 방향으로 이웃하는 적어도 두 개 이상의 화소(P)에 전기적으로 연결될 수 있다. 즉, 제 1 방향으로 이웃하는 적어도 두 개 이상의 화소(P)는 하나의 고전위 전원라인(VDL)을 공유할 수 있다.
- [0070] 보조 캐소드 전극(ACAT)은 제 1 방향으로 이웃하는 화소(P)들 사이에 배치된다. 보조 캐소드 전극(ACAT)은 데이터 라인(DL) 및 고전위 전원라인(VDL)과 나란하게 배치될 수 있다. 보조 캐소드 전극(ACAT)은 제 1 방향으로 이웃하는 화소(P)들 사이마다 반드시 배치될 필요는 없다. 이웃하는 화소(P)들 사이에는 제 2 방향으로 진행되는 데이터 라인과 함께, 고전위 전원라인(VDL)과 보조 캐소드 전극(ACAT) 중 적어도 어느 하나가 배치될 수 있다. 예를 들어, 이웃하는 화소(P)들 사이에는 고전위 전원라인(VDL)과 보조 캐소드 전극(ACAT)이 모두 배치될 수 있고, 어느 하나만 배치될 수도 있다. 고전위 전원라인(VDL)과 보조 캐소드 전극(ACAT)은 서로 교번하여 배치될 수 있다. 예를 들어, 하나 이상의 고전위 전원라인(VDL)들은 이웃하는 보조 캐소드 전극(ACAT) 사이에 배치될 수 있다. 또한, 하나 이상의 보조 캐소드 전극(ACAT)들은 이웃하는 고전위 전원라인(VDL)들 사이에 배치될 수 있다.
- [0071] 각 화소(P)에는 유기발광 다이오드를 구동하기 위한 박막 트랜지스터들이 배치된다. 박막 트랜지스터들은 화소(P)의 일측에 정의된 박막 트랜지스터 영역(TA)에 형성될 수 있다. 유기발광 다이오드는 애노드 전극(ANO)과 캐소드 전극(CAT) 및, 두 전극들(ANO, CAT) 사이에 개재된 유기발광층을 포함한다. 실제로 발광하는 영역은 애노드 전극(ANO)과 중첩하는 유기발광층의 면적에 의해 결정될 수 있다.
- [0072] 애노드 전극(ANO)은 화소(P) 중에서 일부 영역을 차지하도록 형성되며, 박막 트랜지스터 영역(TA)에 형성된 박막 트랜지스터와 전기적으로 연결된다. 애노드 전극(ANO)은 각 화소(P)별로 형성된다. 애노드 전극(ANO)은 이웃하는 화소(P)의 애노드 전극(ANO)과 접촉되지 않도록 일정 간격 이격되어 형성된다. 애노드 전극(ANO) 위에 유기발광층이 형성된다. 캐소드 전극(CAT)은 유기발광층 위에서 적어도 화소(P)들이 배치된 표시 영역(AA)의 면적을 모두 덮을 정도로 넓게 형성된다. 캐소드 전극(CAT)은 보조 캐소드 전극(ACAT)과 제 1 콘택위치(CP1)에서 전기적으로 연결된다.
- [0073] 제 1 링크패턴(LP1)은 보조 캐소드 전극(ACAT)들의 일단부와 연결된다. 제 1 링크패턴(LP1)은 보조 캐소드 전극(ACAT)과 제 2 콘택위치(CP2)에서 전기적으로 연결된다. 필요에 따라서, 제 1 링크패턴(LP1)은 캐소드 전극(CAT)과 제 3 콘택위치(CP3)에서 전기적으로 연결될 수 있다. 제 1 링크패턴(LP1)은 저전위 전원라인(VSL)에 연결되어, 저전위 전원라인(VSL)으로부터 공급받은 저전위 전원 전압을 보조 캐소드 전극(ACAT)들에 공급한다. 이에 따라, 저전위 전원 전압이 공급되는 제 2 공급 경로가 형성된다.
- [0074] 제 1 링크패턴(LP1)은 비표시 영역(NA)에서, 게이트 라인(GL)과 나란하게 배치될 수 있다. 제 1 링크패턴(LP1)은 데이터 라인 및 고전위 전원라인(VDL)과 교차된다. 제 1 링크패턴(LP1)은 데이터 라인(DL) 및 고전위 전원라인(VDL)과 쇼트되지 않도록 하나 이상의 절연막을 사이에 두고 서로 다른 층에 배치된다.
- [0075] 이하, 도 7 내지 도 9를 참조하여 본 발명의 실시예에 따르는 유기발광 다이오드 표시장치의 단면 구조에 대해 보다 구체적으로 설명하기로 한다. 표시패널(DIS)의 기관(SUB)은 비표시 영역(NA) 및 표시 영역(AA)을 포함한다. 비표시 영역(NA)에는 저전위 전원라인(VSL) 및 제 1 링크패턴(LP1)이 배치된다. 표시 영역(AA)에는 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT) 및 유기발광 다이오드(OLE)가 배치된다.
- [0076] 기관(SUB) 상의 표시영역(AA)에는 게이트 라인들(GL), 및 스위칭 박막 트랜지스터(ST)의 게이트 전극(SG), 구동 박막 트랜지스터(DT)의 게이트 전극(DG)이 배치된다. 기관(SUB) 상의 비표시 영역(NA)에는 제 1 링크패턴(LP1)이 배치된다.
- [0077] 게이트 라인들(GL), 게이트 전극들(SG, DG) 및 제 1 링크패턴(LP1)이 배치된 기관(SUB) 상에는 이들을 커버하는 게이트 절연막(GI)이 배치된다.
- [0078] 게이트 절연막(GI)의 표시영역(AA) 상에는 게이트 전극들(SG, DG)과 중첩되도록 반도체 채널층들(SA, DA) 배치된다. 게이트 절연막(GI)의 표시영역(AA) 상에는 또한 데이터 라인(DL)과, 데이터 라인과 평행하게 배열되는 보조 캐소드 전극(ACAT)의 제 1 금속층(M1)과, 데이터 라인(DL)으로부터 연장되어 반도체 채널층들(SA, DA)의

일측 상에 배치되는 소스전극들(SS, DS)과, 소스전극들로(SS, DS)부터 일정 거리 이격되어 반도체 채널층들(SA, DA)의 타측 상에 배치되는 드레인 전극들(SD, DD)이 배치된다.

- [0079] 상술한 구성에서, 스위칭 박막 트랜지스터(ST)는 게이트 전극(SG), 게이트 절연막(GI), 채널층(SA), 소스 전극(SS) 및 드레인 전극(SD)을 포함한다. 또한, 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)에 연결된 게이트 전극(DG), 게이트 절연막(GI), 채널층(DA), 소스 전극(DS) 및 드레인 전극(DD)을 포함한다.
- [0080] 그러나, 본 발명의 박막 트랜지스터들(ST, DT)의 구조가 이에 한정되는 것은 아니다. 박막 트랜지스터(ST, DT) 구조는 상술한 바텀 게이트(bottom gate) 구조는 물론 탑 게이트(top gate) 구조, 더블 게이트(double gate) 구조 등 유기발광 다이오드 표시장치를 구동할 수 있는 구조라면 모두 포함될 수 있다.
- [0081] 게이트 절연막(GI)의 비표시 영역(NA) 상에는 저전위 전원라인(VSL)이 배치된다. 저전위 전원라인(VSL)은 게이트 절연막(GI)을 관통하는 콘택홀을 통해 노출된 제 1 링크패턴(LP1)에 연결된다.
- [0082] 데이터 라인(DL)과, 보조 캐소드 전극(ACAT)의 제 1 금속층(M1), 박막 트랜지스터들(ST, DT)의 소스전극들(SS, DS) 및 드레인 전극들(SD, DD), 저전위 전원라인(VSL)이 배치된 게이트 절연막(GI) 상에는 이들을 커버하도록 보호막(PAS)과 평탄화막(PL)이 차례로 배치된다.
- [0083] 평탄화막(PL)은 보조 캐소드 전극(ACAT)의 제 1 금속층(M1)이 형성된 영역에서는 제 1 금속층(M1)을 복수의 위치에서 노출시키는 복수의 개구부들을 갖도록 섬 형상으로 형성된다.
- [0084] 평탄화막(PL)의 표시영역(AA) 상에는 애노드 전극(ANO)이 배치된다. 애노드 전극(ANO)은 보호막(PAS) 및 평탄화막(PL)을 관통하는 콘택홀을 통해 구동 박막 트랜지스터(DT)의 구동 드레인 전극(DD)과 연결된다. 평탄화막(PL) 상에는 애노드 전극(ANO)과 동일한 물질로 된 보조 캐소드 전극(ACAT)의 제 2 금속층(M2)이 배치된다. 제 2 금속층(M2)은 표시영역(AA)으로부터 비표시 영역(NA)으로 연장되도록 배치된다. 애노드 전극(ANO)과 제 2 금속층(M2)은 평탄화막(PL) 상에서 서로 분리 배치된다. 제 2 금속층(M2)은 섬 형상의 평탄화막(PL)과, 섬 형상의 평탄화막(PL)의 개구부들을 통해 노출된 제 1 금속층(M1) 상에 배치되며, 제 1 금속층(M1)과 복수의 위치에서 접촉된다.
- [0085] 애노드 전극(ANO) 및 보조 캐소드 전극(ACAT)의 제 2 금속층(M2)이 배치된 평탄화막(PL) 상에는 뱅크패턴(BA)이 형성된다. 뱅크패턴(BA)은 애노드 전극(ANO)과 보조 캐소드 전극(ACAT)을 노출시키도록 형성된다. 뱅크패턴(BA)의 개구부를 통해 노출된 애노드 전극(ANO) 상에는 유기발광층(OL)이 배치되고, 보조 캐소드 전극(ACAT)의 제 2 금속층(M2) 상에는 잔류 유기 발광층(ROL)이 배치된다. 잔류 유기발광층(ROL)은 제 2 금속층(M2)의 제거 과정에서 완벽하게 제거된다면 존재하지 않을 수도 있다.
- [0086] 뱅크패턴(BA), 유기발광층(OL), 잔류 유기발광층(ROL), 및 보조 캐소드전극(ACAT)의 제 2 금속층(M2) 상에는 투명 도전 물질로 형성된 캐소드 전극(CAT)이 배치된다. 이에 따라, 애노드 전극(ANO), 유기발광층(OL) 및 캐소드 전극(CAT)을 포함하는 유기발광 다이오드(OLED)가 형성되고, 캐소드 전극(CAT)이 제 1 금속층(M1)과 제 2 금속층(M2)을 포함하는 보조 캐소드 전극(ACAT)에 접속되는 접속구조가 형성된다.
- [0087] 저전위 전원라인(VSL)은 인입부에서 캐소드 전극(CAT)과 접속될 수도 있고, 제 1 링크패턴(LP1) 및 복수의 보조 캐소드 전극(ACAT)을 통해 복수의 위치에서 캐소드 전극(CAT)에 저전위 전원 전압을 공급할 수 있다.
- [0088] 제 1 링크패턴(LP1)은 저저항 물질로 형성된다. 예를 들어, 제 1 링크패턴(LP1)은 Mo, Cu, Ag, Cr, Al, MoTi 을 포함하는 단일 층 혹은 이들이 적층된 다중 층으로 형성될 수 있다. 저전위 전원라인(VSL) 및 보조 캐소드 전극(ACAT)의 제 1 금속층(M1) 또한 제 1 링크패턴(LP1)과 동일한 저저항 물질을 이용하여 형성할 수 있다. 보조 캐소드 전극(ACAT)의 제 2 금속층(M2)은 애노드 전극(ANO)과 동일한 투명 도전성 물질로 형성될 수 있다.
- [0089] 이하, 도 9를 참조하여, 캐소드 전극(CAT)과 보조 캐소드 전극(ACAT)의 접속구조를 보다 상세히 설명하기로 한다.
- [0090] 보조 캐소드 전극(ACAT)은 도 9에 도시된 바와 같이 표시영역(AA)의 게이트 절연막(GI) 상에 배치되는 제 1 금속층(M1), 및 제 1 금속층(M1)에 연결되는 제 2 금속층(M2)을 포함한다. 제 1 금속층(M1)은 뱅크패턴(BA)의 개구부 영역에서 게이트 절연막(GI) 상에 배치되고, 저전위 전원라인(VSL) 및 데이터 라인(DL)과 동일층에서 이들과 동일한 재료로 형성된다.
- [0091] 제 1 금속층(M1) 상에는 제 1 금속층(M1)을 노출시키도록 패시베이션막(PAS)과 평탄화층(PL)이 적층된다. 평탄

화층(PL)은 बैं크패턴(BA)의 개구부 영역에서는 섬 형상을 갖도록 형성되어 복수의 위치에서 제 1 금속층(M1)을 노출시킨다.

- [0092] 평탄화막(PL)과, 평탄화막(PL)을 통해 노출되는 제 1 금속층(M1) 상에는 बैं크패턴(BA)의 개구부 영역에 대응하여 제 2 금속층(M2)이 배치된다. 제 2 금속층(M2)은 섬 형상을 갖는 평탄화층(PL)을 통해 노출된 제 1 금속층(M1)과 복수의 위치에서 서로 접속된다. 제 2 금속층(M2)은 애노드 전극(ANO)과 동일층에 배치되며 애노드 전극(ANO)과 동일한 물질로 형성된다.
- [0093] 제 2 금속층(M2)은 섬 형상의 평탄화층(PL)에 의해 제 1 금속층(M1)과 제 2 금속층(M2)이 접촉하는 복수의 위치에서는 오목부를 갖고, 평탄화층(P1) 상단부의 위치에서는 볼록부를 갖는다.
- [0094] 제 2 금속층(M2)의 오목부는 제 1 금속층(M1)과 접속된다. 제 2 금속층(M2)의 오목부 상에는 잔류 유기 발광층(ROL)이 형성된다. 잔류 유기 발광층(ROL)은 제 2 금속층(M2) 상의 유기 발광물질을 용매로 녹이고 건조한 후 남은 유기 발광물질의 잔류물이다. 잔류 유기발광층(ROL)은 장시간의 공정을 통해 유기 발광물질을 제거하면 존재하지 않을 수도 있다.
- [0095] 캐소드 전극(CAT)은 बैं크패턴(BA), 제 2 금속층(M2), 및 잔류 유기 발광층(ROL)을 커버하도록 배치된다. 따라서, 캐소드 전극(CAT)은 보조 캐소드 전극(ACAT)의 제 2 금속층(M2)을 통해 보조 캐소드 전극(ACAT)의 제 1 금속층(M1)에 접속된다.
- [0096] 따라서, 캐소드 전극에는 도 5에 도시된 바와 같이 저전위 전원라인(VSL) 및 제 1 링크패턴(LP1)을 통해 저전위 전원 전압이 공급될 뿐 아니라, 화소영역의 복수의 위치에서 저전위 전원라인(VSL), 제 1 링크패턴(LP1) 및 보조 캐소드 전극(ACAT)을 통해 저전위 전원전압이 공급된다.
- [0097] 이하, 도 10a 내지 도 10f를 참조하여, 캐소드 전극(CAT)과 보조 캐소드 전극(ACAT)의 접속구조에 대한 제조방법을 보다 구체적으로 설명하기로 한다. 캐소드 전극(CAT)과 보조 캐소드 전극(ACAT)의 접속구조는 बैं크패턴(BA)의 개구부에 대응하여 형성된다.
- [0098] 도 10a를 참조하면, बैं크패턴(BA) 개구부를 통해 노출된 게이트 절연막(GI) 상에 형성된 보조 캐소드 전극(ACAT)의 제 1 금속층(M1)과 섬 형상의 요철구조 평탄화막(PL) 상에 투명 도전성 금속물질을 스퍼터링하여 증착하고, 투명 도전성 금속물질을 패터닝하여 제 2 금속층(M2)을 형성한다. 제 2 금속층(M2)이 형성되는 평탄화막(PL)은 복수의 제 1 위치에서 제 1 금속층(M1)을 노출시키도록 복수의 개구부들 갖는 섬 형상의 요철구조를 갖는다. 제 2 금속층(M2) 형성시 애노드 전극(ANO)도 평탄화층(PL) 상에 형성된다.
- [0099] 도 10b를 참조하면, बैं크패턴(BA), बैं크패턴(BA)의 개구부를 통해 노출된 애노드 전극(ANO), 및 보조 캐소드 전극(ACAT)의 제 2 금속층(M2)을 커버하도록 유기 발광물질로 된 유기 발광층(OL)이 CVD (Chemical Vapor Deposition) 방법에 의해 증착된다.
- [0100] 도 10c 내지 도 10e를 참조하면, 유기 발광층(OL)이 증착된 बैं크패턴(BA) 개구부 내에 잉크젯 장치(INJ)를 이용하여 솔벤트(solvent)를 분사한 후 건조시킨다. 제 2 금속층(M2) 상의 유기 발광층(OL)은 솔벤트에 의해 녹으며 건조에 의해 잔류하는 유기 발광물질은 섬 형상의 평탄화막(PL)의 요철구조 때문에 평탄화막(PL)의 오목부에 대응하는 제 2 금속층(M2) 상에 유기 발광물질이 모여 잔류 유기 발광층(ROL)을 형성하고, 평탄화막(PL)의 볼록부에 대응하는 복수의 제 2 위치에서 제 2 금속층(M2)은 노출된다. 즉, 평탄화막(PL)의 상부에 형성된 제 2 금속층은 도 10e에 도시된 바와 같이 외부로 노출된다.
- [0101] 도 10f를 참조하면, 유기 발광층(OL) 및 잔류 유기 발광층(ROL)이 형성된 기관 상에 투명 도전성 물질을 증착하여 캐소드 전극(CAT)을 형성한다.
- [0102] 캐소드 전극(CAT)은 잔류 유기 발광층이 형성되지 않고 외부로 노출된 보조 캐소드전극(ACAT)의 제 2 금속층(M2)의 부분들과 연결하고, 보조 캐소드전극(ACAT)의 제 2 금속층(M2)은 제 1 금속층(M1)과 연결하며, 제 1 금속층(M1)은 도 8에 도시된 바와 같이 제 1 링크패턴(LP1)에 연결되고, 제 1 링크패턴(LP1)은 저전위 전원라인(VSL)에 연결되므로, 저전위 전원라인(VSL)을 통해 저전위 전원 전압이 캐소드 전극(CAT)에 공급된다.
- [0103] 상술한 본 발명의 실시예에 따르는 유기발광 다이오드 표시장치에 의하면, 표시패널의 위치에 따른 캐소드 전극의 저전위 전원 전압 편차를 최소화할 수 있으므로 표시패널의 위치에 따른 저항편차에 의한 휘도 불균일에 의한 불량을 방지할 수 있는 효과를 얻을 수 있다.
- [0104] 또한, 유기발광소자에 의한 캐소드 전극과 보조 캐소드 전극의 접속 방해 구조를 효과적으로 제거함으로써 보조

캐소드 전극과 캐소드 전극 사이의 콘택을 효율적으로 달성할 수 있는 효과를 얻을 수 있다.

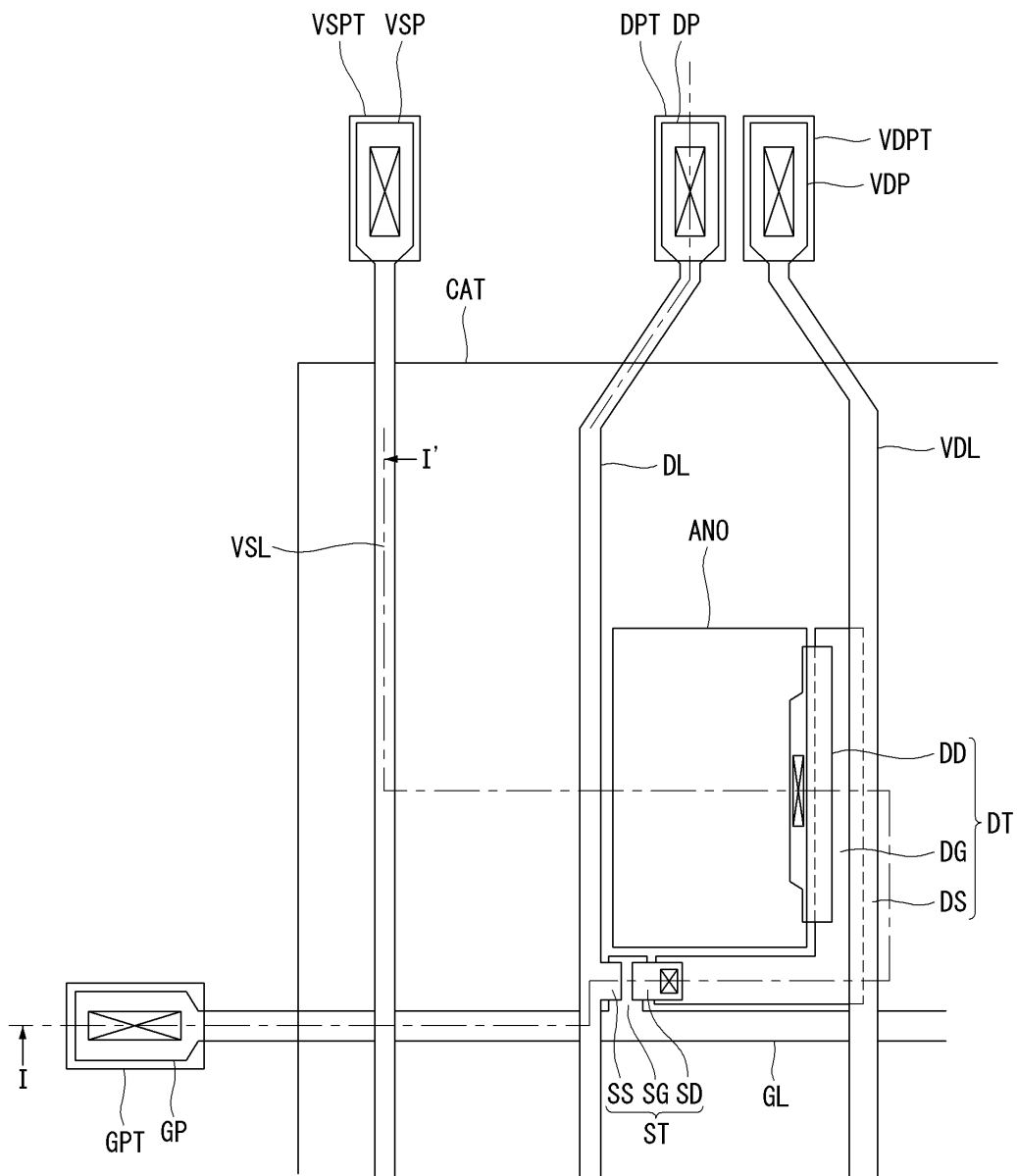
- [0105] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다.
- [0106] 예를 들어, 본 발명의 바람직한 실시예에 따르는 유기발광 다이오드 표시장치에서는 저전위 전원전압이 저전위 전원라인, 제 1 링크패턴, 및 보조 캐소드 전극을 통해 캐소드 전극에 공급되는 것에 대해 설명하였으나, 제 1 링크패턴은 생략되고 저전위 전원라인 직접 보조 캐소드 전극에 접속되도록 구성될 수도 있다.
- [0107] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

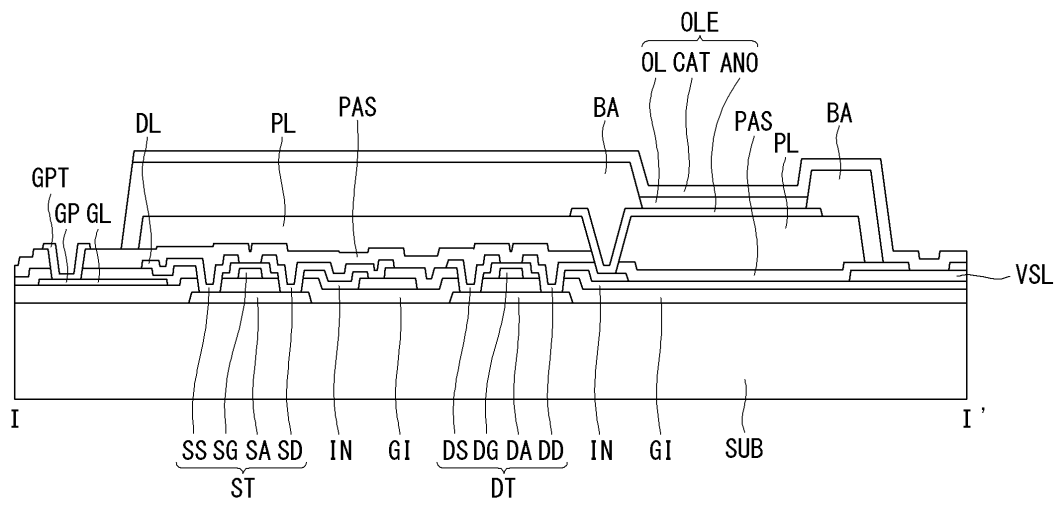
- [0108] DIS: 표시패널 BA: 뱅크패턴
- PA: 패드부 VSL: 저전위 전원라인
- VDL: 고전위 전원라인 LP1, LP2, LP3: 링크패턴
- ACAT: 보조 캐소드 전극 CAT: 캐소드 전극
- OL: 유기발광층 ROL: 잔류 유기발광층

도면

도면1

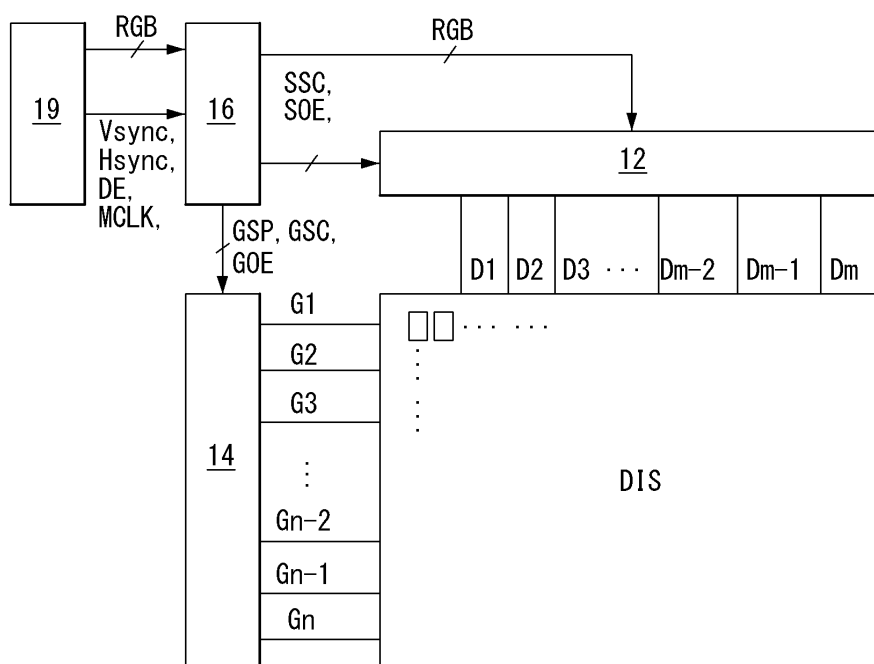


도면2

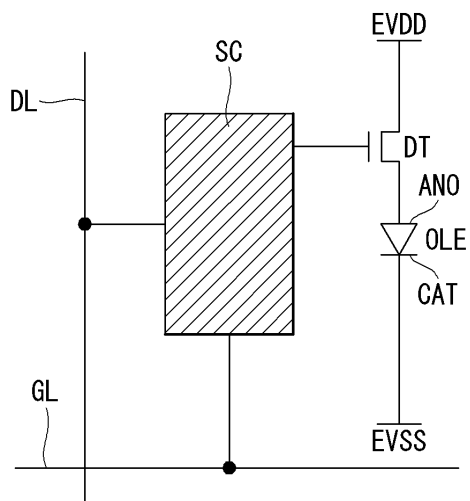


도면3

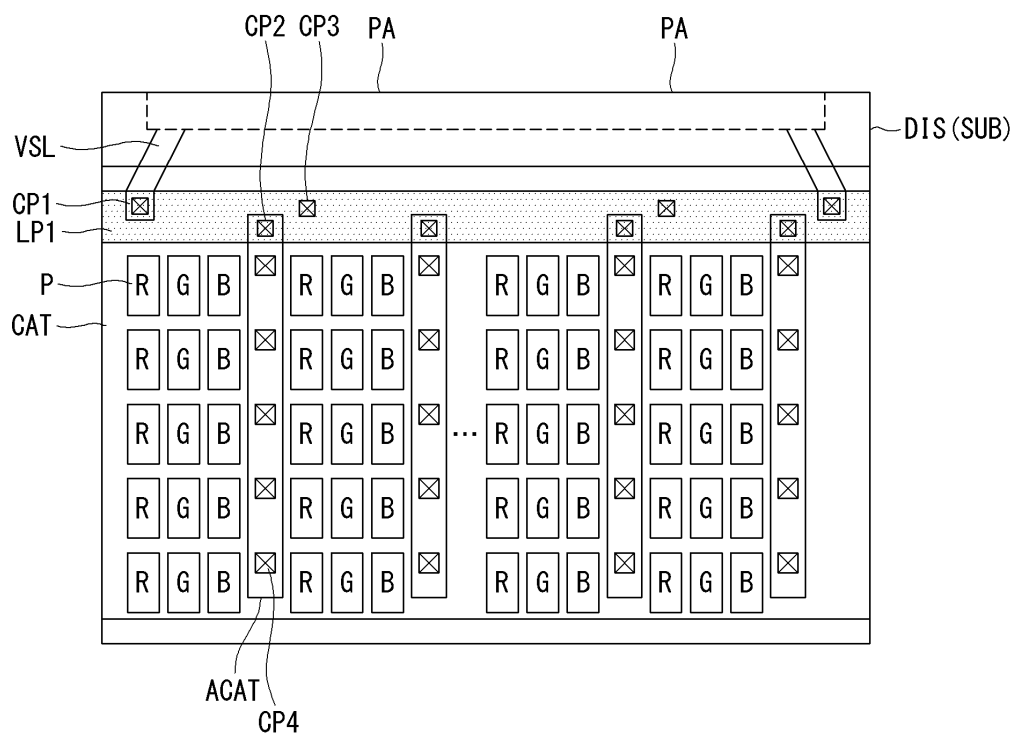
10



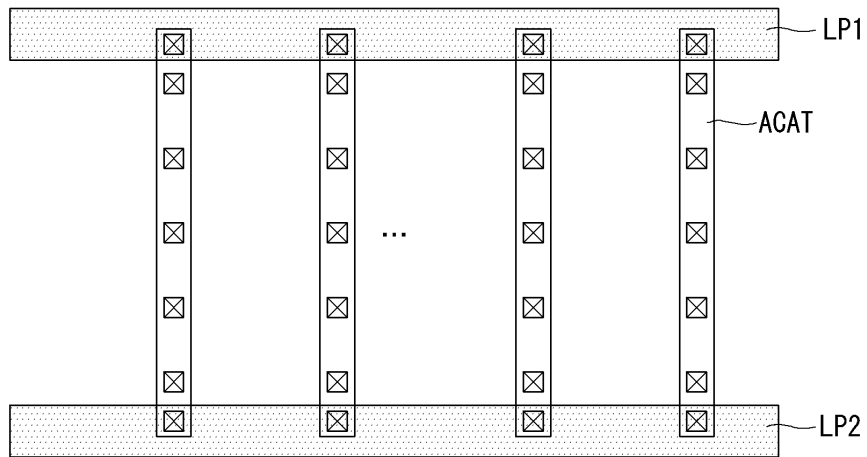
도면4



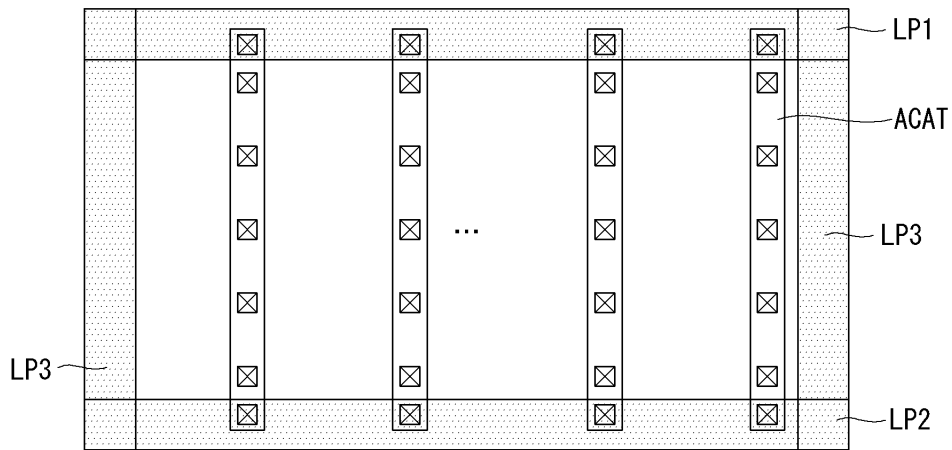
도면5



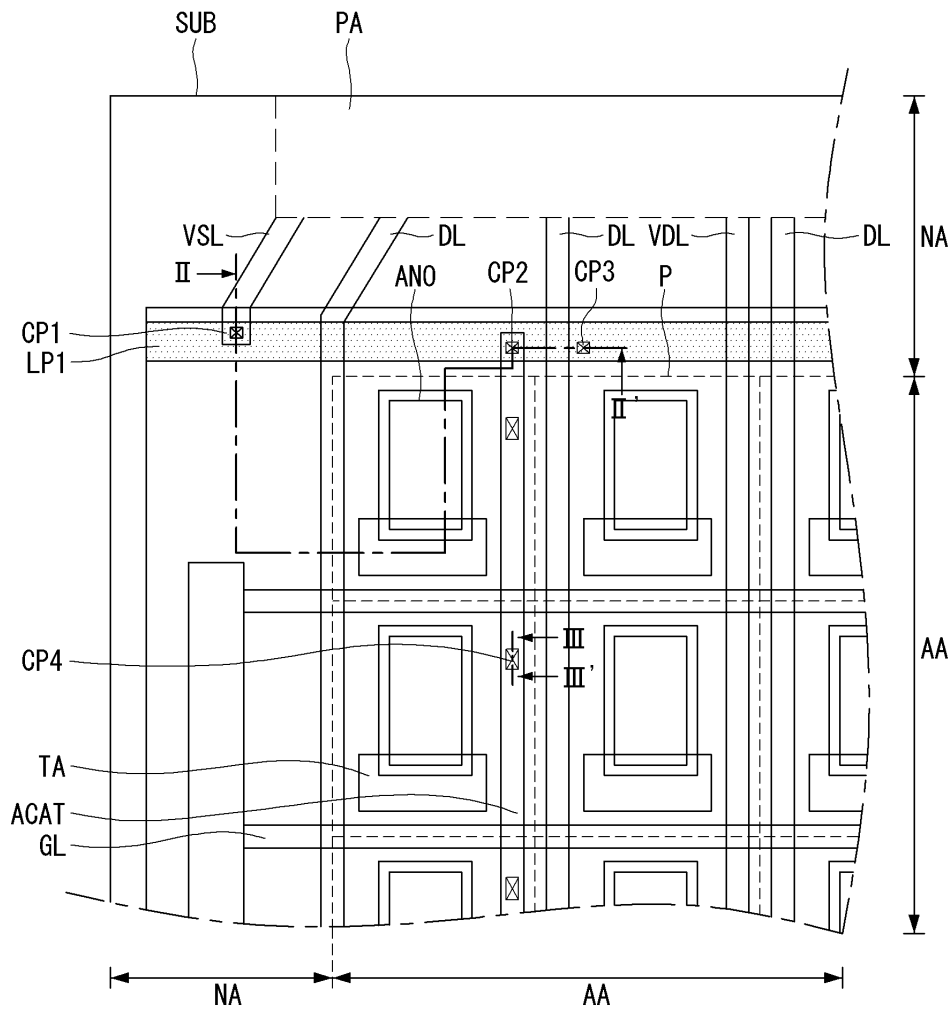
도면6a



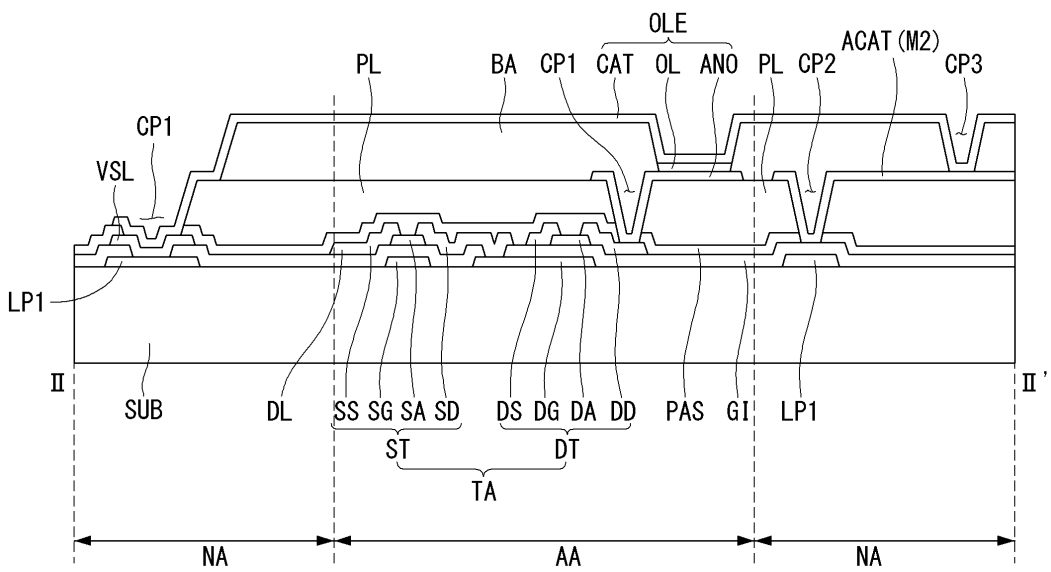
도면6b



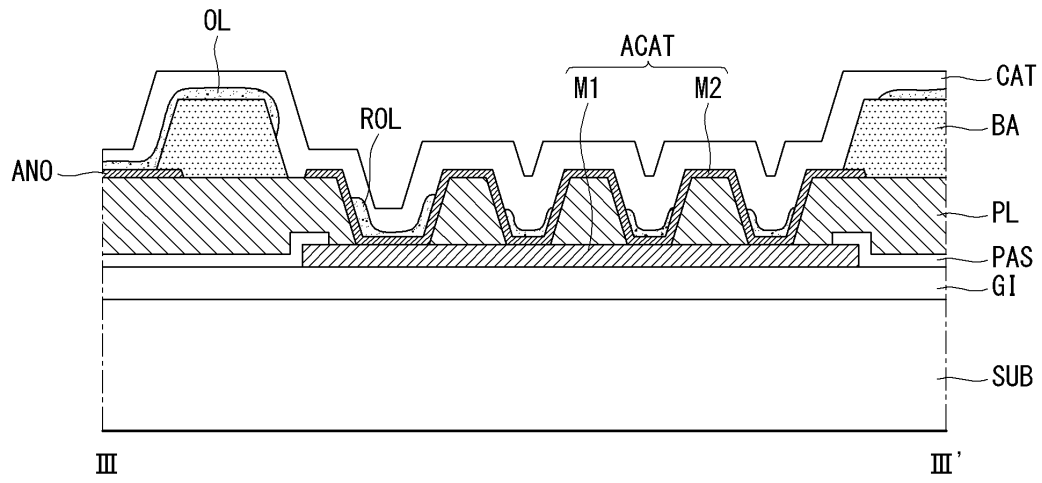
도면7



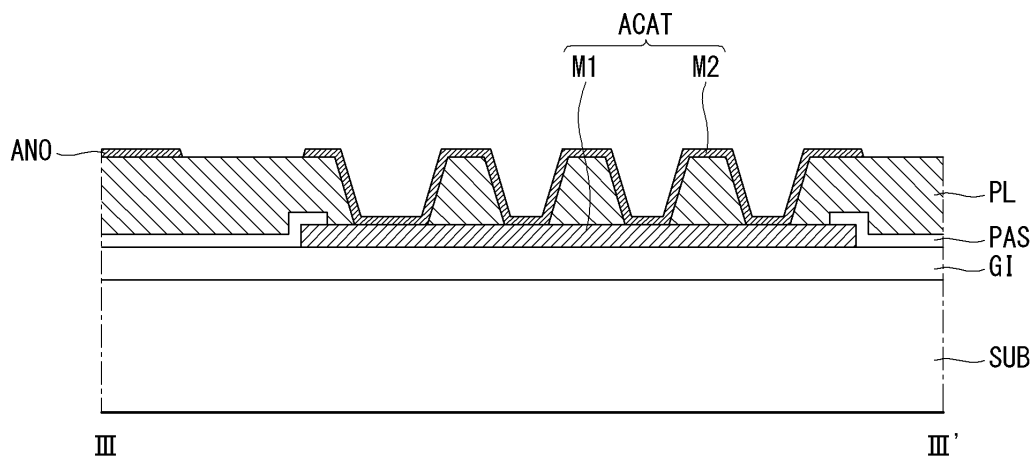
도면8



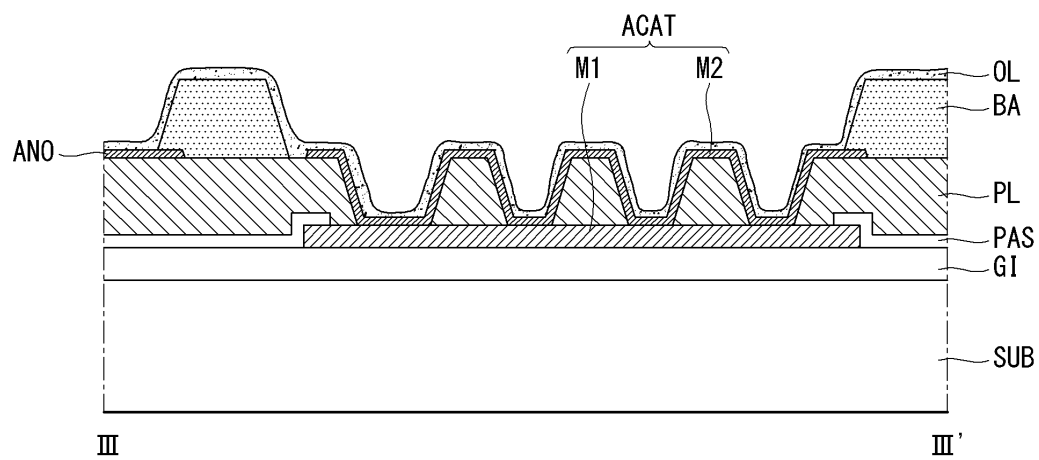
도면9



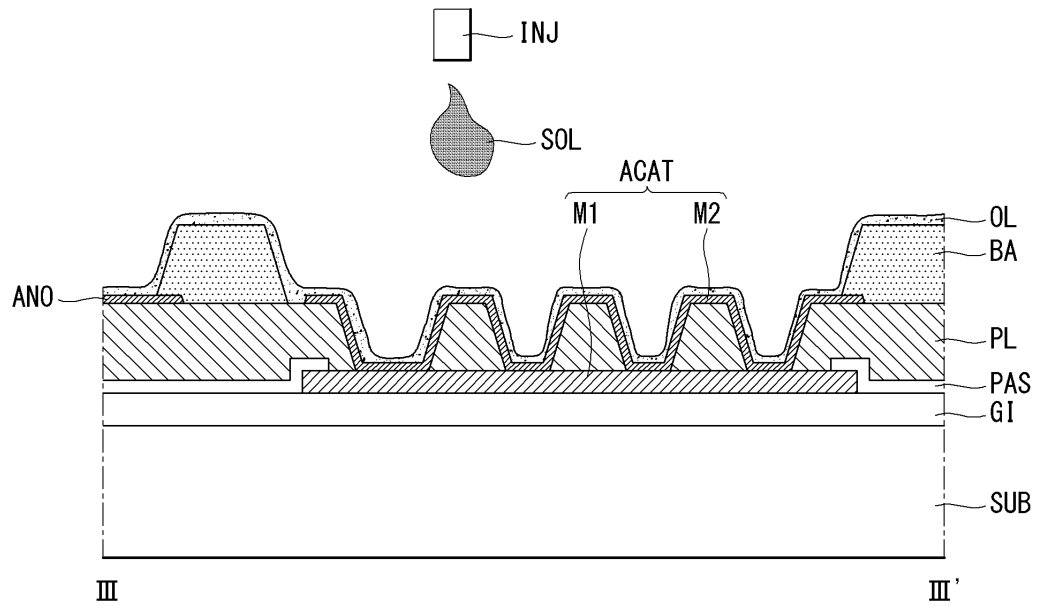
도면10a



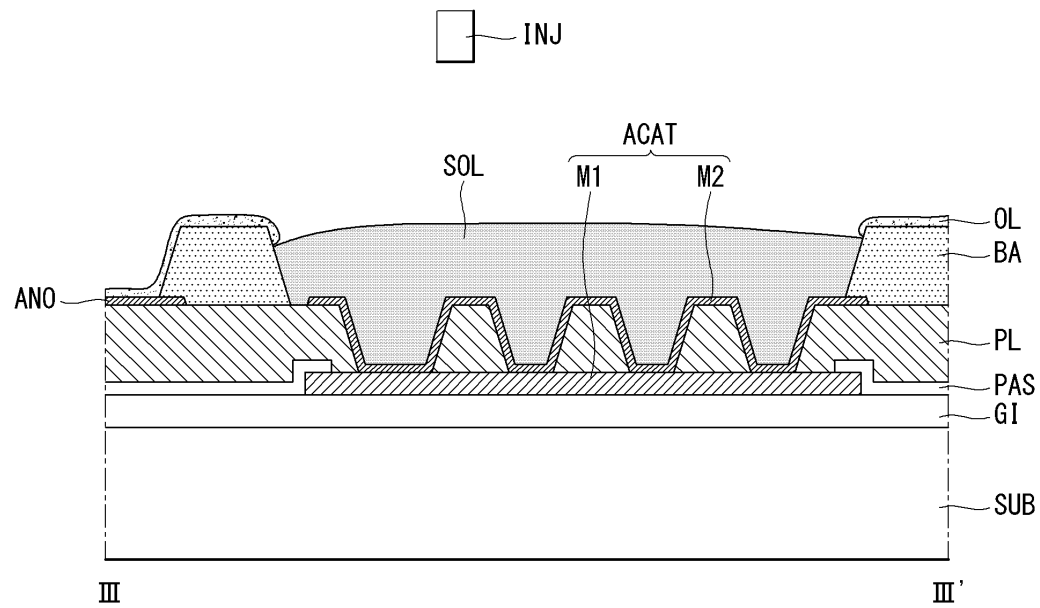
도면10b



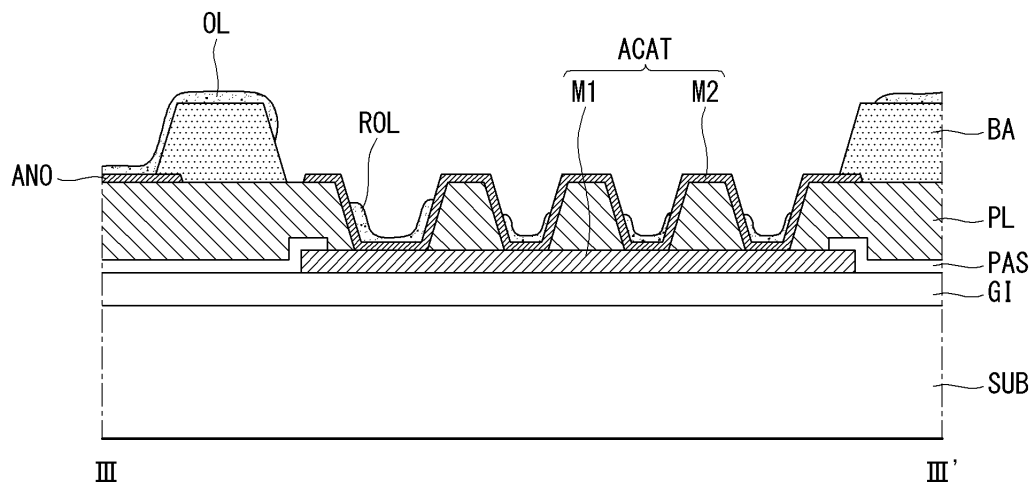
도면10c



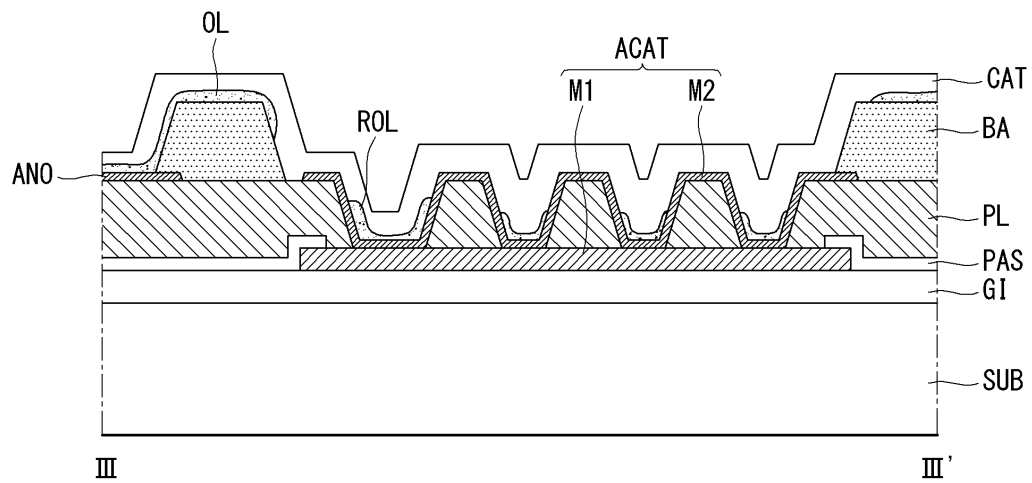
도면10d



도면10e



도면10f



专利名称(译)	一种在阴极和辅助阴极之间形成连接结构的方法和有机发光二极管		
公开(公告)号	KR1020170127622A	公开(公告)日	2017-11-22
申请号	KR1020160057918	申请日	2016-05-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG SANG PYO 홍상표		
发明人	홍상표		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5228 H01L27/3297 H01L27/3276 H01L27/3262 H01L27/3258 H01L51/5215 H01L51/56 H01L2227/323 H01L27/3279 H01L2251/5315 G09G3/325 G09G3/3258 G09G3/3266 G09G3/3291 G09G2300/0809 G09G2300/0814 G09G2300/0819 H01L51/0021 H05B45/60 H05B47/16		
外部链接	Espacenet		

摘要(译)

本发明涉及使阴极的低电位电源电压偏差最小化的有机发光二极管显示装置，并且包括阳极，有机发光层和阴极。有机发光二极管显示装置还包括低电平电源线，低电位电源电压，低电平电源线和连接阴极电极的至少一个次级阴极电极。至少一个次级阴极电极包括连接到低电平电源线的第一电极层，多个第一位置连接到多个第一位置中的1个电极层，第二电极层连接到不同多个第二位置的阴极电极。

