



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0109114
(43) 공개일자 2017년09월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2016-0032072
(22) 출원일자 2016년03월17일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
황현빈
경기도 용인시 기흥구 삼성로 1 (농서동)
신민철
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
리엔특허법인

전체 청구항 수 : 총 20 항

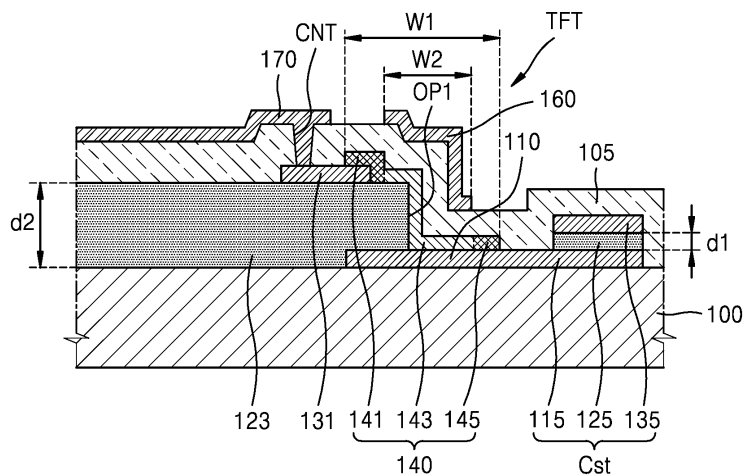
(54) 발명의 명칭 박막트랜지스터 기관 및 이를 구비한 유기 발광 표시 장치, 박막트랜지스터 기관의 제조방법

(57) 요약

본 발명의 일 실시예는 기관; 상기 기관 상에 위치하며, 소스전극 및 드레인전극 중 어느 하나인 하부전극; 상기 하부전극 상에 위치하는 제1절연층; 상기 제1절연층 상에 위치하며, 상기 소스전극 및 상기 드레인전극 중 나머지 하나인 상부전극; 상기 하부전극, 상기 제1절연층 및 상기 상부전극 상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 제2절연층; 상기 반도체층과 중첩되도록 상기 제2절연층 상에 위치하는 게이트전극; 및 상기 게이트전극과 동일 물질을 포함하며 상기 상부전극과 전기적으로 연결되는 화소전극;을 포함하는, 박막트랜지스터 기관을 제공한다.

대표도 - 도1

1



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

H01L 29/786 (2013.01)

H01L 29/78618 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하며, 소스전극 및 드레인전극 중 어느 하나인 하부전극;

상기 하부전극 상에 위치하는 제1절연층;

상기 제1절연층 상에 위치하며, 상기 소스전극 및 상기 드레인전극 중 나머지 하나인 상부전극;

상기 하부전극, 상기 제1절연층 및 상기 상부전극 상에 위치하는 반도체층;

상기 반도체층 상에 위치하는 제2절연층;

상기 반도체층과 중첩되도록 상기 제2절연층 상에 위치하는 게이트전극; 및

상기 게이트전극과 동일 물질을 포함하며 상기 상부전극과 전기적으로 연결되는 화소전극;을 포함하는, 박막트랜지스터 기관.

청구항 2

제1항에 있어서,

상기 반도체층은 상기 하부전극의 상면과 중첩하는, 박막트랜지스터 기관.

청구항 3

제1항에 있어서,

상기 하부전극은 상기 상부전극과 중첩되지 않는 비중첩영역을 포함하는, 박막트랜지스터 기관.

청구항 4

제3항에 있어서,

상기 제1절연층은 상기 하부전극의 상면을 노출시키는 제1개구를 포함하고,

상기 제1개구는 상기 하부전극의 상기 비중첩영역에 위치하는, 박막트랜지스터 기관.

청구항 5

제3항에 있어서,

상기 반도체층은 상기 하부전극의 상기 비중첩영역과 접촉되는, 박막트랜지스터 기관.

청구항 6

제1항에 있어서,

상기 반도체층은 제1폭을 갖고, 상기 게이트전극은 제2폭을 가지며, 상기 제1폭은 상기 제2폭보다 큰, 박막트랜지스터 기관.

청구항 7

제1항에 있어서,

순차적으로 적층된 제1전극, 유전체층 및 제2전극을 구비하는 스토리지 커패시터;를 더 포함하고,

상기 제1전극은 상기 하부전극과 동일 물질을 포함하는, 박막트랜지스터 기관.

청구항 8

제7항에 있어서,

상기 하부전극의 일부는 상기 스토리지 커패시터의 상기 제1전극인, 박막트랜지스터 기판.

청구항 9

제7항에 있어서,

상기 유전체층은 상기 제1절연층과 동일 물질을 포함하는, 박막트랜지스터 기판.

청구항 10

제7항에 있어서,

상기 유전체층의 두께는 상기 제1절연층의 두께보다 작은, 박막트랜지스터 기판.

청구항 11

제1항 내지 제10항 중 어느 한 항의 박막트랜지스터 기판;

상기 박막트랜지스터 기판의 상기 화소전극 상에 배치되며 유기발광층을 포함하는 중간층; 및

상기 중간층 상에 배치되는 대향전극;을 구비하는, 유기 발광 표시 장치.

청구항 12

기판 상에 하부전극, 제1절연층 및 상부전극을 순차적으로 형성하는 단계;

상기 하부전극, 상기 제1절연층 및 상기 상부전극 상에 위치하는 반도체층을 형성하는 단계;

상기 반도체층과 중첩되는 게이트전극을 형성하는 단계; 및

상기 상부전극과 전기적으로 연결되는 화소전극을 형성하는 단계;를 포함하고,

상기 게이트전극을 형성하는 단계 및 상기 화소전극을 형성하는 단계는 동일 마스크공정에서 수행되는, 박막트랜지스터 기판의 제조방법.

청구항 13

제12항에 있어서,

상기 반도체층은 상기 하부전극의 상면과 중첩하는, 박막트랜지스터 기판의 제조방법.

청구항 14

제12항에 있어서,

상기 하부전극, 상기 제1절연층 및 상기 상부전극을 순차적으로 형성하는 단계는,

상기 기판 상에 상기 상부전극과 중첩되지 않는 비중첩영역을 포함하는 상기 하부전극을 형성하는 단계;

상기 하부전극 상에 상기 하부전극의 상기 비중첩영역을 노출시키는 제1개구가 형성된 상기 제1절연층을 형성하는 단계; 및

상기 제1절연층 상에 상기 상부전극을 형성하는 단계;를 포함하는, 박막트랜지스터 기판의 제조방법.

청구항 15

제14항에 있어서,

상기 반도체층은 상기 제1개구를 통해 상기 하부전극의 상기 비중첩영역과 접촉되는, 박막트랜지스터 기판의 제조방법.

청구항 16

제12항에 있어서,

상기 기판 상에 제1전극, 유전체층 및 제2전극이 순차적으로 적층된 스토리지 커패시터를 형성하는 단계;를 더 포함하고,

상기 제1전극은 상기 하부전극과 동일 물질을 포함하는, 박막트랜지스터 기판의 제조방법.

청구항 17

제16항에 있어서,

상기 하부전극의 일부는 상기 스토리지 커패시터의 상기 제1전극인, 박막트랜지스터 기판의 제조방법.

청구항 18

제16항에 있어서,

상기 유전체층은 상기 제1절연층과 동일물질을 포함하며, 상기 제1절연층보다 얇게 형성되는, 박막트랜지스터 기판의 제조방법.

청구항 19

제16항에 있어서,

상기 제2전극은 상기 상부전극과 동일 물질을 포함하는, 박막트랜지스터 기판의 제조방법.

청구항 20

제12항에 있어서,

상기 게이트전극을 마스크로 사용하여 상기 반도체층에 이온불순물을 도핑하는 단계;를 더 포함하는, 박막트랜지스터 기판의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 박막트랜지스터 기판 및 이를 구비한 유기 발광 표시 장치, 박막트랜지스터 기판의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 급속하게 발전하고 있는 반도체 기술에 힘입어, 디스플레이장치의 화면 크기는 증가하고 그 무게는 경량화 되는 등 디스플레이장치의 성능이 개선됨에 따라 디스플레이장치의 수요가 폭발적으로 늘어나고 있다.

[0003] 디스플레이장치 중 하나인 유기발광표시장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자와 다른 전극으로부터 주입된 정공이 유기 발광층에서 결합하여 여기자를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0004] 이러한 유기발광표시장치는 자발광소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 하나 이상의 커패시터가 형성되어 있다.

발명의 내용

해결하려는 과제

[0005] 최근 들어, 일정한 면적을 갖는 디스플레이장치에서 해상도 및 화소 집적도를 높이기 위한 기술들이 개발되고 있다. 그러나, 이러한 고해상도의 디스플레이장치는 개구율이 작아 휘도 및 소비전력 측면에서 불리하다는 문제점이 있다.

[0006] 본 발명의 실시예들은 이러한 문제점을 해결하기 위하여 박막트랜지스터(Thin film transistor :TFT)이 차지하는 면적을 줄여 개구율을 늘릴 수 있는 박막트랜지스터 기판 및 이를 구비한 유기 발광 표시 장치, 박막트랜지

스터 기판의 제조방법을 제공하고자 한다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예는 기판; 상기 기판 상에 위치하며, 소스전극 및 드레인전극 중 어느 하나인 하부전극; 상기 하부전극 상에 위치하는 제1절연층; 상기 제1절연층 상에 위치하며, 상기 소스전극 및 상기 드레인전극 중 나머지 하나인 상부전극; 상기 하부전극, 상기 제1절연층 및 상기 상부전극 상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 제2절연층; 상기 반도체층과 중첩되도록 상기 제2절연층 상에 위치하는 게이트전극; 및 상기 게이트전극과 동일 물질을 포함하며 상기 상부전극과 전기적으로 연결되는 화소전극;을 포함하는, 박막트랜지스터 기판을 제공한다.
- [0008] 본 발명의 일 실시예에 있어서, 상기 반도체층은 상기 하부전극의 상면과 중첩할 수 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 하부전극은 상기 상부전극과 중첩되지 않는 비중첩영역을 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 제1절연층은 상기 하부전극의 상면을 노출시키는 제1개구를 포함하고, 상기 제1개구는 상기 하부전극의 상기 비중첩영역에 위치할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 반도체층은 상기 하부전극의 상기 비중첩영역과 접촉될 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 반도체층은 제1폭을 갖고, 상기 게이트전극은 제2폭을 가지며, 상기 제1폭은 상기 제2폭보다 클 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 순차적으로 적층된 제1전극, 유전체층 및 제2전극을 구비하는 스토리지 커패시터;를 더 포함하고, 상기 제1전극은 상기 하부전극과 동일 물질을 포함할 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 하부전극의 일부는 상기 스토리지 커패시터의 상기 제1전극일 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 유전체층은 상기 제1절연층과 동일 물질을 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 유전체층의 두께는 상기 제1절연층의 두께보다 작을 수 있다.
- [0017] 본 발명의 일 실시예는, 제1항 내지 제9항 중 어느 한 항의 박막트랜지스터 기판; 상기 박막트랜지스터 기판의 상기 화소전극 상에 배치되며 유기발광층을 포함하는 중간층; 및 상기 중간층 상에 배치되는 대향전극;을 구비하는, 유기 발광 표시 장치를 제공한다.
- [0018] 본 발명의 일 실시예는, 기판 상에 하부전극, 제1절연층 및 상부전극을 순차적으로 형성하는 단계; 상기 하부전극, 상기 제1절연층 및 상기 상부전극 상에 위치하는 반도체층을 형성하는 단계; 상기 반도체층과 중첩되는 게이트전극을 형성하는 단계; 및 상기 상부전극과 전기적으로 연결되는 화소전극을 형성하는 단계;를 포함하고, 상기 게이트전극을 형성하는 단계 및 상기 화소전극을 형성하는 단계는 동일 마스크공정에서 수행되는, 박막트랜지스터 기판의 제조방법을 제공한다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 반도체층은 상기 하부전극의 상면과 중첩할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 하부전극, 상기 제1절연층 및 상기 상부전극을 순차적으로 형성하는 단계는, 상기 기판 상에 상기 상부전극과 중첩되지 않는 비중첩영역을 포함하는 상기 하부전극을 형성하는 단계; 상기 하부전극 상에 상기 하부전극의 상기 비중첩영역을 노출시키는 제1개구가 형성된 상기 제1절연층을 형성하는 단계; 및 상기 제1절연층 상에 상기 상부전극을 형성하는 단계;를 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 반도체층은 상기 제1개구를 통해 상기 하부전극의 상기 비중첩영역과 접촉될 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 기판 상에 제1전극, 유전체층 및 제2전극이 순차적으로 적층된 스토리지 커패시터를 형성하는 단계;를 더 포함하고, 상기 제1전극은 상기 하부전극과 동일 물질을 포함할 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 하부전극의 일부는 상기 스토리지 커패시터의 상기 제1전극일 수 있다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 유전체층은 상기 제1절연층과 동일물질을 포함하며, 상기 제1절연층보다 얇게 형성될 수 있다.
- [0025] 본 발명의 일 실시예에 있어서, 상기 제2전극은 상기 상부전극과 동일 물질을 포함할 수 있다.
- [0026] 본 발명의 일 실시예에 있어서, 상기 게이트전극을 마스크로 사용하여 상기 반도체층에 이온불순물을 도핑하는

단계;를 더 포함할 수 있다.

[0027] 기술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0028] 본 발명의 실시예들에 따른 박막트랜지스터 기판은 수직 구조의 박막트랜지스터를 포함함으로써, 화소의 개구율을 증대시킬 수 있다. 또한, 박막트랜지스터 기판은 화소전극 및 게이트전극을 동일한 마스크 공정에서 수행함으로써, 제조 비용을 절감하고 공정시간을 단축시킬 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 박막트랜지스터 기판을 개략적으로 도시한 단면도이다.
 도 2는 본 발명의 다른 실시예에 따른 박막트랜지스터 기판을 개략적으로 도시한 단면도이다.
 도 3 내지 도 8을 참조하여 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 제조방법을 설명한다.
 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 평면도이다.
 도 10은 도 9에 도시된 유기 발광 표시 장치의 한 화소의 일부를 발췌하여 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0032] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0033] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0034] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0035] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0036] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0037] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.

[0038] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.

[0039] 도 1은 본 발명의 일 실시예에 따른 박막트랜지스터 기판(1)을 개략적으로 도시한 단면도이다.

[0040] 도 1을 참조하면, 박막트랜지스터 기판(1)은 기판(100), 하부전극(110), 제1절연층(123), 상부전극(131), 반도체층(140), 게이트전극(160) 및 화소전극(170)을 포함한다.

- [0041] 기판(100)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재로 형성될 수 있다. 기판(100) 상에는 기판(100)의 평활성 및 기판(100)으로부터의 불순원소의 침투를 차단하기 위한 버퍼층(미도시)이 더 구비될 수 있다. 버퍼층(미도시)은 실리콘질 화물 및/또는 실리콘산화물이 단층 또는 복수층 배치될 수 있다.
- [0042] 하부전극(110)은 기판(100) 상에 구비될 수 있다. 하부전극(110)은 소스전극 및 드레인전극 중 어느 하나일 수 있다. 이하, 설명의 편의를 위해서, 하부전극(110)이 소스전극인 경우를 중심으로 설명하기로 한다. 하부전극(110)은 상부전극(131)과 중첩되도록 배치될 수 있으나, 인접층인 반도체층(140)과의 접촉 면적을 확보하기 위하여 상부전극(131)과 비중첩되는 비중첩영역을 포함할 수 있다. 하부전극(110)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0043] 하부전극(110) 상에는 하부전극(110)과 적어도 일부가 중첩되는 제1절연층(123)이 배치될 수 있다. 제1절연층(123)은 하부전극(110)과 상부전극(131)의 절연성을 확보하기 위한 것으로, 제2두께(d2)를 가질 수 있다. 제1절연층(123)은 버퍼층일 수도 있고, 층간절연막일 수도 있다. 제1절연층(123)은 예컨대 유기절연막으로 구비될 수 있다. 그러한 유기 절연막으로는 폴리메틸메타크릴레이트(PMMA)와 같은 아크릴계 고분자, 폴리스티렌(PS), phenol그룹을 갖는 고분자 유도체, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 혼합물 등을 포함할 수 있다. 그러나 이에 한정되지 않으며, 제1절연층(123)은 실리콘옥사이드 또는 실리콘나이트라이드 등의 무기절연막으로 형성될 수 있다.
- [0044] 제1절연층(123)은 하부전극(110)의 상면을 노출시키는 제1개구(OP1)를 포함할 수 있다. 제1절연층(123)의 제1개구(OP1)는 하부전극(110)의 비중첩영역에 위치할 수 있다. 제1절연층(123)의 제1개구(OP1)를 통해, 하부전극(110)은 반도체층(140)과 접촉할 수 있다.
- [0045] 상부전극(131)은 상기 제1절연층(123) 상에 위치할 수 있다. 상부전극(131)은 소스전극 및 드레인전극 중 나머지 하나일 수 있다. 전술한 바와 같이 일 실시예로서 하부전극(110)이 소스전극인 경우에는, 상부전극(131)은 드레인전극일 수 있다.
- [0046] 상부전극(131)은 하부전극(110)과 동일 물질로 이루어질 수 있으나, 이에 한정되지 않는다. 다른 실시예로서, 상부전극(131)은 하부전극(110)과 다른 물질로 이루어질 수 있다. 상부전극은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0047] 반도체층(140)은 하부전극(110), 제1절연층(123) 및 상부전극(131) 상에 위치할 수 있다. 반도체층(140)은 서로 다른 층에 위치하는 하부전극(110)과 상부전극(131), 다시 말해, 소스전극 및 드레인전극과 접촉함으로써, 평면이 아닌 수직 채널(vertical channel)을 형성할 수 있다. 이때, 반도체층(140)은 하부전극(110)의 상면과 중첩할 수 있다.
- [0048] 반도체층(140)은 하부전극(110), 제1절연층(123) 및 상부전극(131) 모두와 접촉하도록 위치하므로, 상부전극(131)과 하부전극(110)의 중첩 길이 및/또는 제1절연층(123)의 제2두께(d2) 등에 의해 박막트랜지스터(TFT)의 채널길이(channel length)가 결정될 수 있다. 예를 들면, 제1절연층(123)의 제2두께(d2)가 작아지면, 박막트랜지스터(TFT)의 채널길이는 짧아질 수 있다. 반도체층(140)은 하부전극(110)의 비중첩영역을 통해 하부전극(110)과 접촉될 수 있다. 구체적으로, 반도체층(140)은 제1절연층(123)의 제1개구(OP1)에 의해 노출된 하부전극(110)의 비중첩영역과 접촉될 수 있다.
- [0049] 반도체층(140)은 채널영역(143), 채널영역(143)의 양측에 구비된 소스영역(145) 및 드레인영역(141)을 포함한다. 반도체층(140)은 반도체 물질을 포함하며, 예를 들면, 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly crystalline silicon)을 포함할 수 있다. 이때, 다결정 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 반도체층(140)은 유기 반도체 물질 또는 산화물 반도체 물질을 포함할 수 있다.

- [0050] 게이트전극(160)은 반도체층(140)과 증착되도록 반도체층(140) 상에 위치할 수 있다. 게이트전극(160)은 반도체층(140)과 증착되도록 배치되므로, 수직 채널 구조를 갖는 반도체층(140)에 대응되는 수직 구조를 갖게 된다. 게이트전극(160)은 평면상 제2폭을 가지며, 이는 반도체층(140)의 제1폭보다 작을 수 있다. 일 실시예로서, 게이트전극(160)의 제2폭은 반도체층(140)의 채널영역(143)의 제3폭과 실질적으로 동일할 수 있다. 그러나 이에 한정되지 않으며, 다른 실시예로서, 채널영역(143) 양측에 저농도도핑(Lightly Doped Drain; LDD)영역을 형성하는 경우, 게이트전극(160)의 제2폭은 채널영역(143)의 제3폭보다 작을 수 있다.
- [0051] 이때, 게이트전극(160)과 반도체층(140)의 절연성을 확보하기 위해, 게이트전극(160)과 반도체층(140) 사이에 제2절연층(105)이 개재될 수 있다. 이러한 제2절연층(105)은 게이트절연막일 수도 있고, 비아절연막일 수도 있다. 제2절연층(105)은 예컨대, 실리콘옥사이드 또는 실리콘나이트라이드 등의 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다.
- [0052] 화소전극(170)은 제2절연층(105) 상에 배치되고, 게이트전극(160)과 동일층에 위치할 수 있다. 화소전극(170)은 제2절연층(105)에 위치하는 콘택홀(CNT)을 통해 드레인전극인 상부전극(131)에 접속될 수 있다. 또한, 화소전극(170)은 게이트전극(160)과 동일 물질로 이루어질 수 있다.
- [0053] 화소전극(170)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대, 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO) 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 반사형 전극으로 형성될 때에는 예컨대, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재질로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다.
- [0054] 본 발명의 일 실시예에 따른 박막트랜지스터 기관(1)은 스토리지 커패시터(Cst)를 더 포함할 수 있다.
- [0055] 스토리지 커패시터(storage capacitor, Cst)는 순차적으로 적층된 제1전극(115), 유전체층(125) 및 제2전극(135)을 포함할 수 있다. 이때, 제1전극(115)은 하부전극(110)과 동일 공정에서 형성되어 동일 물질을 포함할 수 있다. 일 실시예로서, 도면에 도시된 바와 같이 하부전극(110)의 일부는 스토리지 커패시터(Cst)의 제1전극(115)일 수 있다. 그러나 이에 한정되지 않으며, 다른 실시예로서, 하부전극(110)과 제1전극(115)은 서로 분리 배치될 수 있다.
- [0056] 유전체층(125)은 제1절연층(123)과 동일 공정에서 형성되며 동일물질로 이루어질 수 있다. 다시 말해, 유전체층(125)은 상부전극(131)과 하부전극(110) 사이에 개재되는 제1절연층(123)의 일부로 형성될 수 있다. 도면에서는 제1절연층(123)과 유전체층(125)이 분리되어 있는 것으로 도시되었으나 이는 설명의 편의를 위한 것으로 제1개구(OP1)가 배치된 영역을 제외하고 제1절연층(123)과 유전체층(125)은 연결될 수도 있다. 이때, 스토리지 커패시터(Cst)의 커패시터 용량 확보를 위하여, 유전체층(125)의 두께(d1)는 제1절연층(123)의 두께(d2)보다 작을 수 있다.
- [0057] 제2전극(135)은 상부전극(131)과 동일 물질로 이루어질 수 있다. 제1절연층(123)과 유전체층(125)의 두께 차이로 인하여 도면에서는 다른 층에 배치된 것처럼 보이나, 제2전극(135)은 상부전극(131)과 동일 마스크공정을 통해 형성될 수 있다.
- [0058] 본 발명의 일 실시예에 따른 박막트랜지스터 기관(1)은 이러한 수직 채널 구조를 통해 박막트랜지스터(TFT)가 차지하는 면적을 줄일 수 있고, 개구율을 향상시킬 수 있다.
- [0059] 본 명세서에서 박막트랜지스터 기관이라 함은 기관(100) 상에 박막트랜지스터가 형성된 상태를 의미하는 것으로, 도 1에 도시된 바와 같이 기관(100) 상에 박막트랜지스터(TFT)가 형성된 상태를 의미하는 것일 수 있고, 또는 박막트랜지스터 상에 화소전극(170)까지 형성된 상태일 수도 있다.
- [0060] 도 2는 본 발명의 다른 실시예에 따른 박막트랜지스터 기관(2)을 개략적으로 도시한 단면도이다.
- [0061] 도 2를 참조하면, 박막트랜지스터 기관(2)은 기관(200), 하부전극(210), 제1절연층(223), 상부전극(231), 반도체층(240), 게이트전극(260), 화소전극(270) 및 스토리지 커패시터(Cst)의 제1전극(215), 유전체층(225), 제2전극(235)을 포함한다. 다른 실시예에 따른 박막트랜지스터 기관(2)은 스토리지 커패시터(Cst)의 위치를 제외하 나머지 구성요소가 일 실시예에 따른 박막트랜지스터 기관(1)과 구성요소와 동일하므로, 중복되는 설명은 생략

하기로 한다.

- [0062] 본 발명의 다른 실시예에 따른 스토리지 커패시터(Cst)는 화소전극(270)과 중첩도록 배치될 수 있다.
- [0063] 스토리지 커패시터(storage capacitor, Cst)는 순차적으로 적층된 제1전극(215), 유전체층(225) 및 제2전극(235)을 포함할 수 있다. 이때, 제1전극(215)은 하부전극(210)과 동일 물질을 포함할 수 있다. 일 실시예로서, 도면에 도시된 바와 같이 하부전극(210)의 일부는 스토리지 커패시터(Cst)의 제1전극(215)일 수 있다. 다시 말해, 하부전극(210)은 화소전극(270) 하부까지 연장되어 제1전극(215)을 형성할 수 있다.
- [0064] 유전체층(225)은 상부전극(231)과 하부전극(210) 사이에 개재되는 제1절연층(223)의 일부로 형성될 수 있다. 이때, 스토리지 커패시터(Cst)의 커패시터 용량 확보를 위하여, 유전체층(225)의 제1두께(d1)는 제1절연층(223)의 제2두께(d2)보다 작을 수 있다.
- [0065] 제2전극(235)은 상부전극(231)과 동일 물질로 이루어질 수 있다. 제1절연층(223)과 유전체층(225)의 두께 차이로 인하여 도면에서는 다른 층에 배치된 것처럼 보이나, 제2전극(235)은 상부전극(231)과 동일 마스크공정을 통해 형성될 수 있다. 제2전극(235)은 화소전극(270) 하부에 위치할 수 있다.
- [0066] 진술한 바와 같이, 본 발명의 다른 실시예에 따른 박막트랜지스터 기관(2)은 전면발광형에 이용될 수 있으며, 화소전극(270) 하부에 스토리지 커패시터(Cst)를 배치시켜 커패시터 용량을 증가시킬 수 있다.
- [0067] 이하, 도 3 내지 도 8을 참조하여 본 발명의 일 실시예에 따른 박막트랜지스터 기관(1)의 제조방법을 설명한다.
- [0068] 도 3 내지 도 8은 도 1에 도시된 박막트랜지스터 기관(1)의 제조방법을 순서대로 도시한 단면도들이다.
- [0069] 도 3을 참조하면, 기관(100) 상에 하부전극(110)을 형성한다. 기관(100)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱 재 등, 다양한 재료로 형성된 것일 수 있다. 도 3에서는 하부전극(110)이 기관(100) 상에 바로 형성된 것으로 도시되어 있으나, 본 발명이 반드시 이에 한정되는 것은 아니다. 기관(100) 상에 버퍼층(미도시) 등의 배리어층이 단층 또는 다층으로 형성되고, 그 위에 하부전극(110)이 형성될 수도 있다. 하부전극(110)은 상부전극(131)과 중첩되지 않는 비중첩영역을 포함할 수 있다.
- [0070] 하부전극(110)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0071] 한편, 하부전극(110)을 형성하는 동일한 공정에서 스토리지 커패시터(Cst)의 제1전극(115)을 형성할 수 있다. 일 실시예로서, 하부전극(110)의 일부는 제1전극(115)일 수 있다.
- [0072] 도 4 및 도 5를 참조하면, 하부전극(110) 상에 하부전극(110)을 덮도록 제1절연물질(120)을 도포한 후, 패터닝하여 제1절연층(123) 및 유전체층(125)을 형성한다.
- [0073] 제1절연물질(120)은 폴리이미드(polyimide)와 같은 감광성 유기물질 포함할 수 있다. 제1절연물질(120)에 포토마스크(M)를 이용하여 광을 조사할 수 있다. 포토마스크(M)는 하프톤 마스크 또는 슬릿 마스크 중 어느 하나로 형성될 수 있다. 일 실시예로서, 포토 마스크(M)가 하프톤 마스크인 경우, 포토마스크(M)는 투광부(M3), 차광부(M1), 및 반투광부(M2)를 포함할 수 있다. 투광부(M3)는 제1절연물질(120)이 완전히 제거될 영역인 제1개구(OP1), 차광부(M1)는 제1절연층(123), 반투광부(M2)는 유전체층(125)에 각각 대응될 수 있다. 다른 실시예로서, 포토 마스크(M)가 슬릿 마스크인 경우, 슬릿마스크는 광을 차단하는 슬릿바를 적어도 하나 포함하는 슬릿부(M2)와 광을 투과하는 투광부(M3), 광을 차단하는 차광부(M1)를 포함할 수 있다.
- [0074] 투광부(M3)를 통해 광이 조사된 제1절연물질(120)은 완전히 제거되고 반투광부(M2)를 통해 광이 조사된 제1절연물질(120)의 일부를 제거한 후, 제1개구(OP1)를 포함하는 제1절연층(123) 및 유전체층(125)을 형성할 수 있다. 이때, 제1절연층(123)의 두께(d2)는 유전체층(125)의 두께(d1)보다 클 수 있다(d2>d1). 제1개구(OP1)는 하부전극(110)의 비중첩영역에 위치하여 하부전극(110)의 상면을 노출시킬 수 있다.
- [0075] 이후, 제1절연층(123) 상에 상부전극(131)을 형성한다. 동일한 공정에서 유전체층(125) 상에 스토리지 커패시터(Cst)의 제2전극(135)을 형성할 수 있다.
- [0076] 도 6을 참조하면, 하부전극(110), 제1절연층(123) 및 상부전극(131)과 접촉하는 반도체층(140)을 형성한다. 반

도체층(140)은 제1개구(OP1)를 통해 하부전극(110)의 비중첩영역과 접촉할 수 있다. 반도체층(140)은 서로 다른 층에 위치하는 하부전극(110)과 상부전극(131), 다시 말해, 소스전극 및 드레인전극과 접촉함으로써, 평면이 아닌 수직 채널(vertical channel)을 형성할 수 있다. 반도체층(140)은 하부전극(110), 제1절연층(123) 및 상부전극(131) 모두와 접촉하므로, 상부전극(131)과 하부전극(110)의 중첩 길이 및/또는 제1절연층(123)의 제2두께(d2) 등에 의해 박막트랜지스터(TFT)의 채널길이(channel length)가 결정될 수 있다.

[0077] 도 7을 참조하면, 반도체층(140) 상에 박막 트랜지스터(TFT)를 덮는 제2절연층(105)을 형성한다. 제2절연층(105)은 게이트절연막일 수도 있고, 비아절연막일 수도 있다. 제2절연층(105)은 예컨대, 실리콘옥사이드 또는 실리콘나이트라이드 등의 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다. 제2절연층(105)은 콘택홀(CNT)을 포함할 수 있다.

[0078] 도 8을 참조하면, 제2절연층(105) 상에 게이트전극(160) 및 화소전극(170)을 형성한다. 게이트전극(160)은 반도체층(140)과 중첩되도록 배치될 수 있다. 게이트전극(160)의 제2폭(W2)은 반도체층(140)의 제1폭(W1)보다 작을 수 있다. 이때, 동일한 마스크공정에서 상부전극(131)과 전기적으로 연결되는 화소전극(170)을 형성한다. 화소전극(170)은 제2절연층(105)에 형성된 콘택홀(CNT)을 통해 상부전극(131)과 전기적으로 연결될 수 있다.

[0079] 화소전극(170)은 게이트전극(160)과 동일물질로 이루어질 있다. 예컨대, 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO) 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 반사형 전극으로 형성될 때에는 예컨대, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 물질을 포함할 수 있다.

[0080] 이후, 반도체층(140)에 이온불순물을 포함하는 소스영역(145) 및 드레인영역(141)을 형성한다. 이때, 일 실시예로서, 게이트전극(160)만을 마스크로 이용하여 반도체층(140)에 이온불순물을 도핑할 수 있다. 다른 실시예로서, 게이트전극(160)을 형성한 후 감광패턴을 제거하기 전 단계에서 게이트전극(160) 및 감광패턴(미도시)을 마스크로 이용하여 반도체층(140)에 이온불순물을 도핑할 수 있다. 이온불순물은 B 또는 P 이온일 수 있으며, 이온불순물을 도핑하여 반도체층(140)에 소스영역(145) 및 드레인영역(141)을 형성할 수 있다.

[0081] 도 3 내지 도 8에 도시된 일 실시예에 따른 박막트랜지스터 기관(1)의 제조방법은 스토리지 커패시터(Cst)를 화소전극(170)과 비중첩되도록 배치하여 전면발광형이나 배면발광형 모두 사용할 수 있다. 다른 실시예로서, 도 2에 도시된 박막트랜지스터 기관(2)은 스토리지 커패시터(Cst)를 화소전극(170)과 중첩되도록 배치하여 전면발광형으로 사용할 수 있다. 박막트랜지스터 기관(2)은 스토리지 커패시터(Cst)의 면적을 넓게 할 수 있어, 커패시터 용량을 증가시킬 수 있다.

[0082] 이하, 본 발명의 실시예들에 따른 박막트랜지스터 기관을 구비한 유기 발광 표시 장치(10)를 설명한다.

[0083] 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(10)를 개략적으로 도시한 평면도이고, 도 10은 도 9에 도시된 유기 발광 표시 장치의 한 화소의 일부를 발취하여 나타낸 단면도이다.

[0084] 도 6을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(10)는 기관(100) 상에 표시영역(DA) 및 비표시영역(NDA)을 포함한다.

[0085] 표시영역(DA)은 화상을 구현하도록 복수의 화소영역들(P)을 구비한다. 각 화소영역(P)은 복수의 박막트랜지스터(T1, T2) 및 스토리지 커패시터(storage capacitor, Cst)를 포함할 수 있다. 그리고, 화소영역(P)은 박막트랜지스터(T1, T2) 및 스토리지 커패시터(Cst)를 통해 구동 전압을 전달받아 발광하는 표시소자, 예컨대 유기 발광소자(organic light emitting diode, OLED)를 포함할 수 있다.

[0086] 비표시영역(NDA)은 표시영역(DA)에 인접하도록 배치된다. 일 실시예로서, 도 9에 도시한 것과 같이 비표시영역(NDA)은 표시영역(DA)을 둘러싸도록 배치될 수 있다. 또 다른 실시예로서 비표시영역(NDA)은 표시영역(DA)의 일 측에 인접하도록 배치도리 수 있다. 비표시영역(NDA)은 패드부(18)를 포함할 수 있다.

[0087] 일 실시예로서, 복수의 박막트랜지스터는 하나의 스위칭 박막트랜지스터(T1) 및 구동 박막트랜지스터(T2)를 포함할 수 있다. 도 9에서는 박막트랜지스터가 2개인 경우를 설명하였으나, 본 발명에서는 이에 한정되지 않으며, 다른 실시예에서 박막트랜지스터의 종류 및 개수는 변경될 수 있다.

[0088] 스위칭 박막트랜지스터(T1)의 게이트전극은 주사선(SL)에 접속될 수 있다. 소스전극 및 드레인 전극 중 어느 하

나는 데이터선(DL)되고, 나머지 하나는 스토리지 커패시터(Cst)의 일단에 접속될 수 있다. 스위칭 박막트랜지스터(T1)는 주사선(SL)으로부터 주사신호가 공급될 때 턴 온되어 데이터선(DL)으로부터 공급되는 데이터 신호를 커패시터에 공급한다. 이때 커패시터(Cst)는 데이터 신호에 대응되는 전압을 충전할 수 있다.

[0089] 도 9 및 도 10을 참조하면, 구동 박막트랜지스터(T2)는 앞서 도 1 내지 도 8를 참조하여 설명한 박막트랜지스터 기관(1,2)의 박막트랜지스터(TFT)의 구조가 동일하다. 전술한 박막트랜지스터 기관은 스위칭 박막트랜지스터 또는 구동 박막트랜지스터 어디에도 적용이 가능하다. 다만, 본 발명에서는 설명의 편의를 위하여 OLED 구동에 실질적으로 영향을 미치는 구동 박막트랜지스터(T2)가 전술한 구조의 박막트랜지스터인 경우를 중심으로 상세히 설명한다.

[0090] 구동 박막트랜지스터(T2)의 게이트전극(160)은 스위칭 박막트랜지스터(T1)에 전기적으로 연결되는 게이트 제어선(EL)과 접속될 수 있다. 소스전극인 하부전극(110)은 커패시터 및 구동전압선(PL)에 전기적으로 연결되고, 드레인전극인 상부전극(131)은 유기발광소자(OLED)의 화소전극(170)에 접속될 수 있다. 구동 박막트랜지스터(T2)의 상부전극(131)은 제2절연층(105)을 가운데 개재한 채로 화소전극(170)과 전기적으로 연결된다.

[0091] 구동 박막트랜지스터(T2)는 스위칭 박막트랜지스터(T1)에 의해 턴 온(turn on)되며, 커패시터(Cst)에 저장된 전압 값에 대응하여 구동전압선(PL)으로부터 대향전극(190)으로 흐르는 구동 전류(Ioled)를 제어할 수 있으며, 구동 전류(Ioled)에 의해 유기 발광 소자(OLED)의 중간층(180)은 소정의 휘도를 갖는 빛을 방출할 수 있다.

[0092] 화소전극(170) 상부에는 제3절연층(107)이 배치될 수 있다. 이 경우 제3절연층(107)은 화소정의막일 수 있다. 제3절연층(107)은 제2절연층(105) 상에 위치할 수 있으며, 개구를 가질 수 있다. 이러한 제3절연층(107)은 기관(100) 상에 화소영역을 정의하는 역할을 한다.

[0093] 도 10을 참조하면, 화소전극(170) 상에 유기발광소자(OLED)가 구비된다. 유기발광소자(OLED)는 중간층(180) 및 대향전극(190)을 포함할 수 있다.

[0094] 중간층(180)은 적색, 녹색 또는 청색 광을 방출하는 유기 발광층을 포함하며, 유기 발광층은 저분자 유기물 또는 고분자 유기물을 사용할 수 있다. 유기 발광층이 저분자 유기물로 형성된 저분자 유기층인 경우에는 유기 발광층을 중심으로 화소전극(170)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer:HIL)등이 위치하고, 대향전극(190)의 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer:EIL) 등이 적용된다. 물론, 이들 홀 주입층, 홀 수송층, 전자 수송층, 전자 주입층 외에도 다양한 층들이 필요에 따라 적층되어 형성될 수 있다.

[0095] 중간층(180) 상에는 화소전극(170)과 대향하는 대향전극(190)이 구비된다. 대향전극(190)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In₂O₃ 등의 (반)투명 도전층을 가질 수 있다. 대향전극(190)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 대향전극(190)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다.

[0096] 전술한 바와 같이, 본 발명의 실시예들에 따른 박막트랜지스터 기관을 구비하는 유기 발광 표시 장치(10)는 수직 구조의 박막트랜지스터(TFT)를 포함함으로써, 개구율을 증대시킬 수 있다. 또한, 유기 발광 표시 장치(10)는 화소전극(170) 및 게이트전극(160)을 동일한 마스크 공정에서 수행함으로써, 제조 비용을 절감하고 공정시간을 단축시킬 수 있다.

[0097] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

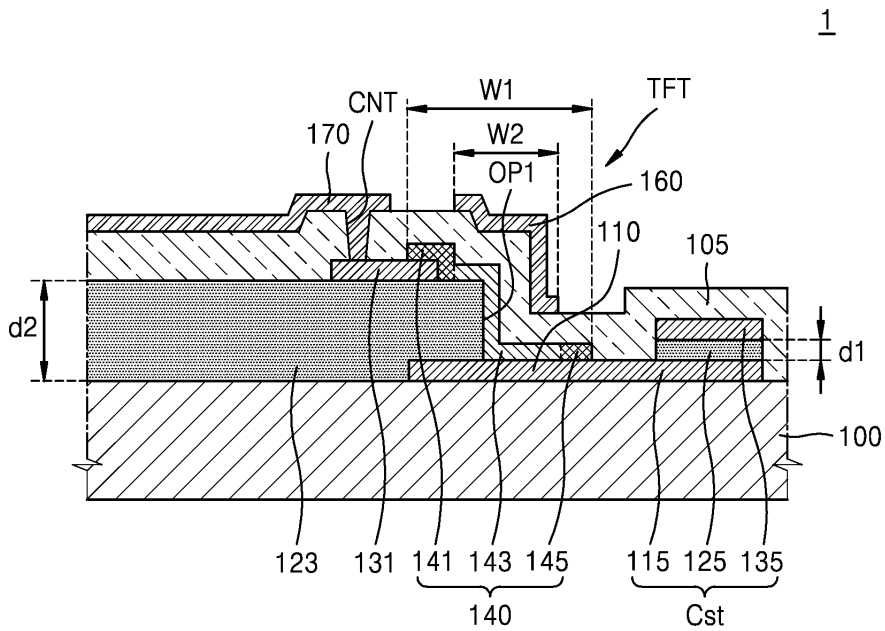
부호의 설명

- [0098] 1, 2 : 박막트랜지스터 기관
- 10 : 유기 발광 표시 장치
- 100 : 기관
- 105 : 제2절연층
- 110 : 하부전극

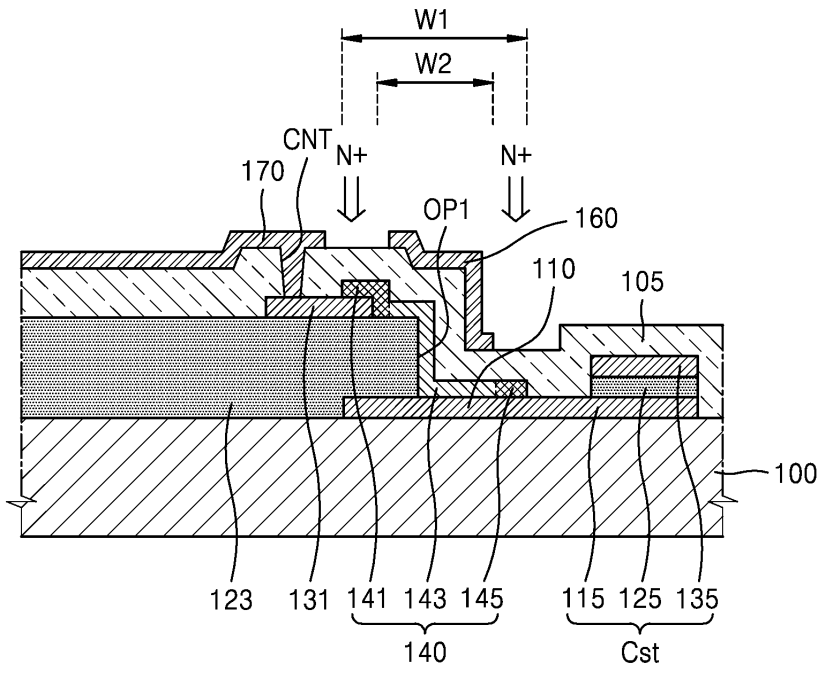
- 115 : 제1전극
- 123 : 제1절연층
- 125 : 유전체층
- 131 : 상부전극
- 135 : 제2전극
- 140 : 반도체층
- 160 : 게이트전극
- 170 : 화소전극
- 180 : 중간층
- 190 : 대향전극

도면

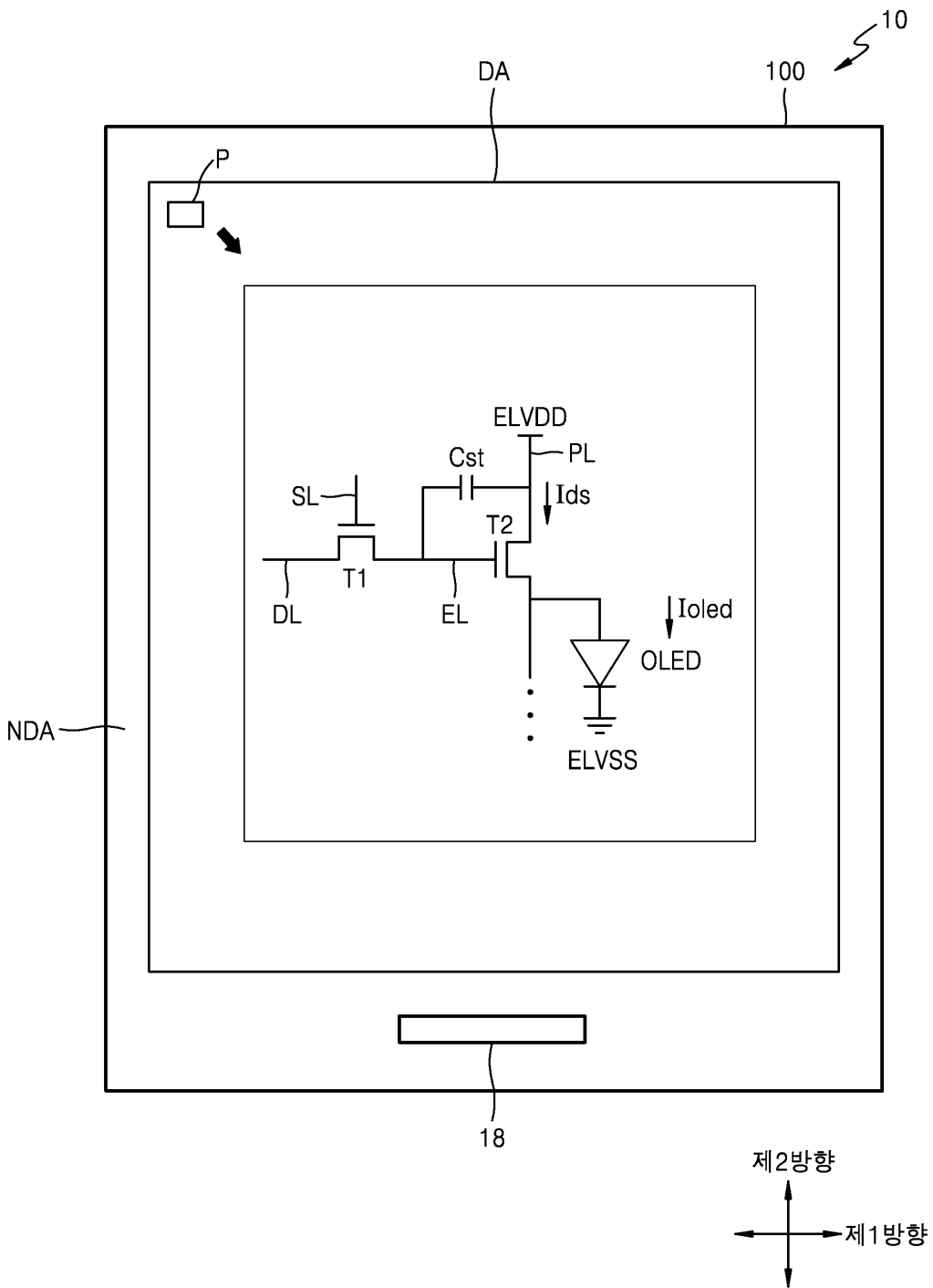
도면1



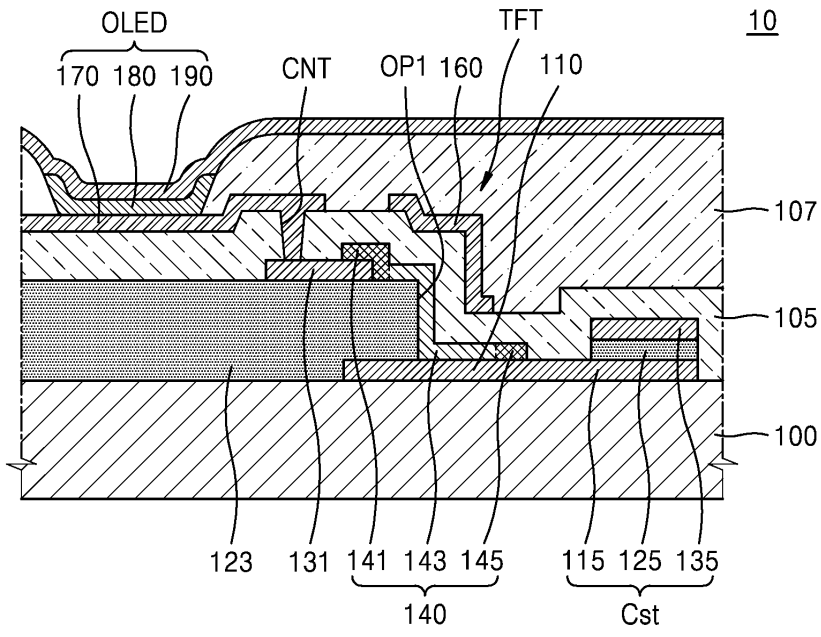
도면8



도면9



도면10



专利名称(译)	标题：薄膜晶体管基板，具有该薄膜晶体管基板的有机发光显示装置，制造薄膜晶体管基板的方法		
公开(公告)号	KR1020170109114A	公开(公告)日	2017-09-28
申请号	KR1020160032072	申请日	2016-03-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG HYUN BEEN 황현빈 SHIN MIN CHUL 신민철		
发明人	황현빈 신민철		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L29/786 H01L27/3258 H01L27/3248 H01L27/3265 H01L29/78618 H01L2227/323 H01L27/124 H01L27/1248 H01L27/1255 H01L27/1288 H01L27/3276		
外部链接	Espacenet		

摘要(译)

1

本发明的一个优选实施例提供了包括上电极的薄膜晶体管基板：位于底电极表面上的底电极：第一绝缘层：位于底电极表面上的第一绝缘层，是源电极和电极之间的任意一个。漏电极位于基板的表面上：基板是源电极和漏电极中的剩余电极，第一绝缘层，以及与上电极电连接的像素电极，同时包括位于上表面的半导体层电极，第二绝缘层位于上述半导体层，栅电极的表面上，并且它与栅电极相同。栅电极位于第二绝缘层的表面上，与上述半导体层重叠。

