



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081102  
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)  
*H01L 51/52* (2006.01) *H01L 27/32* (2006.01)  
(52) CPC특허분류  
*H01L 51/5284* (2013.01)  
*H01L 27/3211* (2013.01)  
(21) 출원번호 10-2015-0191847  
(22) 출원일자 2015년12월31일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이경수  
경기도 파주시 월롱면 엘지로 406-2 힐링빌 B동  
302호  
박정훈  
경기도 파주시 평화로 310 (검산동, 성원아파트)  
103동 804호  
(뒷면에 계속)  
(74) 대리인  
김은구, 송해모

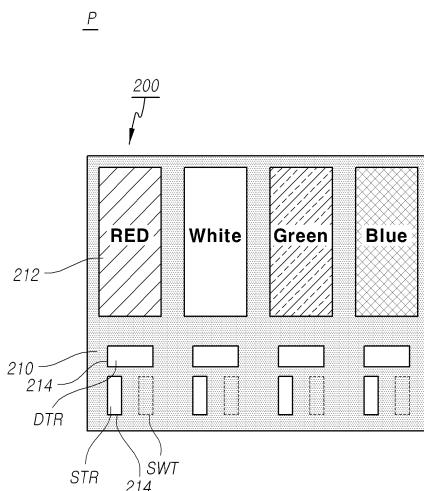
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기발광표시장치

### (57) 요 약

본 발명에 따른 유기발광표시장치는 둘 이상의 서브픽셀들로 구성된 적어도 하나의 픽셀을 포함하며, 서브픽셀들 중 적어도 하나의 서브픽셀은, 유기발광다이오드, 둘 이상의 트랜지스터들 및 발광영역을 정의하는 제1개구부와 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치하는 제2개구부를 포함하며 블랙 뱅크가 적용된 뱅크층을 포함한다.

대 표 도 - 도3



(52) CPC특허분류

*H01L 27/3225* (2013.01)

*H01L 27/3258* (2013.01)

*H01L 27/326* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 51/5281* (2013.01)

*H01L 2227/32* (2013.01)

(72) 발명자

**이동호**

경기도 평택시 협신3길 76 215동 1103호 (용이동,  
평택용이푸르지오2차아파트)

**정기문**

경기도 과주시 해솔로 85 (목동동, 해솔마을1단지  
두산위브) 108동 503호

**양인영**

서울특별시 송파구 새말로8길 12 101동 603호 (문  
정동, 전영아파트)

**원성연**

전라북도 전주시 덕진구 안덕원1길 30 101동 1111  
호 (우아동3가, 진홍하이츠아파트)

## 명세서

### 청구범위

#### 청구항 1

둘 이상의 데이터라인들과 둘 이상의 게이트라인들이 교차하는 영역들 각각에 위치하는 둘 이상의 서브픽셀들로 구성된 적어도 하나의 픽셀을 포함하며,

상기 서브픽셀들 중 적어도 하나의 서브픽셀은,

제1전극과 제2전극, 상기 제1전극과 상기 제2전극 사이에 위치하는 유기층을 포함하는 유기발광다이오드;

상기 유기발광다이오드에 전류를 인가하거나 다른 트랜지스터의 특성치를 센싱하는 둘 이상의 트랜지스터들; 및 발광영역을 정의하는 제1개구부와 상기 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치하는 제2개구부를 포함하며, 블랙 뱅크가 적용된 뱅크층을 포함하는 유기발광표시장치.

#### 청구항 2

제 1항에 있어서,

상기 뱅크층은 유기절연재질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 에나멜 중 선택된 적어도 하나로 이루어지는 유기발광표시장치.

#### 청구항 3

제 1항에 있어서,

상기 제2개구부에 대응하여 위치하는 적어도 하나의 트랜지스터는 상기 유기발광다이오드를 구동하는 구동 트랜지스터이거나 상기 구동 트랜지스터의 특성치를 센싱 트랜지스터인 유기발광표시장치.

#### 청구항 4

제 1항에 있어서,

상기 서브픽셀들 모두는 상기 뱅크층에서 상기 제2개구부를 포함하는 유기발광표시장치.

#### 청구항 5

제1항에 있어서,

상기 서브픽셀들 중 적어도 하나의 서브픽셀은,

상기 뱅크층을 기준으로 상기 구동 트랜지스터 및 상기 센싱 트랜지스터의 반대편에 상기 구동 트랜지스터 및 상기 센싱 트랜지스터에 대응하는 위치에 차광층을 추가로 포함하는 유기발광표시장치.

#### 청구항 6

제1항에 있어서,

상기 제2개구부를 포함하는 상기 서브픽셀들 중 적어도 하나의 서브픽셀은, 화이트를 표현할 때 사용되는 서브픽셀인 유기발광표시장치.

#### 청구항 7

하나의 픽셀을 구성하는 둘 이상의 서브픽셀들은,

기판 상에 위치하는 박막 트랜지스터;

상기 박막 트랜지스터 상에 위치하는 절연막;

상기 절연막 상에 위치하는 순차적으로 위치하는 제1전극, 유기층 및 제2전극을 포함하는 유기발광다이오드; 및 상기 절연막과 상기 제1전극 상에 위치하여 발광영역을 정의하는 뱅크층을 포함하며,

상기 서브픽셀들 중 적어도 하나의 제1서브픽셀의 박막 트랜지스터에 대응하여 배치되나 다른 적어도 하나의 제2서브픽셀의 박막 트랜지스터에 대응하여 배치되지 않는 차광층을 포함하는 유기발광표시장치.

#### 청구항 8

제 7항에 있어서,

상기 뱅크층은 유기절연재질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 에나멜 중 선택된 적어도 하나로 이루어지는 유기발광표시장치.

#### 청구항 9

제 7항에 있어서,

상기 제2서브픽셀은, 상기 제1서브픽셀의 차광층이 배치된 위치에 상기 적어도 하나의 트랜지스터에 대응하여 위치하는 제1투명 도전층을 추가로 포함하는 유기발광표시장치.

#### 청구항 10

제 7항에 있어서,

상기 서브픽셀들은 상기 트랜지스터의 하부에 제2투명 도전층을 추가로 포함하며,

상기 제1서브픽셀의 상기 차광층은 상기 제2투명 도전층 상부 또는 하부에 위치하는 유기발광표시장치.

#### 청구항 11

제 10항에 있어서,

상기 제2투명 도전층은 상기 기판의 전면에 배치되는 유기발광표시장치.

#### 청구항 12

서로 교차하는 방향으로 배치된 둘 이상의 데이터 라인 및 둘 이상의 게이트 라인; 및

상기 데이터라인들과 상기 게이트라인들이 교차하는 영역들 각각에 위치하는 둘 이상의 서브픽셀들로 구성되는 픽셀을 포함하고,

상기 서브픽셀들 중 적어도 하나의 서브픽셀은,

제1전극과 제2전극, 상기 제1전극과 상기 제2전극 사이에 위치하는 유기층을 포함하는 유기발광다이오드;

상기 유기발광다이오드에 전류를 인가하거나 다른 트랜지스터의 특성치를 센싱하는 둘 이상의 트랜지스터들; 및 발광영역을 정의하는 제1개구부와 상기 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치하는 제2개구부를 포함하며, 블랙 뱅크가 적용된 뱅크층을 포함하는 유기발광표시표시패널.

#### 청구항 13

제 12항에 있어서,

상기 뱅크층은 유기절연재질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 에나멜 중 선택된 적어도 하나로 이루어지는 유기발광표시패널.

#### 청구항 14

제 12항에 있어서,

상기 제2개구부에 대응하여 위치하는 적어도 하나의 트랜지스터는 상기 유기발광다이오드를 구동하는 구동 트랜지스터이거나 상기 구동 트랜지스터의 특성치를 센싱하는 센싱 트랜지스터인 유기발광표시패널.

**청구항 15**

제 12항에 있어서,

상기 서브픽셀들 모두는 상기 뱅크층에서 상기 제2개구부를 포함하는 유기발광표시장치.

**청구항 16**

제 12항에 있어서,

상기 서브픽셀들 중 적어도 하나의 서브픽셀은,

상기 뱅크층을 기준으로 상기 구동 트랜지스터 및 상기 센싱 트랜지스터의 반대편에 상기 구동 트랜지스터 및 상기 센싱 트랜지스터에 대응하는 위치에 차광층을 추가로 포함하는 유기발광표시장치.

**청구항 17**

제 16항에 있어서,

상기 서브픽셀들 중 적어도 다른 하나의 서브픽셀은 상기 구동 트랜지스터 및 상기 센싱 트랜지스터에 대응하는 위치에 상기 차광층이 배치되지 않는 유기발광표시장치.

**청구항 18**

제 12항에 있어서,

상기 제2개구부를 포함하는 상기 서브픽셀들 중 적어도 하나의 서브픽셀은, 화이트를 표현할 때 사용되는 서브픽셀인 유기발광표시장치.

**발명의 설명****기술 분야**

[0001]

본 실시예들은 유기발광표시장치에 관한 것이다.

**배경기술**

[0002]

평판표시장치 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시장치가 널리 사용되어 왔으나, 액정표시장치는 스스로 빛을 생성하지 못하는 수광 소자(non-emissive device)여서, 휙도(brightness), 대조비(contrast ratio), 시야각(viewing angle) 및 대면적화 등에 단점이 있다.

[0003]

이러한 액정표시장치의 단점을 극복할 수 있는 새로운 평판표시장치의 개발이 활발하게 전개되고 있는데, 새로운 평판표시장치 중 하나인 유기발광표시장치는 스스로 광을 생성하는 발광소자이므로, 액정표시장치에 비하여 휙도, 시야각 및 대조비 등이 우수하며, 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다.

[0004]

유기발광표시장치는 각 화소영역의 박막 트랜지스터에 연결된 유기발광다이오드로부터 출사되는 빛을 이용하여 영상을 표시한다. 유기발광표시장치는 다양한 이유로 박막 트랜지스터의 문턱전압이 포지티브나 네거티브로 쉬프트하여 휙도 불균일 및 얼룩 불량 등의 불량들이 발생한다.

**발명의 내용****해결하려는 과제**

[0005]

본 실시예들의 목적은, 박막 트랜지스터의 문턱전압이 포지티브나 네거티브로 쉬프트되지 않아 박막 트랜지스터가 정확하게 동작하므로 휙도 불균일 및 얼룩 등의 불량들을 미연에 방지하는 유기발광표시장치를 제공함에 있다.

**과제의 해결 수단**

[0006]

전술한 문제점을 해결하기 위해, 일 실시예에 따른 유기발광표시장치는, 둘 이상의 데이터라인들과 둘 이상의

게이트라인들이 교차하는 영역들 각각에 위치하는 둘 이상의 서브픽셀들로 구성된 적어도 하나의 픽셀을 포함한다.

- [0007] 서브픽셀들 중 적어도 하나의 서브픽셀은, 제1전극과 제2전극, 제1전극과 제2전극 사이에 위치하는 유기층을 포함하는 유기발광다이오드, 유기발광다이오드에 전류를 인가하거나 다른 트랜지스터의 특성치를 센싱하는 둘 이상의 트랜지스터들; 및 블랙 뱅크가 적용된 뱅크층을 포함할 수 있다.
- [0008] 이때 뱅크층은 발광영역을 정의하는 제1개구부와 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치하는 제2개구부를 포함할 수 있다.
- [0009] 다른 측면에서, 다른 실시예에 유기발광표시장치는, 하나의 픽셀을 구성하는 둘 이상의 서브픽셀들은, 기판 상에 위치하는 박막 트랜지스터, 박막 트랜지스터 상에 위치하는 절연막, 절연막 상에 위치하는 순차적으로 위치하는 제1전극, 유기층 및 제2전극을 포함하는 유기발광다이오드, 및 절연막과 제1전극 상에 위치하여 발광영역을 정의하는 뱅크층을 포함할 수 있다.
- [0010] 한편, 다른 실시예에 따른 유기발광표시장치는 서브픽셀들 중 적어도 하나의 제1서브픽셀의 박막 트랜지스터에 대응하여 배치되나 다른 적어도 하나의 제2서브픽셀의 박막 트랜지스터에 대응하여 배치되지 않는 차광층을 포함할 수 있다.
- [0011] 또 다른 측면에서, 또 다른 실시예에 따른 유기발광표시패널은 서로 교차하는 방향으로 배치된 둘 이상의 데이터 라인 및 둘 이상의 게이트 라인 및 데이터라인들과 게이트라인들이 교차하는 영역들 각각에 위치하는 둘 이상의 서브픽셀들로 구성되는 픽셀을 포함할 수 있다.
- [0012] 이때 서브픽셀들 중 적어도 하나의 서브픽셀은, 전술한 유기발광다이오드 및 둘 이상의 트랜지스터들, 블랙 뱅크가 적용된 뱅크층을 포함할 수 있다.
- [0013] 이때 뱅크층은 전술한 제1개구부와 함께 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치하는 제2개구부를 포함할 수 있다.

### 발명의 효과

- [0014] 본 실시예들은 유기발광표시장치에서 박막 트랜지스터의 문턱전압이 포지티브나 네거티브로 쉬프트되지 않아 박막 트랜지스터가 정확하게 동작하므로 휘도 불균일 및 얼룩 등의 불량들을 미연에 방지할 수 있는 효과가 있다.

### 도면의 간단한 설명

- [0015] 도 1은 실시예들이 적용되는 유기발광표시장치에 관한 시스템 구성도이다.  
 도 2는 네개의 서브픽셀들이 하나의 픽셀을 구성하는 예를 도시하고 있다.  
 도 3은 일 실시예에 따른 픽셀의 평면도이다.  
 도 4는 비교예에 따른 하나의 픽셀의 평면도이다.  
 도 5는 트랜지스터의 문턱전압의 네거티브 쉬프트를 도시하고 있다.  
 도 6은 트랜지스터의 문턱전압의 포지티브 쉬프트를 도시하고 있다.  
 도 7은 도 3의 유기발광다이오드와 구동트랜지스터의 단면도이다.  
 도 8은 도 7의 각 서브픽셀의 유기층에서 발광한 광의 광경로를 도시하고 있다.  
 도 9은 도 3의 각 서브픽셀의 다른 예의 단면도이다.  
 도 10은 도 3의 각 서브픽셀의 또 다른 예의 단면도이다.  
 도 11은 다른 실시예에 따른 픽셀의 평면도이다.  
 도 12는 도 11의 서브픽셀이 화이트를 표현할 때 서브픽셀의 평면도이다.  
 도 13 내지 도 16은 또 다른 실시예에 따른 하나의 픽셀을 구성하는 네개의 서브픽셀들의 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0017] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.
- [0018] 도 1은 실시예들이 적용되는 유기발광표시장치에 관한 시스템 구성도이다.
- [0019] 도 1을 참조하면, 유기발광표시장치(100)는 타이밍 컨트롤러(110), 데이터 구동부(120), 게이트 구동부(130), 유기발광표시패널(140) 등을 포함한다.
- [0020] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상데이터(data), 클럭신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(120)를 제어하기 위한 데이터 제어신호(Data Control Signal, DCS)와 게이트 구동부(130)를 제어하기 위한 게이트 제어신호(Gate Control Signal, GCS)를 출력한다. 또한, 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력되는 영상데이터(data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식으로 변환하고 변환된 영상데이터(data')를 데이터 구동부(120)로 공급할 수 있다.
- [0021] 데이터 구동부(120)는 타이밍 컨트롤러(110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상데이터(data')에 응답하여, 영상데이터(data')를 계조 값에 대응하는 전압 값인 데이터신호(아날로그 화소신호 혹은 데이터 전압)로 변환하여 데이터 라인(D1~Dm)에 공급한다.
- [0022] 게이트 구동부(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트라인(G1~Gn)에 스캔신호(게이트펄스 또는 스캔펄스, 게이트 온신호)를 순차적으로 공급한다.
- [0023] 한편 유기발광표시패널(140) 상에 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)에 의해 정의된 각 화소영역(PA: Pixel Area)에 매트릭스 형태로 배치되는 둘 이상의 서브픽셀들(Sub Pixels)을 포함할 수 있다.
- [0024] 도 1에 간략하게 도시된 유기발광표시패널(110)에 배치된 각 서브픽셀(SP)에는, 트랜지스터, 캐패시터 등의 회로 소자가 형성되어 있다. 예를 들어, 유기발광표시패널(110) 상의 각 서브픽셀에는 유기발광다이오드(OLED: Organic Light Emitting Diode), 둘 이상의 트랜지스터(Transistor) 및 하나 이상의 캐패시터(Capacitor) 등으로 이루어진 회로가 형성되어 있다.
- [0025] 적어도 두개의 서브픽셀들이 하나의 픽셀을 구성하여 색깔을 표현할 수 있다. 이하에서 네개의 서브픽셀들이 하나의 픽셀을 구성하는 것으로 설명하나 이에 제한되지 않는다.
- [0026] 제1실시예
- [0027] 도 2는 네개의 서브픽셀들이 하나의 픽셀을 구성하는 예를 도시하고 있다.
- [0028] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시패널(140)에서, 네개의 서브픽셀들, 예를 들어 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들이 하나의 픽셀(P:Pixel)을 구성할 수 있다.
- [0029] 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들 각각은, 유기발광다이오드(OLED: Organic Light-Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DC: Driving Circuit)로 구성된다.
- [0030] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0031] 구동회로(DC)는, 기본적으로, 구동 트랜지스터(DTR: Driving Transistor), 스위칭 트랜지스터(SWT: Switching Transistor)와 센싱 트랜지스터(STR: Sensing Transistor)를 포함할 수 있다.

- [0032] 구동 트랜지스터(DTR)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동 해준다.
- [0033] 스위칭 트랜지스터(SWT)는, 구동 트랜지스터(DTR)의 게이트 노드에 해당하는 N2 노드로 데이터 전압(Vdata)을 전달해주기 위한 트랜지스터이다.
- [0034] 한편, 본 실시예들에 따른 유기발광표시패널(140)의 경우, 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들 각각의 구동 시간이 길어짐에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DTR) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다. 이에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DTR) 등의 회로 소자가 갖는 고유한 특성치(예: 문턱전압, 이동도 등)가 변할 수 있다. 이러한 회로 소자의 특성치 변화는 해당 유기발광다이오드(OLED)의 휘도 변화를 야기한다.
- [0035] 센싱 트랜지스터(STR)는 유기발광다이오드(OLED) 및 구동 트랜지스터(DTR) 등의 회로 소자가 갖는 고유한 특성치(예: 문턱전압, 이동도 등)를 센싱할 수 있다.
- [0036] 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들 각각은, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지하는 스토리지 커패시터(Cstg: Storage Capacitor)를 포함할 수 있다.
- [0037] 도 3은 일 실시예에 따른 픽셀의 평면도이다.
- [0038] 도 3을 참조하면, 하나의 픽셀(P)은 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들로 구성될 수 있다. 각 서브픽셀(200)은, 도 2에 도시한 바와 같이 유기발광다이오드(OLED: Organic Light-Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DC: Driving Circuit)로 구성된다.
- [0039] 일실시예에 따른 각 서브픽셀(200)은, 발광영역을 정의하는 뱅크층(210)을 포함한다. 뱅크층(210)은 유기발광다이오드(OLED)의 제1전극과 유기층 사이에 위치하며 제1전극의 일부를 노출하여 발광영역(LEA: Light Emitting Area)을 정의하는 제1개구부(212)와 구동회로 중 일부에 대응하여 위치하는 제2개구부(214)를 포함한다. 제2개구부(214)는 구동회로(DC)에 포함되는 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치할 수 있다. 도 3에는 구동회로에서 제2개구부(214)가 구동 트랜지스터(DTR)와 센싱 트랜지스터(STR)에 대응하여 위치하는 것으로 도시하였으나 이에 제한되지 않는다.
- [0040] 뱅크층(210)은 블랙 계열의 색깔을 포함하는 블랙 뱅크(Black bank)를 적용할 수 있다. 예를 들어 뱅크층(210)은 유기절연재질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 앤마엘 중 선택된 적어도 하나로 이루어질 수 있으나 이에 제한되지 않는다. 뱅크층(210)에 블랙 뱅크를 적용하므로 빛샘 불량을 해결할 수 있다. 본 명세서에서 블랙 뱅크란 블랙 계열의 색깔을 갖는 뱅크를 의미한다. 따라서 뱅크층(210)은 블랙 계열의 색깔 이외에 다른 색깔을 포함할 수도 있다.
- [0041] 각 서브픽셀(200)에서 뱅크층(210)은 발광영역에 제1개구부(212)를 통해 제1전극을 노출시키고 나머지 영역을 모두 덮는다. 제1개구부(212)에 의해 정의되는 발광영역에는 제1전극과 유기층, 제2전극이 위치하여 빛을 발광할 수 있다. 따라서 제1전극과 유기층, 제2전극을 포함하는 유기발광다이오드(OLED)가 다이오드 역할을 할 수 있도록 제1전극과 제2전극 사이에 다른 절연막이 없으므로 발광영역에만 뱅크층(210)의 제1개구부(212)만을 개구하면 충분할 수 있다.
- [0042] 도 4는 비교예에 따른 하나의 픽셀의 평면도이다.
- [0043] 비교예에 따른 하나의 픽셀(P)은 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들로 구성될 수 있다.
- [0044] 각 서브픽셀(300)은 발광영역을 정의하는 뱅크층(310)을 포함한다. 각 서브픽셀(300)에서 뱅크층(310)은 유기발광다이오드(OLED)의 제1전극과 유기층 사이에 위치하며 제1전극의 일부를 노출하여 발광영역(LEA: Light Emitting Area)을 정의하는 제1개구부(312)를 포함한다. 다시 말해 각 서브픽셀(300)에서 제1개구부(312)를 제외한 전영역에 블랙 뱅크가 적용된 뱅크층(310)이 배치되어 있다.
- [0045] 각 서브픽셀(300)의 뱅크층(310)에 블랙 뱅크를 적용하면 내부광과 외부광을 모두 차단하여 광에 의한 도 5에 도시한 구동 트랜지스터(DTR)의 문턱전압(Vth)의 네거티브 쉬프트하는 NBTS(Negative Bias Temperature Shift) 특성이 좋아지게 된다. 한편, 구동회로에 블랙 뱅크가 도포되어 있으면 구동회로에 포함된 트랜지스터들, 예를 들어 구동 트랜지스터(DTR)에 유입되는 광이 차단 및 흡수되어 도 6에 도시한 구동 트랜지스터(DTR)의 문턱전압(Vth)의 포지티브 쉬프트 경향이 강하여 구동 트랜지스터(DTR)의 전류 구동 능력이 떨어지게 된다.

- [0046] 그런데 일실시예에 따른 각 서브픽셀(200)에서, 전술한 바와 같이 뱅크층(210)이 제1전극과 유기층 사이에 위치하고 제1개구부(212) 내에 위치하는 유기층에서 발광한 빛이 제2개구부(214)를 통해 구동 트랜지스터(DTR)에 도달하게 된다. 다시 말해 유기발광다이오드의 유기층에서 발광한 빛이 제2전극에서 반사되어 제2개구부(214)를 통해 구동 트랜지스터(DTR)에 도달된다. 해당 유기발광소자(200)에서 발광한 빛이 구동 트랜지스터(DTR)에 도달될 수도 있지만, 인접한 적어도 하나의 유기발광소자에서 발광한 빛이 해당 구동 트랜지스터(DTR)에 도달될 수도 있다. 구동 트랜지스터(DTR)에 광이 유입되어 구동 트랜지스터(DTR)의 문턱전압(Vth)의 포지티브 쉬프트 경향을 완화하여 구동 트랜지스터(DTR)의 전류 구동 능력이 유지될 수 있다.
- [0047] 뱅크층(210)이 블랙 계열의 블랙 뱅크를 적용하지 않고 투명 뱅크를 적용할 경우 센싱 트랜지스터(STR) 상부는 빛에 노출되어 구동 트랜지스터(DTR)의 특성치를 센싱할 때 걸리는 PBTS(Positive Bias Temperature Shift)가 상쇄된다. 하지만 빛 샘 불량을 해결하기 위해 뱅크층(210)에 전술한 블랙 뱅크를 적용할 경우 빛을 모두 막아주어 센싱 트랜지스터(STR)의 포지티브 쉬프트 변화가 커지게 되어 구동 트랜지스터(DTR)의 특성치(예: 문턱전압, 이동도) 센싱 시 정확한 값을 전달하지 못할 수 있다.
- [0048] 다시 말해 센싱 트랜지스터(STR)를 통해 구동 트랜지스터의 특성치를 센싱하고 센싱된 특성치를 반영하여 외부에서 보상하는 외부보상 구조에서는 주기적으로 구동 트랜지스터의 특성치를 센싱하기 위해 센싱 트랜지스터(STR)에 게이트신호로 게이트 하이전압(예: 24V)이 장시간 인입되어 강한 PBTS를 받게 되는데, 뱅크층(210)에 적용된 블랙 뱅크가 센싱 트랜지스터(STR) 상부로 들어가는 빛을 모두 막아주기 때문에 이와 상쇄되는 NBTS의 효과를 줄어들게 하여 센싱 트랜지스터(STR)의 문턱전압의 포지티브 쉬프트되는 정도가 심해져 정확한 구동 트랜지스터의 특성치 센싱 값을 전달할 수 없게 할 수 있다.
- [0049] 그런데 일실시예에 따른 각 서브픽셀(200)에서, 전술한 바와 같이 뱅크층(210)이 제1전극과 유기층 사이에 위치하고 제1개구부(212) 내에 위치하는 유기층에서 발광한 빛이 제2개구부(214)를 통해 센싱 트랜지스터(STR)에 도달하게 된다. 다시 말해 유기발광다이오드의 유기층에서 발광한 빛이 제2전극에서 반사되어 제2개구부(214)를 통해 센싱 트랜지스터(STR)에 도달된다. 해당 유기발광소자(200)에서 발광한 빛이 센싱 트랜지스터(STR)에 도달될 수도 있지만, 인접한 적어도 하나의 유기발광소자에서 발광한 빛이 해당 센싱 트랜지스터(STR)에 도달될 수도 있다.
- [0050] 전술한 실시예들에 따른 각 서브픽셀(200)은 센싱 트랜지스터(STR)와 대응하는 위치에 제2개구부(214)가 배치되어 센싱 트랜지스터(STR)의 상부를 제2개구부(214)를 통해 빛에 노출시켜 NBTS를 더 강하게 받게 한다. 이에 따라 센싱 트랜지스터(STR)의 문턱전압의 포지티브 쉬프트 정도를 완화시켜줄 수 있다.
- [0051] 센싱 트랜지스터(STR)의 문턱전압이 초기 대비 포지티브 쉬프트하게 되면 구동 트랜지스터(DTR)의 특성치(예: 문턱전압, 이동도)의 정확한 값을 센싱 라인(SL)을 통해 타이밍 컨트롤러(110)나 데이터 구동부(120) 등 회로부에 전달할 수 없게 되어 휘도 불균일 및 얼룩 등의 불량이 나타날 수 있다. 다른 실시예에 따른 각 서브픽셀(200)은 뱅크층(210)에 제2개구부(214)를 배치하므로 트랜지스터에 유입되는 광의 광경로를 확보하여 광 유도 전자의 활성화를 통해 센싱 트랜지스터(STR)의 포지티브 쉬프트를 방지하여 휘도 불균일 및 얼룩 등의 이런 불량들을 미연에 방지할 수 있다.
- [0052] 전술한 바와 같이 도 3에는 구동회로에서 구동 트랜지스터(DTR)와 센싱 트랜지스터(STR)에 대응하여 제2개구부(214)가 위치하는 것으로 도시하였으나 이에 제한되지 않는다. 예를 들어 구동회로에 블랙 뱅크가 도포되어 있으면 스위칭 트랜지스터(SWT)에 유입되는 광이 차단 및 흡수되어 스위칭 트랜지스터(SWT)의 문턱전압(Vth)의 포지티브 쉬프트 경향이 강하여 스위칭 트랜지스터(SWT)의 데이터 전압을 스위칭하는 능력이 떨어지게 된다. 따라서 스위칭 트랜지스터(SWT)에 대응하여 제2개구부(214)가 위치할 수도 있다.
- [0053] 이하 도 7 내지 도 10을 참조하여 실시예들에 따른 각 서브픽셀을 단면구조 측면에서 설명한다. 이때 구동 트랜지스터의 단면구조를 예시적으로 설명하나 다른 트랜지스터의 단면구조도 동일 또는 유사하게 적용할 수 있다.
- [0054] 도 7은 도 3의 유기발광다이오드와 구동 트랜지스터의 단면도이다.
- [0055] 도 7을 참조하면, 각 서브픽셀(200)은 기판(410) 상에 위치하는 구동 트랜지스터(420), 구동 트랜지스터(420, DTR) 상에 위치하는 절연막(430), 절연막(430) 상에 위치하는 제1전극(440), 절연막(430)과 제1전극(440) 상에 위치하는 뱅크층(210), 제1전극(440) 상에 위치하는 유기층(460) 및 유기층(460) 상에 위치하는 제2전극(470)을 포함한다.
- [0056] 기판(410)은 글래스(Glass) 기판뿐만 아니라, PET(Polyethylene terephthalate), PEN(Polyethylene

naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등일 수 있다. 또한, 기판(410) 상에는 불순원소의 침투를 차단하기 위한 버퍼층(buffering layer)이 더 구비될 수 있다. 버퍼층은 예를 들어 질화실리콘 또는 산화실리콘의 단일층 또는 다수층으로 형성될 수 있다.

[0057] 구동 트랜지스터(420)는, 비정질 실리콘, 폴리실리콘, 금속 산화물 중 하나로 이루어질 수 있다. 구동 트랜지스터(420)는 일예로서, 금속 산화물, 예를 들어 IGZO(Indium Gallium Zinc Oxide), IGO(Indium Gallium Oxide), IZO(Indium Zinc Oxide), IZO(Indium Zinc Oxide), ZTO(Zinc Tin Oxide), IHZO(Indium Hafnium Zinc Oxide) 및 IZZO(In Zirconium Zinc Oxide) 중 하나로 이루어진 산화물 트랜지스터일 수 있다.

[0058] 구동 트랜지스터(420)는, 유기층(460)에 전류를 공급하는 구동 트랜지스터(DTR)이다. 구동 트랜지스터(420)는 반도체층(422), 반도체층(422) 상에 형성된 게이트절연막(423), 게이트절연막(423) 상에 형성된 게이트전극(424), 게이트전극(424) 상에 형성된 충간절연막(425) 및 충간절연막(425) 상에 형성되고, 컨택홀을 통해 반도체층(422)에 연결되는 소스전극/드레인전극(426)을 포함할 수 있다.

[0059] 각 서브픽셀(200)은 구동 트랜지스터(420) 상에 형성되는 절연막(430)을 포함할 수 있다. 절연막(430)은 한층일 수도 있고 다층일 수도 있다. 절연막(430)은 평탄화막일 수도 있고 오버코팅층일 수도 있다.

[0060] 절연막(430)은  $\text{SiO}_x$ ,  $\text{SiN}_x$ ,  $\text{SiON}$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ , BST 및 PZT 중 어느 하나를 포함하는 무기절연물질, 벤조사이클로부텐(BCB) 또는 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질, 또는 이들의 조합일 수 있다.

[0061] 제1전극(440)은, 애노드 전극(양극)일 수 있고, 일함수 값이 비교적 크고, 특명한 도전성 물질, 예를 들면 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 금속 산화물,  $\text{ZnO:Al}$  또는  $\text{SnO}_2:\text{Sb}$ 와 같은 금속과 산화물의 혼합물, 폴리(3-메틸티오펜), 폴리[3,4-(에틸렌-1,2-디옥시)티오펜](PEDT), 폴리피롤 및 폴리아닐린과 같은 전도성 고분자 등으로 이루어질 수 있다. 또한, 제1전극(440)은 탄소나노튜브(Carbon Nano Tube, CNT), 그래핀(graphene), 은나노와이어(silver nano wire) 등일 수도 있다.

[0062] 한편, 뱅크층(210)은 기판(410) 전체적으로는 매트릭스 형태의 격자구조를 가지고, 제1전극(440)의 가장자리를 에워싸고 있으며, 제1전극(440)의 일부를 노출시킨다.

[0063] 뱅크층(210)은 블랙 뱅크를 적용할 수 있다. 뱅크층(210)은 유기절연재질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 에나멜 중 선택된 적어도 하나로 이루어질 수 있으나 이에 제한되지 않는다.

[0064] 뱅크층(210)은 제1전극(440)의 일부를 노출하여 발광영역을 정의하는 제1개구부(212)와 박막 트랜지스터(420)의 반도체층(422)의 일부에 대응하여 위치하는 제2개구부(214)를 포함한다.

[0065] 뱅크층(210) 상에 위치하는 유기층(460)과 제2전극(470)의 스텝 커버리지를 고려하여 제1개구부(212)는 절연막(430)과 접촉하는 바닥면(212a)으로부터 일정한 각도로 절곡되어 있다. 다시 말해 제1개구부(212)는 절연막(430)과 접촉하는 바닥면(212a)보다 정상면(212b)의 면적이 넓은 역테이퍼진 형상으로 개구되어 있다.

[0066] 동일하게 제2개구부(214)도 절연막(430)과 접촉하는 바닥면(214a)보다 정상면(214b)의 면적이 넓은 역테이퍼진 형상으로 개구되어 있다. 공정 측면에서 예를 들어 뱅크층(210)의 재료를 도포한 상태에서 마스크로 포토리소그래피 공정을 통해 제1개구부(212)와 제2개구부(214)를 동시에 형성하므로 제1개구부(212)와 제2개구부(214)의 측면 경사가 동일할 수 있으나 이에 제한되지 않는다.

[0067] 제2개구부(214)의 평면 형상은 도 3에 도시한 바와 같이 사각 형상일 수 있으나 이에 제한되지 않는다. 예를 들어 제2개구부(214)은 원 형상 등 다른 형상일 수도 있다.

[0068] 유기층(460)은 정공주입층, 정공수송층, 발광층, 발광보조층, 전자수송층, 전자주입층 등을 포함할 수 있다. 도 7의 유기층(460)은 패터닝(patterning)하지 않고 전면에 도포될 수 있다. 유기층(460)을 전면에 도포하므로, 패터닝 과정이 생략되어 공정상의 간편함을 가져오는 효과가 있다.

[0069] 유기층(460) 상에는 제2전극(470)이 배치된다. 제2전극(470)은 캐소드전극(음극)일 수 있고, 일함수 값이 비교적 작은 물질로 이루어질 수 있다. 예를 들어 하부발광 방식인 경우, 제2전극(470)은 금속일 수 있고 제1금속, 예를 들어 Ag 등과 제2금속, 예를 들어 Mg 등이 일정 비율로 구성된 합금의 단일층 또는 이들의 다수층일 수도 있다.

- [0070] 도 8은 도 7의 각 서브픽셀의 유기층에서 발광한 광의 광경로를 도시하고 있다.
- [0071] 각 서브픽셀(200)에서, 뱅크층(210)이 제1전극(440)과 유기층(460) 사이에 위치하고 제1개구부(212) 내에 위치하는 유기층(460)에서 발광한 빛이 제2개구부(214)를 통해 구동 트랜지스터(420)에 도달하게 된다. 다시 말해 유기층(460)에서 발광한 빛이 제2전극(470)에서 반사되어 제2개구부(214)를 통해 구동 트랜지스터(420)에 도달된다. 해당 각 서브픽셀(200)에서 발광한 빛이 구동 트랜지스터(420)에 도달될 수도 있지만, 인접한 적어도 하나의 서브픽셀에서 발광한 빛이 해당 구동 트랜지스터(420)에 도달될 수도 있다.
- [0072] 도 9은 도 3의 각 서브픽셀의 다른 예의 단면도이다.
- [0073] 각 서브픽셀(200)에서 유기층(460)은 백색을 발광하는 유기층일 수 있다. 이를 위해 각 서브픽셀(200)은 유기층(460)과 제2전극(470)은 기판(410)의 전면에 배치될 수 있다. 이러한 각 서브픽셀(200)의 유기층(460)은 전면에 한 번의 공정으로 도포될 수 있는 공정상의 이점이 있다. 도 9에 도시한 바와 같이 각 서브픽셀(200)은 뱅크층(210)의 제1개구부(212)와 대응하는 위치에 제1전극(440)의 상부 또는 하부에 컬러필터층(480)을 포함할 수 있다.
- [0074] 각 서브픽셀(200)의 컬러필터층(480)은 적색, 청색, 녹색 중 어느 하나의 색상을 가질 수 있다. 또한 백색이 구현되는 각 서브픽셀(200)의 경우, 컬러필터층(480)가 형성되지 않을 수 있다. 적색, 청색, 녹색의 배열은 다양하게 형성될 수 있으며, 각 컬러필터층(480) 사이에는 외부 광을 흡수할 수 있는 물질로 이루어진 블랙 매트릭스(Black Matrix, 미도시)가 구비될 수 있다.
- [0075] 각 서브픽셀(200)이 하부발광 방식인 경우, 컬러필터층(480)은 도 9에 도시한 바와 같이 제1전극(440)의 하부에 위치할 수 있다. 유기층(460)에서 생성된 광은, 제2전극(470)에서 반사되어 컬러필터층(480)를 거쳐 유기발광소자(200)의 외부로 나가게 된다.
- [0076] 각 서브픽셀(200)은, 발광 방향이 제1전극(440)에서 기판(410) 방향인 하부발광(Bottom Emission) 방식인 것으로 도시되었지만, 본 발명은 이에 제한되지 않고 상부발광(Top Emission) 방식에 의할 수 있다. 상부 발광 유기발광소자(200)인 경우 컬러필터층(480)은 제2전극(470)의 상부에 위치할 수 있다.
- [0077] 도 10은 도 3의 각 서브픽셀의 또 다른 예의 단면도이다.
- [0078] 도 10에 도시한 바와 같이 각 서브픽셀(200)은 기판(410)과 구동 트랜지스터(420) 사이에는, 구동 트랜지스터(420)에 대응되도록 형성된 차광층(490)이 형성될 수 있다. 기판(410)과 차광층(490) 사이에는 베퍼층(492)이 배치될 수 있다.
- [0079] 차광층(490)은 외부 광으로부터 반도체층(422)을 보호하고, 외부 광이 반사되어 시인성을 저하시키고, 휘도를 향상시키며, 명암비 특성을 저감시키는 것을 방지하는 기능을 수행한다. 여기서 기판(410)을 통해 유입된 외부 광은 비편광일 수 있다.
- [0080] 전술한 바와 같이 또 다른 실시예에 따른 각 서브픽셀(200)의 구동 트랜지스터(420)은 반도체층(422)이 금속 산화물로 이루어진 산화물 트랜지스터(Oxide Transistor)일 수 있고, 구동 트랜지스터(420)의 반도체층(422)에 대응되는 영역에는 차광층(490)이 형성될 수 있다. 이는 산화물 트랜지스터의 경우, 반도체층(422)에 외부의 광이 유입되는 경우, 전기적 특성 또는 화학적 특성이 변할 수 있기 때문이다.
- [0081] 한편, 차광층(490)은 다중층 구조로 이루어질 수 있다. 구체적으로, 차광층(490)은 도전층과 하나 이상의 저반사층으로 이루어질 수 있다. 도전층은, 예를 들어, Al, Pt, Pd, Ag, Mg, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, Cu 중 어느 하나의 금속 또는 이들의 합금으로 이루어질 수 있으나 이에 제한되지 않는다. 하나 이상의 저반사층은 기판(410)을 통해 유입된 외부 광을 흡수하는 물질로 되어 있거나, 광 흡수제가 도포되어 있을 수 있다.
- [0082] 전술한 실시예들에서 하나의 픽셀을 구성하는 모든 서브픽셀들에서 뱅크층(210)이 제2개구부(214)를 포함하는 것으로 설명하였으나, 서브픽셀들 중 적어도 하나의 서브픽셀에만 뱅크층(210)이 제2개구부(214)만을 포함할 수 있다.
- [0083] 제2실시예
- [0084] 도 11은 다른 실시예에 따른 픽셀의 평면도이다.
- [0085] 도 11을 참조하면, 하나의 픽셀(P)은 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들로 구성될 수 있다. 각 서브픽셀(500A, 500B)은, 도 2에 도시한 바와 같이 유기발광다이오드(OLED: Organic Light-Emitting Diode)와,

유기발광다이오드(OLED)를 구동하기 위한 구동회로(DC: Driving Circuit)로 구성된다.

- [0086] 일실시예에 따른 각 서브픽셀(500A, 500B)은, 발광영역을 정의하는 뱅크층(510)을 포함한다. 전술한 바와 같이 빛샘 불량을 해결하기 위해, 뱅크층(510)은 유기절연재질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 앤마엘 중 선택된 적어도 하나로 이루어진 블랙 뱅크(Black bank)를 적용할 수 있다.
- [0087] 뱅크층(510)은 유기발광다이오드(OLED)의 제1전극과 유기층 사이에 위치하며 제1전극의 일부를 노출하여 발광영역(LEA: Light Emitting Area)을 정의하는 제1개구부(512)를 포함한다. 하나의 픽셀을 구성하는 서브픽셀들(500A, 500B) 중 적어도 하나의 서브픽셀(500A)은 구동회로 중 일부에 대응하여 위치하는 제2개구부(514)를 포함하고, 다른 적어도 하나의 서브픽셀(500B)는 제2개구부(514)를 포함하지 않는다.
- [0088] 도 11에는 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들 중 레드(R), 화이트(W), 그린(G) 서브픽셀들이 제2개구부(514)를 포함하는 서브픽셀(500A)이고 블루(B) 서브픽셀이 제2개구부(514)를 포함하지 않는 서브픽셀(500B)인 것으로 도시하였으나 이에 제한되지 않는다. 예를 들어 레드(R), 화이트(W), 블루(B), 그린(G) 서브픽셀들 중 두개의 서브픽셀들이 제2개구부(514)를 포함하지 않는 서브픽셀(500B)일 수 있다.
- [0089] 제2개구부(514)는 구동회로(DC)에 포함되는 둘 이상의 트랜지스터들 중 적어도 하나의 트랜지스터에 대응하여 위치할 수 있다. 도 11에는 구동회로에서 제2개구부(514)가 구동 트랜지스터(DTR)에 대응하여 위치하는 것으로 도시하였으나 이에 제한되지 않는다. 예를 들어 제2개구부(514)가 구동 트랜지스터(DTR)과 함께 다른 트랜지스터들(스위칭 트랜지스터(SWT), 센싱 트랜지스터(STR)) 중 하나에 대응하여 위치할 수도 있다.
- [0090] 도 12는 도 11의 서브픽셀이 화이트를 표현할 때 서브픽셀의 평면도이다.
- [0091] 도 12에 도시한 바와 같이, 화이트를 표현할 때 화이트의 타켓 색온도를 구현하기 위해 사용되는 서브픽셀(500A)과 사용되지 않는 서브픽셀(500B)을 구분하여, 사용되는 서브픽셀(500A)에는 제2개구부(514)가 배치하고 사용되지 않는 서브픽셀(500B)에는 제2개구부(514)가 배치되지 않을 수 있다. 즉, 제2개구부(514)를 포함하는 서브픽셀(500A)은 화이트를 표현할 때 화이트의 타켓 색온도를 구현하기 위해 사용되어 발광(emission)하는 서브픽셀이고, 제2개구부(514)를 포함하지 않는 서브픽셀(500B)은 화이트를 표현할 때 화이트의 타켓 색온도를 구현하기 위해 사용되지 않아 비발광(no emission)하는 서브픽셀일 수 있다. 따라서, 사용되지 않는 서브픽셀(500B)은 제1개구부(512)를 제외한 영역에 블랙 뱅크를 도포하고, 구동 트랜지스터(DTR)에 대응하여 제2개구부(514)를 포함하지 않아 NBTS 영향을 받게 하여 PBTS 영향을 상대적으로 덜 받도록 할 수 있다.
- [0092] 다시 말해 도 1에 도시한 데이터 구동부(120)는 제2개구부(514)를 포함하지 않는 서브픽셀(500B)에 데이터전압을 제공하지 않으므로 제2개구부(514)를 포함하지 않는 서브픽셀(500B)은 발광하지 않고 나머지 서브픽셀들(500A)만 발광하여 화이트를 표현할 수 있다.
- [0093] 전술한 바와 같이 각 서브픽셀(500A, 500B)의 뱅크층(510)에 블랙 뱅크를 적용하면 내부광과 외부광을 모두 차단하여 광에 의한 도 5에 도시한 NBTS 특성이 좋아지게 된다. 그런데 화이트의 타켓 색온도를 구현하기 위해 전술한 바와 같이 사용되는 서브픽셀과 사용되지 않는 서브픽셀 모두에 뱅크층(510)에 블랙 뱅크를 적용하면, 비발광하는 서브픽셀의 NBTS 특성은 도 5에 도시한 바와 같이 좋아지나, 발광하는 서브픽셀의 PBTS 특성이, 도 6에 도시한 바와 같이 NBTS 영향을 적게 받아, 나빠지게 된다.
- [0094] 전술한 실시예에서 화이트의 타켓 색온도를 구현하기 위한 발광 유무에 따라 하나의 픽셀을 구성하는 서브픽셀들의 뱅크층(510)에 블랙 뱅크의 적용에 차이를 주어 발광 유무에 맞게 트랜지스터의 문턱전압의 쉬프트 특성을 특성을 개선할 수 있다.
- [0095] 제2개구부(514)를 포함하는 서브픽셀(500A)과 제2개구부(514)를 포함하지 않는 서브픽셀(500B)은 도 9에 도시한 바와 같이 제1개구부(512)에 대응하여 컬러필터층가 배치될 수 있다. 제2개구부(514)를 포함하는 서브픽셀(500A)은 컬러필터층이 제2개구부(514)까지 배치되지 않지만 제2개구부(514)를 포함하지 않는 서브픽셀(500B)은 컬러필터층이 트랜지스터들 중 적어도 하나, 예를 들어 제1개구부(512)와 가장 가까이 위치하는 트랜지스터(예: 구동 트랜지스터)까지 배치될 수 있다. 즉 제2개구부(514)를 포함하지 않은 서브픽셀(500B)은 구동회로 전체에 뱅크층(510)이 배치되고 컬러필터층이 트랜지스터들 중 적어도 하나, 예를 들어 제1개구부(512)와 가장 가까이 위치하는 트랜지스터(예: 구동 트랜지스터)까지 배치되어 제1개구부(512)로부터 발광한 광이 해당 트랜지스터에 도달하는 것을 최소화할 수 있다.
- [0096] 이와 같이 전술한 실시예에서 화이트의 타켓 색온도를 구현하기 위한 발광 유무에 따라 하나의 픽셀을 구성하는

서브픽셀들의 뱅크층(510)에 블랙 뱅크의 적용 여부 및 컬러필터층의 배치에 차이를 주어 발광 유무에 맞게 트랜지스터의 문턱전압의 쉬프트 특성을 개선할 수 있다.

[0097] 결과적으로, 원하는 화이트의 타켓 색온도를 구현 시 발광여부에 따라 서로 다른 트랜지스터의 문턱전압의 쉬프트 특성을 개선하여 서브픽셀별 수명을 동일하게 유지할 수 있다.

[0098] 제3실시예

[0099] 도 13 내지 도 16은 또 다른 실시예에 따른 하나의 픽셀을 구성하는 네개의 서브픽셀들의 단면도들이다.

[0100] 도 13을 참조하면, 하나의 픽셀(P)은 둘 이상의 서브픽셀들, 예를 들어 네개의 서브픽셀들(600A, 600B, 600C, 600D)로 구성될 수 있다.

[0101] 서브픽셀들(600A, 600B, 600C, 600D)은 기판(610) 상에 위치하는 박막 트랜지스터(620), 박막 트랜지스터(620) 상에 위치하는 절연막(630) 및 절연막(630) 상에 위치하는 순차적으로 위치하는 제1전극(미도시), 유기층(660) 및 제2전극(670)을 포함하는 유기발광다이오드(OLED)를 포함할 수 있다. 서브픽셀들(600A, 600B, 600C, 600D)은 절연막(630)과 제1전극 상에 위치하는 뱅크층(650)을 포함한다. 뱅크층(650)은 유기절연체질인 블랙 수지, 그래파이트 파우더(graphite powder), 그라비아 잉크, 블랙 스프레이, 블랙 에나멜 중 선택된 적어도 하나로 이루어진 블랙 뱅크(Black bank)를 적용할 수 있다.

[0102] 또한 박막 트랜지스터(620)는 반도체층(622), 반도체층(622) 상에 형성된 게이트절연막(623), 게이트절연막(623) 상에 형성된 게이트전극(624), 게이트전극(624) 상에 형성된 충간절연막(625) 및 충간절연막(625) 상에 형성되고, 컨택홀을 통해 반도체층(622)에 연결되는 소스전극/드레인전극(626)을 포함할 수 있다.

[0103] 하나의 픽셀(P)은 서브픽셀들(600A, 600B, 600C, 600D) 중 적어도 하나의 제1서브픽셀(600A, 600D)의 박막 트랜지스터(620)에 대응하여 배치되나 다른 적어도 하나의 제2서브픽셀(600B, 600C)의 박막 트랜지스터(620)에 대응하여 배치되지 않는 차광층(690)을 포함한다.

[0104] 제1서브픽셀(600A, 600D)은 기판(610)과 박막 트랜지스터(620) 사이에는, 박막 트랜지스터(620)에 대응되도록 형성된 차광층(690)이 배치될 수 있다. 기판(610)과 차광층(690) 사이에는 버퍼층(692)이 배치될 수 있다.

[0105] 차광층(690)은 외부 광으로부터 반도체층(622)을 보호하고, 외부 광이 반사되어 시인성을 저하시키고, 휙도를 향상시키며, 명암비 특성을 저감시키는 것을 방지하는 기능을 수행한다. 여기서 기판(610)을 통해 유입된 외부 광은 비편광일 수 있다. 박막 트랜지스터(620)의 반도체층(622)에 외부의 광이 유입되는 경우, 전기적 특성 또는 화학적 특성이 변할 수 있기 때문이다.

[0106] 한편, 제2서브픽셀(600B, 600C)은 박막 트랜지스터(620)에 대응하여 차광층(690)이 배치되지 않는다.

[0107] 뱅크층(650)에 블랙 뱅크 적용 시 내부광 차단으로 문턱전압의 네거티브 쉬프트 수준을 감소시키는 효과가 있으나, 뱅크층(650)에 블랙 뱅크 전과 비교 시 상대적으로 문턱전압의 포지티브 쉬프트 수준이 증가할 수 있다.

[0108] 박막 트랜지스터(620)는 구동시 PBTS에 의한 문턱전압의 포지티브 쉬프트를 하고, 비 구동시 NBTS에 의한 문턱 전압의 네거티브 쉬프트를 한다. 비 구동시에 문턱전압의 네거티브 쉬프트를 하기 위해서는 빛에 의한 스트레스가 높은 수준으로 변할 수 있다.

[0109] 뱅크층(650)에 블랙 뱅크 적용 시 빛에 의한 스트레스가 차단되어 네거티브 쉬프트를 방지할 수 있다. 비 구동 시에도 문턱전압이 네거티브 쉬프트하지 않기 때문에 상대적으로 포지티브 쉬프트하는 수준이 증가하게 된다. 이에 따라 문턱전압의 포지티브 쉬프트 수준이 높은 색깔은 보상 마진 이상 증가하는 경우도 발생할 수 있다.

[0110] 도 13을 참조하여 설명한 실시예에서, 뱅크층(650)에 블랙 뱅크 적용 시 문턱전압의 포지티브 쉬프트 수준이 큰 서브픽셀(예를 들어 화이트 서브픽셀, 블루 서브픽셀)에 대해서는 광 차단을 최소화하도록 전술한 제2서브픽셀(600B, 600C)과 같이 박막 트랜지스터(620)에 대응하여 차광층(690)이 배치되지 않을 수 있다.

[0111] 도 14를 참조하면, 제2서브픽셀(600B, 600C)은 제1서브픽셀(600A, 600D)의 차광층(690)에 해당하는 위치에 제1투명 도전층(694)를 추가로 포함할 수 있다. 즉 제2서브픽셀(600B, 600C)은 적어도 하나의 트랜지스터에 대응하여 위치하는 제1투명 도전층(694)을 포함할 수 있다. 제1투명 도전층(694)은 전술한 제1전극과 동일한 재료일 수 있으나 이에 제한되지 않고 어떠한 투명도전재료일 수 있다.

[0112] 이와 같이 제2서브픽셀(600B, 600C)은 제1서브픽셀(600A, 600D)의 차광층(690)에 해당하는 위치에 제1투명 도전

총(694)을 추가로 포함하므로 외부광을 투과시키면서 제1서브픽셀(600A, 600D)의 차광층(690)과 전기적 특성의 이질성을 방지할 수 있다. 예를 들어 제1서브픽셀(600A, 600D)의 차광층(690)은 외부광을 차단시키면서 기판(610)이나 내부에서 발생된 정전기를 제거하는 역할을 수행하는데, 제2서브픽셀(600B, 600C)의 제1투명 도전층(694)는 외부광을 투과시키면서 기판(610)이나 내부에서 발생된 정전기를 제거하는 역할을 수행할 수도 있다.

[0113] 도 14에 도시한 바와 같이, 제2서브픽셀(600B, 600C)만이 제1서브픽셀(600A, 600D)의 차광층(690)에 해당하는 위치에 제1투명 도전층(694)을 포함하는 대신에, 도 15에 도시한 바와 같이 하나의 픽셀(P)를 구성하는 서브픽셀들(600A, 600B, 600C, 600D) 모두가 박막 트랜지스터(620)의 하부에 제2투명 도전층(696)을 추가로 포함할 수 있다. 이때 제1서브픽셀(600A, 600D)의 차광층(690)은 제2투명 도전층(696) 상에 위치할 수 있다. 이때 제2투명 도전층(696)은 제1서브픽셀(600A, 600D)의 차광층(690)과 대응하는 위치에만 배치되고 제2서브픽셀(600B, 600C)에서 제1서브픽셀(600A, 600D)의 차광층(690)에 해당하는 위치에만 위치할 수 있다. 결과적으로 제1서브픽셀(600A, 600D)에서 차광층(690)과 제2투명 도전층(696)은 다층을 구성하고, 제2서브픽셀(600B, 600C)에서 제2투명 도전층(696)은 단층을 구성하게 된다.

[0114] 예를 들어 제1서브픽셀(600A, 600D)에서 다층의 제2투명 도전층(696)과 차광층(690)은 외부광을 차단시키면서 기판(610)이나 내부에서 발생된 정전기를 제거하는 역할을 수행하는데, 제2서브픽셀(600B, 600C)에서 단층의 제2투명 도전층(696)은 외부광을 투과시키면서 기판(610)이나 내부에서 발생된 정전기를 제거하는 역할을 수행할 수 있다.

[0115] 제2투명 도전층(696)은 제1서브픽셀(600A, 600D)의 차광층(690)과 대응하는 위치에만 배치되고 제2서브픽셀(600B, 600C)에서 제1서브픽셀(600A, 600D)의 차광층(690)에 해당하는 위치에만 위치하는 것으로 설명하였으나, 기판(610)의 전면에 배치될 수도 있다. 제2투명 도전층(696)을 기판(610)의 전면에 배치하므로 마스크를 이용한 패터닝 공정을 생략할 수 있다.

[0116] 도 16에 도시한 바와 같이 하나의 픽셀(P)를 구성하는 서브픽셀들(600A, 600B, 600C, 600D) 모두가 차광층(690)과 기판(610) 상에 제2투명 도전층(696)을 포함할 수도 있다. 도 15에 도시한 바와 같이 제2투명 도전층(696)이 기판(610) 상에 위치하는 대신, 도 16에 도시한 바와 같이 제2투명 도전층(696)이 차광층(690)이 배치된 제1서브픽셀(600A, 600D)에는 차광층(690) 상에 위치되고, 차광층(690)이 배치되지 않은 제2서브픽셀(600B, 600C)에는 제1서브픽셀(600A, 600D)의 차광층(690)이 배치되는 위치에 기판(610) 상에 위치할 수 있다.

[0117] 도 15를 참조하여 설명한 바와 동일하게, 제2투명 도전층(696)은 제1서브픽셀(600A, 600D)의 차광층(690)과 대응하는 위치에만 배치되고 제2서브픽셀(600B, 600C)에서 제1서브픽셀(600A, 600D)의 차광층(690)에 해당하는 위치에만 위치하거나, 마스크를 이용한 패터닝 공정을 생략하도록 기판(610)의 전면에 배치될 수도 있다. 결과적으로 제1서브픽셀(600A, 600D)에서 차광층(690)과 제2투명 도전층(696)은 다층을 구성하고, 제2서브픽셀(600B, 600C)에서 제2투명 도전층(696)은 단층을 구성하게 된다.

[0118] 예를 들어 제1서브픽셀(600A, 600D)에서 다층의 차광층(690)과 제2투명 도전층(696)은 외부광을 차단시키면서 기판(610)이나 내부에서 발생된 정전기를 제거하는 역할을 수행하는데, 제2서브픽셀(600B, 600C)에서 단층의 제2투명 도전층(696)은 외부광을 투과시키면서 기판(610)이나 내부에서 발생된 정전기를 제거하는 역할을 수행할 수 있다.

[0119] 전술한 실시예들에 따르면, 뱅크층에서 별도로 배치된 개구부를 통해 박막 트랜지스터의 상부를 유기발광다이오드에서 발광한 광에 노출시키거나 박막 트랜지스터의 하부에 차광층을 배치하지 않아, 박막 트랜지스터의 문턱전압의 포지티브 쉬프트 정도를 완화시켜 주고, 박막 트랜지스터의 문턱전압이 포지티브나 네거티브로 쉬프트되지 않아 박막 트랜지스터가 정확하게 동작하므로 휘도 불균일 및 열룩 등의 불량들을 미연에 방지할 수 있는 효과가 있다.

[0120] 이상 도면을 참조하여 실시예들을 설명하였으나 본 발명은 이에 제한되지 않는다.

[0121] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0122]

이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

### 부호의 설명

[0123]

200, 400, 500A, 500B, 600A 내지 600C: 서브픽셀

210, 310, 510, 650: 뱅크총

212, 312, 512: 제1개구부

214, 514: 제2개구부

P: 픽셀

OLED: 유기발광다이오드

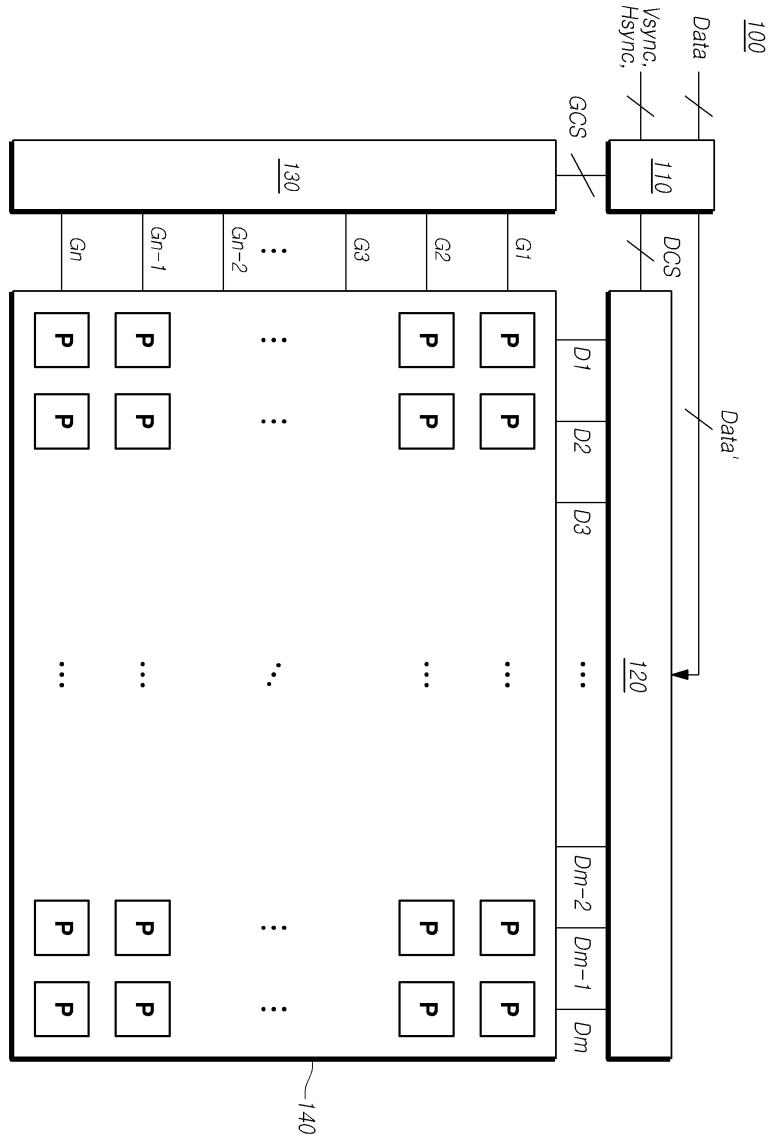
DTR: 구동 트랜지스터

STR: 센싱 트랜지스터

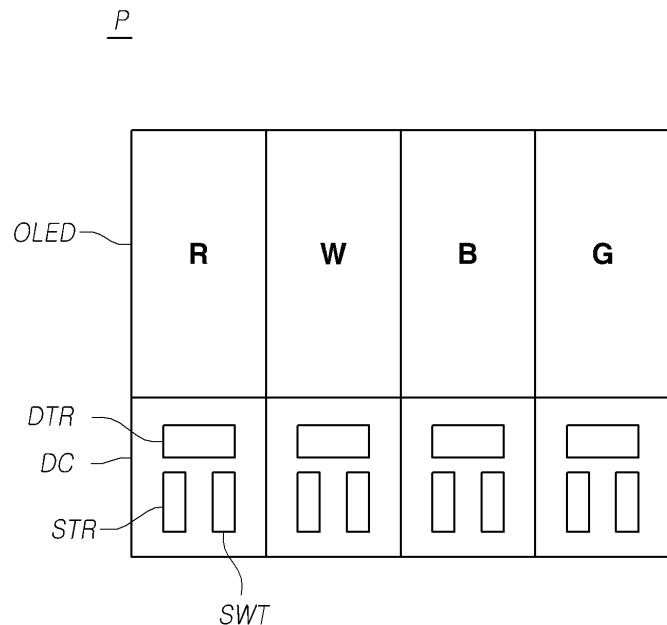
SWT: 스위칭 트랜지스터

도면

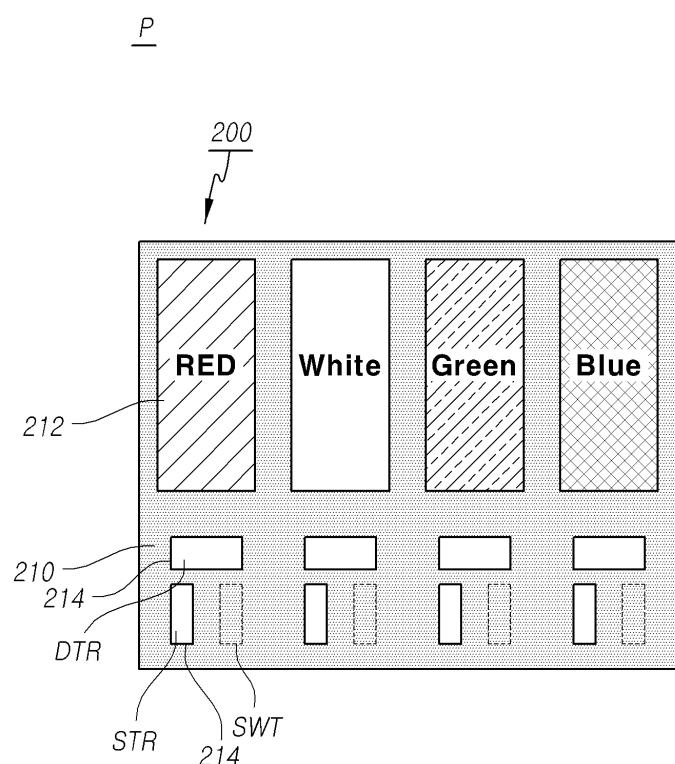
도면1



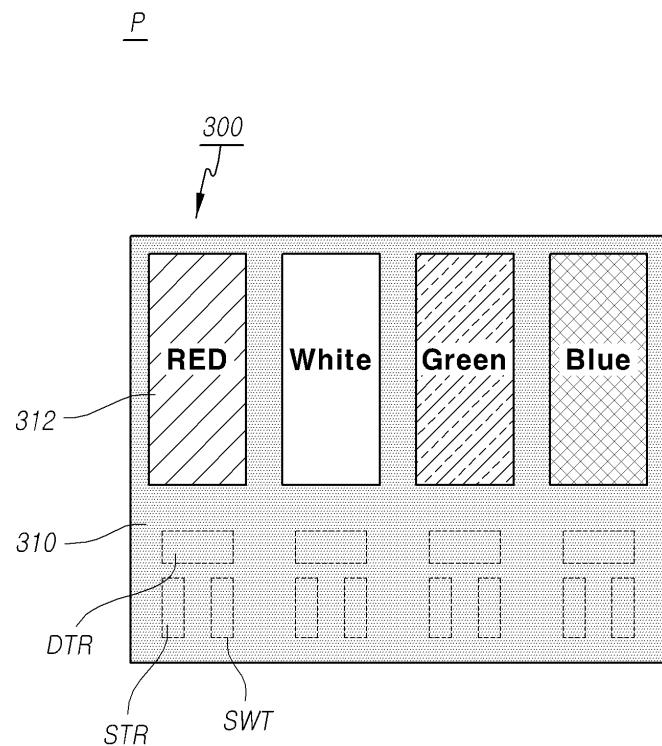
도면2



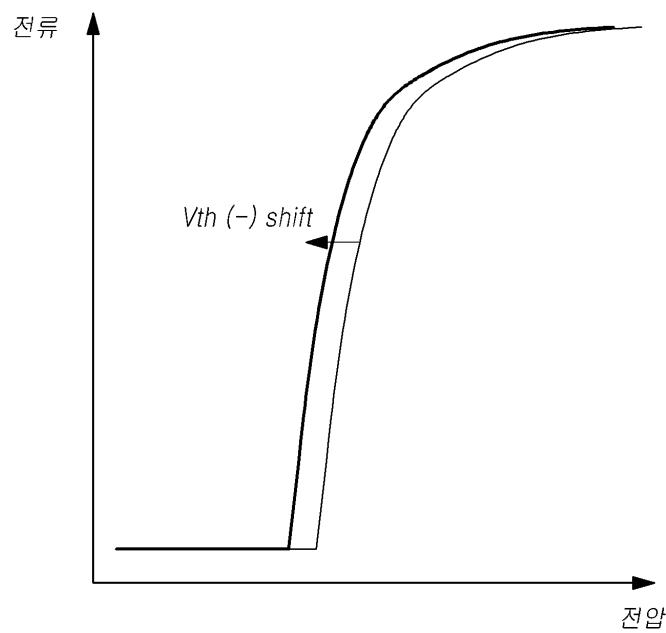
도면3



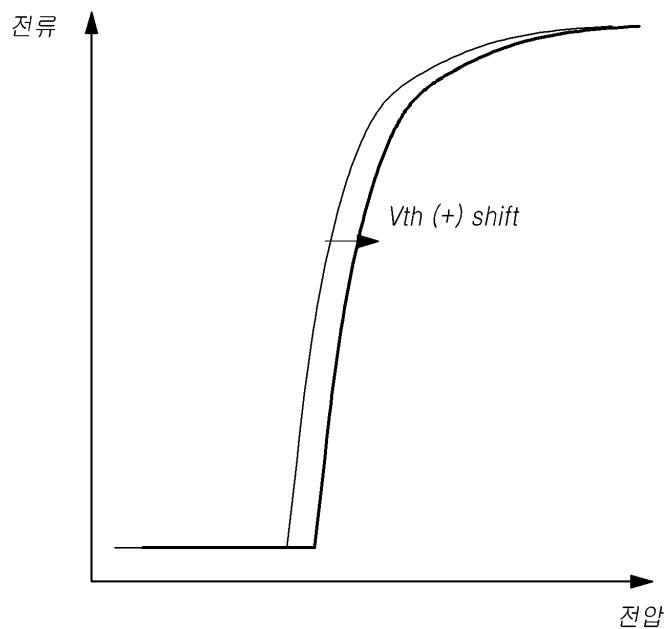
도면4



도면5

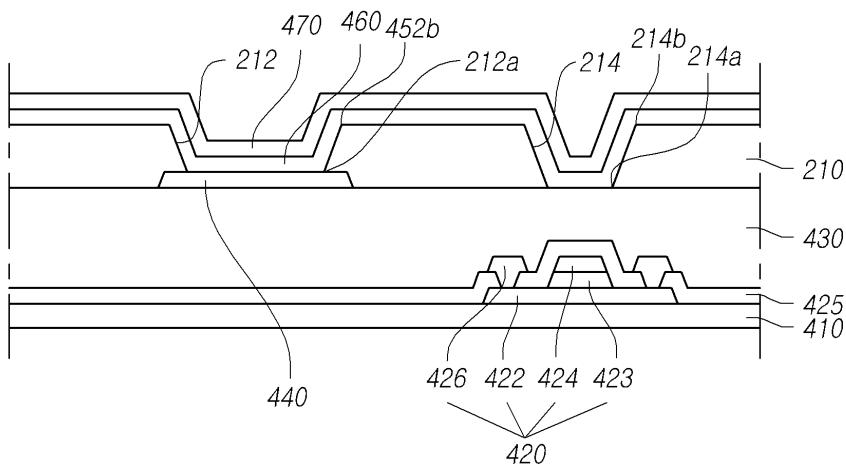


도면6

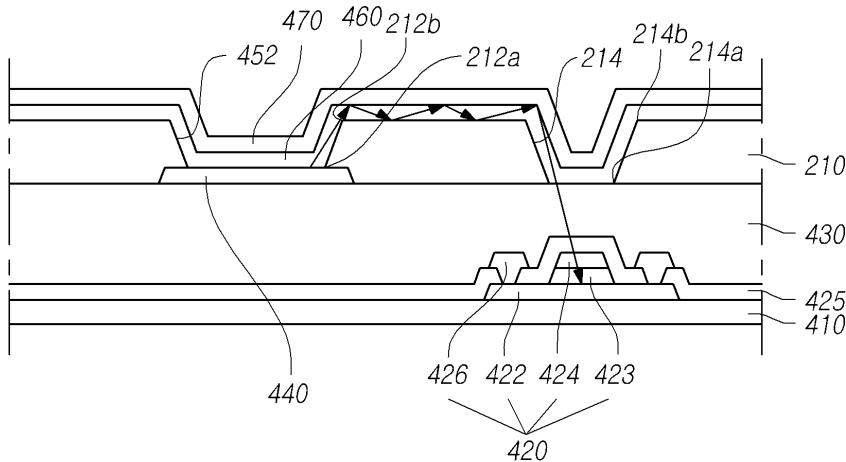


도면7

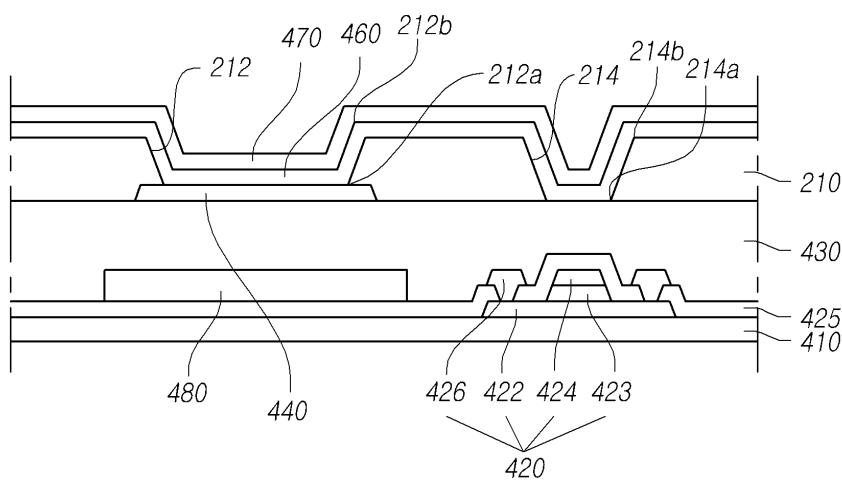
200



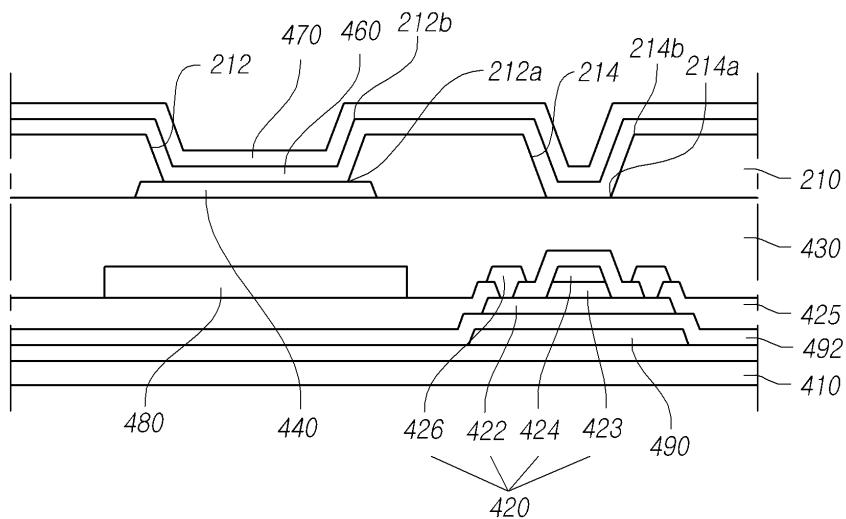
## 도면8

200

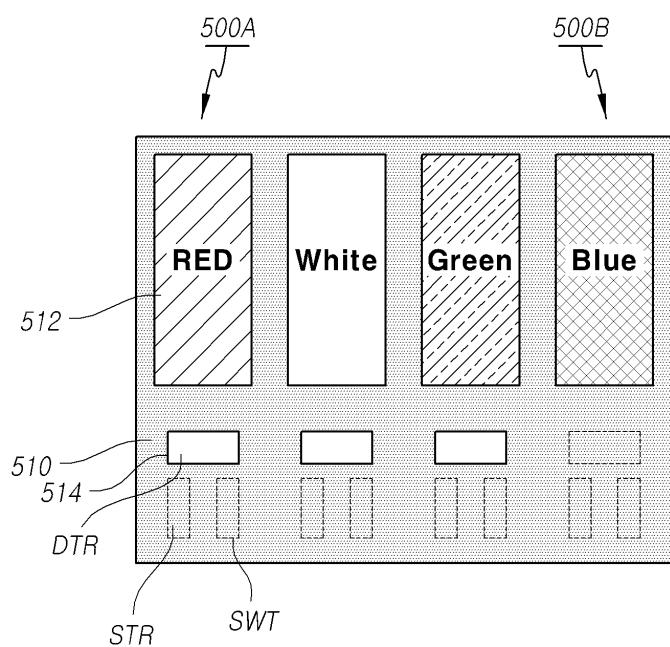
## 도면9

500

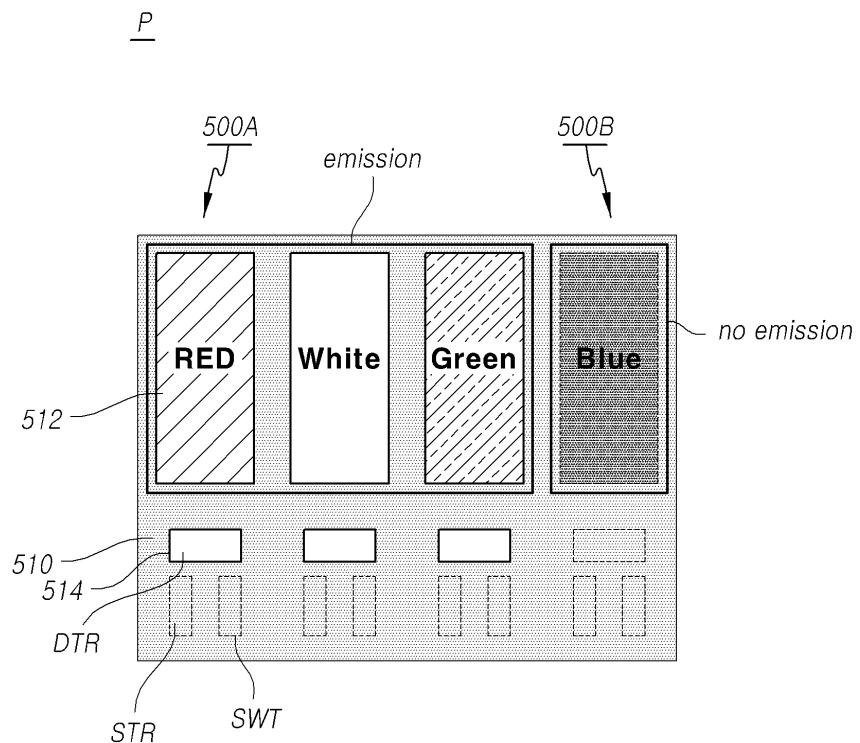
## 도면10

200

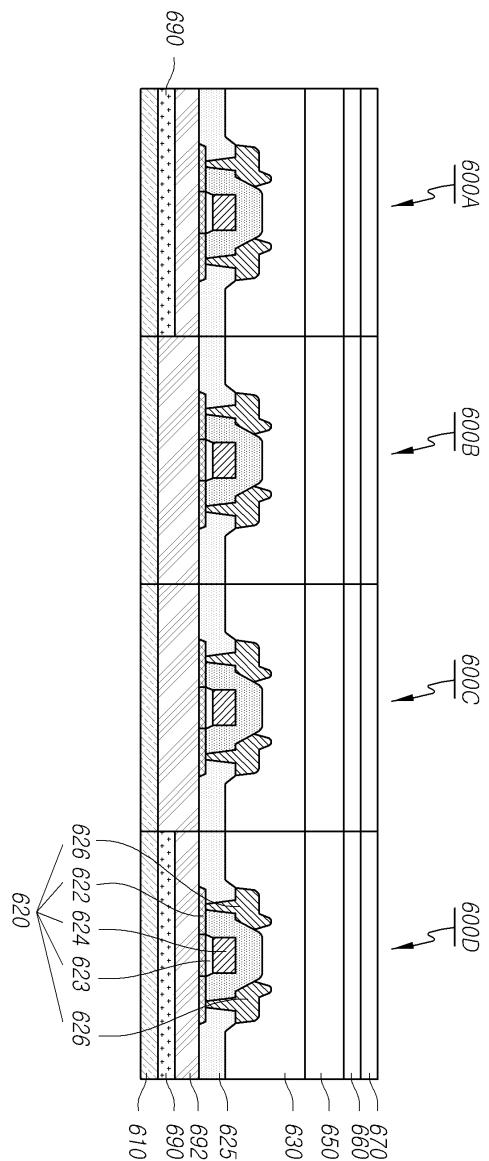
## 도면11

P

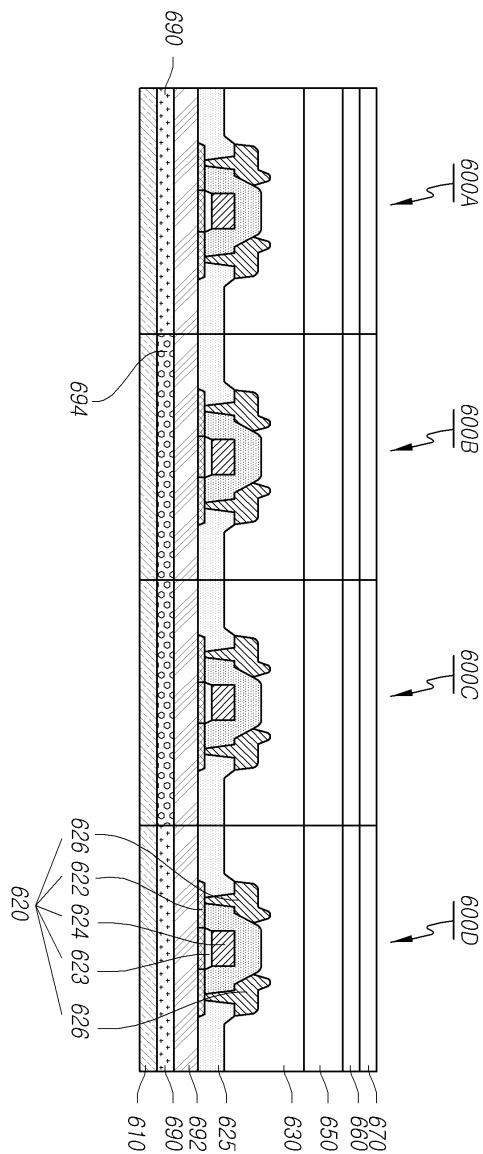
도면12



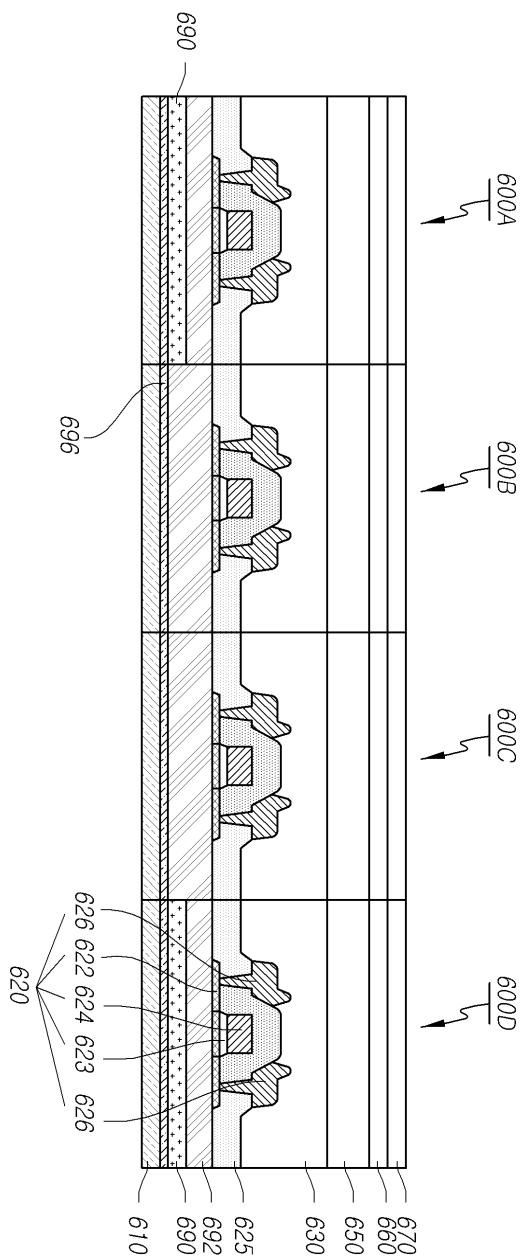
도면13



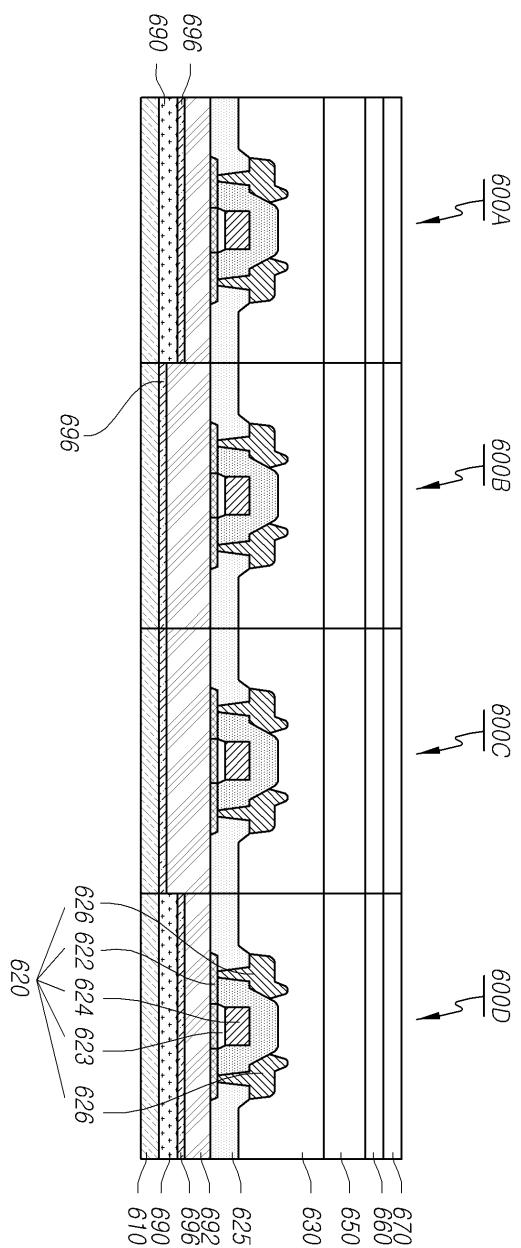
도면14



도면15



도면16



| 专利名称(译)        | 相关技术的描述  |         |            |
|----------------|--|---------|------------|
| 公开(公告)号        | <a href="#">KR1020170081102A</a>   | 公开(公告)日 | 2017-07-11 |
| 申请号            | KR1020150191847  | 申请日     | 2015-12-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司   |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司  |         |            |
| [标]发明人         | LEE KYUNG SU<br>이경수<br>PARK CHONG HUN<br>박청훈<br>LEE DONG HO<br>이동호<br>JUNG KI MOON<br>정기문<br>YANG IN YOUNG<br>양인영<br>WON SEONG YEON<br>원성연 |         |            |
| 发明人            | 이경수<br>박청훈<br>이동호<br>정기문<br>양인영<br>원성연   |         |            |
| IPC分类号         | H01L51/52 H01L27/32  |         |            |
| CPC分类号         | H01L51/5284 H01L27/3211 H01L27/3225 H01L27/326 H01L27/3262 H01L51/5281 H01L27/3258 H01L2227/32   |         |            |
| 代理人(译)         | Gimeungu<br>宋.   |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

## 摘要(译)

根据本发明的有机发光显示装置包括至少一个由两个或更多个子像素组成的像素，并且子像素中的至少一个子像素包括有机发光二极管，以及两个或更多个晶体管和黑色堤是\*\*\*堤层，第一开口限定发光区域，第二开口对应于两个或更多个晶体管中的至少一个晶体管并且被定位。

