(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080223
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3223 (2013.01)
(21) 출원번호 10-2015-0191529
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이보택
대구광역시 달서구 도원로 45, 404동 602호(도원동, 강산타운아파트)
권마르딘
서울특별시 영등포구 도림로143길 32, 104동 1102호(문래동4가, 문래동삼환아파트)
김성훈
전라북도 익산시 서동로8길 91-6 (마동, 주택)
(74) 대리인
박장원

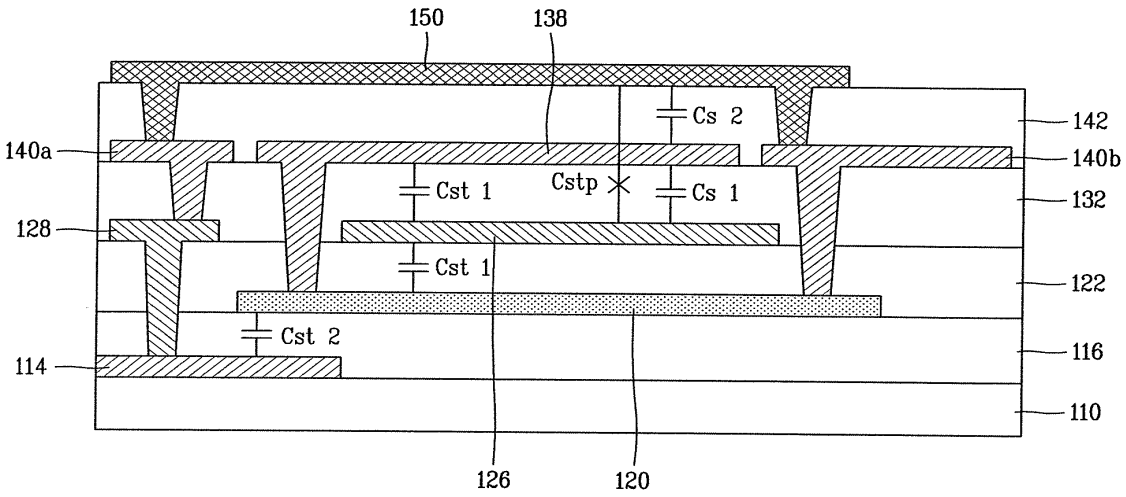
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기전계 발광표시장치 및 그 제조방법**

(57) 요 약

본 발명은 기판상에 있는 버퍼층 상에 구비된 액티브층과, 이 액티브층을 포함한 기판상에 있는 게이트 절연막상에 구비된 구동 박막 트랜지스터의 게이트 전극과, 게이트 전극을 포함한 게이트 절연막 상에 구비된 층간 절연막과, 층간 절연막 상에 구비된 구동 박막 트랜지스터의 소스전극과, 상기 액티브층에 각각 연결된 제1, 2 파워배선과, 상기 소스전극과 제1, 2 파워배선을 포함한 층간 절연막 상에 구비된 패시베이션막과, 상기 제1, 2 파워배선을 연결하는 VDD 연결배선을 포함하는 유기전계 발광표시장치를 제공한다.

대 표 도 - 도5



(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3265 (2013.01)
H01L 51/5237 (2013.01)
H01L 2227/32 (2013.01)

명 세 서

청구범위

청구항 1

기판상에 구비된 VDD 보조패턴;

상기 VDD 보조패턴을 포함한 기판상에 구비된 버퍼층;

상기 버퍼층 상에 구비된 액티브층;

상기 액티브층을 포함한 버퍼층 상에 구비된 게이트 절연막;

상기 게이트 절연막 상에 구비되며 상기 액티브층과 오버랩되는 구동 박막 트랜지스터의 게이트 전극;

상기 VDD 보조패턴과 연결되는 VDD 플러그패턴;

상기 구동 박막 트랜지스터의 게이트 전극과 VDD 플러그패턴을 포함한 게이트 절연막 상에 구비된 층간 절연막;

상기 층간 절연막 상에 구비된 구동 박막 트랜지스터의 소스전극;

상기 VDD 플러그패턴과 액티브층에 각각 연결된 제1, 2 파워배선;

상기 구동 박막 트랜지스터의 소스전극과 제1, 2 파워배선을 포함한 층간 절연막 상에 구비된 패시베이션막; 및

상기 패시베이션막 상에 구비되고 상기 제1, 2 파워배선을 연결하는 VDD 연결배선을 포함하는 유기전계 발광표시장치.

청구항 2

제1항에 있어서, 상기 VDD 연결배선은 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 및 액티브층에 오버랩된 유기전계 발광표시장치.

청구항 3

제1항에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 액티브층 사이에 제1 보상 캐패시터가 형성되고, 상기 구동 박막 트랜지스터의 소스전극과 VDD 연결배선 사이에 제2 보상 캐패시터가 형성된 유기전계 발광표시장치.

청구항 4

제1항에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 사이 및 상기 구동 박막 트랜지스터의 게이트 전극과 액티브층 사이에 제1 캐패시터가 각각 형성된 유기전계 발광표시장치.

청구항 5

제1항에 있어서, 상기 VDD 보조패턴과 액티브층은 오버랩되어 이들 사이에 제2 캐패시터가 형성된 유기전계 발광표시장치.

청구항 6

기판상에 VDD 보조패턴을 형성하는 단계;

상기 VDD 보조패턴을 포함한 기판상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 액티브층을 형성하는 단계;

상기 액티브층을 포함한 버퍼층 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 액티브층과 오버랩되는 구동 박막 트랜지스터의 게이트 전극과, 상기 VDD 보조패턴과 연결되는 VDD 플러그패턴을 형성하는 단계;

상기 구동 박막 트랜지스터의 게이트 전극과 VDD 플러그패턴을 포함한 게이트 절연막 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 구동 박막 트랜지스터의 소스전극과, 상기 VDD 플러그패턴과 액티브층에 각각 연결되는 제1, 2 파워배선을 형성하는 단계;

상기 구동 박막 트랜지스터의 소스전극과 제1, 2 파워배선을 포함한 층간 절연막 상에 패시베이션막을 형성하는 단계; 및

상기 패시베이션막 상에 상기 제1, 2 파워배선을 연결하는 VDD 연결배선을 형성하는 단계를 포함하는 유기전계 발광표시장치 제조방법.

청구항 7

제6항에 있어서, 상기 VDD 연결배선은 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 및 액티브층에 오버랩된 유기전계 발광표시장치 제조방법.

청구항 8

제6항에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 액티브층 사이에 제1 보상 캐패시터가 형성되고, 상기 구동 박막 트랜지스터의 소스전극과 VDD 연결배선 사이에 제2 보상 캐패시터가 형성되는 유기전계 발광표시장치 제조방법.

청구항 9

제6항에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 사이 및 상기 구동 박막 트랜지스터의 게이트 전극과 액티브층 사이에 제1 캐패시터가 각각 형성되는 유기전계 발광표시장치 제조방법.

청구항 10

제6항에 있어서, 상기 VDD 보조패턴과 액티브층은 오버랩되어 이들 사이에 제2 캐패시터가 형성되는 유기전계 발광표시장치 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기전계 발광표시장치 및 그 제조방법에 관한 것으로, 특히 평판 디스플레이 장치에서 기생 캐패시턴스를 차폐시킬 수 있는 유기전계 발광표시장치 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어듦에 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 여러 가지 다양한 평판표시장치가 개발되어 각광받고 있다.

[0003] 이와 같은 평판표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device : LCD), 플라즈마표시장치(Plasma Display Panel device : PDP), 전계방출표시장치(Field Emission Display device : FED), 전기발광 표시장치 (Electroluminescence Display device : ELD), 유기발광다이오드 표시장치(organic light emitting diode display device : OLED) 등을 들 수 있다.

[0004] 이들 평판표시장치는 박형화, 경량화, 저소비전력화의 우수한 성능을 보여 기존의 브라운관(Cathode Ray Tube : CRT)을 빠르게 대체하고 있다.

[0005] 위와 같은 평판표시장치 중에서, 유기발광다이오드 표시장치는 자발광 소자로서, 비발광 소자인 액정표시장치에 사용되는 백라이트를 필요로 하지 않기 때문에 경량 박형이 가능하다.

[0006] 그리고, 액정표시장치에 비해 시야각 및 대비 비가 우수하며, 소비전력 측면에서도 유리하며, 직류 저전압 구동이 가능하고, 응답속도가 빠르며, 내부 구성요소가 고체이기 때문에 외부충격에 강하고, 사용 온도범위도 넓은 장점을 지니고 있다.

[0007] 도 1은 종래기술에 따른 유기전계 발광표시장치의 하나의 화소영역에 대한 회로도이다.

[0008] 도 2는 도 1의 A부를 확대한 회로도로서, 구동 박막 트랜지스터부를 확대한 도면이다.

[0009] 도 1에 도시된 바와 같이, 종래기술에 따른 유기전계 발광표시장치는, 스위칭 박막 트랜지스터(Ts)와, 구동 박막 트랜지스터(Td)와, 기준 박막 트랜지스터 (Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(E)를 포함한다.

[0010] 이에 대해 좀더 자세히 살펴보면, 제 1 방향으로 게이트 배선(GL)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 배치되어 화소영역(미도시)을 정의하며 데이터배선(DL)이 형성된다.

[0011] 그리고, 데이터 배선(DL)과 이격하며 구동 박막 트랜지스터(Td)에 고전위 전압을 인가하기 위한 파워배선(VDD)과, 기준 박막 트랜지스터(Tr)에 기준 전압을 인가하기 위한 기준 배선(RL)이 형성된다.

[0012] 스위칭 박막 트랜지스터(Ts)와, 구동 박막 트랜지스터(Td)와, 기준 박막 트랜지스터(Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(E)는 각각의 화소영역에 형성된다.

[0013] 스위칭 박막 트랜지스터(Ts)의 게이트 전극 및 소스전극은 각각 게이트배선 (GL) 및 데이터배선(DL)에 연결되어 각각 게이트 신호 및 데이터신호를 공급받고, 구동 박막 트랜지스터(Td)의 게이트 전극은 스위칭 박막 트랜지스터(Ts)의 드레인 전극에 연결되어 데이터신호를 공급받는다.

[0014] 구동 박막 트랜지스터(Td)의 드레인 전극은 기준 박막 트랜지스터(Tr)의 드레인전극 및 발광다이오드(E)의 애노드인 제 1 전극에 연결되며, 구동 박막 트랜지스터(Td)의 소스 전극은 파워배선(VDD)에 연결된다. 발광다이오드(E)의 캐소드인 제 2 전극은 저전위 전압에 연결된다.

[0015] 기준 박막 트랜지스터(Tr)의 게이트 전극은 게이트 배선(GL)에 연결되고, 기준 박막 트랜지스터(Tr)의 소스전극은 기준배선(RL)에 연결된다.

[0016] 그리고, 캐패시터(Cst)는 제 1 캐패시터(도 3의 Cst1) 및 제 2 캐패시터(도 3의 Cst2)를 포함한다.

[0017] 여기서, 상기 제 1 캐패시터(도 3의 Cst1)의 제 1 스토리지 전극은 스위칭박막트랜지스터(Ts)의 드레인전극 및 구동 박막 트랜지스터(Td)의 게이트전극에 전기적으로 연결되며, 제 1 캐패시터(도 3의 Cst1)의 제 2 스토리지 전극은 구동 박막트랜지스터(Td)의 드레인 전극에 전기적으로 연결된다.

[0018] 그리고, 제 2 캐패시터(도 3의 Cst2)의 제 1 스토리지 전극은 구동 박막 트랜지스터(Td)의 드레인 전극에 전기적으로 연결되며, 제 2 캐패시터(도 3의 Cst2)의 제 2 스토리지 전극은 스위칭 박막 트랜지스터(Ts)의 드레인 전극 및 구동 박막 트랜지스터(Td)의 게이트 전극에 전기적으로 연결된다.

[0019] 스위칭 박막 트랜지스터(Ts)는 게이트 신호에 따라 스위칭 되어 데이터신호를 구동 박막 트랜지스터(Td)의 게이트 전극으로 공급하고, 구동 박막 트랜지스터 (Td)는 데이터신호에 따라 스위칭 되어 발광다이오드(E)의 전류를 제어한다. 이때, 스토리지 캐패시터(Cst)는 데이터신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(E)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(E)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.

[0020] 그리고, 도 2에 도시된 바와 같이, 상기 파워배선(VDD)은 구동 박막 트랜지스터(Td)의 게이트 전극(미도시)에 오버랩되어 이들 사이에 기생 캐패시터(Cstp)가 형성된다. 이는 공정 변동에 의해 기생 캐패시터(Cstp)의 차이가 발생하게 된다.

[0021] 따라서, 화소 구동시에 캐패시턴스(Capacitance) 분배가 화소들 간에 서로 다르게 야기시키게 됨으로써 얼룩 불량을 발생시키게 된다.

[0022] 이와 같은 구성으로 이루어진 종래기술에 따른 유기전계 발광표시장치에 대해 도 3을 참조하여 설명하면 다음과 같다.

[0023] 도 3은 도 1의 A부를 확대한 단면도로서, 종래기술에 따른 유기전계 발광표시장치 일부의 단면을 개략적으로 나타낸 도면이다.

[0024] 도 3을 참조하면, 기판(10) 상부에는 버퍼층(116)이 형성된다. 이때, 상기 버퍼층(116)은 무기 절연물질 예를 들면 무기절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 형성된다.

[0025] 그리고, 상기 버퍼층(116)) 상부에는 상기 구동 영역(미도시) 및 스위칭 영역 (미도시)에 대응하여 각각 순수 폴리 실리콘으로 이루어지며, 그 중앙부는 채널을 이루는 채널영역(미도시) 그리고 상기 채널 양 측면으로 고농

도의 불순물이 도핑된 소스영역(미도시) 및 드레인 영역(미도시)으로 구성된 액티브층(20)이 형성된다.

[0026] 상기 액티브층(20)을 포함한 버퍼층(16) 상에는 무기 절연물질인 산화실리콘 (SiO_2) 또는 질화 실리콘(SiNx)으로 이루어진 게이트 절연막(22)이 형성된다.

[0027] 그리고, 상기 게이트 절연막(22) 위로는 상기 구동 영역(미도시) 및 스위칭 영역(미도시)에 있어 상기 각 액티브층(20)의 채널영역(미도시)에 대응하는 구동 박막 트랜지스터(Td)의 게이트 전극(28)과 함께, 파워배선(VDD)과 연결하기 위한 VDD 플러그패턴(26)이 형성된다.

[0028] 이때, 상기 구동 박막 트랜지스터(Td)의 게이트 전극(28)과 액티브층(20) 사이에는 제1 캐패시터(Cst1)가 형성되고, 상기 VDD 플러그패턴(26)과 액티브층(20) 사이에는 제2 캐패시터(Cst2)가 형성된다.

[0029] 그리고, 상기 VDD 플러그패턴(26) 및 구동 박막 트랜지스터(Td)의 게이트 전극 (128; Gd)을 포함한 기판 전면에는 층간 절연막(32)이 형성된다.

[0030] 상기 층간 절연막(32) 상에는 상기 액티브층(20)의 소스영역(미도시)과 연결되는 상기 구동 박막 트랜지스터(Td)의 소스전극(38)과 함께, 상기 VDD 플러그패턴 (26) 및 상기 액티브층(20)의 드레인 영역(미도시)에 연결되는 파워배선(40; VDD)이 형성된다.

[0031] 이때, 상기 파워배선(40, VDD)는, 도면에서는 분리된 형태로 도시되어 있지만, 서로 연결되어 있다. 그리고, 상기 파워배선(40, VDD) 및 구동 박막 트랜지스터(Td)의 소스전극(38)은 상기 구동 박막 트랜지스터(Td)의 게이트 전극(28)과 각각 오버랩되어 있다.

[0032] 따라서, 상기 구동 박막 트랜지스터(Td)의 소스전극(38)과 상기 구동 박막 트랜지스터(Td)의 게이트 전극(28) 사이에 제1 캐패시터(Cst1)가 형성되며, 상기 파워배선(40, VDD)과 구동 박막 트랜지스터(Td)의 게이트 전극(28) 사이에는 기생 캐패시터(Cstp)가 형성된다.

[0033] 그리고, 상기 구동 박막 트랜지스터(Td)의 소스전극(38)과 상기 파워배선(40, VDD)을 포함한 층간 절연막(32) 상에는 패시베이션막(42)이 형성된다.

[0034] 이와 같이, 종래기술에 따른 유기전계 발광표시장치의 설계시에 다른 전원 배선들 간에 오버랩을 통해 구성하게 되는데, 이러한 경우에 얼룩계 불량을 발생시키는 기생 캐패시터(Cstp)를 발생시키게 된다.

[0035] 특히, 도 3에서와 같이, 파워배선(40, VDD)이 구동 박막 트랜지스터(Td)의 게이트 전극(28)과 오버랩됨으로 인하여 이들 사이에 기생 캐패시터(Cstp)가 형성된다.

[0036] 따라서, 파워배선(40, VDD)과 구동 박막 트랜지스터(Td)의 게이트 전극(28)의 오래랩으로 인해 기생 캐패시터(Cstp)가 발생됨으로써 수율 하락 및 얼룩으로 인한 화질 저하가 나타나게 된다.

발명의 내용

해결하려는 과제

[0037] 본 발명의 목적은 기생 캐패시턴스를 차폐시켜 얼룩 불량을 감소시킬 수 있는 유기전계 발광표시장치 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0038] 전술한 과제를 해결하기 위하여, 일 측면에서, 본 발명은 기판상에 구비된 VDD 보조패턴과, 상기 VDD 보조패턴을 포함한 기판상에 구비된 버퍼층과, 상기 버퍼층 상에 구비된 액티브층과, 상기 액티브층을 포함한 버퍼층 상에 구비된 게이트 절연막과, 상기 게이트 절연막 상에 구비되며 상기 액티브층과 오버랩되는 구동 박막 트랜지스터의 게이트 전극과, 상기 VDD 보조패턴과 연결되는 VDD 플러그패턴과, 상기 구동 박막 트랜지스터의 게이트 전극과 VDD 플러그패턴을 포함한 게이트 절연막 상에 구비된 층간 절연막과, 상기 층간 절연막 상에 구비된 구동 박막 트랜지스터의 소스전극과, 상기 VDD 플러그패턴과 액티브층에 각각 연결된 제1, 2 파워배선과, 상기 구동 박막 트랜지스터의 소스전극과 제1, 2 파워배선을 포함한 층간 절연막 상에 구비된 패시베이션막과, 상기 패시베이션막 상에 구비되고 상기 제1, 2 파워배선을 연결하는 VDD 연결배선을 포함하는 유기전계 발광표시장치를 제공할 수 있다.

[0039] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 VDD 연결배선은 상기 구동 박막 트랜지스터의 소

스전극과 게이트 전극 및 액티브층에 오버랩될 수 있다.

[0040] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 액티브층 사이에 제1 보상 캐패시터가 형성되고, 상기 구동 박막 트랜지스터의 소스전극과 VDD 연결배선 사이에 제2 보상 캐패시터가 형성될 수 있다.

[0041] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 사이 및 상기 구동 박막 트랜지스터의 게이트 전극과 액티브층 사이에 제1 캐패시터가 각각 형성될 수 있다.

[0042] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 VDD 보조패턴과 액티브층은 오버랩되어 이들 사이에 제2 캐패시터가 형성될 수 있다.

[0043] 전술한 과제를 해결하기 위하여, 다른 측면에서, 본 발명은 기판상에 VDD 보조패턴을 형성하는 단계와, 상기 VDD 보조패턴을 포함한 기판상에 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 액티브층을 형성하는 단계와, 상기 액티브층을 포함한 버퍼층 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 상기 액티브층과 오버랩되는 구동 박막 트랜지스터의 게이트 전극과 상기 VDD 보조패턴과 연결되는 VDD 플러그패턴을 형성하는 단계와, 상기 구동 박막 트랜지스터의 게이트 전극과 VDD 플러그패턴을 포함한 게이트 절연막 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막 상에 구동 박막 트랜지스터의 소스전극을 형성하는 단계와, 상기 VDD 플러그패턴과 액티브층에 각각 연결되는 제1, 2 파워배선을 형성하는 단계와, 상기 구동 박막 트랜지스터의 소스전극과 제1, 2 파워배선을 포함한 층간 절연막 상에 패시베이션막을 형성하는 단계와, 상기 패시베이션막 상에 상기 제1, 2 파워배선을 연결하는 VDD 연결배선을 형성하는 단계를 포함하는 유기전계 발광표시장치 제조방법을 제공할 수 있다.

[0044] 이러한 본 발명에 따른 유기전계 발광표시장치 제조방법에 있어서, 상기 VDD 연결배선은 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 및 액티브층에 오버랩될 수 있다.

[0045] 이러한 본 발명에 따른 유기전계 발광표시장치 제조방법에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 액티브층 사이에 제1 보상 캐패시터가 형성되고, 상기 구동 박막 트랜지스터의 소스전극과 VDD 연결배선 사이에 제2 보상 캐패시터가 형성될 수 있다.

[0046] 이러한 본 발명에 따른 유기전계 발광표시장치 제조방법에 있어서, 상기 구동 박막 트랜지스터의 소스전극과 게이트 전극 사이 및 상기 구동 박막 트랜지스터의 게이트 전극과 액티브층 사이에 제1 캐패시터가 각각 형성될 수 있다.

[0047] 이러한 본 발명에 따른 유기전계 발광표시장치 제조방법에 있어서, 상기 VDD 보조패턴과 액티브층은 오버랩되어 이들 사이에 제2 캐패시터가 형성될 수 있다.

발명의 효과

[0048] 본 발명에 따른 유기전계 발광표시장치 및 그 제조방법은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 소스/드레인 전극의 역할을 수행하도록 함으로써 기생 캐패시턴스의 차폐가 가능하여 이를 통해 얼룩 불량을 감소시킬 수 있다.

[0049] 그리고, 본 발명은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 기생 캐패시턴스를 감소시킴으로써 문턱 전압(Vth)의 공정 변동에 의한 편차를 줄일 수 있다.

[0050] 더욱이, 본 발명은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 기생 캐패시턴스를 차폐시켜 얼룩 불량을 감소시킴으로써 수율을 증가시킬 수 있다.

도면의 간단한 설명

[0051] 도 1은 종래기술에 따른 유기전계 발광표시장치의 하나의 화소영역에 대한 회로도이다.

도 2는 도 1의 A부를 확대한 회로도이다.

도 3은 도 1의 A부를 확대한 단면도로서, 종래기술에 따른 유기전계 발광표시장치 일부의 단면을 개략적으로 나타낸 도면이다.

도 4는 본 발명에 따른 유기전계 발광표시장치의 하나의 화소영역에 대한 회로도이다.

도 5는 도 4의 B부를 확대한 도면으로서, 본 발명에 따른 유기전계 발광표시장치 일부의 단면을 개략적으로 나타낸 도면이다.

도 6a 내지 6h는 본 발명에 따른 유기전계 발광표시장치의 제조공정 단면도들이다.

도 7은 본 발명에 따른 유기전계 발광표시장치의 문턱 전압(Vth)의 변화를 나타낸 도면이다.

도 8은 본 발명에 따른 유기전계 발광장치의 얼룩 불량 감소를 개략적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0052] 이하 본 발명에 따른 유기전계 발광표시장치에 대해 첨부된 도면을 참조하여 상세히 설명한다.

[0053] 도 4는 본 발명에 따른 유기전계 발광표시장치의 하나의 화소영역에 대한 회로도이다.

[0054] 도 4를 참조하면, 본 발명에 따른 유기전계 발광표시장치는, 스위칭 박막 트랜지스터(Ts)와, 구동 박막 트랜지스터(Td)와, 기준 박막 트랜지스터(Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(E)를 포함한다.

[0055] 이에 대해 좀더 자세히 살펴보면, 제 1 방향으로 게이트 배선(GL)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 배치되어 화소영역(미도시)을 정의하며 데이터배선(DL)이 형성된다.

[0056] 그리고, 데이터 배선(DL)과 이격하며 구동 박막 트랜지스터(Td)에 고전위 전압을 인가하기 위한 파워배선(VDD)과, 기준 박막 트랜지스터(Tr)에 기준 전압을 인가하기 위한 기준 배선(RL)이 형성된다.

[0057] 스위칭 박막 트랜지스터(Ts)와, 구동 박막 트랜지스터(Td)와, 기준 박막 트랜지스터(Tr)와, 캐패시터(Cst)와, 발광다이오드(E)는 각각의 화소영역에 형성된다.

[0058] 스위칭 박막 트랜지스터(Ts)의 게이트 전극(Gs) 및 소스전극(Ss)은 각각 게이트 배선(GL) 및 데이터배선(DL)에 연결되어 각각 게이트 신호 및 데이터신호를 공급받고, 구동 박막 트랜지스터(Td)의 게이트 전극(Gd)은 스위칭 박막 트랜지스터 (Ts)의 드레인 전극(Sd)에 연결되어 데이터신호를 공급받는다.

[0059] 구동 박막 트랜지스터(Td)의 드레인 전극(Dd)은 기준 박막 트랜지스터(Tr)의 드레인 전극(Dr) 및 발광다이오드(E)의 애노드인 제 1 전극에 연결되며, 구동 박막트랜지스터(Td)의 소스 전극(Sd)은 파워배선(VDD)에 연결된다. 그리고, 발광다이오드 (E)의 캐소드인 제 2 전극은 저전위 전압에 연결된다.

[0060] 기준 박막 트랜지스터(Tr)의 게이트 전극은 게이트 배선(GL)에 연결되고, 기준 박막 트랜지스터(Tr)의 소스전극은 기준배선(RL)에 연결된다.

[0061] 여기서, 기준 박막 트랜지스터(Tr)의 소스전극(Sr)과 드레인 전극(Dr)은 그 위치가 바뀔 수도 있다. 즉, 기준 박막 트랜지스터(Tr)의 소스전극(Sr)은 구동 박막 트랜지스터(Td)의 드레인 전극(Dd)과 연결되고, 기준 박막 트랜지스터(Tr)의 드레인 전극(Dr)은 기준배선(RL)에 연결될 수도 있다.

[0062] 그리고, 기준 박막 트랜지스터(Tr)의 게이트 전극(Gr)은 게이트 배선(GL)이 아닌 별도의 신호 배선에 연결될 수도 있다.

[0063] 상기 캐패시터(Cst)는 제 1 캐패시터(Cst1) 및 제 2 캐패시터(Cst2)를 포함한다.

[0064] 여기서, 상기 제 1 캐패시터(Cst1)의 제 1 스토리지 전극은 스위칭 박막 트랜지스터(Ts)의 드레인 전극(Ds) 및 구동 박막 트랜지스터(Td)의 게이트전극(Gd)에 전기적으로 연결되며, 제 1 캐패시터(Cst1)의 제 2 스토리지 전극은 구동 박막트랜지스터(Td)의 드레인 전극(Dd)에 전기적으로 연결된다.

[0065] 그리고, 제 2 캐패시터(Cst2)의 제 1 스토리지 전극은 구동 박막 트랜지스터 (Td)의 드레인 전극(Dd)에 전기적으로 연결되며, 제 2 캐패시터(Cst2)의 제 2 스토리지 전극은 스위칭 박막 트랜지스터(Ts)의 드레인 전극(Ds) 및 구동 박막 트랜지스터(Td)의 게이트 전극(Gd)에 전기적으로 연결된다.

[0066] 스위칭 박막 트랜지스터(Ts)는 게이트 신호에 따라 스위칭 되어 데이터신호를 구동 박막 트랜지스터(Td)의 게이트 전극(Gd)으로 공급하고, 구동 박막 트랜지스터(Td)는 데이터신호에 따라 스위칭 되어 발광다이오드(E)의 전류를 제어한다. 이때, 캐패시터(Cst)는 데이터신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(E)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(E)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.

[0067] 따라서, 게이트 배선(GL)을 통해 게이트 신호가 인가되면 스위칭 박막 트랜지스터(Ts)가 온(on) 되고, 데이터배

선(DL)의 신호가 구동 박막 트랜지스터(Td)의 게이트전극(Gd)으로 전달되어 구동 박막 트랜지스터(Td)가 스위칭되며, 구동 박막트랜지스터(Td)에 연결된 발광다이오드(E)로부터 빛이 출력된다.

[0068] 이때, 구동 박막 트랜지스터(Td)가 온 상태가 되면, 발광다이오드(E)에 흐르는 [0046] 전류의 레벨이 정해지며 이로 인해 발광다이오드(E)는 그레이 스케일 (gray scale)을 구현할 수 있게 된다.

[0069] 그리고, 상기 캐패시터(Cst)는 스위칭 박막 트랜지스터(Ts)가 오프(off) 되었을 때, 구동 박막 트랜지스터(Td)의 게이트 전압을 일정하게 유지시키는 역할을 한다.

[0070] 따라서, 스위칭 박막 트랜지스터(Ts)가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 발광다이오드(E)에 흐르는 전류의 레벨을 일정하게 유지시킬 수 있게 된다.

[0071] 이때, 기준 박막 트랜지스터(Tr)를 온시키게 되면, 기준 박막 트랜지스터 (Tr)의 드레인 전극(Dr)과 구동 박막 트랜지스터(Td)의 드레인 전극(Dd)이 연결되어 구동 박막 트랜지스터(Td)의 특성 편차를 감소시킬 수 있게 된다. 즉, 하나의 화소영역에 3개의 박막 트랜지스터만을 형성하더라도 구동 박막 트랜지스터(Td)의 특성 편차를 최소화할 수 있기 때문에, 유기전계 발광표시장치의 개구율이 향상된다. 이와 달리, 기준 박막 트랜지스터(Tr)는 생략될 수도 있다.

[0072] 그리고, 상기 구동 박막 트랜지스터(Td) 상측에는 기생 캐패시턴스(Cstp) 차폐용 VDD 연결배선(150)이 배치되어 상기 구동 박막 트랜지스터(Td)의 게이트 전극 (Gd) 및 소스전극(Sd)과 중첩되어 있으며, 이 VDD 연결배선(150)은 파워배선(VDD)에 연결된다.

[0073] 따라서, 상기 구동 박막 트랜지스터(Td) 상측에 VDD 연결배선(150)이 중첩되게 배치됨으로 인해, 파워배선(VDD)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에 발생하였던 기생 캐패시터(Cstp)가 차폐된다. 즉, 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에는 제1 보상 캐패시터(Cs1)가 형성되고, 상기 VDD 연결배선(150)과 구동 박막 트랜지스터(Td)의 소스전극(Sd) 간에는 제2 보상 캐패시터(Cs2)가 생성됨으로써, VDD 연결배선(150)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에는 기생 캐패시터 (Cstp)가 차폐된다.

[0074] 이와 같이, 본 발명에 따른 유기전계 발광표시장치는 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 소스/드레인 전극의 역할을 수행하도록 함으로써 기생 캐패시턴스의 차폐가 가능하여 이를 통해 얼룩 불량을 감소시킬 수 있다.

[0075] 그리고, 본 발명은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 기생 캐패시턴스를 감소시킴으로써 문턱 전압(Vth)의 공정 변동에 의한 편차를 줄일 수 있다.

[0076] 더욱이, 본 발명은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 기생 캐패시턴스를 차폐시켜 얼룩 불량을 감소시킴으로써 수율을 증가시킬 수 있다.

[0077] 이와 같은 회로 구성으로 이루어진 본 발명에 따른 유기전계 발광표시장치에 대해 도 5를 참조하여 상세히 설명하면 다음과 같다.

[0078] 도 5는 도 4의 B부를 확대한 도면으로서, 본 발명에 따른 유기전계 발광표시장치 일부의 단면을 개략적으로 나타낸 도면이다.

[0079] 도 5를 참조하면, 기판(110) 상부에는 VDD 보조패턴(114)이 형성된다. 이때, 상기 VDD 보조패턴(114)은 그 상측에 형성되는 액티브층(120) 사이에 제2 캐패시터 (Cst2)를 형성하기 위해 형성된다.

[0080] 그리고, 상기 VDD 보조패턴(114)을 포함한 기판(110) 전면에는 버퍼층(116)이 형성된다. 이때, 상기 버퍼층(116)은 무기 절연물질 예를 들면 무기절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 형성된다.

[0081] 상기 버퍼층(116)은 그 위에 형성되는 액티브층(120)의 결정화시에 상기 기판 (110)의 내부로부터 나오는 알칼리 이온의 방출에 의한 상기 액티브층(120)의 특성 저하를 방지하기 위해 사용된다.

[0082] 그리고, 상기 버퍼층(116)) 상부에는 상기 구동 영역(미도시) 및 스위칭 영역 (미도시)에 대응하여 각각 순수 폴리 실리콘으로 이루어지며, 그 중앙부는 채널을 이루는 채널영역(미도시) 그리고 상기 채널 양 측면으로 고농도의 불순물이 도핑된 소스영역(미도시) 및 드레인 영역(미도시)으로 구성된 액티브층(120)이 형성된다.

[0083] 이때, 상기 액티브층(120)은 상기 VDD 보조패턴(114)과 오버랩되도록 형성되어 제2 캐패시터(Cst2)가 형성된다.

[0084] 상기 액티브층(120)을 포함한 버퍼층(116) 상에는 무기 절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 이루어진 게이트 절연막(122)이 형성된다.

[0085] 그리고, 상기 게이트 절연막(122) 위로는 상기 구동 영역(미도시) 및 스위칭 영역(미도시)에 있어 상기 각 액티브층(120)의 채널영역(미도시)에 대응하여 구동 박막 트랜지스터(Td)의 게이트 전극(128; Gd)이 형성되고, 상기 VDD 보조패턴(114)과 연결되는 VDD 플러그패턴(126)이 형성된다.

[0086] 이때, 상기 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 구동 박막 트랜지스터(Td)의 게이트 전극(128; Gd) 사이 및, 구동 박막 트랜지스터(Td)의 게이트 전극 (128; Gd)과 액티브층(120) 사이에는 제1 캐패시터(Cst1)가 각각 형성된다.

[0087] 그리고, 상기 VDD 플러그패턴(126) 및 게이트 전극(128; Gd)을 포함한 기판 전면에는 층간 절연막(132)이 형성된다.

[0088] 그리고, 상기 층간 절연막(132) 상에는 상기 구동 박막 트랜지스터(Td)의 게이트 전극(128; Gd)과 오버랩되도록 구동 박막 트랜지스터(Td)의 소스전극(138; Sd)이 형성되고, 상기 소스전극(138; Sd) 양측에는 파워배선(140; VDD)이 형성된다. 이때, 상기 소스전극(138; Sd) 양측에 있는 파워배선(140; VDD)은 서로 분리되어 형성된다.

[0089] 상기 구동 박막 트랜지스터(Td)의 소스전극(138; Sd)과 상기 파워배선(140; VDD)을 포함한 층간 절연막(132) 상부에는 패시베이션막(142)이 형성된다.

[0090] 그리고, 상기 패시베이션막(142) 상부에는 서로 분리된 상기 파워배선(140; VDD)을 연결하는 VDD 연결배선(150)이 형성된다.

[0091] 이때, 상기 구동 박막 트랜지스터(Td) 상측에 VDD 연결배선(150)이 중첩되게 배치됨으로써, 파워배선(VDD)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에 발생하였던 기생 캐패시터(Cstp)가 차폐된다. 즉, 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에는 제1 보상 캐패시터(Cs1)가 형성되고, 상기 VDD 연결배선(150)과 구동 박막 트랜지스터(Td)의 소스전극(Sd) 간에는 제2 보상 캐패시터(Cs2)가 생성됨으로써, VDD 연결배선(150)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에는 기생 캐패시터(Cstp)가 차폐된다.

[0092] 한편, 본 발명에 따른 유기전계 발광표시장치 제조방법에 대해 도 6a 내지 6h를 참조하여 설명하면 다음과 같다.

[0093] 도 6a 내지 6h는 본 발명에 따른 유기전계 발광표시장치의 제조공정 단면도들이다.

[0094] 도 6a를 참조하면, 기판(110) 상부에 도전물질을 형성한 후 선택적으로 패터닝하여 VDD 보조패턴(114)을 형성한다. 이때, 상기 VDD 보조패턴(114)은 그 상측에 형성되는 액티브층(120) 사이에 제2 캐패시터(Cst2)를 형성하기 위해 형성될 수 있다.

[0095] 그런 다음, 상기 VDD 보조패턴(114)을 포함한 기판(110) 전면에 버퍼층(116)을 형성한다. 이때, 상기 버퍼층(116)은 무기 절연물질 예를 들면 무기절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 형성할 수 있다.

[0096] 상기 버퍼층(116)은 그 위에 형성되는 액티브층(120)의 결정화시에 상기 기판 (110)의 내부로부터 나오는 알칼리 이온의 방출에 의한 상기 액티브층(120)의 특성 저하를 방지하기 위해 사용된다.

[0097] 이어, 도 6b를 참조하면, 상기 버퍼층(116)) 상부에 상기 구동 영역(미도시) 및 스위칭 영역 (미도시)에 대응하여 각각 순수 폴리 실리콘으로 이루어지며, 그 중앙부는 채널을 이루는 채널영역(미도시) 그리고 상기 채널 양측면으로 고농도의 불순물이 도핑된 소스영역(미도시) 및 드레인 영역(미도시)으로 구성된 액티브층 (120)을 형성한다.

[0098] 이때, 상기 액티브층(120)은 상기 VDD 보조패턴(114)과 오버랩되도록 형성되어 제2 캐패시터(Cst2)가 형성된다.

[0099] 그런 다음, 도 6c를 참조하면, 상기 액티브층(120)을 포함한 버퍼층(116) 상에 무기 절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 이루어진 게이트 절연막(122)을 형성한다.

[0100] 이어, 상기 게이트 절연막(122)을 선택적으로 패터닝하여, 상기 VDD 보조패턴 (114)을 노출시키는 VDD 보조패턴 콘택홀(124)을 형성한다.

[0101] 그런 다음, 도 6d를 참조하면, 상기 VDD 보조패턴 콘택홀(124)을 포함한 게이트 절연막(128) 상부에 금속물질을 형성한 후 이를 선택적으로 패터닝하여 상기 구동 영역(미도시) 및 스위칭 영역(미도시)에 있어 상기 액티브층(120)의 채널영역(미도시)에 대응하여 구동 박막 트랜지스터(Td)의 게이트 전극(126; Gd)과 함께, 상기 VDD 보조패턴(114)과 연결되는 VDD 플러그패턴(128)을 형성한다.

[0102] 이때, 상기 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 구동 박막 트랜지스터(Td)의 게이트 전극(126; Gd) 사이 및, 구동 박막 트랜지스터(Td)의 게이트 전극 (126; Gd)과 액티브층(120) 사이에 각각 제1 캐패시터(Cst1)가 형성된다.

[0103] 이어, 도 6e를 참조하면, 상기 게이트 전극(126; Gd) 및 VDD 플러그패턴(128)을 포함한 기판 전면에 층간 절연막(132)을 형성한다. 이때, 상기 층간 절연막(132)은 무기 절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 형성할 수 있다.

[0104] 그런 다음, 상기 층간 절연막(132)을 선택적으로 패터닝하여, 상기 액티브층 (120)의 소스영역(미도시)과 드레인 영역(미도시) 및 VDD 플러그패턴(128)을 각각 노출시키는 소스 콘택홀(134a), 드레인 콘택홀(134b) 및 VDD 플러그패턴 콘택홀 (134c)을 각각 형성한다.

[0105] 이어, 도 6f를 참조하면, 상기 층간 절연막(132) 상에 금속 물질을 형성한 후 이를 선택적으로 패터닝하여, 상기 구동 박막 트랜지스터(Td)의 게이트 전극(126; Gd)과 오버랩되는 구동 박막 트랜지스터(Td)의 소스전극(138; Sd)과, 상기 소스전극(138; Sd) 양측에 제1, 2 파워배선(140a, 140b; VDD)을 형성한다.

[0106] 이때, 상기 구동 박막 트랜지스터(Td)의 소스전극(138; Sd)은 상기 소스 콘택홀(134a)을 통해 상기 액티브층(120)의 소스영역(미도시)과 연결되며, 상기 파워배선(140; VDD)은 상기 액티브층(120)의 드레인영역(미도시)과 상기 VDD 플러그패턴 (128)에 각각 연결된다.

[0107] 그리고, 상기 제1, 2 파워배선(140a, 140b; VDD)은 후속 공정에서 형성되는 VDD 연결배선(150)에 의해 연결됨으로써 파워배선(VDD)을 구성한다.

[0108] 그런 다음, 도 6g를 참조하면, 상기 구동 박막 트랜지스터(Td)의 소스전극 (138; Sd)과 상기 파워배선(140; VDD)을 포함한 층간 절연막(132) 상부에 패시베이션막(142)을 형성한다. 이때, 상기 패시베이션막(142)은 무기 절연물질인 산화실리콘(SiO_2) 또는 질화 실리콘(SiNx)으로 형성할 수 있다.

[0109] 이어, 상기 패시베이션막(142)을 선택적으로 패터닝하여, 상기 제1, 2 파워배선(140a, 140b; VDD)을 노출시키는 제1, 2 파워배선 콘택홀(144a, 144b)을 형성한다.

[0110] 그런 다음, 도 6h를 참조하면, 상기 제1, 2 파워배선 콘택홀(144a, 144b)을 포함한 패시베이션막(142) 상에 금속물질을 형성한 후 이를 선택적으로 패터닝하여 상기 VDD 연결배선(150)을 형성한다.

[0111] 이때, 상기 구동 박막 트랜지스터(Td) 상측에 VDD 연결배선(150)이 중첩되게 배치됨으로써, 기존에 상기 파워배선(VDD)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에 발생하였던 기생 캐패시터(Cstp)가 차폐된다. 즉, 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에는 제1 보상 캐패시터(Cs1)가 형성되고, 상기 VDD 연결배선(150)과 구동 박막 트랜지스터(Td)의 소스전극(Sd) 간에는 제2 보상 캐패시터(Cs2)가 생성됨으로써, VDD 연결배선(150)과 구동 박막 트랜지스터(Td)의 게이트 전극(Gd) 간에는 기생 캐패시터 (Cstp)가 차폐된다.

[0112] 도 7은 본 발명에 따른 유기전계 발광표시장치의 문턱 전압(Vth)의 변화를 나타낸 도면이다.

[0113] 도 7에 도시된 바와 같이, VDD 연결배선(150)을 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 오버랩되게 형성함으로써 기생 캐패시터(Cstp)가 차폐되어 문턱 전압 (Vth) 공정 변동에 의한 편차가 감소하는 것을 알 수 있다.

[0114] 그리고, 도 8은 본 발명에 따른 유기전계 발광장치의 얼룩 불량 감소를 개략적으로 나타낸 도면이다.

[0115] 도 8에 도시된 바와 같이, VDD 연결배선(150)을 구동 박막 트랜지스터(Td)의 소스전극(Sd)과 오버랩되게 형성함으로써 기생 캐패시터(Cstp)가 차폐되어 얼룩 불량이 약 2.8 % 이하로 감소되어 수율 증가 효과를 얻을 수 있다.

[0116] 이상에서와 같이, 본 발명에 따른 유기전계 발광표시장치 제조방법은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 소스/드레인 전극의 역할을 수행함으로써 기생 캐패시턴스의 차폐가 가능하여 이를 통해 얼룩 불량을 감소시킬 수 있다.

[0117] 그리고, 본 발명은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 기생 캐패시턴스를 감소시킴으로써 문턱 전압(Vth)의 공정 변동에 의한 편차를 줄일 수 있다.

[0118] 더욱이, 본 발명은 구동 박막 트랜지스터 상부에 VDD 연결패턴을 형성하여 기생 캐패시턴스를 차폐시켜 얼룩 불량을 감소시킴으로써 수율을 증가시킬 수 있다.

[0119] 이상 도면을 참조하여 실시 예들을 설명하였으나 본 발명은 이에 제한되지 않는다.

[0120] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.

[0121] 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0122] 110: 기판 114: VDD 보조패턴

120: 액티브층 126: 게이트 전극

128: VDD 플러그패턴 138: 소스전극

140a, 140b: 제1, 2 파워배선 150: VDD 연결배선

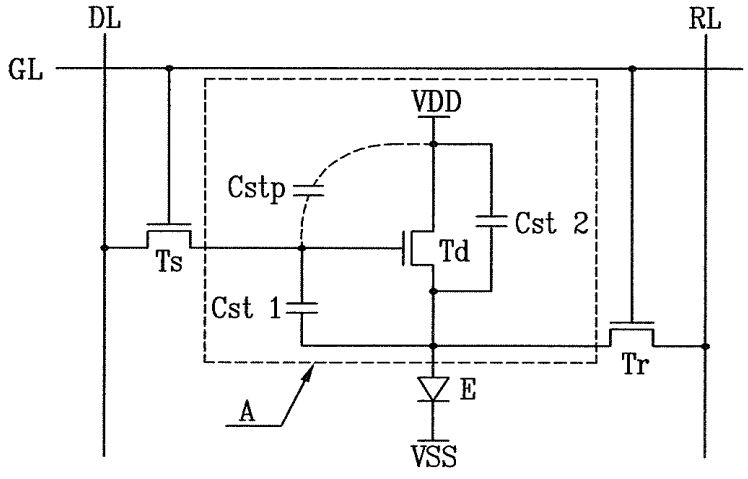
Cst1: 제1 캐패시터 Cst2: 제2 캐패시터

Cs1: 제1 보상 캐패시터 Cs2: 제2 보상 캐패시터

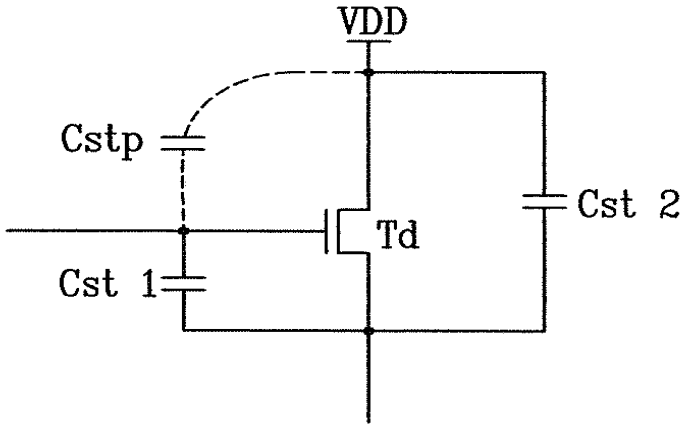
Cstp: 기생 캐패시터

도면

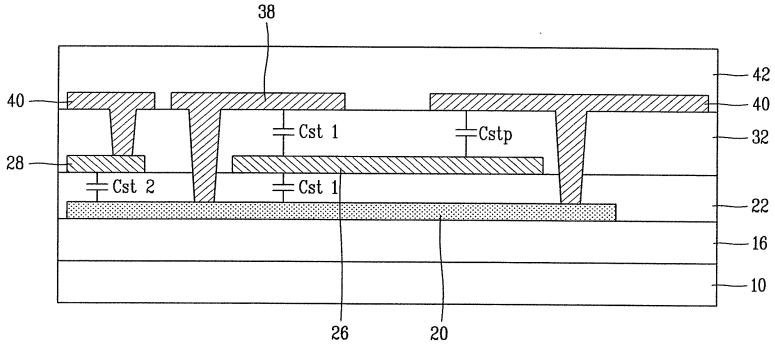
도면1



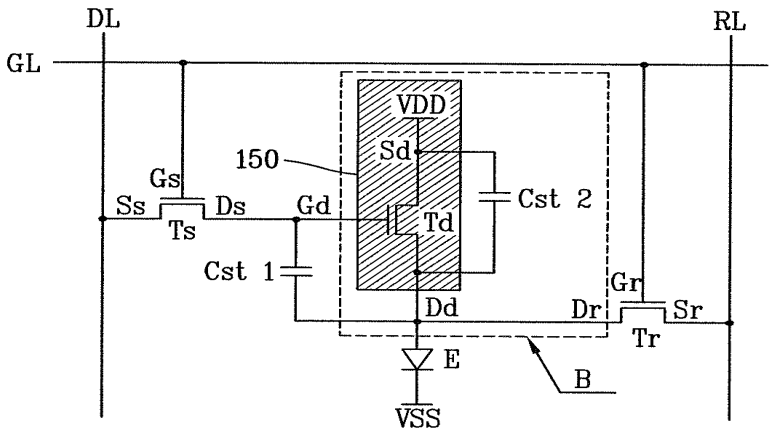
도면2


VDD
Cstp
Td
Cst 2
Cst 1

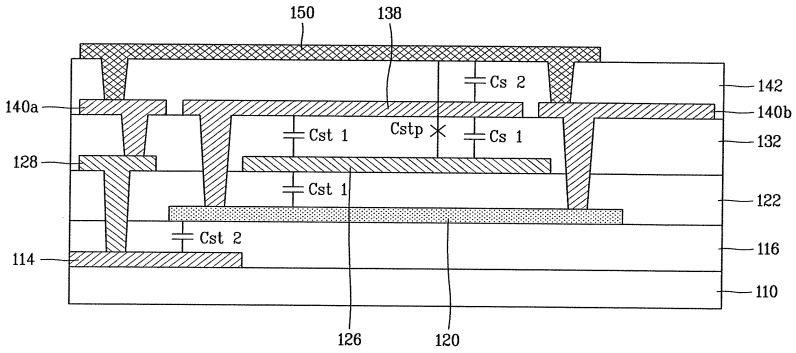
도면3


38
40
28
Cst 2
Cst 1
Cst 1
Cstp
42
40
32
22
16
10
26
20

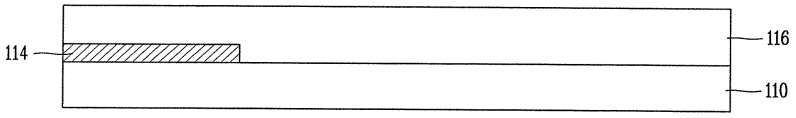
도면4


DL
RL
GL
VDD
Sd
150
Gs
Ss
Ds
Gd
Td
Cst 2
Ts
Cst 1
Gr
Dd
Dr
Sr
Tr
E
B
VSS

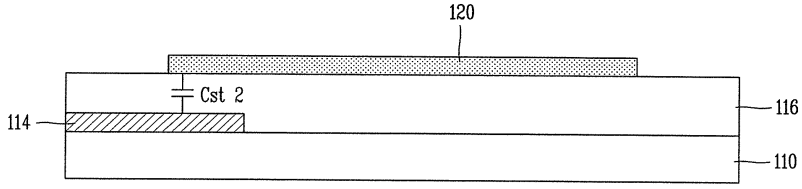
도면5



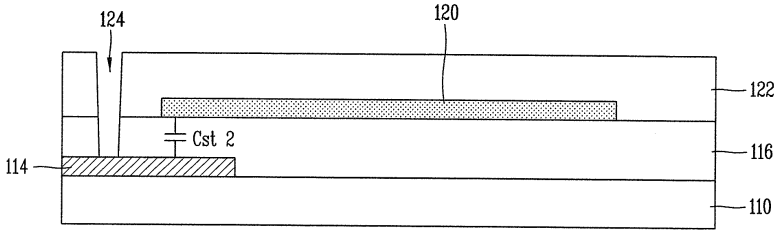
도면6a



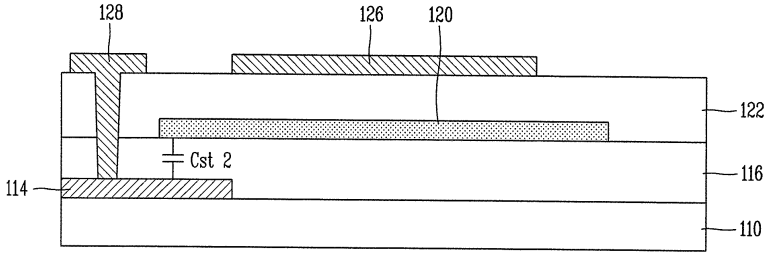
도면6b



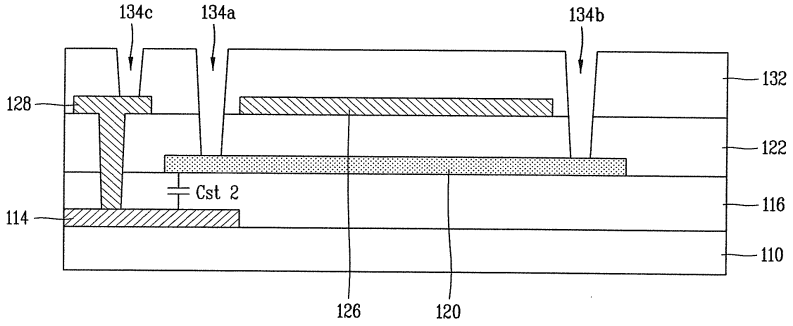
도면6c



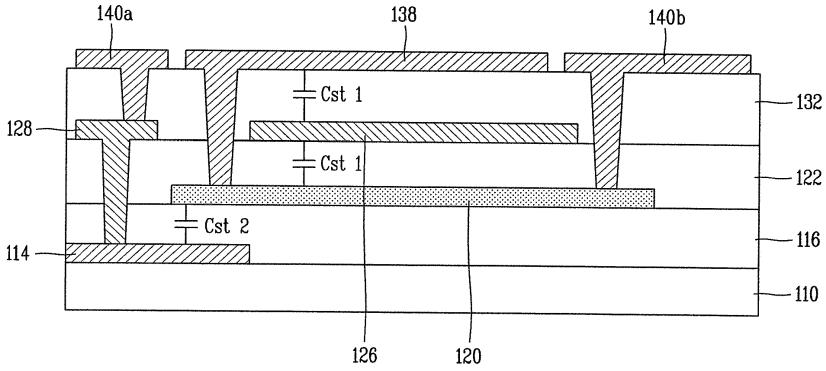
도면6d



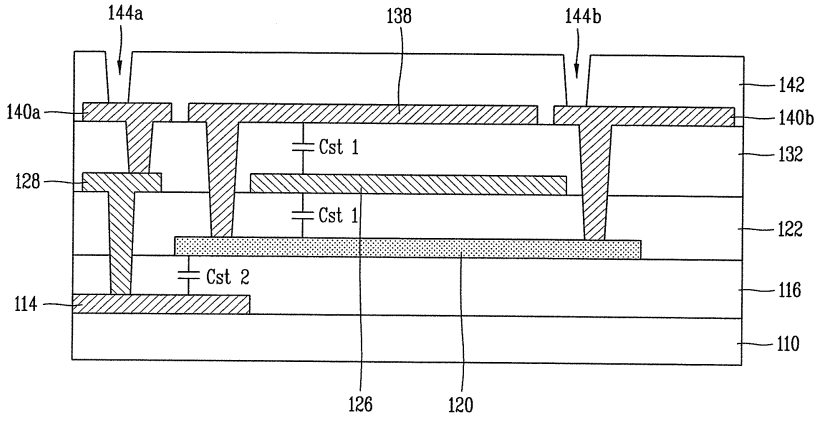
도면6e



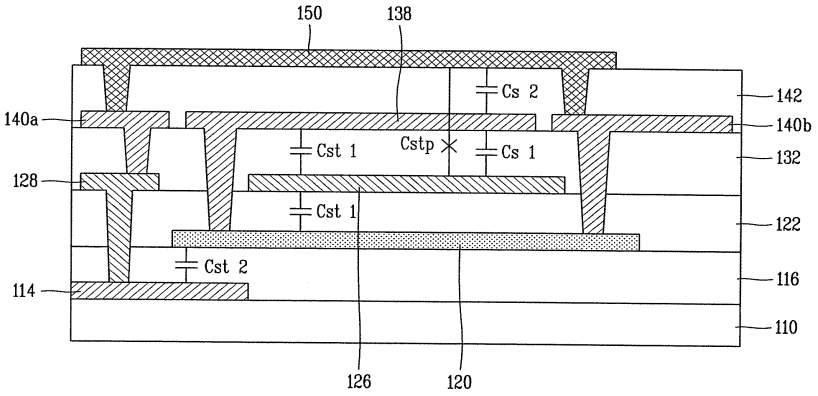
도면6f



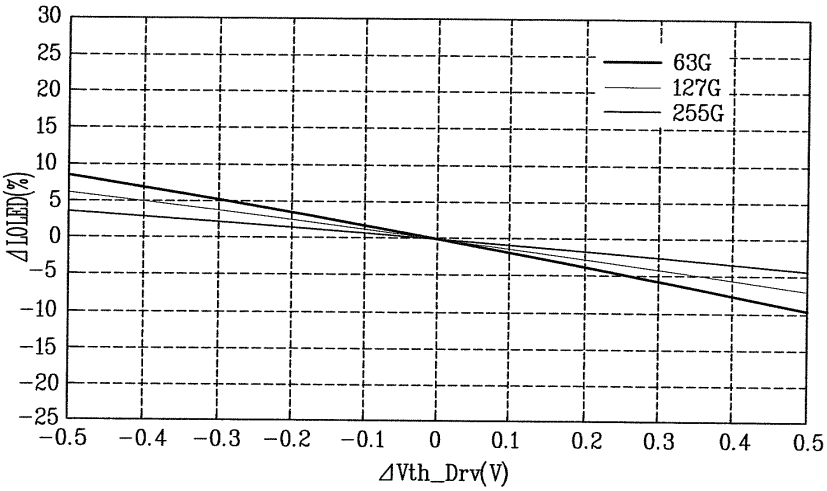
도면6g



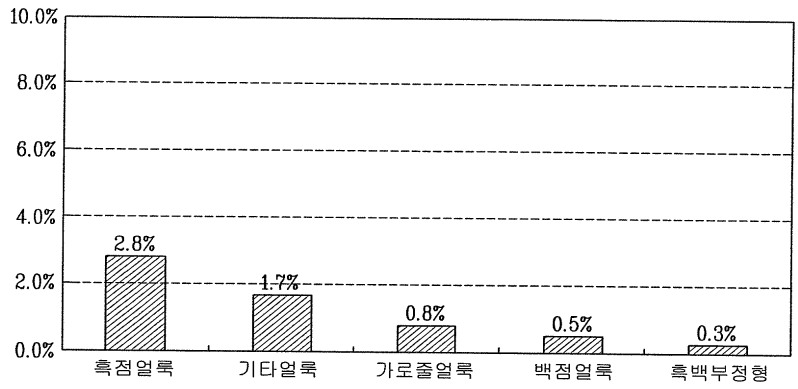
도면6h


150
138
Cs 2
142
140a
140b
Cst 1
Cstp
Cs 1
132
128
Cst 1
122
Cst 2
116
114
110
126
120

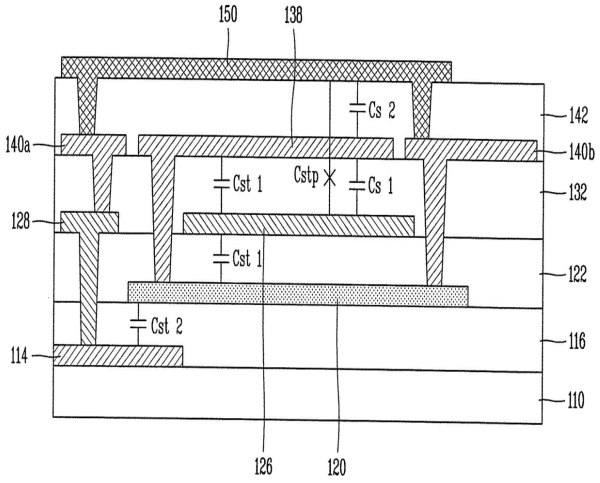
도면7


30
25
20
15
10
5
0
−5
−10
−15
−20
−25
ΔLOLED(%)
−0.5
−0.4
−0.3
−0.2
−0.1
0
0.1
0.2
0.3
0.4
0.5
ΔVth_Drv(V)
63G
127G
255G

도면8


10.0%
8.0%
6.0%
4.0%
2.0%
0.0%
2.8%
1.7%
0.8%
0.5%
0.3%
흑점얼룩
기타얼룩
가로줄얼룩
백점얼룩
흑백부정형

专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020170080223A	公开(公告)日	2017-07-10
申请号	KR1020150191529	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE BOTAEK 이보택 KWON MARDIN 권마르딘 KIM SUNGHUN 김성훈		
发明人	이보택 권마르딘 김성훈		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3223 H01L27/3262 H01L27/3258 H01L51/5237 H01L27/3265 H01L2227/32		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

本发明涉及一种制造薄膜晶体管的方法，包括步骤：在衬底上的缓冲层上形成有源层;驱动薄膜晶体管的栅电极，设置在包括有源层的衬底上的栅极绝缘膜上;设置在层间绝缘膜上的驱动薄膜晶体管的源电极;分别连接到有源层的第一和第二电源配线;以及设置在包括源电极和第一和第二电源配线的层间绝缘膜上的钝化层。以及用于连接第一和第二电源线的VDD连接线。