



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0076886
(43) 공개일자 2017년07월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/3266 (2013.01)

(21) 출원번호 10-2015-0186164
(22) 출원일자 2015년12월24일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이정우
서울특별시 서초구 방배로 239, 101동 1402호(방배동, 현대멤피스아파트)

조세준
경기도 고양시 일산서구 원일로21번길 21 201동 802호 (일산동, 일산휴먼빌아파트)
(뒷면에 계속)

(74) 대리인
특허법인네이트

전체 청구항 수 : 총 6 항

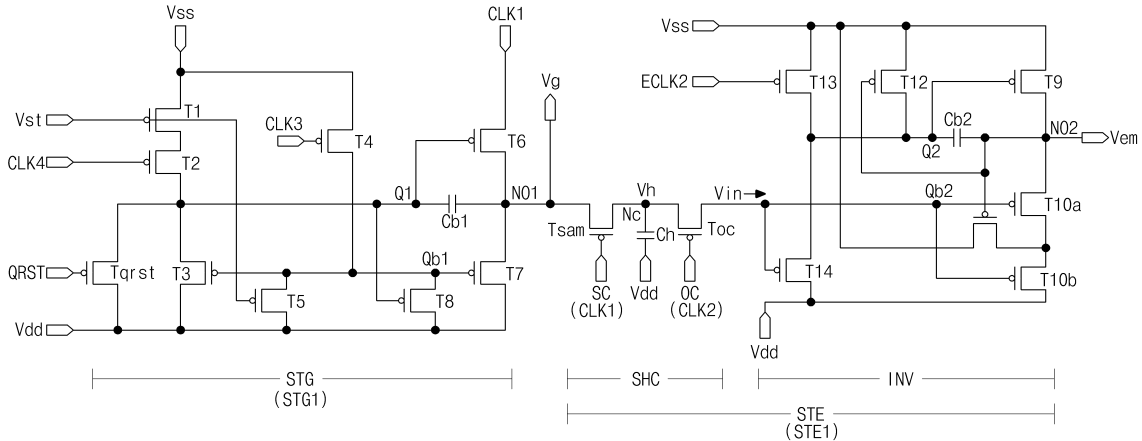
(54) 발명의 명칭 유기발광소자 표시장치 및 이의 스캔드라이버

(57) 요약

본 발명은 유기발광소자 표시장치용 스캔드라이버의 부품을 줄여 제조 비용을 절감하고 그 크기를 감소시키는 방안을 제공하는 것에 과제가 있다.

이를 위해, 본 발명에서는 유기발광소자 표시장치의 스캔드라이버에서 발광제어신호를 출력하는 발광제어회로를 (뒷면에 계속)

대표도 - 도4



구성함에 있어, 종래의 쉬프트레지스터를 대신하여 이보다 작고 간단한 구조를 가지며 게이트펄스를 인가받아 발광제어펄스 생성을 위한 인버터입력펄스를 출력하는 샘플홀드회로를 사용하게 된다.

이에 따라, 게이트구동회로 및 발광제어회로 각각에 많은 수의 트랜지스터로 구성된 쉬프트레지스터를 중복 사용함에 따른 부품 비용 증가와 크기 증가를 개선할 수 있게 된다. 또한, GIP 방식의 경우에, 스캔드라이버의 크기가 작아짐으로써 표시장치의 비표시영역을 감소할 수 있게 되어 내로우베젤(narrow bezel)을 효과적으로 구현할 수 있다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0286 (2013.01)

(72) 발명자

국승희

경기도 파주시 한마음1길 25, 102동 702호(금촌동,
주공아파트)

김미성

경기도 부천시 원미구 도약로 16, 2318동 1404호(
상동, 라일락마을 경남아너스빌)

명세서

청구범위

청구항 1

게이트펄스를 게이트배선에 각각 출력하는 다수의 게이트스테이지로 구성된 쉬프트레지스터를 포함하는 게이트 구동회로와;

상기 게이트스테이지 각각의 출력단에 연결되어 발광제어펄스를 해당 발광제어배선에 출력하는 다수의 발광제어스테이지를 포함하는 발광제어회로와;

상기 게이트배선에 연결된 스위칭트랜지스터와, 상기 발광제어배선에 연결된 발광제어트랜지스터와, 상기 발광제어트랜지스터에 연결된 유기발광다이오드를 구비한 화소를 포함하고,

상기 발광제어스테이지는, 상기 게이트펄스의 전압을 샘플링 및 홀딩하여 인버터입력펄스로 출력하는 샘플홀드회로와, 상기 인버터입력펄스에 응답하여 상기 발광제어펄스를 출력하는 인버터를 포함하는

유기발광소자 표시장치.

청구항 2

제 1 항에 있어서,

상기 샘플홀드회로는,

상기 게이트스테이지의 출력단에 연결된 샘플트랜지스터와;

상기 샘플트랜지스터와 접속노드에서 연결되고, 상기 인버터의 입력단에 연결된 출력제어트랜지스터와;

상기 접속노드에 연결된 홀드커패시터를 포함하는

유기발광소자 표시장치.

청구항 3

제 2 항에 있어서,

상기 샘플트랜지스터의 게이트전극은, 상기 게이트스테이지에 입력되어 상기 게이트펄스로 출력되는 제1게이트클럭의 입력단에 연결되고,

상기 출력제어트랜지스터의 게이트전극은, 상기 제1게이트클럭과 다른 위상의 제2게이트클럭의 입력단에 연결된

유기발광소자 표시장치.

청구항 4

게이트펄스를 각각 출력하는 다수의 게이트스테이지로 구성된 쉬프트레지스터를 포함하는 게이트구동회로와;

상기 게이트스테이지 각각의 출력단에 연결되어 발광제어펄스를 출력하는 다수의 발광제어스테이지로 구성된 발광제어회로를 포함하고,

상기 발광제어스테이지는, 상기 게이트펄스의 전압을 샘플링 및 홀딩하여 인버터입력펄스로 출력하는 샘플홀드회로와, 상기 인버터입력펄스에 응답하여 상기 발광제어펄스를 출력하는 인버터를 포함하는

유기발광소자 표시장치용 스캔드라이버.

청구항 5

제 4 항에 있어서,
 상기 샘플홀드회로는,
 상기 게이트스테이지의 출력단에 연결된 샘플트랜지스터와;
 상기 샘플트랜지스터와 접속노드에서 연결되고, 상기 인버터의 입력단에 연결된 출력제어트랜지스터와;
 상기 접속노드에 연결된 홀드커패시터를 포함하는
 유기발광소자 표시장치용 스캔드라이버.

청구항 6

제 5 항에 있어서,
 상기 샘플트랜지스터의 게이트전극은, 상기 게이트스테이지에 입력되어 상기 게이트펄스로 출력되는 제1게이트 클럭의 입력단에 연결되고,
 상기 출력제어트랜지스터의 게이트전극은, 상기 제1게이트클럭과 다른 위상의 제2게이트클럭의 입력단에 연결된
 유기발광소자 표시장치용 스캔드라이버.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광소자 표시장치에 관한 것으로서, 보다 상세하게는, 스캔드라이버의 부품을 줄여 제조 비용을 절감하고 그 크기를 감소시킬 수 있는 유기발광소자 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(flat panel display)가 널리 개발되어 다양한 분야에 적용되고 있다.

[0003] 평판표시장치 중에서, 유기 전계발광 표시장치 또는 유기 전기발광 표시장치(organic electroluminescent display device)라고도 불리는 유기발광소자 표시장치(organic light emitting diode display device: OLED display device)는, 전자 주입 전극인 음극과 정공 주입 전극인 양극 사이에 형성된 발광층에 전하를 주입하여 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 소자이다.

[0004] 이러한 유기발광소자 표시장치는 플라스틱과 같은 유연한 기판(flexible substrate) 위에도 형성할 수 있을 뿐 아니라, 자체 발광형이기 때문에 대조비(contrast ratio)가 크며, 응답시간이 수 마이크로초(μs) 정도이므로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 비교적 낮은 전압으로 구동이 가능하므로 구동회로의 제작 및 설계가 용이하다.

[0005] 이러한 유기발광소자 표시장치의 스캔드라이버에 있어, 종래에는 쉬프트레지스터(shift register)를 이용하여 게이트배선에 게이트신호를 순차적으로 출력하는 게이트구동회로와, 이와 별개의 쉬프트레지스터와 인버터를 이용하여 발광제어배선에 발광제어신호를 순차적으로 출력하는 발광제어회로가 구성된다.

[0006] 이처럼, 종래의 스캔드라이버에서는 게이트구동회로와 발광제어회로 각각에 동일한 회로인 쉬프트레지스터가 구성되는데, 쉬프트레지스터는 많은 수의 트랜지스터로 구성된다.

[0007] 이와 같이, 종래의 스캔드라이버는 동일한 쉬프트레지스터가 중복사용됨에 따라, 부품 비용이 증가하고 크기 또

한 증가하는 문제가 있다.

[0008] 더욱이, 최근에는 유기발광소자 표시장치의 기판에 직접 스캔드라이버를 내장 형태로 구성한 GIP(gate in panel) 방식이 사용되고 있는데, 이 경우에 종래의 스캔드라이버는 넓은 면적을 차지하게 되어 표시장치의 비표시영역이 증가하게 되며, 이로 인해 내로우베젤(narrow bezel)을 구현하는 것에 한계가 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 유기발광소자 표시장치용 스캔드라이버의 부품을 줄여 제조 비용을 절감하고 그 크기를 감소시키는 방안을 제공하는 것에 과제가 있다.

과제의 해결 수단

[0010] 전술한 바와 같은 과제를 달성하기 위해, 본 발명은 다수의 게이트스테이지로 구성된 쉬프트레지스터를 포함하는 게이트구동회로와, 게이트스테이지 각각의 출력단에 연결된 다수의 발광제어스테이지를 포함하는 발광제어회로를 포함하고, 발광제어스테이지는, 게이트펄스의 전압을 샘플링 및 홀딩하여 인버터입력펄스로 출력하는 샘플홀드회로와, 인버터입력펄스에 응답하여 발광제어펄스를 출력하는 인버터를 포함하는 유기발광소자 표시장치를 제공한다.

[0011] 이때, 샘플홀드회로는, 게이트스테이지의 출력단에 연결된 샘플트랜지스터와, 샘플트랜지스터와 접속노드에서 연결되고 인버터의 입력단에 연결된 출력제어트랜지스터와, 접속노드에 연결된 홀드커패시터를 포함할 수 있다.

[0012] 그리고, 샘플트랜지스터의 게이트전극은 게이트펄스로 출력되는 제1게이트클럭의 입력단에 연결되고, 출력제어트랜지스터의 게이트전극은 제1게이트클럭과 다른 위상의 제2게이트클럭의 입력단에 연결될 수 있다.

[0013] 다른 측면에서, 본 발명은 다수의 게이트스테이지로 구성된 쉬프트레지스터를 포함하는 게이트구동회로와, 게이트스테이지 각각의 출력단에 연결된 다수의 발광제어스테이지를 포함하는 발광제어회로를 포함하고, 발광제어스테이지는, 게이트펄스의 전압을 샘플링 및 홀딩하여 인버터입력펄스로 출력하는 샘플홀드회로와, 인버터입력펄스에 응답하여 발광제어펄스를 출력하는 인버터를 포함하는 유기발광소자 표시장치용 스캔드라이버를 제공한다.

[0014] 이때, 샘플홀드회로는, 게이트스테이지의 출력단에 연결된 샘플트랜지스터와, 샘플트랜지스터와 접속노드에서 연결되고 인버터의 입력단에 연결된 출력제어트랜지스터와, 접속노드에 연결된 홀드커패시터를 포함할 수 있다.

[0015] 그리고, 샘플트랜지스터의 게이트전극은 게이트펄스로 출력되는 제1게이트클럭의 입력단에 연결되고, 출력제어트랜지스터의 게이트전극은 제1게이트클럭과 다른 위상의 제2게이트클럭의 입력단에 연결될 수 있다.

발명의 효과

[0016] 본 발명에서는, 유기발광소자 표시장치의 스캔드라이버에서 발광제어신호를 출력하는 발광제어회로를 구성함에 있어, 종래의 쉬프트레지스터를 대신하여 이보다 작고 간단한 구조를 가지며 게이트펄스를 인가받아 발광제어펄스 생성을 위한 인버터입력펄스를 출력하는 샘플홀드회로를 사용하게 된다.

[0017] 이에 따라, 게이트구동회로 및 발광제어회로 각각에 많은 수의 트랜지스터로 구성된 쉬프트레지스터를 중복 사용함에 따른 부품 비용 증가와 크기 증가를 개선할 수 있게 된다. 또한, GIP 방식의 경우에, 스캔드라이버의 크기가 작아짐으로써 표시장치의 비표시영역을 감소할 수 있게 되어 내로우베젤(narrow bezel)을 효과적으로 구현할 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 실시예에 따른 유기발광소자 표시장치를 개략적으로 도시한 블럭도.

도 2는 본 발명의 실시예에 따른 화소 구조의 일예를 도시한 회로도.

도 3은 본 발명의 실시예에 따른 스캔드라이버의 구성을 개략적으로 도시한 블럭도.

도 4는 본 발명의 실시예에 따른 스캔드라이버의 각 스테이지의 일예를 도시한 회로도.

도 5는 본 발명의 실시예에 따른 스캔드라이버에 입출력되는 신호들의 일예를 도시한 타이밍도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 한편, 이하의 실시예에서는 동일 유사한 구성에 대해서는 동일 유사한 도면번호가 부여되고, 그 구체적인 설명은 생략될 수도 있다.
- [0020] 본 발명의 실시예에 따른 유기발광소자 표시장치에서는, 발광제어회로를 구성함에 있어 종래의 쉬프트레지스터를 대신하여 이보다 작고 간단한 구조의 샘플홀드회로를 사용하게 된다. 이에 따라, 게이트구동회로 및 발광제어회로에 쉬프트레지스터를 중복 사용함에 따른 부품 비용 증가와 크기 증가를 개선할 수 있게 된다.
- [0021] 이하에서는, 이와 같은 특징을 갖는 스캔드라이버를 구비한 유기발광소자 표시장치에 대해 상세하게 설명한다.
- [0022] 도 1은 본 발명의 실시예에 따른 유기발광소자 표시장치를 개략적으로 도시한 블럭도이고, 도 2는 본 발명의 실시예에 따른 화소 구조의 일예를 도시한 회로도이다.
- [0023] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광소자 표시장치(10)는 표시패널(100)과, 소스드라이버(110)와, 스캔드라이버(120)와, 타이밍컨트롤러(130)를 포함할 수 있다.
- [0024] 표시패널(100)에는 표시영역(AA)에 다수의 행라인과 열라인을 따라 매트릭스 형태로 화소(P)가 배치된다.
- [0025] 한편, 표시패널(100)의 어레이기판에는 행라인을 따라 연장되어 해당 행라인의 화소(P)에 게이트신호를 전달하는 게이트배선(GL) 및 발광제어신호를 전달하는 발광제어배선(EL)이 형성되고, 열라인을 따라 연장되어 해당 열라인의 화소(P)에 데이터신호를 전달하는 데이터배선(DL)이 형성된다.
- [0026] 이때, 화소(P) 구조의 일예에 대해 도 2를 함께 참조하여 설명한다. 화소(P)는 스위칭트랜지스터(Ts)와, 구동트랜지스터(Td)와, 발광제어트랜지스터(Te)와, 발광다이오드와(OD)와 스토리지커패시터(Cst)가 구성될 수 있다. 한편, 경우에 따라 다른 종류의 트랜지스터가 추가적으로 구비될 수 있다.
- [0027] 여기서, 본 실시예에서는 설명의 편의를 위해, 로우 레벨 전압에 의해 턴온(turn-on)되는 P 타입의 트랜지스터가 사용되는 경우를 예로 든다.
- [0028] 스위칭트랜지스터(Ts)의 게이트전극은 게이트배선(GL)에 연결되고 소스전극은 데이터배선(DL)에 연결된다. 구동트랜지스터(Td)의 게이트전극은 스위칭트랜지스터(Ts)의 드레인전극에 연결되고, 드레인전극은 고전위전압(Vdd)에 연결될 수 있다. 발광제어트랜지스터(Te)의 게이트전극은 발광제어배선(EL)에 연결되고, 드레인전극은 구동트랜지스터(Td)의 소스전극에 연결될 수 있다.
- [0029] 유기발광다이오드(OD)의 제1전극으로서 예를 들어 애노드(anode)는 발광제어트랜지스터(Te)의 소스전극에 연결되고, 제2전극으로서 예를 들어 캐소드(cathode)는 저전위 전원전압(Vss)에 연결될 수 있다. 스토리지커패시터(Cst)는 구동트랜지스터(Td)의 게이트전극과 드레인전극 사이에 연결될 수 있다.
- [0030] 이와 같이 구성된 화소영역(P)의 영상표시 동작을 살펴보면, 게이트배선(GL)을 통해 인가된 턴온레벨(즉 로우레벨)의 게이트신호(Vg)에 따라 스위칭트랜지스터(Ts)가 턴온 되고, 이에 동기하여 데이터배선(DL)으로 인가된 데이터신호(Vdata)가 스위칭트랜지스터(Ts)를 통해 구동트랜지스터(Td)의 게이트전극에 인가된다.
- [0031] 구동트랜지스터(Td)는 인가된 데이터신호(Vdata)에 따라 턴온 되어 유기발광다이오드(OD)에 공급되는 전류를 제어하게 된다.
- [0032] 구동트랜지스터(Td)에 의해 제어된 전류는 발광제어트랜지스터(Te)가 턴온레벨의 발광제어신호(Vem)에 의해 턴온되면 유기발광다이오드(OD)에 공급되어 유기발광다이오드(OD)는 대응되는 계조의 빛을 발광하게 된다.
- [0033] 여기서, 유기발광다이오드(OD)를 흐르는 전류의 양은 데이터신호(Vdata)의 크기에 비례하고, 유기발광다이오드

(OD)가 방출하는 빛의 세기는 유기발광다이오드(OD)를 흐르는 전류의 양에 비례하므로, 화소(P)는 데이터신호(Vdata)의 크기에 따라 상이한 계조를 표시하고, 그 결과 유기발광소자 표시장치(10)는 영상을 표시한다.

- [0034] 한편, 소스드라이버(110)는 타이밍컨트롤러(130)로부터 디지털 영상데이터와 소스제어신호를 입력받고, 이 소스 제어신호에 응답하여 영상데이터를 아날로그 데이터신호(Vdata)로 변환하여 각 데이터배선(DL)에 출력한다. 소스드라이버(110)는 적어도 하나의 구동IC로 구성될 수 있는데, 이에 한정되지는 않는다.
- [0035] 스캔드라이버(120)는 타이밍컨트롤러(130)로부터 스캔제어신호를 입력받아 게이트신호(Vg)와 발광제어신호(Vem)를 대응되는 게이트배선(GL)과 발광제어배선(EL)에 출력하게 된다. 이와 같은 스캔드라이버(120)는 게이트배선을 구동하는 게이트구동회로(121)와 발광제어배선(EL)을 구동하는 발광제어회로(122)를 포함하여 구성될 수 있다.
- [0036] 이때, 스캔제어신호는 게이트신호(Vg) 출력을 위해 게이트구동회로(121)에 공급되는 제어신호로서 예를 들면 스타트펄스(Vst), 초기화펄스(QRST), N상(N은 2 이상의 정수)의 쉬프트클럭 즉 게이트클럭(CLKs) 등을 포함할 수 있다. 또한, 스캔제어신호는 발광제어신호(Vem) 출력을 위해 발광제어회로(122)에 공급되는 제어신호로서 예를 들면 N상(N은 2 이상의 정수) 쉬프트클럭 즉 발광제어클럭(ECLKs)을 포함할 수 있다.
- [0037] 이와 같은 스캔드라이버(120)는 GIP 방식으로 표시패널(100)의 어레이기판에 직접 형성될 수 있는데, 이에 한정되지는 않으며 IC 형태로 제작될 수도 있다. GIP 방식인 경우에, 스캔드라이버(120)는 화소(P) 내의 소자들을 형성하는 공정과 동일한 공정에서 형성될 수 있다.
- [0038] 위와 같은 스캔드라이버(120)의 구체적인 구조에 대해서는 이하에서 보다 상세하게 설명한다.
- [0039] 타이밍 컨트롤러(130)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 타이밍신호와 디지털 영상데이터를 입력받고, 이를 사용하여 소스제어신호와 스캔제어신호를 생성하여 소스드라이버(110)와 스캔드라이버(120)에 각각 출력하게 된다.
- [0040] 이하, 본 발명의 특징적 구성인 스캔드라이버(120)의 구조 및 동작에 대해 보다 상세하게 설명한다.
- [0041] 도 3은 본 발명의 실시예에 따른 스캔드라이버의 구성을 개략적으로 도시한 블럭도이고, 도 4는 본 발명의 실시예에 따른 스캔드라이버의 각 스테이지의 일예를 도시한 회로도이고, 도 5는 본 발명의 실시예에 따른 스캔드라이버에 입출력되는 신호들의 일예를 도시한 타이밍도이다.
- [0042] 여기서, 설명의 편의를 위해, 4상의 게이트클럭(CLK1~CLK4)와 4상의 발광제어클럭(ECLK1~ECLK4)이 사용되고, 스캔드라이버를 구성하는 트랜지스터로서 P 타입의 트랜지스터가 사용되는 경우를 예로 든다. 그리고, 도 4에서는 스캔드라이버의 스테이지로서 첫번째 스테이지를 도시하였다. 또한, 도 5에서는 도 4의 스캔드라이버에 입출력되는 신호들을 도시하였다.
- [0043] 도시한 바와 같이, 스캔드라이버(120)는 게이트배선(도 2의 GL 참조)에 순차적으로 턴온레벨의 게이트펄스를 출력하는 게이트구동회로(121)와, 발광제어배선(도 2의 EL 참조)에 순차적으로 턴오프레벨의 발광제어펄스를 출력하는 발광제어회로(122)로 구성될 수 있다.
- [0044] 게이트구동회로(121)는 쉬프트레지스터로 구성되는데, 종속적으로(즉, 캐스케이드(cascade) 형태로) 연결된 다수의 스테이지 즉 다수의 게이트스테이지(STG1~STGn)를 포함할 수 있다. 이와 같은 게이트스테이지(STG)의 출력단들은 각각 해당 게이트배선에 연결되어 해당 게이트신호들(Vg1~Vgn)을 출력하게 된다.
- [0045] 이와 같이 쉬프트레지스터로 구성된 게이트구동회로(121)는 게이트스테이지(STG)를 통해 프레임 단위로 스타트펄스(Vst)를 게이트클럭들(CLK1~CLK4)에 따라 쉬프트시켜 순차적으로 게이트펄스들을 출력한다. 한편, 게이트스테이지(STG)들은 프레임 초기에 초기화펄스(QRST)에 의해 동시에 초기화 즉 리셋(reset)될 수 있다.
- [0046] 발광제어회로(122)는 입력단이 게이트스테이지(STG)들 각각의 출력단에 연결된 다수의 스테이지 즉 다수의 발광제어스테이지(STE1~STEn)를 포함할 수 있다. 이와 같은 발광제어스테이지(STE)의 출력단들은 각각 해당 발광제어배선에 연결되어 해당 발광제어신호들(Vem1~Vemn)을 출력하게 된다.
- [0047] 이처럼, 발광제어회로(122)의 각 발광제어스테이지(STE)는 게이트구동회로(121)의 대응되는 게이트스테이지(STG)에 종속적인 형태로 연결되어 게이트신호(Vg)를 입력신호로 입력받아 발광제어신호(Vem)를 출력하도록 구

성된다.

- [0048] 이와 같이, 각 발광제어스테이지(STE) 및 게이트스테이지(STG)는 각 행라인의 화소들을 스캔 구동하는 단위로서 기능하여 스캔드라이버(120)의 각 스테이지를 구성하게 된다.
- [0049] 게이트스테이지(STG)들은 스타트펄스(Vst)와 게이트클럭들(CLK1~CLK4)에 따라 해당 게이트신호(Vg)를 생성하게 되며, 이 게이트신호(Vg)는 게이트클럭들(CLK1~CLK4)에 따라 순차적으로 위상이 쉬프트된다.
- [0050] 여기서, 타이밍컨트롤러(130)에서 공급된 스타트펄스(Vst)는 최상단에 위치하는 첫번째 게이트스테이지(STG1)에 인가되어 게이트신호(Vg1)의 쉬프트 스타트 타이밍을 제어하게 된다. 그리고, 각 게이트신호(Vg)는 현재단 스테이지가 연결된 게이트배선에 게이트펄스로 인가됨과 동시에 다음단 스테이지의 스타트 타이밍을 제어하는 캐리 신호로 이용된다. 따라서, 첫번째 스테이지의 아래에 위치하는 나머지 스테이지들은 이웃한 상단(즉 선순위) 스테이지의 게이트펄스를 스타트펄스로 하여 셋(set) 되어 동작을 시작한다.
- [0051] 여기서, 스테이지가 "셋" 된다는 것은, 스테이지의 Q노드(Q1) 및 Qb노드(Q1b) 즉 제1Q노드(Q1) 및 제1Qb노드(Q1b)의 전위가 게이트펄스의 출력을 허용하는 조건으로 변경됨을 의미한다. 이때, 게이트펄스의 출력을 허용하는 조건은, 제1Q노드(Q1)의 전위가 턴온 레벨로 제1Qb노드(Qb1)의 전위가 턴오프 레벨로 되는 것이다.
- [0052] 이러한바, 도 4를 참조하여, 게이트스테이지(STG)가 셋 상태가 되면 제1Q노드(Q1)에 연결된 풀업트랜지스터(T6)가 턴온되어 이에 입력된 게이트클럭(CLK)을 게이트펄스로 출력할 수 있게 된다.
- [0053] 한편, 게이트스테이지(STG)는 게이트펄스 출력 후 이에 입력된 다른 위상의 게이트클럭에 의해 리셋 된다.
- [0054] 여기서, "리셋" 된다는 것은 앞서 "셋" 되는 것과는 반대되는 것으로서, 스테이지의 제1Q노드(Q1) 및 제1Qb노드(Qb1)의 전위가 게이트펄스의 출력을 차단하는 조건으로 변경됨을 의미한다. 게이트펄스의 출력을 차단하는 조건은, 제1Q노드(Q1)의 전위가 턴오프 레벨로 제1Qb노드(Qb1)의 전위가 턴온 레벨로 되는 것이다.
- [0055] 이러한바, 게이트스테이지(STG)가 리셋 상태가 되면 제1Qb노드(Qb1)에 연결된 풀다운트랜지스터(T7)가 턴온되어 이에 입력된 고전위전압(Vdd)을 출력할 수 있게 된다.
- [0056] 위와 같이, 게이트스테이지(STG)는 셋/리셋 상태에 따라 출력이 제어되어 턴온 레벨(즉 로우 레벨)의 게이트펄스와 턴오프 레벨(하이 레벨) 전압으로 구성된 게이트신호(Vg)를 출력하게 된다.
- [0057] 한편, 본 실시예에서는 각 게이트스테이지(STG)에 연결된 발광제어스테이지(STE)에 대해 샘플홀드회로(SHC)와 인버터(INV)를 포함하여 구성하는 것을 특징으로 한다.
- [0058] 샘플홀드회로(SHC)는 게이트스테이지(STG)의 출력단에 연결되어 출력신호인 게이트신호(Vg)를 입력받고, 샘플제어신호(SC)에 따라 게이트신호(Vg) 즉 게이트펄스 샘플링하여 홀드(즉 저장)하고 이와 같이 홀드된 홀드전압(Vh)을 출력제어신호에 따라 인버터입력신호(Vin)로 출력하게 된다.
- [0059] 여기서, 본 실시예에서는, 도 4에 도시한 바와 같이, 샘플제어신호(SC)로서 해당 게이트스테이지(STG)의 게이트펄스를 출력하는 클럭신호(CLK1)를 사용한다. 그리고, 출력제어신호(OC)로서 다음단 게이트스테이지(STG)의 게이트펄스를 출력하는 클럭신호(CLK2)를 사용하는 경우를 예로 드는데, 이에 한정되지는 않는다.
- [0060] 이에 따라, 샘플홀드회로(SHC)는 해당 게이트스테이지(STG)에서 출력된 게이트펄스 전압(즉 로우레벨 전압)을 해당 클럭신호(CLK1)에 동기하여 샘플링 및 홀딩하고, 다음단 클럭신호(CLK2)에 동기하여 홀드전압(Vh)을 갖는 펄스인 인버터입력펄스를 출력할 수 있게 된다.
- [0061] 위와 같은 방식으로 출력된 인버터입력신호(Vin)는 인버터(INV)에 입력되고, 인버터(INV)는 인버터입력신호(Vin)를 반전하여 발광제어신호(Vem)를 출력하게 된다. 여기서, 인버터(INV)는 게이트스테이지(STG)와 유사하게 셋/리셋 동작을 하여 발광제어신호(Vem)의 출력을 제어하게 된다.
- [0062] 이와 관련하여 예를 들면, 인버터(INV)는 인버터입력신호(Vin)의 인버터입력펄스에 따라 리셋 상태가 되고, 이에 따라 Qb노드 즉 제2Qb노드(Qb2)에 연결된 풀다운트랜지스터(T12a, T12b)가 턴온되어 이에 입력된 고전위전압(Vdd)을 갖는 발광제어펄스를 발광제어신호(Vem) 출력할 수 있게 된다.
- [0063] 한편, 인버터(INV)는 발광제어펄스 출력 후 이에 입력된 발광제어클럭(ECLK2)에 의해 셋 상태가 되고, 이에 따라 제2Q노드(Q2)에 연결된 풀업트랜지스터(T9)가 턴온되어 이에 입력된 저전위전압(Vss)을 발광제어신호(Vem)로 출력할 수 있게 된다.
- [0064] 위와 같이, 인버터(INV)는 셋/리셋 상태에 따라 출력이 제어되어 턴오프 레벨(즉 하이 레벨)의 발광제어펄스와

턴은 레벨(즉 로우 레벨) 전압으로 구성된 발광제어신호(Vem)를 출력할 수 있게 된다.

- [0065] 전술한 게이트스태이지 및 발광제어스태이지(STG,STE)의 회로 구성 및 동작에 대해 일례로 도시한 도 4 및 5를 참조하여 설명한다.
- [0066] 도시한 바와 같이, 게이트스태이지(STG)는 제1Q노드(Q1)의 전위에 따라 스위칭되는 풀업트랜지스터(T6) 즉 제1 풀업트랜지스터(T6)와 제1Qb노드(Qb1)의 전위에 따라 스위칭되는 풀다운트랜지스터 즉 제1풀다운트랜지스터(T7)와 제1Q노드(Q1)와 제1Qb노드(Qb1)를 셋/리셋하기 위한 셋/리셋 스위치회로를 포함할 수 있다.
- [0067] 제1풀업트랜지스터(T6)는 게이트클럭들(CLK1~CLK4) 중 게이트펄스로 출력되는 출력 게이트클럭인 제1게이트클럭(CLK1)의 입력단과 제1출력노드(N01) 사이에 접속되어 제1Q노드(Q1)의 전위에 따라 스위칭된다. 제1풀업트랜지스터(T6)의 게이트전극은 제1Q노드(Q1)에 연결되고, 소스전극은 출력 게이트클럭(CLK1) 입력단에 연결되고, 드레인전극은 제1출력노드(N01)에 각각 접속된다.
- [0068] 제1풀업트랜지스터(T6)의 게이트전극과 제1출력노드(N0) 사이에는 부스트용 제1커패시터(Cb1)가 접속된다. 제1Q노드 및 제1Qb노드(Q1,Qb1)가 셋 된 상태에서 제1게이트클럭(CLK1)이 입력될 때, 제1커패시터(Cb1)는 제1게이트클럭(CLK1)에 동기하여 풀업트랜지스터(T6)의 게이트전극을 부스트 스트랩핑(boost strapping) 시킴으로써 풀업트랜지스터(T6)를 효과적으로 턴온 시킬 수 있다.
- [0069] 풀다운트랜지스터(T7) 즉 제1풀다운트랜지스터(T7)는 고전위전압(Vdd)의 입력단과 제1출력노드(N01) 사이에 접속되어 제1Qb노드(Qb1)의 전위에 따라 스위칭 된다. 제1풀다운트랜지스터(T7)는 게이트전극은 제1Qb노드(Qb1)에 연결되고, 소스전극은 제1출력노드(N01)에 연결되고, 드레인전극은 고전위전압(Vdd)의 입력단에 각각 접속된다.
- [0070] 셋/리셋 스위치회로는 다수의 트랜지스터들(Tqrst,T1~T5,T8)로 구성되어 제1Q노드(Q1)와 제1Qb노드(Qb1)를 셋/리셋시키는 기능을 한다.
- [0071] 이와 관련하여, 셋/리셋 스위치회로는 해당 스테이지(STG)의 제1게이트클럭(CLK1)과는 다른 위상의 게이트클럭으로서 예를 들어 제3게이트클럭(CLK3)과 초기화펄스(QRST)에 응답하여, 제1Q노드(Q1)의 전위를 턴오프 레벨로 리셋시킴과 동시에 제1Qb노드(Qb1)의 전위를 턴온 레벨로 리셋시킬 수 있다.
- [0072] 이와 같은 리셋 동작은 다수의 트랜지스터로서 예를 들어 Tqrst,T4,T3으로 구성된 리셋회로부에 의해 구현될 수 있다.
- [0073] 한편, 셋/리셋 스위치회로는 스타트펄스(Vst)와 제1게이트클럭(CLK1)과 다른 위상의 게이트클럭으로서 예를 들어 제4게이트클럭(CLK4)에 응답하여, 제1Q노드(Q1)의 전위를 턴온 레벨로 셋 시킴과 동시에 제1Qb(Qb1)노드의 전위를 턴오프 레벨로 셋 시킨다.
- [0074] 이와 같은 셋 동작은 위 리셋회로부를 구성하는 트랜지스터를 이외의 트랜지스터로서 예를 들어 T1,T2,T5,T8로 구성된 셋회로부에 의해 구현될 수 있다.
- [0075] 이와 같은 셋 동작에 의해, 전술한 구성의 게이트스태이지(STG)는 해당 제1게이트클럭(CLK1)을 게이트펄스로 출력하게 된다.
- [0076] 발광제어스태이지(STE)는 샘플홀드회로(SHC)와 인버터회로(INV)로 구성된다.
- [0077] 샘플홀드회로(SHC)는 샘플제어신호(SC)에 의해 스위칭되는 샘플트랜지스터(Tsam)와, 샘플트랜지스터(Tsam)와 직렬연결되며 출력제어신호(OC)에 의해 스위칭되는 출력제어트랜지스터(Toc)와, 샘플트랜지스터(Tsam)와 출력제어트랜지스터(Toc) 사이의 접속노드(Nc)에 연결된 홀드커패시터(Ch)를 포함하여 구성될 수 있다.
- [0078] 이처럼, 샘플홀드회로(SHC)는 2개의 트랜지스터(Tsam,Toc)와 1개의 커패시터(Ch)로 간단하게 구성할 수 있게 된다. 따라서, 게이트스태이지(STG)와 같은 쉬프트레지스터의 스테이지에 비해 상당한 정도로 부품을 감소시킬 수 있고, 크기 또한 상당한 정도로 감소시킬 수 있게 된다.
- [0079] 샘플트랜지스터(Tsam)는 소스전극이 해당 게이트스태이지(STG)의 출력단에 연결되어 이의 출력신호인 게이트펄스를 입력받게 된다. 여기서, 샘플제어신호(SC)는 게이트펄스를 샘플링할 수 있도록 게이트펄스의 출력 타이밍에 동기하여 턴온 레벨(즉 로우 레벨)을 갖는 것이 바람직하다. 이와 같은 샘플제어신호(SC)로서 게이트펄스로 출력되는 제1게이트클럭(CLK1)이 사용될 수 있다. 이처럼, 제1게이트클럭(CLK1)을 사용하게 되면, 별도의 샘플제어신호(SC)를 생성할 필요가 없는 장점이 있다.
- [0080] 이와 같은 샘플제어신호(SC)에 의해 샘플트랜지스터(Tsam)가 턴온되면, 게이트펄스 전압이 홀드커패시터(Ch)에

저장되어 유지될 수 있다. 여기서, 홀드캐패시터(Ch)의 제1전극은 접속노드(Nc) 즉 샘플트랜지스터(Tsam)의 드레인전극에 연결되고, 제2전극은 고전위전압(Vdd)에 연결될 수 있다.

- [0081] 이와 같이 홀드캐패시터(Ch)에 로우레벨의 홀드전압(Vh)이 저장된 상태에서 출력제어신호(OC)에 의해 출력제어 트랜지스터(Toc)가 턴온되면, 이 턴온 구간 동안 홀드전압(Vh)의 펄스인 인버터입력펄스가 인버터입력신호(Vin)로 출력된다. 여기서, 출력제어신호(OC)로서 다음단 게이트펄스로 출력되는 제2게이트클럭(CLK2)이 사용될 수 있는데, 이에 한정되지는 않으며 발광제어신호(Vem)의 타이밍에 따라 다른 게이트클럭이 사용될 수도 있다. 이처럼, 제2게이트클럭(CLK2)을 사용하게 되면, 별도의 출력제어신호(OC)를 생성할 필요가 없는 장점이 있다.
- [0082] 인버터회로(INV)는, 게이트스태이지(STG)와 유사하게, 제2Q노드(Q2)의 전위에 따라 스위칭되는 풀업트랜지스터 즉 제2풀업트랜지스터(T9)와 제2Qb노드(Qb2)의 전위에 따라 스위칭되는 풀다운트랜지스터 즉 제2풀다운트랜지스터(T10a, T10b)와 제2Q노드(Q2)와 제2Qb노드(Qb2)를 셋/리셋하기 위한 셋/리셋 스위치회로를 포함할 수 있다.
- [0083] 제2풀업트랜지스터(T9)는 유기발광다이오드(도 2의 OD 참조)의 발광 구간 동안 발광제어신호(Vem)의 턴온 레벨(즉 로우 레벨)로 출력되는 저전위전압(Vss)의 입력단과 제2출력노드(NO2) 사이에 접속되어 제2Q노드(Q2)의 전위에 따라 스위칭된다. 제2풀업트랜지스터(T9)의 게이트전극은 제2Q노드(Q2)에 접속되고, 소스전극은 저전위전압(Vss) 입력단에 접속되고, 드레인전극은 제2출력노드(NO2)에 각각 접속된다.
- [0084] 제2풀업트랜지스터(T9)의 게이트전극과 제2출력노드(NO) 사이에는 부스트용 제2캐패시터(Cb2)가 접속된다. 제2Q노드 및 제2Qb노드(Q2, Qb2)가 셋 턴 상태에서 저전위전압(Vss)이 입력될 때, 제2캐패시터(Cb2)는 입력된 저전위전압(Vss)에 동기하여 제2풀업트랜지스터(T9)의 게이트전극을 부스트 스트랩핑(boost strapping) 시킴으로써 제2풀업트랜지스터(T9)를 효과적으로 턴온 시킬 수 있다.
- [0085] 제2풀다운트랜지스터(T10a, 10b)는 고전위전압(Vdd)의 입력단과 제2출력노드(NO2) 사이에 접속되어 제2Qb노드(Qb2)의 전위에 따라 스위칭 된다. 제2풀다운트랜지스터(T10a, T10b)는 게이트전극은 제2Qb노드(Qb2)에 접속되고, 소스전극은 제2출력노드(NO2)에 접속되고, 드레인전극은 고전위전압(Vdd)의 입력단에 각각 접속된다. 이때, 본 실시예에서는 2개의 직렬연결된 풀다운트랜지스터(T10a, T10b)가 사용된 경우를 예로 들었는데, 이에 한정되지는 않는다.
- [0086] 셋/리셋 스위치회로는 다수의 트랜지스터들(T11~T14)로 구성되어 제2Q노드(Q2)와 제2Qb노드(Qb2)를 셋/리셋시키는 기능을 한다.
- [0087] 이와 관련하여, 셋/리셋 스위치회로는 샘플홀드회로(SHC)에서 출력된 인버터입력펄스에 응답하여, 제2Q노드(Q2)의 전위를 턴오프 레벨로 리셋시킴과 동시에 제2Qb노드(Qb2)의 전위를 턴온 레벨로 리셋시킬 수 있다.
- [0088] 이와 같은 리셋 동작은 다수의 트랜지스터로서 예를 들어 T14로 구성된 리셋회로부에 의해 구현될 수 있다.
- [0089] 이처럼, 인버터입력펄스에 의해 인버터(INV)가 리셋 상태가 되면 제2Qb노드(Qb2)가 턴온레벨이 되어 제2풀다운트랜지스터(T10a, T10b)가 턴온됨으로써, 인버터입력펄스가 입력되는 구간 동안 이에 동기하여 고전위전압(Vdd)의 펄스인 턴오프 레벨의 발광제어펄스가 제2출력노드(NO2)를 통해 발광제어신호(Vem)로 출력될 수 있게 된다.
- [0090] 한편, 셋/리셋 스위치회로는 발광제어클럭들(ECLK1~ECLK4) 중 인버터입력펄스(즉, 출력제어신호(OC))와 다른 위상의 발광제어클럭으로서 예를 들어 제2발광제어클럭(ECLK2)에 응답하여, 제2Q노드(Q2)의 전위를 턴온 레벨로 셋 시킴과 동시에 제2Qb(Qb2)노드의 전위를 턴오프 레벨로 셋 시킬 수 있다. 여기서, 발광제어클럭(ECLK1~ECLK4)은 서로 다른 위상의 클럭신호들로서, 이들은 교대로 발광제어스태이지(STE)들에 입력되도록 구성된다.
- [0091] 위와 같은 셋 동작은 위 리셋회로부를 구성하는 트랜지스터를 이외의 트랜지스터로서 예를 들어 T11~T13으로 구성된 셋회로부에 의해 구현될 수 있다.
- [0092] 이처럼, 발광제어펄스 출력 후에 제2발광제어클럭(ECLK2)에 의해 인버터(INV)가 셋 상태가 되면 제2Q노드(Q2)가 턴온레벨이 되어 제2풀업트랜지스터(T9)가 턴온됨으로써, 발광제어펄스 후에 턴온레벨의 발광제어신호(Vem)가 출력될 수 있게 된다.
- [0093] 전술한 바와 같이, 본 발명의 실시예에 따르면, 유기발광소자 표시장치의 스캔드라이버(120)에서 발광제어신호(Vem)를 출력하는 발광제어회로(121)를 구성함에 있어, 종래의 쉬프트레지스터를 대신하여 이보다 작고 간단한 구조를 가지며 게이트펄스를 인가받아 발광제어펄스 생성을 위한 인버터입력펄스를 출력하는 샘플홀드회로(SH

C)를 사용하게 된다.

[0094] 이에 따라, 게이트구동회로 및 발광제어회로 각각에 많은 수의 트랜지스터로 구성된 쉬프트레지스터를 중복 사 용함에 따른 부품 비용 증가와 크기 증가를 개선할 수 있게 된다. 또한, GIP 방식의 경우에, 스캔드라이버의 크 기가 작아짐으로써 표시장치의 비표시영역을 감소할 수 있게 되어 내로우베젤(narrow bezel)을 효과적으로 구현 할 수 있다.

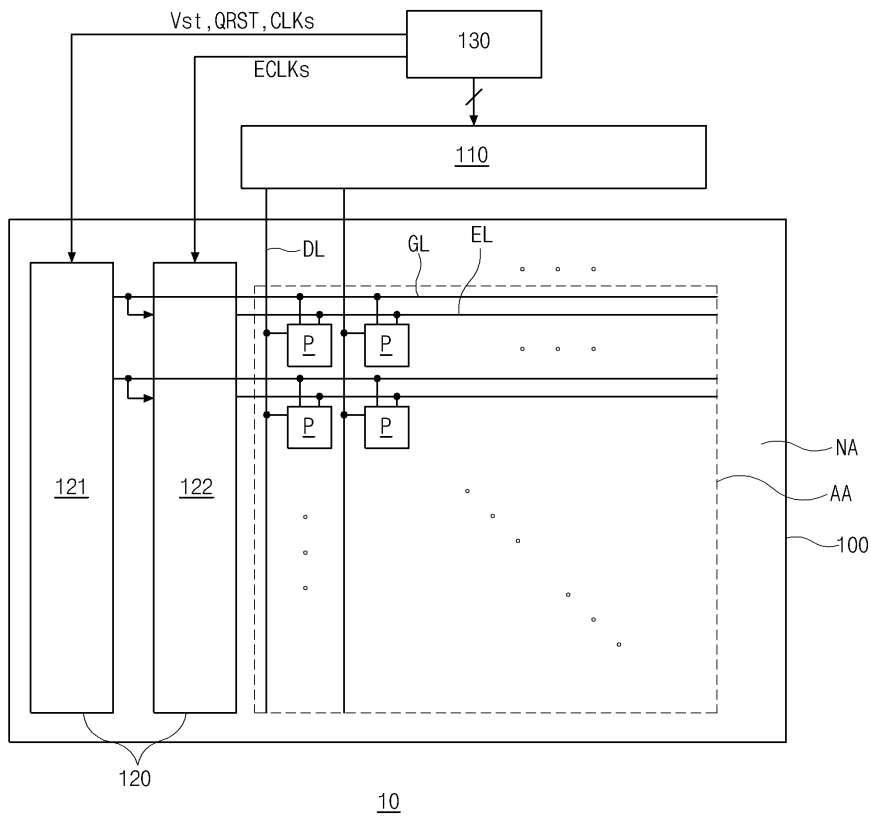
[0095] 전술한 본 발명의 실시예는 본 발명의 일예로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능 하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

부호의 설명

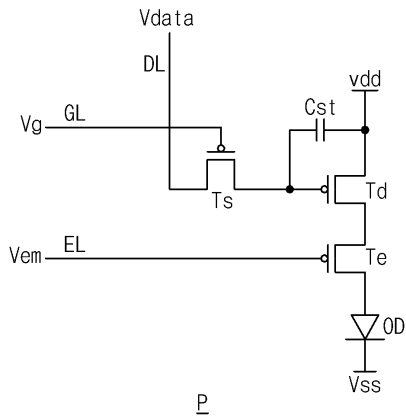
- [0096] 10: 유기발광소자 표시장치 100: 표시패널
 110: 소스드라이버 120: 스캔드라이버
 121: 게이트구동회로 122: 발광제어회로
 130: 타이밍컨트롤러
 AA,NA: 표시영역, 비표시영역
 P: 화소영역
 STG: 게이트스태이지
 STE: 발광제어스태이지
 SHC: 샘플홀드회로
 INV: 인터버
 Ts: 스위칭트랜지스터
 Td: 구동트랜지스터
 Te: 발광제어트랜지스터
 T6: 제1풀업트랜지스터
 T7: 제1풀다운트랜지스터
 T9: 제2풀업트랜지스터
 T10a, T10b: 제2풀다운트랜지스터
 Tsam: 샘플링트랜지스터
 Toc: 출력제어트랜지스터
 Ch: 홀드커패시터

도면

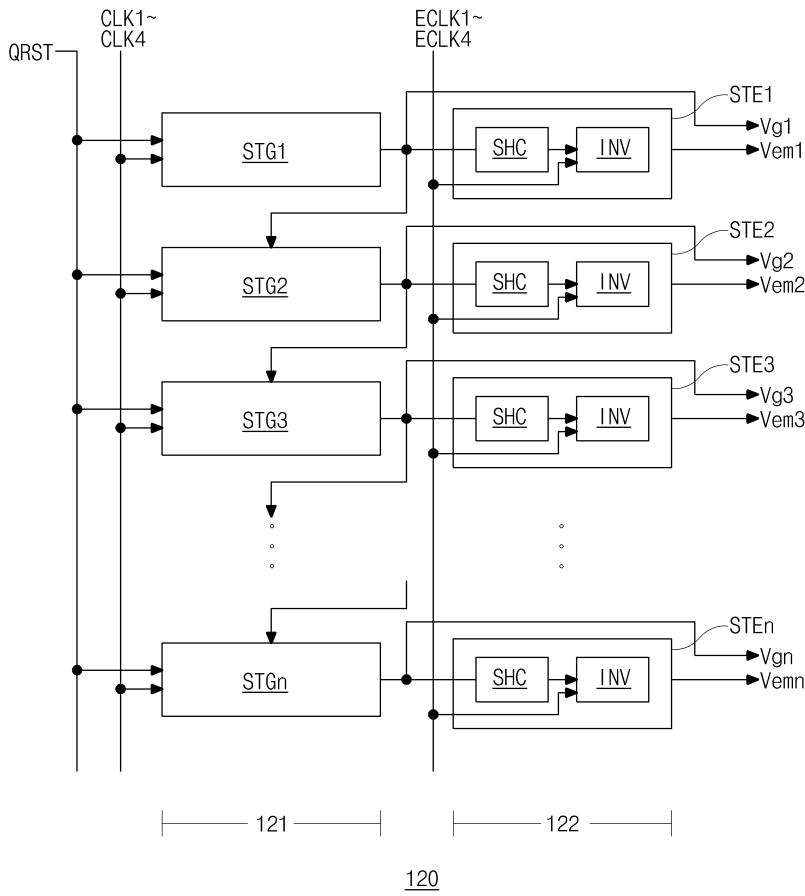
도면1



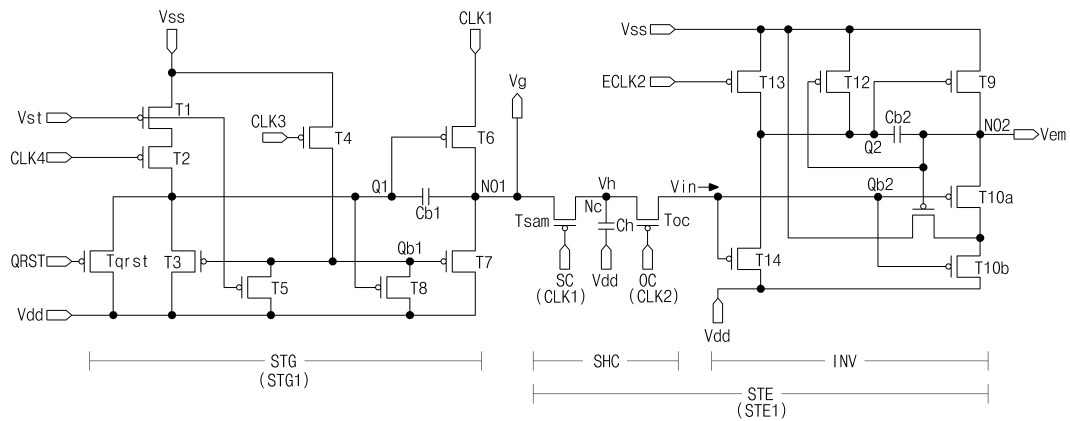
도면2



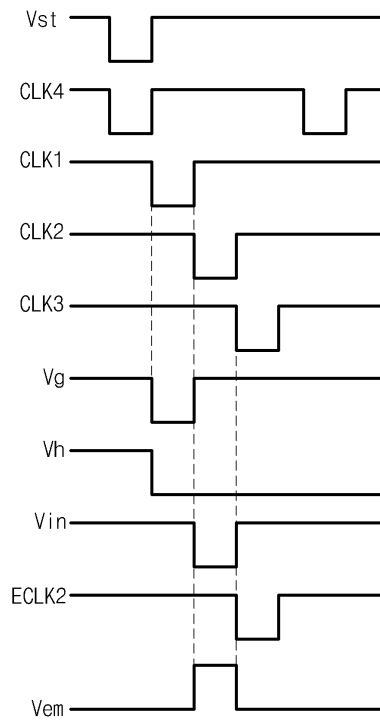
도면3



도면4



도면5



专利名称(译)	标题：有机发光元件显示装置及其扫描驱动器		
公开(公告)号	KR1020170076886A	公开(公告)日	2017-07-05
申请号	KR1020150186164	申请日	2015-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOUNG WOO 이정우 CHO SE JUN 조세준 KUK SEUNG HEE 국승희 KIM MI SEONG 김미성		
发明人	이정우 조세준 국승희 김미성		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0842 G09G2310/0286		
外部链接	Espacenet		

摘要(译)

发明内容本发明涉及一种降低制造成本和减小用于有机发光二极管显示器的扫描驱动器的尺寸的方法。为此，在本发明中，在用于在有机发光二极管显示器的扫描驱动器中输出发光控制信号的发光控制电路中，代替传统的移位复位器，栅极驱动器具有更小和更简单的结构，使用输出用于产生脉冲的逆变器输入脉冲的采样保持电路。因此，由于在每个栅极驱动电路和发光控制电路中使用由大量晶体管组成的移位寄存器，所以可以提高元件成本和尺寸增加。而且，在GIP方法的情况下，由于减小了扫描驱动器的尺寸，所以可以减小显示装置的非显示区域，并且可以有效地实现窄边框。金美成

