



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0023271
(43) 공개일자 2017년03월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/3225 (2013.01)
(21) 출원번호 10-2015-0116849
(22) 출원일자 2015년08월19일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조승환
경기도 용인시 기흥구 삼성로 1 (농서동)
박상호
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
리엔목특허법인

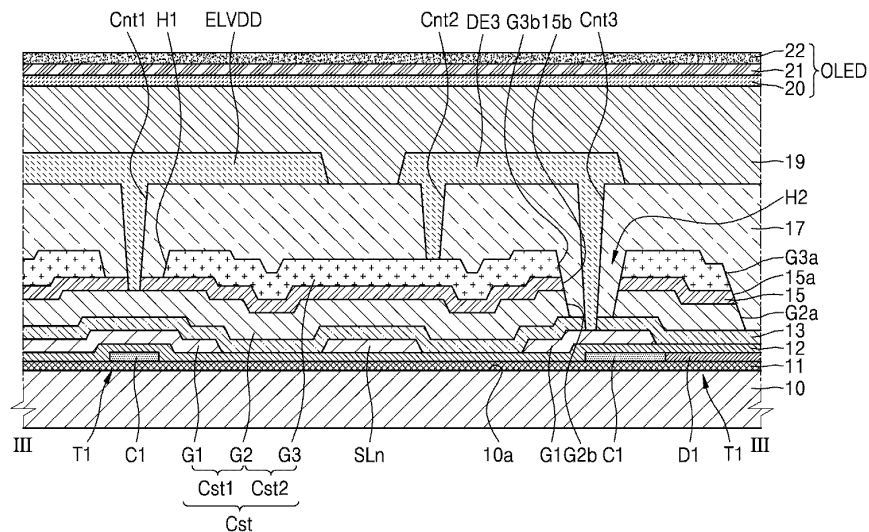
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

본 발명의 일 실시예는, 복수의 화소들을 포함하는 유기 발광 표시 장치에 있어서, 상기 복수의 화소들 각각은, 구동 트랜지스터 및 상기 제1 트랜지스터와 전기적으로 연결된 스토리지 커패시터를 포함하는 구동 회로부를 포함하며, 상기 제1 트랜지스터는 구동 활성층 및 상기 구동 활성층과 절연되며 상기 구동 활성층의 적어도 일부 상에 배치된 제1 전극을 포함하고, 상기 스토리지 커패시터는 상기 제1 전극과 상기 제1 전극에 대향된(facing) 제2 전극으로 구성된 제1 커패시터 및 상기 제2 전극과 상기 제2 전극에 대향된 제3 전극을 포함하는 제2 커패시터를 포함하는, 유기 발광 표시 장치를 개시한다.

대표도



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

(72) 발명자

심동환

경기도 용인시 기흥구 삼성로 1 (농서동)

안기완

경기도 용인시 기흥구 삼성로 1 (농서동)

윤주선

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

복수의 화소들을 포함하는 유기 발광 표시 장치에 있어서,

상기 복수의 화소들 각각은, 구동 트랜지스터 및 상기 제1 트랜지스터와 전기적으로 연결된 스토리지 커패시터를 포함하는 구동 회로부를 포함하며,

상기 제1 트랜지스터는 구동 활성층 및 상기 구동 활성층과 절연되며 상기 구동 활성층의 적어도 일부 상에 배치된 제1 전극을 포함하고,

상기 스토리지 커패시터는 상기 제1 전극과 상기 제1 전극에 대향된(facing) 제2 전극으로 구성된 제1 커패시터 및 상기 제2 전극과 상기 제2 전극에 대향된 제3 전극을 포함하는 제2 커패시터를 포함하는, 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 커패시터의 상기 제1 전극과 상기 제2 커패시터의 상기 제3 전극은 전기적으로 연결된, 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제2 전극과 상기 제3 전극 사이에 배치된 제3 절연층을 더 포함하며,

상기 제2 전극, 상기 제3 절연층, 및 상기 제3 전극은 서로 단차없이 연속적으로 연결된 단부를 포함하는, 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 제2 전극의 면적 및 상기 제3 전극의 면적은 상기 제1 전극의 면적보다 큰, 유기 발광 표시 장치.

청구항 5

제1 항에 있어서,

유기 발광 소자를 더 포함하며,

상기 유기 발광 소자는,

상기 구동 트랜지스터와 전기적으로 연결된 화소 전극;

상기 화소 전극에 대향된 대향 전극; 및

상기 화소 전극과 상기 대향 전극 사이에 배치되며 유기 발광층을 포함하는 중간층;을 포함하는, 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 복수의 화소들 각각은,

제1 방향을 따라 연장되며, 상기 제1 전극과 동일층에 배치된 스캔선;

상기 제1 방향을 가로지르는 제2 방향을 따라 연장되며, 상기 제3 전극보다 상부에 배치된 층에 배치된 데이터선; 및

상기 구동 트랜지스터에 전압을 인가하며, 상기 데이터선과 동일층에 배치된 전원선;을 더 포함하는, 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 구동 활성층과 상기 제1 전극 사이에 배치된 제1 절연층;

상기 제1 전극과 상기 제2 전극 사이에 배치된 제2 절연층;

상기 제2 전극과 상기 제3 전극 사이에 배치된 제3 절연층; 및

상기 제3 전극과 상기 데이터선의 사이 및 상기 제3 전극과 상기 전원선의 사이에 배치된 제4 절연층;을 더 포함하며,

상기 제2 전극은 상기 제3 절연층 및 상기 제4 절연층에 포함된 제1 콘택홀을 통해 상기 전원선과 연결된, 유기 발광 표시 장치.

청구항 8

제7 항에 있어서,

상기 제3 전극은 상기 제1 콘택홀에 대응되는 위치에 배치된 제1 개구를 포함하며, 상기 제1 개구의 면적은 상기 제1 콘택홀의 면적보다 큰, 유기 발광 표시 장치.

청구항 9

제7 항에 있어서,

상기 구동 트랜지스터의 상기 구동 활성층은 상기 전원선으로부터 전압을 인가받는 구동 소스 영역, 상기 구동 소스 영역과 이격된 구동 드레인 영역, 및 상기 구동 소스 영역과 상기 구동 드레인 영역을 연결하는 구동 채널 영역을 포함하며,

상기 구동 드레인 영역과 상기 스토리지 커패시터를 전기적으로 연결하는 보상 트랜지스터를 더 포함하는, 유기 발광 표시 장치.

청구항 10

제9 항에 있어서,

상기 보상 트랜지스터는, 상기 제1 전극과 전기적으로 연결되며 상기 데이터선과 동일층에 배치된 보상 드레인 전극을 포함하며,

상기 보상 드레인 전극은 상기 제4 절연층에 포함된 제2 콘택홀을 통해 상기 제3 전극과 연결된, 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

상기 보상 드레인 전극은 상기 제2 절연층 및 상기 제4 절연층에 포함된 제3 콘택홀을 통해 상기 제1 전극과 연결된, 유기 발광 표시 장치.

청구항 12

복수의 화소들을 포함하는 유기 발광 표시 장치의 제조 방법에 있어서,

상기 복수의 화소들 각각은, 상기 복수의 화소들 각각을 구동하기 위한 구동트랜지스터 및 상기 구동 트랜지스터와 전기적으로 연결되며 스토리지 커패시터를 포함하며,

기관 상에 상기 구동 트랜지스터에 포함된 구동 활성층을 형성하는 단계;

상기 구동 활성층 상에 제1 절연층을 형성하는 단계;

상기 제1 절연층 상에 상기 구동 트랜지스터의 게이트 전극 및 상기 스토리지 커패시터의 전극으로 기능하는 제1 전극을 형성하는 단계;

상기 제1 절연층 상에 상기 제1 전극을 덮는 제2 절연층을 형성하는 단계;

상기 제2 절연층 상에 상기 제1 전극에 대향하는 상기 스토리지 커패시터의 제2 전극을 형성하는 단계;

상기 제2 전극 상에 제3 절연층을 형성하는 단계; 및

상기 제3 절연층 상에 상기 제2 전극에 대향하는 상기 스토리지 커패시터의 제3 전극을 형성하는 단계;를 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 13

제12 항에 있어서,

상기 제2 전극, 상기 제3 절연층, 및 상기 제3 전극을 형성하는 단계는,

제1 도전 물질을 형성하는 단계;

상기 제1 도전 물질 상에 제2 절연 물질을 형성하는 단계;

상기 제2 절연 물질 상에 제2 도전 물질을 형성하는 단계; 및

하나의 마스크를 이용하여, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질을 패터닝하는 단계;를 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 14

제13 항에 있어서,

상기 제3 전극에 상기 제3 절연층을 노출시키는 제1 개구를 형성하는 단계를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 15

제14 항에 있어서,

상기 마스크는 광을 차단하는 차광부, 광을 투과시키는 투광부, 및 광의 일부만을 투과시키는 반투광부를 포함하는 하프톤 마스크이며,

상기 투광부는, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질이 모두 제거되는 영역에 대응되며, 상기 반투광부는 상기 제3 전극에 포함된 상기 제1 개구를 형성하는 영역에 대응되는, 유기 발광 표시 장치의 제조 방법.

청구항 16

제14 항에 있어서,

상기 제3 절연층 상에 상기 제3 전극을 덮는 제4 절연층을 형성하는 단계; 및

상기 제4 절연층 상에 전원선을 형성하는 단계;를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서,

상기 제4 절연층을 형성하는 단계 후에,

상기 제4 절연층 및 상기 제3 전극에 포함된 상기 제1 개구에 의해 노출된 상기 제3 절연층에 제1 콘택홀을 형성하는 단계를 더 포함하며, 상기 제1 콘택홀을 통해 상기 제2 전극은 상기 전원선과 연결되는, 유기 발광 표시

장치의 제조 방법.

청구항 18

제16항에 있어서,

상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질을 패터닝하는 단계는, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질을 패터닝함으로써 제2 개구를 형성하는 단계를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 제4 절연층을 형성하는 단계 후에,

상기 제4 절연층에 제2 콘택홀, 제4 절연층과 제2 개구에 의해 노출된 상기 제2 절연층에 제3 콘택홀을 형성하는 단계; 및

상기 제4 절연층 상에 보상 드레인 전극을 형성하는 단계;를 더 포함하며,

상기 보상 드레인 전극은 상기 제2 콘택홀 및 제3 콘택홀을 통해 각각 상기 제1 전극 및 상기 제3 전극과 연결되는, 유기 발광 표시 장치의 제조 방법.

청구항 20

제12 항에 있어서,

상기 구동 트랜지스터와 전기적으로 연결된 화소 전극을 형성하는 단계;

상기 화소 전극 상에 유기 발광층을 포함하는 중간층을 형성하는 단계; 및

상기 중간층 상에 대향 전극을 형성하는 단계;를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치 및 액정 표시 장치 등과 같은 표시 장치는 박막 트랜지스터(TFT; Thin Film Transistor), 커패시터, 및 복수의 배선들을 포함한다. 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 복수의 배선들 등의 미세 패턴으로 이루어지며, 상기 TFT, 커패시터 및 배선들 사이의 복잡한 연결에 의해 표시 장치가 작동된다.

[0003] 한편, 유기 발광 표시 장치는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 포함하는 유기 발광 소자를 구비하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 결합하여 생성된 엑시톤(exciton)이 여기 상태(excited state)로부터 기저 상태(ground state)로 떨어지면서 빛을 발생시키는 자발광형 표시 장치이다.

[0004] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 시야각, 콘트라스트(contrast), 응답 속도 등의 특성이 우수하기 때문에 MP3 플레이어, 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

발명의 내용

해결하려는 과제

[0005] 최근 콤팩트하고 해상도가 높은 표시 장치에 대한 요구가 증가함에 따라, 표시 장치에 포함된 TFT, 커패시터 및 배선들 간의 효율적인 공간 배치, 연결 구조, 및 이를 형성하는 방법에 대한 요구가 높아지고 있다.

[0006] 본 발명의 실시예들은, 화질이 개선된 고해상도의 유기 발광 표시 장치 및 이를 제조하는 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 일 실시예는, 복수의 화소들을 포함하는 유기 발광 표시 장치에 있어서, 상기 복수의 화소들 각각은, 구동 트랜지스터 및 상기 제1 트랜지스터와 전기적으로 연결된 스토리지 커패시터를 포함하는 구동 회로부를 포함하며, 상기 제1 트랜지스터는 구동 활성층 및 상기 구동 활성층과 절연되며 상기 구동 활성층의 적어도 일부 상에 배치된 제1 전극을 포함하고, 상기 스토리지 커패시터는 상기 제1 전극과 상기 제1 전극에 대향된(facing) 제2 전극으로 구성된 제1 커패시터 및 상기 제2 전극과 상기 제2 전극에 대향된 제3 전극을 포함하는 제2 커패시터를 포함하는, 유기 발광 표시 장치를 개시한다.

[0008] 일 실시예에 있어서, 상기 제1 커패시터의 상기 제1 전극과 상기 제2 커패시터의 상기 제3 전극은 전기적으로 연결될 수 있다.

[0009] 일 실시예에 있어서, 상기 제2 전극과 상기 제3 전극 사이에 배치된 제3 절연층을 더 포함하며, 상기 제2 전극, 상기 제3 절연층, 및 상기 제3 전극은 서로 단차없이 연속적으로 연결된 단부를 포함할 수 있다.

[0010] 일 실시예에 있어서, 상기 제2 전극의 면적 및 상기 제3 전극의 면적은 상기 제1 전극의 면적보다 클 수 있다.

[0011] 일 실시예에 있어서, 유기 발광 소자를 더 포함하며, 상기 유기 발광 소자는,

[0012] 상기 구동 트랜지스터와 전기적으로 연결된 화소 전극; 상기 화소 전극에 대향된 대향 전극; 및 상기 화소 전극과 상기 대향 전극 사이에 배치되며 유기 발광층을 포함하는 중간층;을 포함할 수 있다.

[0013] 일 실시예에 있어서, 상기 복수의 화소들 각각은, 제1 방향을 따라 연장되며, 상기 제1 전극과 동일층에 배치된 스캔선; 상기 제1 방향을 가로지르는 제2 방향을 따라 연장되며, 상기 제3 전극보다 상부에 배치된 층에 배치된 데이터선; 및 상기 구동 트랜지스터에 전압을 인가하며, 상기 데이터선과 동일층에 배치된 전원선;을 더 포함할 수 있다.

[0014] 일 실시예에 있어서, 상기 구동 활성층과 상기 제1 전극 사이에 배치된 제1 절연층; 상기 제1 전극과 상기 제2 전극 사이에 배치된 제2 절연층; 상기 제2 전극과 상기 제3 전극 사이에 배치된 제3 절연층; 및 상기 제3 전극과 상기 데이터선의 사이 및 상기 제3 전극과 상기 전원선의 사이에 배치된 제4 절연층;을 더 포함하며,

[0015] 상기 제2 전극은 상기 제3 절연층 및 상기 제4 절연층에 포함된 제1 콘택홀을 통해 상기 전원선과 연결될 수 있다.

[0016] 일 실시예에 있어서, 상기 제3 전극은 상기 제1 콘택홀에 대응되는 위치에 배치된 제1 개구를 포함하며, 상기 제1 개구의 면적은 상기 제1 콘택홀의 면적보다 클 수 있다.

[0017] 일 실시예에 있어서, 상기 구동 트랜지스터의 상기 구동 활성층은 상기 전원선으로부터 전압을 인가받는 구동 소스 영역, 상기 구동 소스 영역과 이격된 구동 드레인 영역, 및 상기 구동 소스 영역과 상기 구동 드레인 영역을 연결하는 구동 채널 영역을 포함하며, 상기 구동 드레인 영역과 상기 스토리지 커패시터를 전기적으로 연결하는 보상 트랜지스터를 더 포함할 수 있다.

[0018] 일 실시예에 있어서, 상기 보상 트랜지스터는, 상기 제1 전극과 전기적으로 연결되며 상기 데이터선과 동일층에 배치된 보상 드레인 전극을 포함하며, 상기 보상 드레인 전극은 상기 제4 절연층에 포함된 제2 콘택홀을 통해 상기 제3 전극과 연결될 수 있다.

[0019] 일 실시예에 있어서, 상기 보상 드레인 전극은 상기 제2 절연층 및 상기 제4 절연층에 포함된 제3 콘택홀을 통해 상기 제1 전극과 연결될 수 있다.

[0020] 본 발명의 다른 실시예는, 복수의 화소들을 포함하는 유기 발광 표시 장치의 제조 방법에 있어서, 상기 복수의 화소들 각각은, 상기 복수의 화소들 각각을 구동하기 위한 구동트랜지스터 및 상기 구동 트랜지스터와 전기적으로 연결되며 스토리지 커패시터를 포함하며, 기판 상에 상기 구동 트랜지스터에 포함된 구동 활성층을 형성하는 단계; 상기 구동 활성층 상에 제1 절연층을 형성하는 단계; 상기 제1 절연층 상에 상기 구동 트랜지스터의 게이트 전극 및 상기 스토리지 커패시터의 전극으로 기능하는 제1 전극을 형성하는 단계; 상기 제1 절연층 상에 상기 제1 전극을 덮는 제2 절연층을 형성하는 단계; 상기 제2 절연층 상에 상기 제1 전극에 대향하는 상기 스토리지 커패시터의 제2 전극을 형성하는 단계; 상기 제2 전극 상에 제3 절연층을 형성하는 단계; 및 상기 제3 절연층 상에 상기 제2 전극에 대향하는 상기 스토리지 커패시터의 제3 전극을 형성하는 단계;를 포함하는, 유기 발

광 표시 장치의 제조 방법을 개시한다.

- [0021] 일 실시예에 있어서, 상기 제2 전극, 상기 제3 절연층, 및 상기 제3 전극을 형성하는 단계는, 제1 도전 물질을 형성하는 단계; 상기 제1 도전 물질 상에 제2 절연 물질을 형성하는 단계; 상기 제2 절연 물질 상에 제2 도전 물질을 형성하는 단계; 및 하나의 마스크를 이용하여, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질을 패터닝하는 단계;를 포함할 수 있다.
- [0022] 일 실시예에 있어서, 상기 제3 전극에 상기 제3 절연층을 노출시키는 제1 개구를 형성하는 단계를 더 포함할 수 있다.
- [0023] 일 실시예에 있어서, 상기 마스크는 광을 차단하는 차광부, 광을 투과시키는 투광부, 및 광의 일부만을 투과시키는 반투광부를 포함하는 하프톤 마스크이며, 상기 투광부는, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질이 모두 제거되는 영역에 대응되며, 상기 반투광부는 상기 제3 전극에 포함된 상기 제1 개구를 형성하는 영역에 대응될 수 있다.
- [0024] 일 실시예에 있어서, 상기 제3 절연층 상에 상기 제3 전극을 덮는 제4 절연층을 형성하는 단계; 및 상기 제4 절연층 상에 전원선을 형성하는 단계;를 더 포함할 수 있다.
- [0025] 일 실시예에 있어서, 상기 제4 절연층을 형성하는 단계 후에, 상기 제4 절연층 및 상기 제3 전극에 포함된 상기 제1 개구에 의해 노출된 상기 제3 절연층에 제1 콘택홀을 형성하는 단계를 더 포함하며, 상기 제1 콘택홀을 통해 상기 제2 전극은 상기 전원선과 연결될 수 있다.
- [0026] 일 실시예에 있어서, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질을 패터닝하는 단계는, 상기 제1 도전 물질, 상기 제2 절연 물질, 및 상기 제2 도전 물질을 패터닝함으로써 제2 개구를 형성하는 단계를 더 포함할 수 있다.
- [0027] 일 실시예에 있어서, 상기 제4 절연층을 형성하는 단계 후에, 상기 제4 절연층에 제2 콘택홀, 제4 절연층과 제2 개구에 의해 노출된 상기 제2 절연층에 제3 콘택홀을 형성하는 단계; 및 상기 제4 절연층 상에 보상 드레인 전극을 형성하는 단계;를 더 포함하며, 상기 보상 드레인 전극은 상기 제2 콘택홀 및 제3 콘택홀을 통해 각각 상기 제1 전극 및 상기 제3 전극과 연결될 수 있다.
- [0028] 일 실시예에 있어서, 상기 구동 트랜지스터와 전기적으로 연결된 화소 전극을 형성하는 단계; 상기 화소 전극 상에 유기 발광층을 포함하는 중간층을 형성하는 단계; 및 상기 중간층 상에 대향 전극을 형성하는 단계;를 더 포함할 수 있다.
- [0029] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0030] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 최소한의 공간을 차지하면서 높은 용량을 갖는 스토리지 커패시터를 구비함으로써 화질이 개선된 유기 발광 표시 장치 및 이의 제조 방법을 제공할 수 있다.
- [0031] 또한, 마스크 수를 최소화시킴으로써 제조 비용을 줄이며 공정을 간이화한 유기 발광 표시 장치의 제조 방법 및 이를 통해 제조된 유기 발광 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0032] 도 1은 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 화소의 등가 회로도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 화소를 나타낸 평면도이다.
- 도 3은 도 2의 III-III 선을 따라 자른 개략적인 단면도이다.
- 도 4 내지 도 13은 도 3의 유기 발광 표시 장치를 형성하는 방법을 순차적으로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시

예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

- [0034] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0035] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0036] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0037] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0038] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0039] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0041] 또한, 첨부된 도면에서는, 하나의 화소를 구동하기 위한 구동 회로부가 7개의 트랜지스터와 2개의 제1 및 제2 커패시터가 병렬 연결된 1개의 스토리지 커패시터를 구비하는 7Tr-1Cap 구조의 능동 구동(active matrix)형 표시 장치를 도시하고 있지만, 본 발명은 이에 제한되지 않는다. 따라서, 하나의 화소에 포함된 구동 회로부는 7개 미만 또는 7개 초과와 트랜지스터를 구비할 수 있으며, 2개 이상의 커패시터를 구비할 수 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 나타내며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0042] 이하, 도 1 내지 도 3을 참조하여, 일 실시예에 따른 유기 발광 표시 장치에 관하여 설명한다.
- [0043] 도 1은 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 화소의 등가 회로도이다.
- [0044] 도 1을 참조하면, 일 실시예에 따른 유기 발광 표시 장치는 화상을 표시하는 표시 영역 및 표시 영역 주변에 배치된 주변 영역을 포함하며, 표시 영역에는 광을 방출하는 복수의 화소들과, 복수의 화소들 각각을 구동하기 위한 구동 회로부(DC) 및 구동 회로부(DC)에 전기적인 신호를 인가하는 복수의 배선들이 배치된다.
- [0045] 상기 복수의 배선들은 스캔 신호를 전달하며 제1 방향으로 연장된 스캔선들(SLn, SLn-1, SLn-2), 데이터 신호를 전달하며 상기 제1 방향을 가로지르는 제2 방향으로 연장된 데이터 배선(DL), 및 구동 전압을 전달하는 구동 전압선(ELVDD)을 포함할 수 있다. 일 실시예에 따르면, 상기 복수의 배선들은 도 1에 도시된 바와 같이 초기화 전압을 전달하는 초기화 전압선(VLint), 및 발광 제어 신호를 전달하는 발광 제어선(ELn)을 더 포함할 수 있다.
- [0046] 상기 구동 회로부(DC)는 7개의 트랜지스터들(T1 내지 T7) 및 1개의 스토리지 커패시터(Cst)를 포함할 수 있으며, 1개의 스토리지 커패시터(Cst)는 서로 병렬 연결된 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)를 포함할 수 있다.
- [0047] 상기 7개의 트랜지스터들(T1 내지 T7)은, 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 제1 초기화 트랜지스터(T4), 제1 발광 제어 트랜지스터(T5), 제2 발광 제어 트랜지스터(T6), 및 제2 초기화 트랜지스터(T7)를 포함할 수 있다.
- [0048] 스위칭 트랜지스터(T2)는 제1 스캔선(SLn)에 연결되어 있는 게이트 전극, 데이터선(DL)에 연결되어 있는 소스 전극, 및 제1 노드(N1)에 연결되어 있는 드레인 전극을 포함한다. 스위칭 트랜지스터(T2)는 제1 스캔선(SLn)을 통해 전달되는 게이트 온 전압의 스캔 신호에 의해 턴 온되며, 데이터선(DL)을 통해 전달되는 데이터 신호를 제1 노드(N1)에 전달한다.
- [0049] 구동 트랜지스터(T1)는 제2 노드(N2)에 연결되어 있는 게이트 전극, 제1 노드(N1)에 연결되어 있는 소스 전극, 및 제3 노드(N3)에 연결되어 있는 드레인 전극을 포함한다. 구동 트랜지스터(T1)는 제1 노드(N1) 및 제2 노드(N2)에 인가되는 전압의 차이에 대응되는 전류를 제3 노드(N3)에 공급한다.
- [0050] 보상 트랜지스터(T3)는 제1 스캔선(SLn)에 연결되어 있는 게이트 전극, 제3 노드(N3)에 연결되어 있는 소스 전

극 및 제2 노드(N2)에 연결되어 있는 드레인 전극을 포함한다. 보상 트랜지스터(T3)는 제1 스캔선(SLn)을 통해 전달되는 게이트 온 전압의 스캔 신호에 의해 턴 온되며, 구동 트랜지스터(T1)의 드레인 전극과 게이트 전극을 연결시킨다. 즉, 보상 트랜지스터(T3)는 구동 트랜지스터(T1)를 다이오드 연결(diode-connection)시킴으로써 구동 트랜지스터(T1)의 문턱 전압을 보상하는 기능을 수행한다.

[0051] 제1 초기화 트랜지스터(T4)는 제2 스캔선(SLn-1)에 연결되어 있는 게이트 전극, 초기화 전압선(VLint)에 연결되어 있는 소스 전극, 및 제2 노드(N2)에 연결되어 있는 드레인 전극을 포함한다. 제1 초기화 트랜지스터(T4)는 제2 스캔선(SLn-1)을 통해 전달되는 게이트 온 전압의 이전 스캔 신호에 의해 턴 온되며, 초기화 전압선(VLint)에 의해 전달된 초기화 전압을 제2 노드(N2), 즉 구동 트랜지스터(T1)의 게이트 전극에 인가한다. 즉, 제1 초기화 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극의 전압을 초기화시키는 기능을 수행한다.

[0052] 제1 발광 제어 트랜지스터(T5)는 발광 제어선(ELn)에 연결되어 있는 게이트 전극, 구동 전압선(ELVDD)에 의해 전달된 구동 전압이 인가되는 소스 전극, 및 제1 노드(N1)에 연결되어 있는 드레인 전극을 포함한다. 제1 발광 제어 트랜지스터(T5)가 턴 온되면, 구동 전압이 제1 노드(N1), 즉 구동 트랜지스터(T1)의 소스 전극에 인가된다.

[0053] 제2 발광 제어 트랜지스터(T6)는 발광 제어선(ELn)에 연결되어 있는 게이트 전극, 제3 노드(N3)에 연결되어 있는 소스 전극, 및 유기 발광 소자(OLED)의 제1 전극(20, 도 3)에 연결되어 있는 드레인 전극을 포함한다. 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)는 발광 제어선(ELn)를 통해 전달된 발광 제어 신호에 따라 동시에 턴 온되며, 유기 발광 소자(OLED)에 구동 전류(Id)가 흐르게 한다.

[0054] 제2 초기화 트랜지스터(T7)는 제3 스캔선(SLn-2)에 연결되어 있는 게이트 전극, 초기화 전압선(VLint)에 연결되어 있는 소스 전극, 및 유기 발광 소자(OLED)의 화소 전극(20, 도 3)에 연결되어 있는 드레인 전극을 포함한다. 제2 초기화 트랜지스터(T7)는 제3 스캔선(SLn-2)에 의해 전달된 스캔 신호에 의해 턴 온되며, 유기 발광 소자(OLED)의 화소 전극(20, 도 3)을 초기화시킨다. 제2 초기화 트랜지스터(T7)의 게이트 전극은 제3 스캔선(SLn-2)이 아닌 또 다른 스캔선 또는 별도의 배선에 연결될 수 있으며, 제2 초기화 트랜지스터(T7)는 필요에 따라 생략될 수 있다.

[0055] 스토리지 커패시터(Cst)는 병렬 연결된 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)를 포함하며, 상기 스토리지 커패시터(Cst)는 제2 노드(N2)와 구동 전압선(ELVDD) 사이에 배치될 수 있다.

[0056] 유기 발광 소자(OLED)는 화소 전극(20, 도 3) 및 공통 전원선(ELVSS)에 의해 전달되는 공통 전원이 인가되는 대향 전극(22, 도 3)을 포함한다. 일 실시예에 따르면, 상기 유기 발광 소자(OLED)는 적색광, 녹색광, 청색광, 또는 백색광을 방출할 수 있다.

[0057] 일 실시예에 따르면, 상기 트랜지스터들(T1 내지 T7)은 p-채널 전계 효과 트랜지스터일 수 있으나, 본 발명에는 제한되지 않으며 트랜지스터들(T1 내지 T7) 중 적어도 일부는 n-채널 전계 효과 트랜지스터일 수 있다.

[0058] 도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 화소를 나타낸 평면도이고, 도 3은 도 2의 III-III 선을 따라 자른 개략적인 단면도이다.

[0059] 도 2 및 도 3을 참조하면, 일 실시예에 따른 유기 발광 표시 장치는 복수의 화소들을 포함하며, 복수의 화소들 각각은 구동 트랜지스터(T1) 및 구동 트랜지스터(T1)와 전기적으로 연결된 스토리지 커패시터(Cst)를 포함하는 구동 회로부(DC, 도 1)를 포함하며, 상기 구동 트랜지스터(T1)는 구동 활성층(A1) 및 구동 활성층(A1)과 절연되며 구동 활성층(A1)의 적어도 일부 상에 배치된 제1 전극(G1)을 포함하고, 스토리지 커패시터(Cst)는 제1 전극(G1)과 제1 전극(G1)에 대향된(facing) 제2 전극(G2)으로 구성된 제1 커패시터(Cst1) 및 제2 전극(G2)과 제2 전극(G2)에 대향된 제3 전극(G3)을 포함하는 제2 커패시터(Cst2)를 포함한다.

[0060] 기판(10) 상에는 불순 원소의 침투를 방지하며 기판(10) 표면을 평탄화하는 역할을 하는 버퍼층(11)이 배치될 수 있으며, 버퍼층(11) 상에는 7개의 트랜지스터들(T1 내지 T7) 및 병렬 연결된 2개의 커패시터(Cst1, Cst2)를 포함하는 1개의 스토리지 커패시터(Cst)를 포함하는 구동 회로부(DC, 도 1)이 배치될 수 있다. 상기 기판(10)과 버퍼층(11) 사이에는 배리어층(미도시)이 더 배치될 수 있으며, 버퍼층(11)은 필요에 따라 생략될 수 있다.

[0061] 상기 기판(10)은 유리, 금속 또는 플라스틱 등 다양한 소재로 구성될 수 있다. 일 실시예에 따르면, 기판(10)은 플렉서블 소재의 기판(10)을 포함할 수 있다. 여기서, 플렉서블 소재의 기판(10)이란 잘 휘어지고 구부러지며 접거나 말 수 있는 기판을 지칭한다. 이러한 플렉서블 소재의 기판(10)은 초박형 유리, 금속 또는 플라스틱으로 구성될 수 있다. 예를 들어, 플라스틱을 사용하는 경우 기판(10)은 폴리이미드(PI; polyimide)로 구성될 수 있

으나, 이에 제한되진 않는다.

- [0062] 이하 구동 트랜지스터(T1) 및 스토리지 커패시터(Cst) 등의 소자에 포함된 구성 요소들을 적층 순서에 따라 설명한다.
- [0063] 상기 버퍼층(11) 상에는 반도체 물질을 포함하는 활성층이 배치되며, 상기 활성층은 구동 트랜지스터(T1)의 구동 활성층(A1)을 포함할 수 있다. 활성층은 구동 활성층(A1) 외에 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 제1 초기화 트랜지스터(T4), 제1 발광 제어 트랜지스터(T5), 제2 발광 제어 트랜지스터(T6), 및 제2 초기화 트랜지스터(T7)의 활성층을 모두 포함할 수 있다.
- [0064] 예를 들면, 상기 구동 활성층(A1) 등을 포함하는 활성층은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly crystalline silicon)을 포함할 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 활성층은 유기 반도체 물질 또는 산화물 반도체 물질을 포함할 수 있다.
- [0065] 상기 구동 활성층(A1)은 서로 이격되어 있는 구동 소스 영역(S1) 및 구동 드레인 영역(D1)을 포함하며, 구동 소스 영역(S1) 및 구동 드레인 영역(D1)의 사이에는 구동 채널 영역(C1)이 배치될 수 있다. 상기 구동 소스 영역(S1) 및 구동 드레인 영역(D1)은 반도체 물질에 불순물이 도핑되어 도전성을 갖는 영역일 수 있다.
- [0066] 상기 버퍼층(11) 상에는 상기 구동 활성층(A1)을 포함하는 활성층을 덮는 제1 절연층(12)이 배치되며, 상기 제1 절연층(12) 상에는 제1 도전층이 배치될 수 있다. 상기 제1 도전층은 상기 구동 활성층(A1)의 적어도 일부 상에 배치된 제1 전극(G1)을 포함할 수 있다.
- [0067] 상기 제1 전극(G1)은 구동 트랜지스터(T1)의 구동 게이트 전극일 수 있으며, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu)를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 단일층 또는 다중층일 수 있다.
- [0068] 상기 제1 도전층은 제1 전극(G1) 외에 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 제1 초기화 트랜지스터(T4), 제1 발광 제어 트랜지스터(T5), 제2 발광 제어 트랜지스터(T6), 및 제2 초기화 트랜지스터(T7)의 게이트 전극을 모두 포함할 수 있다. 또한, 상기 제1 도전층은 제1 방향(x)을 따라 연장된 제1 스캔선(SLn), 제2 스캔선(SLn-1), 및 제3 스캔선(SLn-2), 및 발광 제어선(ELn)을 포함할 수 있다. 즉, 제1 전극(G1)은 제1 스캔선(SLn)와 동일층에 배치될 수 있다.
- [0069] 상기 제1 절연층(12) 상에는 제1 전극(G1) 및 제1 스캔선(SLn) 등을 포함하는 제1 도전층을 덮는 제2 절연층(13)이 배치될 수 있다. 일 실시예에 따르면, 상기 제1 절연층(12) 및 제2 절연층(13)은 실리콘산화물(SiO_2) 및 /또는 실리콘질화물(SiN_x)을 포함하는 단일층 또는 다중층일 수 있다.
- [0070] 상기 제2 절연층(13) 상에는 제2 도전층이 배치되며, 제2 도전층은 상기 제1 전극(G1)에 대향되는 제2 전극(G2)을 포함할 수 있다. 상기 제1 전극(G1) 및 제2 전극(G2)은 제1 커패시터(Cst1)를 구성할 수 있으며, 구동 트랜지스터(T1)와 제1 커패시터(Cst1)는 평면상(in plan view) 중첩될 수 있다. 다시 말하면, 상기 구동 트랜지스터(T1)와 제1 커패시터(Cst1)는 기판(10)의 주요면(10a)에 수직인 방향을 따라 서로 중첩될 수 있다.
- [0071] 상기 제2 전극(G2)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu)를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 단일층 또는 다중층일 수 있으며, 제2 전극(G2)의 면적은 제1 전극(G1)의 면적보다 클 수 있다. 이에 관해서는 후술한다.
- [0072] 상기 제2 절연층(13) 상에는 제2 전극(G2)을 덮는 제3 절연층(15)이 배치될 수 있으며, 제3 절연층(15) 상에는 제3 도전층이 배치될 수 있다. 상기 제3 도전층은 제2 전극(G2)에 대향되는 제3 전극(G3)을 포함할 수 있다. 상기 제2 전극(G2) 및 제3 전극(G3)은 제2 커패시터(Cst2)를 구성할 수 있으며, 구동 트랜지스터(T1)와 제2 커패시터(Cst2)는 평면상 중첩될 수 있다.
- [0073] 상기 제3 전극(G3)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu)를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 단일층 또는 다중층일 수 있으며, 제3 전극(G3)의 면적은 제1 전극(G1)의 면적보다 클 수 있다. 즉, 제2 전극(G2) 및 제3 전극(G3)은 평면상 제3 콘택홀(Cnt3)에 대응되는 영역을 제외한 제1 전극(G1)의 전 영역을 완전히 덮을 수 있다.

- [0074] 제2 전극(G2) 및 제3 전극(G3)은 스캔선들(SLn, SLn-1, SLn-2)이나 데이터선(DL), 및 전원선(ELVDD)이 배치된 층과 다른 층에 배치되며, 따라서 화소 내에서 넓은 면적으로 형성될 수 있다. 제2 전극(G2) 및 제3 전극(G3)은 서로 대향되며 제3 절연층(15)에 의해 절연되어 있다. 즉, 제2 전극(G2) 및 제3 전극(G3)은 제2 커패시터(Cst 2)를 구성할 수 있으며, 제2 전극(G2) 및 제3 전극(G3)을 넓게 형성함으로써 고용량의 제2 커패시터(Cst2)를 구현할 수 있다.
- [0075] 일 실시예에 따르면, 제2 절연층(13) 및 제3 절연층(15)은 실리콘질화물(SiN_x)을 포함할 수 있다. 실리콘질화물(SiN_x)은 무기 절연 물질 중 상대적으로 높은 굴절률을 가지며, 따라서 제2 절연층(13)을 사이에 두고 배치된 제1 전극(G1) 및 제2 전극(G2)으로 구성된 제1 커패시터(Cst1) 및 제3 절연층(15)을 사이에 두고 배치된 제2 전극(G2) 및 제3 전극(G3)으로 구성된 제2 커패시터(Cst2)의 용량을 증가시킬 수 있다.
- [0076] 상기 제2 커패시터(Cst2)는 도 1에 도시된 바와 같이 제1 커패시터(Cst1)과 전기적으로 병렬 연결되어 있다. 따라서, 병렬 연결된 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)로 구성된 스토리지 커패시터(Cst)의 용량은 제1 커패시터(Cst1)의 용량 및 제2 커패시터(Cst2)의 용량이 합이 되므로, 유기 발광 표시 장치에 포함된 스토리지 커패시터(Cst)의 용량을 더욱 증가시킬 수 있다.
- [0077] 일 실시예에 따르면, 상기 제2 전극(G2) 및 제3 전극(G3)은 각각 최외곽 가장자리 영역에 배치된 단부들(G2a, G3a)을 포함하며, 제2 전극(G2)의 단부(G2a), 제3 전극(G3)의 단부(G2b), 및 제3 절연층(15)의 단부(15a)는 서로 단차없이 연속적으로 연결될 수 있다. 상기 제2 전극(G2), 제3 절연층(15), 및 제3 전극(G3)은 하나의 마스크를 이용한 식각 공정을 통해 패터닝될 수 있으며, 따라서 제2 전극(G2), 제3 절연층(15), 및 제3 전극(G3)은 동일 식각면을 가질 수 있다. 이에 관해서는 후술한다.
- [0078] 상기 제3 전극(G3)은 제3 절연층(15)의 일부를 노출하는 제1 개구(H1)를 포함할 수 있으며, 상기 제1 개구(H1)는 전원선(ELVDD)을 제2 전극(G2)과 연결시키는 제1 콘택홀(Cnt1)을 형성하기 위한 통로일 수 있다. 제1 개구(H1)의 하부에는 제3 절연층(15) 및 제2 전극(G2)이 배치될 수 있다.
- [0079] 상기 제2 전극(G2), 제3 절연층(15), 및 제3 전극(G3)은 각각 동일한 위치에 배치된 개구들(G2b, 15b, G3b)을 포함할 수 있으며, 상기 개구들(G2b, 15b, G3b)은 서로 연결되어 제2 절연층(13)의 일부를 노출하는 제2 개구(H2)를 형성할 수 있다.
- [0080] 상기 제2 개구(H2)는 보상 드레인 전극(DE3)과 제1 전극(G1)을 전기적으로 연결시키는 제3 콘택홀(Cnt3)을 형성하기 위한 통로일 수 있다. 상기 보상 드레인 전극(DE3)은 제1 전극(G1)과 제3 전극(G3)을 전기적으로 연결하기 위한 다리(bridge)로써 기능할 수 있으며, 제1 전극(G1)과 제3 전극(G3)을 전기적으로 연결함으로써 제1 커패시터(Cst1)와 제2 커패시터(Cst2)를 병렬 연결시킬 수 있다.
- [0081] 상기 제3 절연층(15) 상에는 제3 전극(G3)을 덮는 제4 절연층(17)이 배치되며, 제4 절연층(17) 상에는 제4 도전층이 배치될 수 있다. 상기 제4 도전층은 데이터선(DL), 전원선(ELVDD), 및 보상 트랜지스터(T3)의 보상 드레인 전극(DE3)을 포함할 수 있다.
- [0082] 일 실시예에 따르면, 상기 제4 절연층(17)은 실리콘산화물(SiO_2) 및/또는 실리콘질화물(SiN_x)을 포함하는 단일층 또는 이중층일 수 있으며, 제4 도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu)를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 단일층 또는 다중층일 수 있다.
- [0083] 상기 데이터선(DL)은 제1 방향(x)을 가로지르는 제2 방향(y)을 따라 연장되며, 따라서, 제1 방향(x)을 따라 연장된 제1 스캔선(SLn)과 교차할 수 있다. 상기 전원선(ELVDD)은 구동 트랜지스터(T1)에 전압을 인가하며 데이터선(DL)과 동일층에 배치될 수 있다. 즉, 데이터선(DL) 및 전원선(ELVDD)은 제3 전극(G3)보다 상부의 층에 배치될 수 있다.
- [0084] 상기 전원선(ELVDD)은 제3 절연층(15) 및 제4 절연층(17)에 포함된 제1 콘택홀(Cnt1)을 통해 제2 전극(G2)과 연결될 수 있다. 상기 제1 콘택홀(Cnt1)은 제3 전극(G3)에 포함된 제1 개구(H1)에 대응되는 영역에 배치되며, 제1 개구(H1)의 면적은 제1 콘택홀(Cnt1)의 면적보다 클 수 있다.
- [0085] 상기 제1 개구(H1)에 의해, 제3 절연층(15) 및 제4 절연층(17) 사이에 제3 전극(G3)이 배치되지 않는 영역이 존재하게 되며, 따라서 제4 절연층(17) 및 제3 절연층(15)을 동시에 패터닝하여 제1 콘택홀(Cnt1)을 형성할 수 있다. 상기 제1 개구(H1)의 면적은 제1 콘택홀(Cnt1)의 면적보다 크므로, 제1 콘택홀(Cnt1)에 매립된 전원선

(ELVDD)은 제3 전극(G3)과 접하지 않을 수 있다. 즉, 전원선(ELVDD)은 제1 콘택홀(Cnt1)을 통해 제3 절연층(15)의 하부에 배치된 제2 전극(G2)과 콘택할 수 있다.

- [0086] 일 실시예에 따른 유기 발광 표시 장치는, 구동 트랜지스터(T1)의 구동 드레인 영역(D1)과 스토리지 커패시터(Cst)를 전기적으로 연결하는 보상 트랜지스터(T3, 도 1)를 포함할 수 있다. 보상 트랜지스터(T3, 도 1)은 보상 소스 영역(S3), 보상 소스 영역(S1)과 이격된 보상 드레인 영역(D3), 및 보상 소스 영역(S3)과 보상 드레인 영역(D3)의 사이에 배치된 보상 채널 영역(C3)을 포함하는 보상 활성층(A3), 보상 활성층(A3)과 절연된 보상 게이트 전극(GE3), 및 보상 드레인 영역(D3)과 전기적으로 연결된 보상 드레인 전극(DE3)을 포함할 수 있다.
- [0087] 상기 보상 드레인 전극(DE3)은 제1 전극(G1)과 제3 전극(G3)을 연결하는 다리 역할을 수행하며, 제4 절연층(17)에 포함된 제2 콘택홀(Cnt2)을 통해 제3 전극(G3)과 연결될 수 있다. 또한, 보상 드레인 전극(DE3)은 제2 절연층(13) 및 제2 절연층(13) 및 제4 절연층(17)에 포함된 제3 콘택홀(Cnt3)을 통해 제1 전극(G1)과 연결될 수 있다.
- [0088] 상술한 바와 같이, 제4 절연층(17)을 형성하기 전에 제2 전극(G2), 제3 절연층(15), 및 제3 전극(G3)에 각각 개구들(G2b, 15b, G3b)를 형성함으로써 제2 절연층(13)을 노출하는 제2 개구(H2)를 형성할 수 있으며, 제3 콘택홀(Cnt3)은 제4 절연층(17) 및 제2 개구(H2)에 의해 노출된 제2 절연층(13)에 형성될 수 있다.
- [0089] 상기 제2 개구(H2)의 면적은 제3 콘택홀(Cnt3)의 면적보다 클 수 있으며, 따라서 보상 드레인 전극(DE3)은 제2 전극(G2) 및 제3 전극(G3)과 접하지 않고, 제1 전극(G1)과 연결될 수 있다.
- [0090] 상기 제4 절연층(17) 상에는 제4 도전층을 덮는 제5 절연층(19)이 배치될 수 있으며, 제5 절연층(19) 상에는 구동 트랜지스터(T1)와 전기적으로 연결된 화소 전극(20), 화소 전극(20)에 대향된 대향 전극(22), 및 화소 전극(20)과 대향 전극(22) 사이에 배치되며 유기 발광층을 포함하는 중간층(21)을 포함하는 유기 발광 소자(OLED)가 배치될 수 있다. 상기 구동 트랜지스터(T1)와 화소 전극(20)은 직접 연결될 수도 있고, 다른 트랜지스터를 경유하여 연결될 수도 있다. 도 1을 참조하면, 구동 트랜지스터(T1)는 제2 발광 제어 트랜지스터(T6)를 경유하여 유기 발광소자(OLED)의 화소 전극(20)과 전기적으로 연결될 수 있다.
- [0091] 상기 제4 절연층(17)은 구동 회로부(DC, 도 1)에 포함된 트랜지스터들(T1 내지 도 7, 도 1) 및 스토리지 커패시터(Cst)에 의한 단차를 평탄화하는 기능을 수행하며, 유기 절연 물질로 구성된 단일층 또는 다중층일 수 있다. 그러나, 본 발명은 이에 제한되지 않으며, 다른 실시예에 따른 제5 절연층(19)은 무기 절연막과 유기 절연막의 복합 적층체일 수 있다.
- [0092] 상기 제5 절연층(19)은 비아홀(VIA)을 포함하며, 화소 전극(20)은 비아홀(VIA)을 통해 구동 회로부(DC, 도1)와 연결된다. 일 실시예에 따르면, 화소 전극(20)은 비아홀(VIA)을 통해 제2 발광 제어 트랜지스터(T6)의 드레인 전극과 연결될 수 있다.
- [0093] 일 실시예에 따른 유기 발광 표시 장치는 중간층(21)을 기준으로 대향 전극(22) 방향으로 화상을 구현하는 전면 발광형일 수 있으며, 상기 화소 전극(20)은 반사 전극일 수 있다. 일 실시예에 따르면, 화소 전극(20)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 납(Pd), 금(Au), 니켈(Ni), 니오브(Nd), 이리듐(Ir), 크롬(Cr) 등의 금속 반사막을 포함하며, 금속 반사막의 상부 및/또는 하부에 배치된 투명 도전성 산화물을 포함할 수 있다. 상기 투명 도전성 산화물은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)을 포함하는 그룹에서 선택된 적어도 어느 하나일 수 있다.
- [0094] 상기 화소 전극(20) 상에는 유기 발광층을 포함하는 중간층(21)이 배치될 수 있다. 유기 발광층은 광을 방출하는 저분자 유기물 또는 고분자 유기물일 수 있으며, 중간층(21)은 유기 발광층 이외에 정공 주입층(hole injection layer), 정공 수송층(hole transport layer), 전자 수송층(electron transport layer) 및 전자 주입층(electron injection layer) 중 적어도 어느 하나를 더 포함할 수 있다. 일 실시예에 따르면, 중간층(21)은 상술한 층들 외에 기타 다양한 기능층을 더 포함할 수 있다.
- [0095] 상기 유기 발광층은 하나의 유기 발광 소자(OLED)에 각각 배치될 수 있으며, 이 경우, 유기 발광 소자(OLED)에 포함된 유기 발광층의 종류에 따라 유기 발광 소자(OLED)는 적색, 녹색 및 청색의 광을 각각 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 복수의 유기 발광층이 하나의 유기 발광 소자(OLED)에 배치될 수 있다. 예를 들어, 적색, 녹색, 및 청색의 광을 방출하는 복수의 유기 발광층이 수직으로 적층되거나 혼합되어 형

성되어 백색광을 방출할 수 있다. 이 경우 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나 컬러 필터가 더 구비될 수 있다. 상기 적색, 녹색, 및 청색은 예시적인 것으로, 백색광을 방출하기 위한 색의 조합은 이에 한정되지 않는다.

- [0096] 상기 중간층(21) 상에는 대향 전극(22)이 배치되며, 대향 전극(22)은 다양한 도전성 재료로 구성될 수 있다. 예를 들면, 대향 전극(22)은 리튬(Li), 칼슘(Ca), 불화리튬(LiF), 알루미늄(Al), 마그네슘(Mg) 및 은(Ag)을 포함하는 그룹에서 선택된 적어도 어느 하나를 포함할 수 있으며, 단일층 또는 다중층으로 형성될 수 있다. 상기 대향 전극(22)은 박막으로 형성될 수 있으며, 따라서 투과율이 높아 중간층(21)으로부터 방출되는 광은 대향 전극(22)을 투과하여 외부로 방출되어 화상을 구현할 수 있다.
- [0097] 다른 실시예에 따른 유기 발광 표시 장치는 중간층(21)을 기준으로 기판(10) 방향으로 화상을 구현하는 배면 발광형일 수 있으며, 이 경우 화소 전극(20)은 투명 또는 반투명 전극이고 대향 전극(22)은 반사 전극일 수 있다.
- [0098] 상술한 실시예에 따른 유기 발광 표시 장치는, 최소한의 공간을 차지하면서 높은 용량을 갖는 스토리지 커패시터(Cst)를 구비할 수 있다. 상기 스토리지 커패시터(Cst)의 용량이 작은 경우 복수의 화소들 각각에 배치된 유기 발광 소자(OLED)에 흐르는 전류의 산포가 증가하며, 따라서 유기 발광 표시 장치에서 구현된 화상이 얼룩을 포함할 수 있다. 또한, 스토리지 커패시터(Cst)의 용량이 작은 경우, 서로 다른 층에 배치된 도전층들 사이에 발생할 수 있는 기생 커패시터의 영향이 커져 유기 발광 표시 장치의 화질이 나빠질 수 있다.
- [0099] 일 실시예에 따르면, 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)를 병렬 연결하고, 제2 전극(G2) 및 제3 전극(G3)의 면적을 최대화하고, 제2 전극(G2) 및 제3 전극(G3)을 구동 트랜지스터(T1)와 평면상 중첩되도록 배치함으로써, 공간을 최소화하면서 높은 용량을 갖는 스토리지 커패시터(Cst)를 구현할 수 있으며, 이러한 스토리지 커패시터(Cst)를 포함하는 유기 발광 표시 장치의 화질을 개선할 수 있다.
- [0100] 도 4 내지 도 13은 도 3의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 나타낸 단면도들이다.
- [0101] 도 4 내지 도 13을 참조하면, 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은, 기판(10) 상에 구동 트랜지스터(T1)에 포함된 구동 활성층(A1, 도 2)을 형성하는 단계, 구동 활성층(A1, 도 2) 상에 제1 절연층(12)을 형성하는 단계, 제1 절연층(12) 상에 구동 트랜지스터(T1)의 게이트 전극 및 스토리지 커패시터(Cst)의 전극으로 기능하는 제1 전극(G1)을 형성하는 단계, 제1 절연층(12) 상에 제1 전극(G1)을 덮는 제2 절연층(13)을 형성하는 단계, 제2 절연층(13) 상에 제1 전극(G1)에 대향하는 스토리지 커패시터(Cst)의 제2 전극(G2)을 형성하는 단계, 제2 전극(G2) 상에 제3 절연층(15)을 형성하는 단계, 및 제3 절연층(15) 상에 제2 전극(G2)에 대향하는 스토리지 커패시터(Cst)의 제3 전극(G3)을 형성하는 단계를 포함한다.
- [0102] 도 4를 참조하면, 기판(10) 상에 버퍼층(11) 및 반도체층(C1')을 형성할 수 있다. 상기 기판(10)은 유리, 금속 또는 플라스틱 등 다양한 소재로 형성될 수 있으며, 상기 버퍼층(11)은 실리콘산화물(SiO_2) 및/또는 실리콘질화물(SiN_x) 등의 무기 절연 물질로 형성될 수 있다. 상기 버퍼층(11)은 필요에 따라 생략될 수 있다.
- [0103] 상기 반도체층(C1')은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly crystalline silicon)을 포함할 수 있다. 그러나 본 발명은 이에 한정되지 않으며, 다른 실시예에 따른 반도체층(C1')은 유기 반도체 물질 또는 산화물 반도체 물질을 포함할 수 있다.
- [0104] 도 5를 참조하면, 버퍼층(11) 상에 반도체층(C1')을 덮는 제1 절연층(12)을 형성한 후, 제1 절연층(12) 상에 제1 전극(G1) 및 제1 스캔선(SLn)을 포함하는 제1 도전층을 형성할 수 있다.
- [0105] 상기 제1 도전층을 형성한 후, 제1 전극(G1)을 마스크로 이용하여 반도체층(C1')의 일부 영역에 불순물을 도핑할 수 있다. 상기 불순물이 도핑된 영역은 도전성을 가지며, 불순물이 도핑된 영역은 트랜지스터들(T1 내지 T7)의 활성층에 포함된 소스 영역 및 드레인 영역에 대응될 수 있다.
- [0106] 상기 도핑에 의해, 구동 트랜지스터(T1)에 포함된 구동 활성층(A1, 도 2)을 형성할 수 있으며, 구동 활성층(A1)은 서로 이격되어 있는 소스 영역(S1, 도 2), 드레인 영역(D1), 및 소스 영역(S1)과 드레인 영역(D1) 사이에 배치된 채널 영역(C1)을 포함할 수 있다.
- [0107] 도 6을 참조하면, 제1 절연층(12) 상에 제1 전극(G1) 및 제1 스캔선(SLn)을 덮는 제1 절연 물질(13')을 형성할 수 있으며, 상기 제1 절연 물질(13') 상에 제1 도전 물질(G2'), 제2 절연 물질(15'), 및 제2 도전 물질(G3')을 순차적으로 형성할 수 있다.
- [0108] 도 7을 참조하면, 제2 도전 물질(G3') 상에 감광성 물질(PR)을 형성한 후, 마스크(M)를 이용하여 감광성 물질

(PR)에 광을 조사할 수 있다. 상기 마스크(M)는 광이 투과시키는 투광부(Ma), 광의 일부만을 투과시키는 반투광부(Mb), 및 광을 차단하는 차광부(Mc)를 포함하는 하프톤 마스크일 수 있다. 상기 감광성 물질(PR)은 광이 조사된 영역이 현상액에 용해되는 포지티브 감광성 물질일 수 있지만, 본 발명은 이에 제한되지 않는다. 즉, 감광성 물질(PR)은 네가티브 감광성 물질일 수도 있으며 이 경우 마스크(M)의 투광부(Ma)와 차광부(Mc)의 위치를 서로 바꿀 수 있다.

- [0109] 도 8을 참조하면, 투광부(Ma)에 대응되는 영역의 감광성 물질(PR)은 현상액에 의해 모두 제거되며, 노출된 제2 도전 물질(G3'), 제2 도전 물질(G3')의 하부에 배치된 제2 절연 물질(15'), 및 제2 절연 물질(15')의 하부에 배치된 제2 도전 물질(G2')을 순차적으로 식각함으로써, 도 2의 제2 전극(G2), 제3 절연층(15), 및 제3 전극(G3)의 최외곽 가장자리 영역에 대응되는 단부들(G2a, 15a, G3a) 및 제2 개구(H2)를 형성하기 위한 개구들(G2b, 15b, G3b)를 형성할 수 있다.
- [0110] 즉, 상기 투광부(Ma)는 제1 도전 물질(G2'), 제2 절연 물질(15'), 및 제2 도전 물질(G3')이 모두 제거된 영역에 대응될 수 있다.
- [0111] 상기 단부들(G2a, 15a, G3a)은 동일 마스크에 의해 형성된 영역으로써, 건식 식각에 의해 패터닝될 수 있다. 따라서, 상기 단부들(G2a, 15a, G3a) 및 개구들(G2b, 15b, G3b)은 서로 단차없이 연속적으로 연결될 수 있다.
- [0112] 마스크(M)의 반투광부(Mb)에 대응되는 영역은 광이 일부만이 조사되므로, 감광성 물질(PR)이 완전히 제거되지 않고 소정의 두께(t)만큼 남게 된다. 따라서, 반투광부(Mb)에 대응되는 영역에 배치된 제2 도전 물질(G3')은 도 8의 단계에서 식각되지 않을 수 있다.
- [0113] 도 9를 참조하면, 도 8의 단계 후에 애싱(ashing)을 수행함으로써 감광성 물질(PR)의 일부를 제거할 수 있다. 상기 감광성 물질(PR)은 적어도 소정의 두께(t)만큼 제거될 수 있으며, 따라서 반투광부(Mb)에 대응되는 감광성 물질(PR)이 완전히 제거될 수 있다. 감광성 물질(PR)을 제거한 후 노출된 제2 도전 물질(G3')을 식각함으로써 제1 개구(H1)를 형성할 수 있다. 상기 제1 개구(H1)에 의해 제2 절연 물질(15')이 노출될 수 있다.
- [0114] 상기 도 7 내지 도 9의 공정을 통해, 하나의 마스크(M)를 이용하여 제1 도전 물질(G2') 및 제2 도전 물질(G3')을 패터닝함으로써, 제2 전극(G2) 및 제3 전극(G3)을 형성할 수 있다. 즉, 제1 전극(G1)과 제2 전극(G2)으로 구성된 제1 커패시터(Cst1) 및 제2 전극(G2)과 제3 전극(G3)으로 구성된 제2 커패시터(Cst2)를 형성할 수 있다.
- [0115] 도 10 및 도 11을 참조하면, 제2 절연 물질(15') 상에 제3 전극(G3)을 덮는 제3 절연 물질(17')을 형성한 후 이를 패터닝하여 제1 콘택홀(Cnt1), 제2 콘택홀(Cnt2), 및 제3 콘택홀(Cnt3)을 형성할 수 있다.
- [0116] 상기 제1 콘택홀(Cnt1)은 제3 절연 물질(17') 및 제2 절연 물질(15')을 패터닝함으로써 형성되며 제2 전극(G2)을 노출시키고, 제2 콘택홀(Cnt2)은 제3 절연 물질(17')을 패터닝함으로써 형성되며 제3 전극(G3)을 노출시키고, 제3 콘택홀(Cnt3)은 제3 절연 물질(17') 및 제1 절연 물질(13')을 패터닝함으로써 형성되며 제1 전극(G1)을 노출시킬 수 있다. 상기 제1 콘택홀(Cnt1)은 제1 개구(H1)의 내부에 형성되며, 제3 콘택홀(Cnt3)은 제2 개구(H2)의 내부에 형성될 수 있다.
- [0117] 상기 제1 절연 물질(13'), 제2 절연 물질(15'), 및 제3 절연 물질(17')을 패터닝함으로써, 도 3의 제2 절연층(13), 제3 절연층(15), 및 제4 절연층(17)을 형성할 수 있다.
- [0118] 도 12를 참조하면, 제4 절연층(17) 상에 전원선(ELVDD) 및 보상 트랜지스터(T3, 도 2)의 보상 드레인 전극(DE3)을 형성할 수 있다. 상기 전원선(ELVDD)의 일부는 제1 콘택홀(Cnt1)에 매립되며, 제1 콘택홀(Cnt1)을 통해 제2 전극(G2)과 연결될 수 있다.
- [0119] 상기 보상 드레인 전극(DE3)의 일부는 제2 콘택홀(Cnt2) 및 제3 콘택홀(Cnt3)에 매립되며, 제2 콘택홀(Cnt2) 및 제3 콘택홀(Cnt3)을 통해 각각 제3 전극(G3) 및 제1 전극(G1)과 연결될 수 있다. 즉, 보상 드레인 전극(DE3)에 의해 제1 전극(G1)과 제3 전극(G3)은 전기적으로 연결되며, 따라서 제1 커패시터(Cst1)와 제2 커패시터(Gst2)는 병렬 연결되어 스토리지 커패시터(Cst)를 구성할 수 있다.
- [0120] 도 13을 참조하면, 제4 절연층(17) 상에 전원선(ELVDD) 및 보상 드레인 전극(DE3)을 덮는 제5 절연층(19)을 형성한 후, 제5 절연층(19) 상에 구동 트랜지스터(T1)와 전기적으로 연결된 화소 전극(20), 유기 발광층을 포함하는 중간층(21), 및 대향 전극(22)을 순차적으로 형성함으로써 유기 발광 소자(OLED)를 형성할 수 있다.
- [0121] 상술한 유기 발광 표시 장치의 제조 방법에 따르면, 제2 전극(G2)과 제3 전극(G3)을 하나의 마스크를 이용하여 형성함으로써, 제2 커패시터(Cst2)를 형성하기 위한 별도의 마스크가 추가되지 않아 제조 비용을 감소시킬 수

있다.

[0122] 즉, 제조 비용을 증가시키지 않으면서 제1 커패시터(Cst1) 및 제2 커패시터(Cst2)가 병렬 연결되어 구성된 고용량의 스토리지 커패시터(Cst)를 구현할 수 있으며, 이를 통해 고화질의 유기 발광 표시 장치를 구현할 수 있다.

[0123] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0124] T1: 구동 트랜지스터 T3: 보상 트랜지스터

Cst1: 제1 커패시터 Cst2: 제2 커패시터

Cst: 스토리지 커패시터 A1: 구동 활성화층

G1: 제1 전극 G2: 제2 전극

G3: 제3 전극 DE3: 보상 드레인 전극

H1: 제1 개구 H2: 제2 개구

Cnt1: 제1 콘택홀 Cnt2: 제2 콘택홀

Cnt3: 제3 콘택홀 10: 기판

12: 제1 절연층 13: 제2 절연층

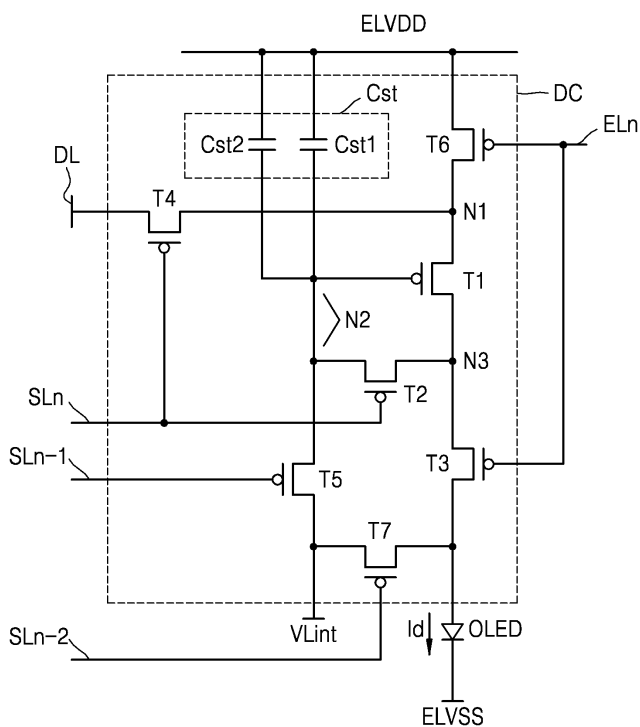
15: 제3 절연층 17: 제4 절연층

19: 제5 절연층 20: 화소 전극

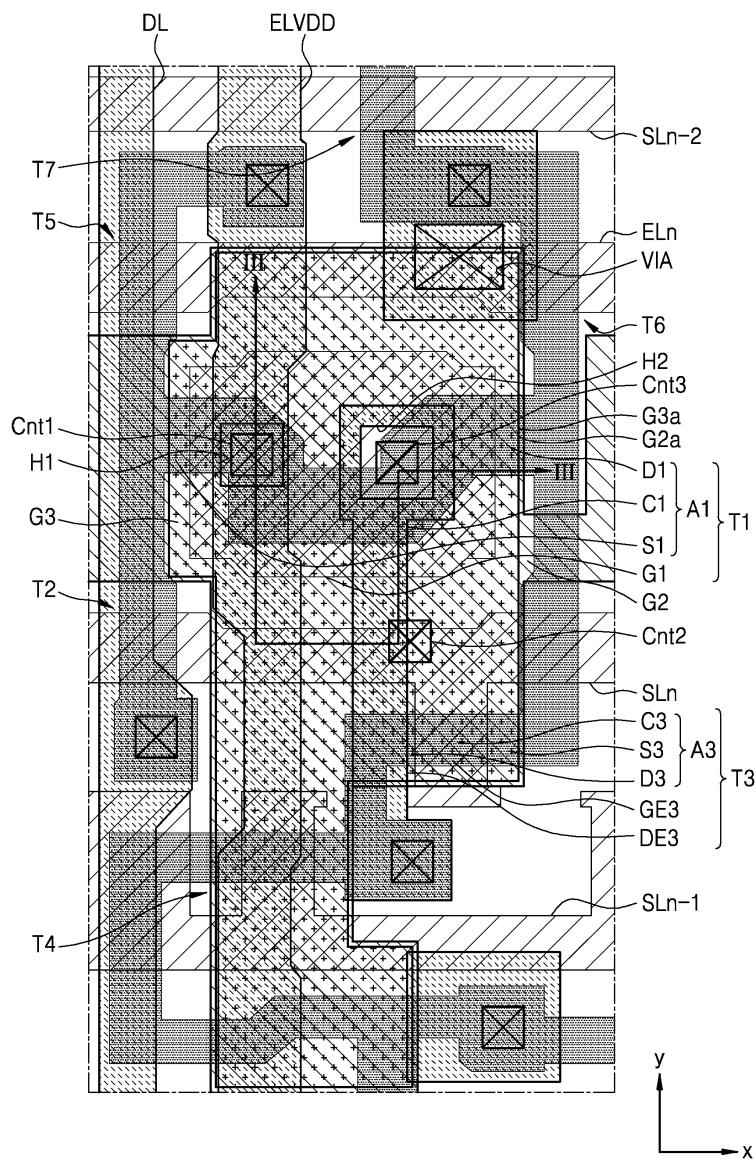
21: 중간층 22: 대향 전극

도면

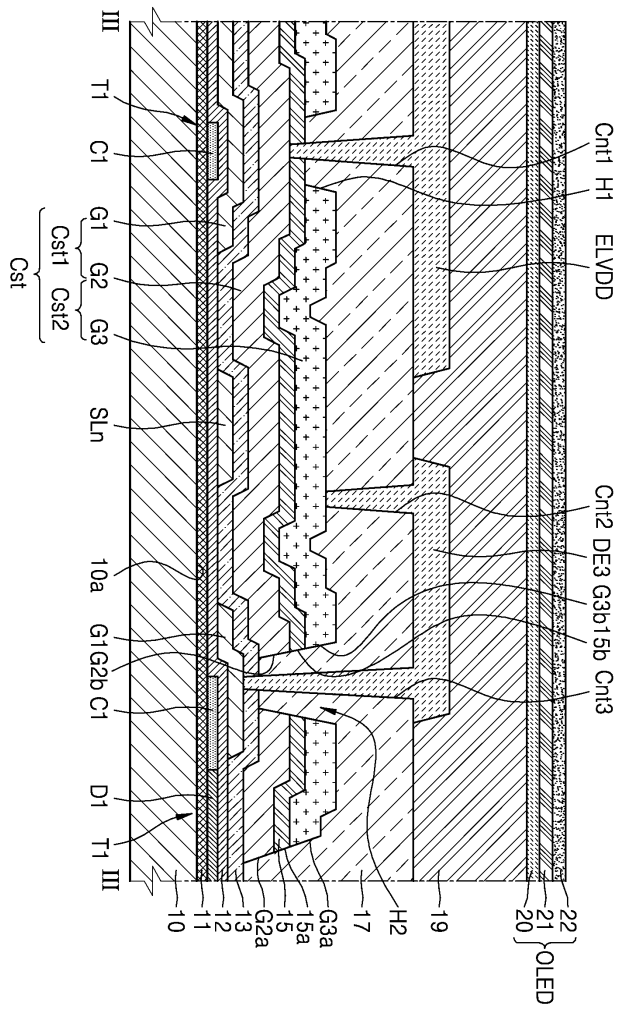
도면1



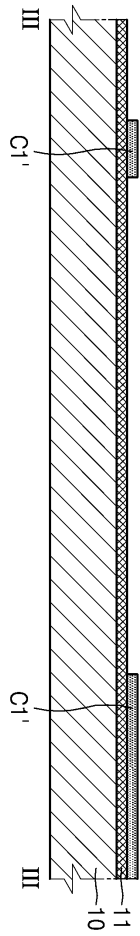
도면2



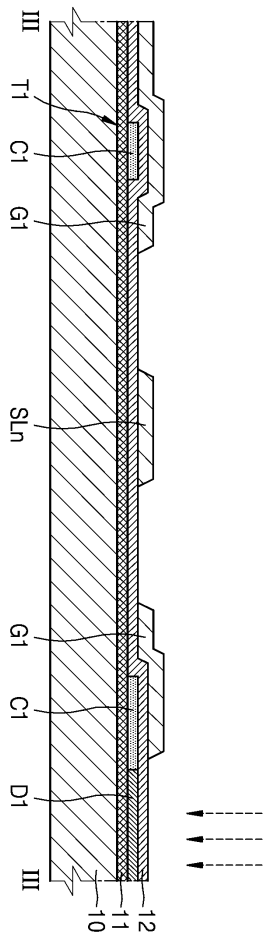
도면3



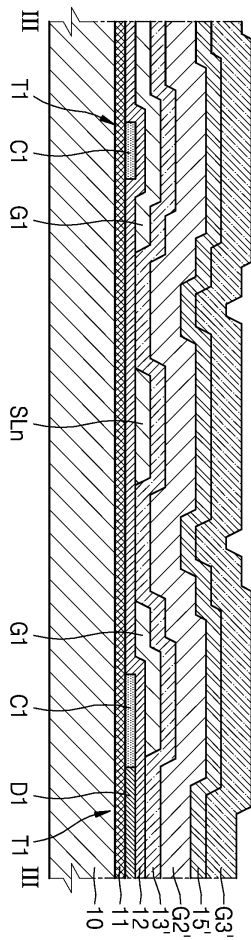
도면4



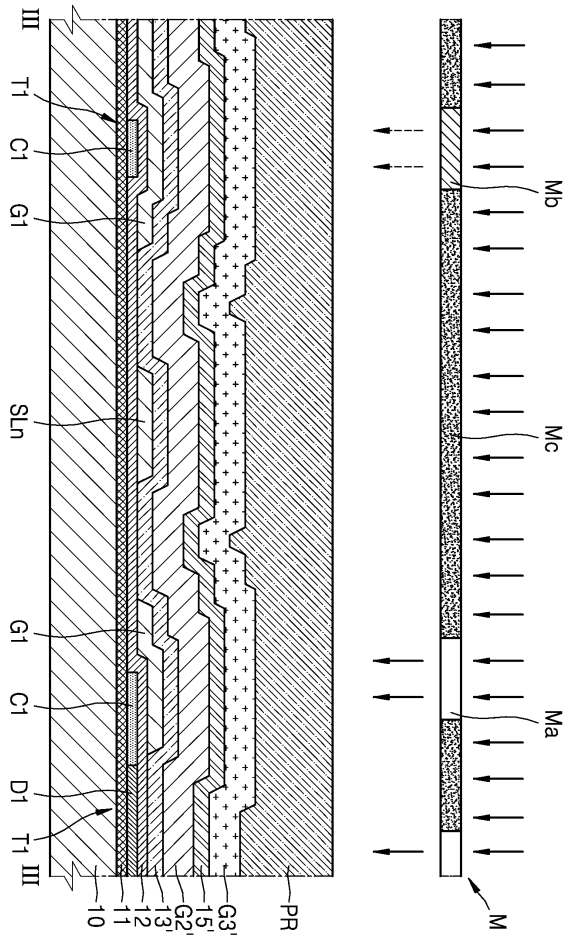
도면5



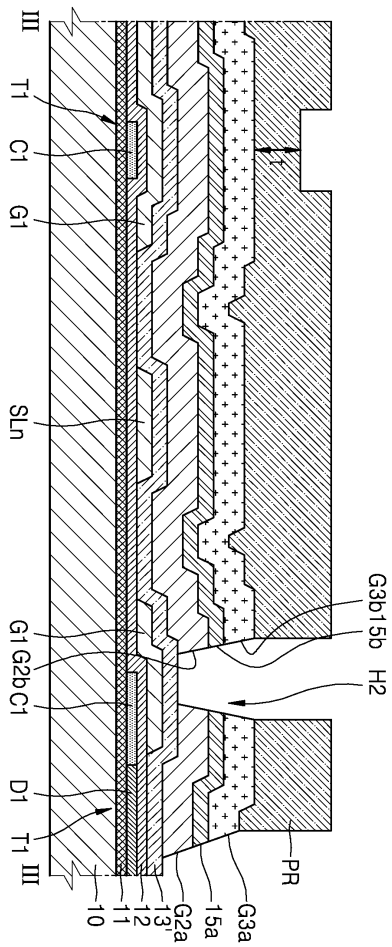
도면6



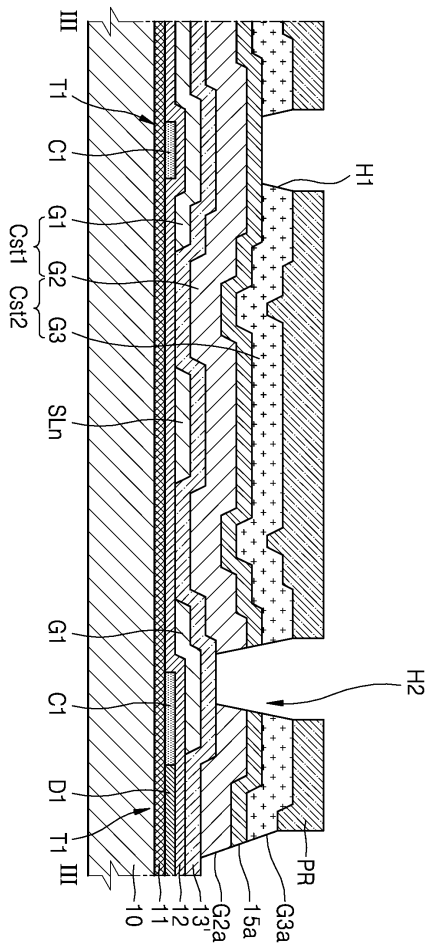
도면7



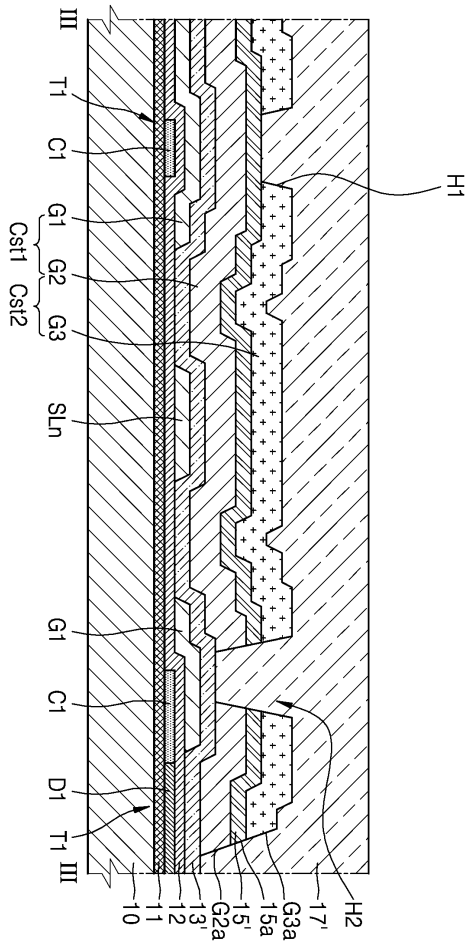
도면8



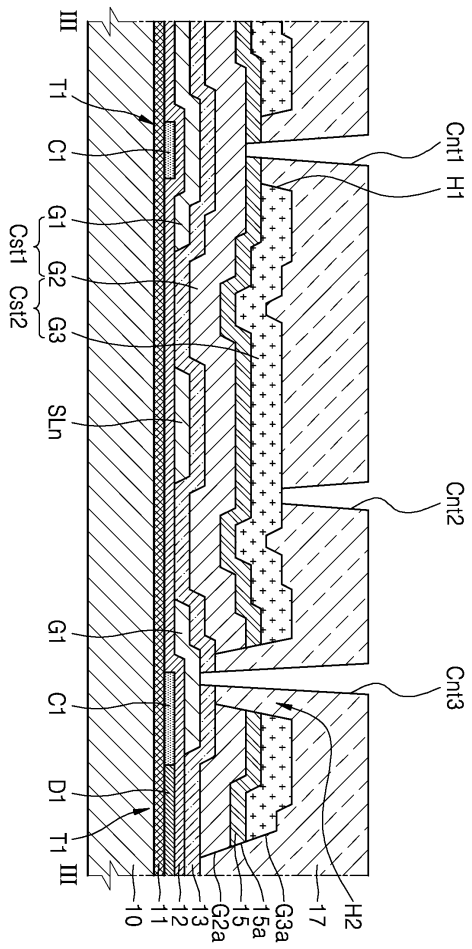
도면9



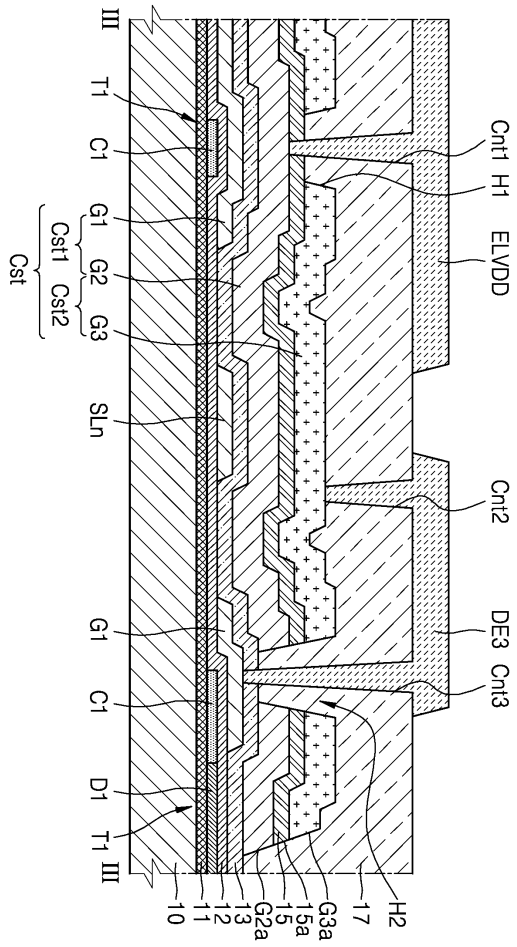
도면10



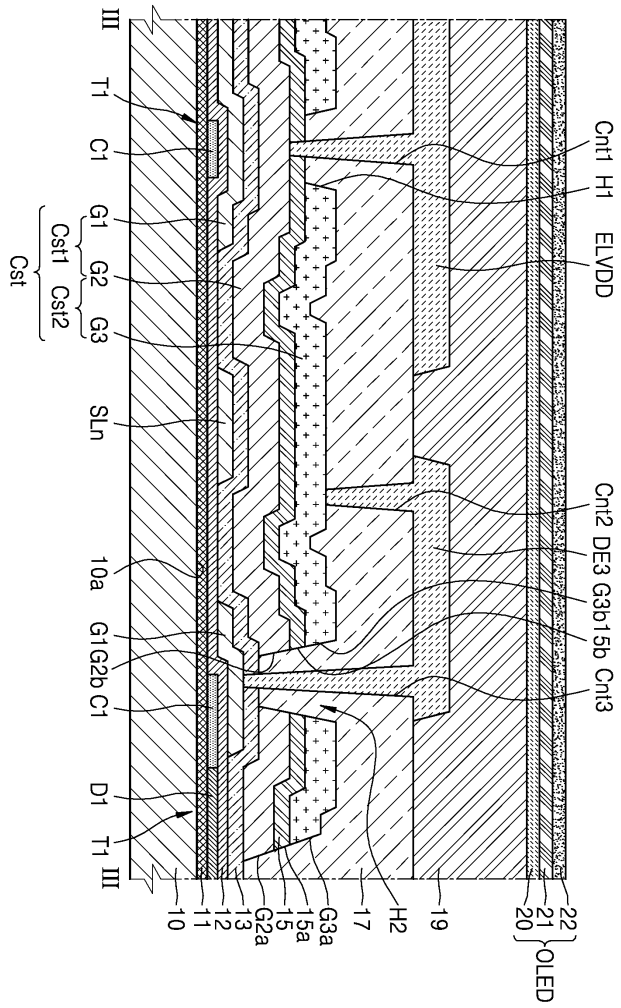
도면11



도면12



도면13



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020170023271A	公开(公告)日	2017-03-03
申请号	KR1020150116849	申请日	2015-08-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO SEUNG HWAN 조승환 PARK SANG HO 박상호 SHIM DONG HWAN 심동환 AHN KI WAN 안기완 YOON JOO SUN 윤주선		
发明人	조승환 박상호 심동환 안기완 윤주선		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3265 H01L27/3248 H01L27/3246 H01L27/3258 H01L27/3225 H01L51/56 H01L2227/32 H01L2251/56 H01L27/3262 H01L28/60 H01L29/42384 H01L27/1255 H01L27/1288		
外部链接	Espacenet		

摘要(译)

本发明的优选实施例包括第一晶体管是第一电极，其至少部分地布置在驱动有源层的相位中，并且驱动有源层与驱动有源层绝缘，驱动电路部分包括驱动晶体管和存储器对于包括多个像素的有机发光显示装置，包括与具有多个像素的第一晶体管电连接的电容器，并且存储电容器公开了包括由第二电极组成的第一电容器的第一电极和有机发光显示装置。面对第一电极和第二电容器包括第二电极和第三电极面对第二电极（面对）。

