



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0017641
(43) 공개일자 2017년02월15일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0111869

(22) 출원일자 2015년08월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정기문

경기도 파주시 와석순환로 347 (목동동, 월드메르디앙1차아파트) 113-902

(74) 대리인

김은구, 송해모

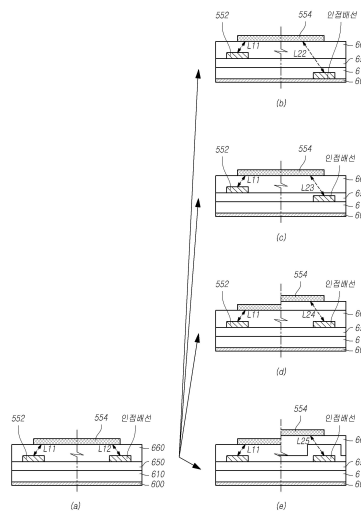
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명은 데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널을 포함하며, 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고, 다수의 화소 중 제1화소 및 제2화소에서, 제1화소로부터 연장된 제1플로팅 패턴과 제2화소로부터 연장된 제2플로팅 패턴이 절연되어 있거나 제1화소로부터 연장된 제1플로팅 패턴과 제2화소로부터 연장된 제2플로팅 패턴이 연결 패턴으로 전기적으로 연결되어 있고, 제1화소에서 제1플로팅 패턴과 인접 배선 사이의 이격 거리는 제1플로팅 패턴과 제2플로팅 패턴 사이의 이격 거리보다 큰 유기발광표시장치에 관한 것이다.

대표도 - 도11a



(52) CPC특허분류
G09G 2330/08 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널을 포함하며;

상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고,

상기 다수의 화소 중 제1화소 및 제2화소에서,

상기 제1화소로부터 연장된 제1플로팅 패턴과 상기 제2화소로부터 연장된 제2플로팅 패턴이 절연되어 있거나, 상기 제1화소로부터 연장된 제1플로팅 패턴과 상기 제2화소로부터 연장된 제2플로팅 패턴이 연결 패턴으로 전기적으로 연결되어 있고,

상기 제1화소에서 상기 제2플로팅 패턴과 인접 배선 사이의 이격 거리는 상기 제1플로팅 패턴과 상기 제2플로팅 패턴 사이의 이격 거리보다 큰 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1플로팅 패턴은, 상기 구동회로에 포함되는 트랜지스터들의 소스-드레인과 동일한 레이어에 위치하고 상기 소스-드레인과 동일한 물질이며,

상기 제2플로팅 패턴은, 상기 유기발광다이오드에 포함되는 제1전극과 동일한 레이어에 위치하고 상기 제1전극과 동일한 물질인 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 인접 배선은 기준전압 라인과 전기적으로 연결되어 있으며, 상기 인접 배선은 상기 기준전압 라인보다 상기 제2플로팅 패턴과 먼 레이어에 위치하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 기준전압 라인은 상기 구동회로에 포함되는 트랜지스터들의 소스-드레인과 동일한 레이어에 위치하고 상기 소스-드레인과 동일한 물질이며,

상기 인접 배선은 상기 구동회로에 포함되는 트랜지스터들의 액티브층과 동일한 레이어에 위치하고 상기 액티브층과 동일한 물질인 유기발광표시장치.

청구항 5

제2항에 있어서,

상기 인접 배선은 상기 게이트 라인으로 인접한 제3화소까지 연장되고, 상기 제3화소의 상기 구동회로에 포함되는 트랜지스터들 중 센싱 트랜지스터의 액티브층과 일체를 이루는 유기발광표시장치.

청구항 6

제3항에 있어서,

상기 기준전압 배선은 상기 구동회로에 포함되는 트랜지스터들의 소스-드레인 및 소스-드레인과 동일한 레이어에 위치하고 상기 소스-드레인과 동일한 물질이며,

상기 인접 배선은 라이트 쉴드와 동일한 레이어에 위치하고 라이트 쉴드와 동일한 물질인 유기발광표시장치.

청구항 7

제2항에 있어서,

상기 인접 배선은 상기 구동회로에 포함되는 트랜지스터들 중 하나인 구동 트랜지스터의 게이트와 연결된 플레이트이며,

상기 플레이트와 상기 제1플로팅 패턴 사이에 보호층이 삽입된 유기발광표시장치.

청구항 8

제2항에 있어서,

상기 인접 배선은 기준전압 라인과 일체를 이루고, 상기 인접 배선과 기준전압 라인은 상기 구동회로에 포함되는 트랜지스터들의 소스-드레인과 동일한 물질이며,

상기 인접 배선과 상기 제2플로팅 패턴 사이에 컬러필터층이 삽입된 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 제1화소 및 상기 제2화소는, 동일 색상 화소인 것을 특징으로 하는 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 연결 패턴이 형성된 경우, 상기 제1화소 및 상기 제2화소 각각에서의 휘도를 보상하되, 상기 제1화소 또는 상기 제2화소의 구동회로가 정해진 휘도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 전압 보상량을 결정하는 보상부를 포함하는 유기발광표시장치.

청구항 11

데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널;

상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및

상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되,

상기 다수의 화소 각각은 발광영역과 비 발광영역으로 이루어져 유기발광다이오드와 구동회로가 배치되고,

상기 표시패널에는,

제1플로팅 패턴과 인접한 화소로부터 연장된 제2플로팅 패턴이 절연되어 있거나, 상기 제1플로팅 패턴과 상기 제2플로팅 패턴이 연결 패턴으로 전기적으로 연결되어 있고,

상기 제1플로팅 패턴과 인접 배선 사이의 이격 거리는 상기 제1플로팅 패턴과 상기 제2플로팅 패턴 사이의 이격 거리보다 큰 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 리페어 구조를 갖는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

- [0004] 이러한 유기발광표시장치의 각 화소는, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동회로가 배치되는 화소 구조를 갖는다.
- [0005] 이러한 화소 구조를 갖는 다수의 화소가 정의된 표시패널을 제조하기 위해서는, 매우 많은 공정을 거쳐야 하고, 이때, 공정 기인성 이물(들)이 화소에서 발생할 수 있는데, 이 경우, 해당 화소는 휘점이 되거나 암점이 되는 불량 화소가 된다.
- [0006] 이와 같은 화소 불량은 화질을 심각하게 저하할 수 있으며, 심각한 경우에는, 표시패널 자체를 폐기시켜야 한다.
- [0007] 따라서, 화소 불량에 대한 리페어(Repair)를 효율적으로 할 수 있는 방안이 매우 절실한 실정이다.

발명의 내용

해결하려는 과제

- [0008] 이러한 배경에서, 본 발명의 목적은, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와, 화소 불량이 리페어된 유기발광표시장치를 제공하는 데 있다.
- [0009] 또한, 본 발명의 목적은, 화소 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0010] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널을 포함하며, 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치된 유기발광표시장치를 제공한다.
- [0011] 다수의 화소 중 제1화소 및 제2화소에서, 제1화소로부터 연장된 제1플로팅 패턴과 제2화소로부터 연장된 제2플로팅 패턴이 절연되어 있거나 제1화소로부터 연장된 제1플로팅 패턴과 제2화소로부터 연장된 제2플로팅 패턴이 연결 패턴으로 전기적으로 연결되어 있다. 이때 제1화소에서 제1플로팅 패턴과 인접 배선 사이의 이격 거리는 제1플로팅 패턴과 제2플로팅 패턴 사이의 이격 거리보다 크다.
- [0012] 다른 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널, 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부 및 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되, 다수의 화소 각각은 발광영역과 비 발광영역으로 이루어져 유기발광다이오드와 구동회로가 배치된 유기발광표시장치를 제공한다.
- [0013] 표시패널에는, 제1플로팅 패턴과 인접한 화소로부터 연장된 제2플로팅 패턴이 절연되어 있거나, 상기 제1플로팅 패턴과 상기 제2플로팅 패턴이 연결 패턴으로 전기적으로 연결되어 있다. 이때 제1플로팅 패턴과 인접 배선 사이의 이격 거리는 제1플로팅 패턴과 제2플로팅 패턴 사이의 이격 거리보다 크다.

발명의 효과

- [0014] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와, 화소 불량이 리페어 된 유기발광표시장치를 제공하는 효과가 있다.
- [0015] 본 발명에 의하면, 화소 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치를 제공하는 데 있다.

도면의 간단한 설명

- [0016] 도 1은 실시예들에 따른 유기발광표시장치의 개략적인 시스템을 나타낸 도면이다.
- 도 2는 실시예들에 따른 유기발광표시장치의 기본적인 화소 구조를 나타낸 도면이다.
- 도 2는 실시예들에 따른 유기발광표시장치(100)의 화소 배치의 3가지 타입을 나타낸 도면이다.
- 도 3은 일 실시예에 따른 유기발광표시장치(100)에서, 리페어 라인(RL: Repair Line)을 이용하여 회로부 불량에 대한 리페어가 가능한 리페어 구조와 이를 이용한 회로부 불량에 대한 리페어 처리를 나타낸 도면이다.

도 4는 다른 실시예에 따른 유기발광표시장치(100)의 평면도이다.

도 5는 다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다.

도 6은 도 5의 AB선 단면도이다.

도 7a 및 도 7b는 다른 예들으로써 도 5의 CD선의 단면도들이다.

도 7c는 도 5의 EF선의 단면도이다.

도 8a 및 도 8b는 도 7a 및 도 7b 각각의 제1배선과 제2배선의 단차부에서 설계적으로 약점이 존재하여 화소 불량이 발생하는 것을 도시하고 있다.

도 9는 약점에서 화소 불량 발생시 도 7c의 구동 트랜지스터의 플레이트와 제2폴로팅 패턴 사이 쇼트가 발생하는 것을 도시하고 있다.

도 10은 도 8a 내지 도 9의 화소 불량시 제1화소와 제2화소의 등가회로도이다.

도 11a는 실시예들에 따른 유기발광표시장치(100)의 개념을 도시한 도면이다.

도 11b는 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다.

도 12a 및 도 12b는 다른 예들으로써 도 11의 GH선의 단면도들이다.

도 12c는 변형예로써 도 11의 GH선의 단면도이다.

도 13은 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다.

도 14는 도 13의 KI선의 단면도이다.

도 15는 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다.

도 16는 도 15의 OP선의 단면도이다.

도 17은 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다.

도 18은 도 17의 ST선의 단면도이다.

도 19는 또다른 실시예에 따른 유기발광표시장치(100)의 휘도 보상을 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0018] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0019] 도 1은 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템을 나타낸 도면이다.

[0020] 도 1을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, 일방향으로 형성되는 다수의 데이터 라인(DL1~DLm)과 다수의 데이터 라인(DL1~DLm)과 교차하는 타방향으로 형성되는 다수의 게이트 라인(GL1~GLn)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 통해 데이터 전압을 공급하는 데이터 구동부(120)와, 다수의 게이트 라인(GL1~GLn)을 통해 스캔신호를 공급하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0021] 전술한 표시패널(110)에 배치되는 다수의 화소(P) 각각은, 유기발광다이오드(OLED: Organic Light-Emitting

Diode)와 이를 구동하기 위한 구동회로(DRC: DRiving Circuit)가 배치된다.

- [0022] 각 화소에 배치된 구동회로는 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터 등의 트랜지스터와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Storage Capacitor)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(Sensing Transistor) 등을 더 포함할 수도 있다.
- [0023] 전술한 타이밍 컨트롤러(140)는 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하고 이를 위해 각종 제어 신호를 출력한다.
- [0024] 표시패널(110)의 모든 화소 중 적어도 하나의 화소 불량이 발생하여 본 실시예들에 따른 리페어 처리가 이루어진 경우에는, 표시패널(110)에 존재했던 모든 플로팅 패턴들 중 적어도 하나의 플로팅 패턴이 웰딩되어 연결 패턴으로 형성되어 있을 수 있다.
- [0025] 단, 아래에서는, 설명의 편의를 위해, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 2개의 화소인 제1화소(P1)와 제2화소(P2)에 대하여, 리페어 처리가 가능하도록 설계된 리페어 구조를 갖는 유기발광표시장치(100)와, 이러한 리페어 구조를 활용한 리페어 처리, 그리고, 이러한 리페어 처리를 통해 변경된 구조를 갖는 유기발광표시장치(100)에 대하여 설명한다.
- [0026] 그리고, 임의의 2개의 화소(P1, P2) 모두는 화소 불량이 발생하지 않은 정상 화소일 수도 있고, 또는, 표시패널(110)에서의 다수의 화소 중 적어도 하나의 화소에서 화소 불량이 발생한 경우에, 설명의 편의를 위해, 다수의 화소 중 화소 불량이 발생한 적어도 하나의 화소를 제2화소(P2)로 가정한다.
- [0027] 그리고, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 2개의 화소인 제1화소(P1)와 제2화소(P2)는, 표시패널(110)에 배치된 다수의 화소를 대변하는 화소일 수 있다. 제1화소(P1) 및 제2화소(P2)는, 상하에 위치하는 동일 색상 화소들일 수 있다.
- [0028] 즉, 제1화소(P1)와 제2화소(P2)가 모두 정상 화소라면, 표시패널(110)에 배치된 모든 화소가 정상 화소인 것으로 간주하면 되고, 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)에서 화소 불량이 발생한 경우라면, 표시패널(110)에 배치된 모든 화소중 적어도 하나의 화소에서 화소 불량이 발생한 것으로 간주하면 된다. 또한, 제1화소(P1)와 제2화소(P2) 중 화소 불량이 발생한 제2화소(P2)에서 리페어가 되었다면, 표시패널(110)에 배치된 모든 화소 중 적어도 하나의 화소에서 화소 불량에 대한 리페어가 되었다고 간주하면 된다.
- [0029] 도 2는 실시예들에 따른 유기발광표시장치(100)의 화소 배치의 3가지 타입을 나타낸 도면이다.
- [0030] 도 2의 (a), (b) 및 (c)에 도시된 바와 같이, 실시예들에 따른 유기발광표시장치(100)의 화소 배치는, 유기발광다이오드가 있는 발광영역(EA)끼리 서로 인접해 있는 유형과, 구동회로가 있는 회로영역(CA)와 유기발광다이오드가 있는 발광영역(EA)이 서로 인접해 있는 유형과, 구동회로가 있는 회로영역(CA)끼리 서로 인접해 있는 유형이 있다.
- [0031] 즉, 제1화소(P1)의 화소영역(PA 1)과 제2화소(P2)의 화소영역(PA 2)은 서로 인접하되, 도 2의 (a)와 같이, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되거나, 도 2의 (b)와 같이, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되거나, 도 2의 (c)와 같이, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 구동회로(DRC 2)가 인접하여 배치될 수 있다.
- [0032] 한편, 도 2의 (b)의 화소 배치 유형은 표시패널(110)의 모든 화소 배치에 적용될 수 있다. 하지만, 도 2의 (a) 및 도 2의 (c)의 화소 배치 유형은 표시패널(110)의 모든 화소 배치에 적용될 수 없다. 가령, 도 2의 (a)의 화소 배치가 이루어진 이후, 제2화소(P2)와 이에 이어서 배치되는 제3화소는 도 8의 (c)의 화소 배치가 된다. 또한, 도 2의 (c)의 화소 배치가 이루어진 이후, 제2화소(P2)와 이에 이어서 배치되는 제3화소는 도 2의 (a)의 화소 배치가 된다.
- [0033] 아래에서는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 발광영역(EA 1)이 인접하여 배치되는 경우에 대한 실시예들을 이하에서 설명하나, 제1화소(P1)의 발광영역(EA 1)과 제2화소(P2)의 발광영역(EA 1)이 인접하여 배치될 수도 있다.
- [0034] 도 3은 일 실시예에 따른 유기발광표시장치(100)에서, 리페어 라인(RL: Repair Line)을 이용하여 회로부 불량에

대한 리페어가 가능한 리페어 구조와 이를 이용한 회로부 불량에 대한 리페어 처리를 나타낸 도면이다.

- [0035] 도 3의 (a)는, 유기발광표시장치(100)에서, 리페어 라인(RL: Repair Line)에 기반하여 회로부 불량에 대한 리페어가 가능한 리페어 구조를 나타낸 도면으로서, 표시패널(110)에 배치된 다수의 화소 중 임의의 제1화소(P1)와 제2화소(P2) 모두가 화소 불량이 발생하지 않은 정상 상태인 것을 나타낸 도면이다. 이러한 상태의 표시패널(110)은, 패널 제작 공정 중 화소 불량 테스트 결과, 제1화소(P1)와 제2화소(P2)에서 화소 불량이 발생하지 않은 것이거나, 화소 불량이 없는 상태로 제품 출하된 것일 수도 있다.
- [0036] 도 3의 (a)를 참조하면, 제1실시예에 따른 유기발광표시장치(100)는, 다수의 화소가 배치된 표시패널(110)을 포함하되, 표시패널(110)에 배치된 다수의 화소 중 임의의 두 화소인 제1화소(P1) 및 제2화소(P2) 각각의 화소영역(PA)에 유기발광다이오드(OLED)와 구동회로(DRC)가 배치된다.
- [0037] 즉, 제1화소(P1)의 화소영역(PA)에서, 화소영역(PA) 내 발광영역(EA)에 유기발광다이오드(OLED 1)가 배치되고, 화소영역(PA) 내 회로영역(CA)에 유기발광다이오드(OLED 1)를 구동하기 위한 구동회로(DRC 1)가 배치된다. 또한, 제2화소(P2)의 화소영역(PA)에서, 화소영역(PA) 내 발광영역(EA)에 유기발광다이오드(OLED 2)가 배치되고, 화소영역(PA) 내 회로영역(CA)에 유기발광다이오드(OLED 2)를 구동하기 위한 구동회로(DRC 2)가 배치된다.
- [0038] 도 3의 (a)를 참조하면, 제1화소(P1)와 제2화소(P2) 각각에는, 하나의 웰딩 포인트(WP)와 하나의 커팅 포인트(CP)가 있다. 즉, 제1화소(P1)에는 웰딩 포인트 WP1과 커팅 포인트 CP1이 있으며, 제2화소(P2)에는 웰딩 포인트 WP2와 커팅 포인트 CP2가 있다.
- [0039] 도 3의 (a)를 참조하면, 제1화소(P1)와 제2화소(P2) 각각의 웰딩 포인트(WP1, WP2)에는 플로팅 패턴(Floating Pattern)이 적어도 하나 형성되어 있다.
- [0040] 이러한 플로팅 패턴은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(예: 애노드 또는 캐소드)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 단선시키는 역할을 하는 구조물이다.
- [0041] 이러한 플로팅 패턴은, 일 예로, 일단은 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(또는 구동회로(DRC 1)의 출력지점)과 연결되고, 타단은 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(또는 구동회로(DRC 2)의 출력지점)과 연결되되, 중간에 어느 한 지점이 단선된 상태로 되어 있는 리페어 라인(RL2)일 수 있다.
- [0042] 회로부 불량이 발생한 화소의 구동 회로와 유기발광다이오드를 전기적으로 단선시키는 것을 고려할 때, 각 화소의 구동 회로와 유기발광다이오드 간의 전기적인 연결 지점은 커팅 포인트(CP)일 수 있다.
- [0043] 즉, 제1화소(P1)의 구동 회로(DRC 1)와 유기발광다이오드(OLED 1)를 전기적으로 단선시키기 위하여, 제1화소(P1)의 구동 회로(DRC 1)와 유기발광다이오드(OLED 1) 간의 전기적인 연결 지점은 커팅 포인트 CP1일 수 있다. 제2화소(P2)의 구동 회로(DRC 2)와 유기발광다이오드(OLED 2)를 전기적으로 단선시키기 위하여, 제2화소(P2)의 구동 회로(DRC 2)와 유기발광다이오드(OLED 2) 간의 전기적인 연결 지점은 커팅 포인트 CP2일 수 있다.
- [0044] 도 3의 (a)를 참조하면, 제1화소(P1)와 제2화소(P2) 모두는, 회로부 불량이 없는 정상 화소이므로, 웰딩 포인트에 대한 웰딩 처리가 되지 않은 상태이다. 따라서, 제1화소(P1)의 구동회로(DRC 1)는 제1화소(P1)의 유기발광다이오드(OLED 1)로만 전류를 공급하여 제1화소(P1)의 유기발광다이오드(OLED 1)를 구동시킨다($I1=I_{oled1}$). 또한, 제2화소(P2)의 구동회로(DRC 2)는 제2화소(P2)의 유기발광다이오드(OLED 2)로만 전류를 공급하여 제2화소(P2)의 유기발광다이오드(OLED 2)를 구동시킨다($I2=I_{oled2}$).
- [0045] 한편, 도 3의 (b)를 참조하면, 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량이 발생하게 되면, 회로부 불량이 발생한 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 전기적인 연결 지점에 해당하는 커팅 포인트 CP2에 대한 "커팅 처리"를 통해, 회로부 불량이 발생한 제2화소(P2)의 구동회로(DRC 2)와 유기발광다이오드(OLED 2)를 전기적으로 단선시킨다.
- [0046] 또한, 제2화소(P2)의 회로부 불량에 대한 리페어 처리를 위한 리페어 라인 RL2 상의 웰딩 포인트 WP1에서 "웰딩 처리"를 하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 연결시켜 준다.
- [0047] 여기서, 리페어 라인 RL2 상의 웰딩 포인트 WP1에 형성되어 있던 "플로팅 패턴"인 캐패시터(CAP)가 웰딩에 의해 캐패시터(CAP)의 양단이 연결되어 일반적인 신호 라인과 같은 "연결 패턴"이 형성된다. 여기서, 연결 패턴은 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기

적으로 연결해주는 금속 또는 금속산화물 등의 패턴으로서 플로팅 패턴의 변형으로도 볼 수 있다.

- [0048] 이러한 커팅 처리 및 웰딩 처리에 따라, 제2화소(P2)의 회로부 불량에 대한 리페어가 되면, 유기발광표시장치(100)는, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2)가 전기적으로 끊어진 상태이고, 제1화소(P1)의 구동회로(DRC 1), 제1화소(P1)의 유기발광다이오드(OLED 1) 및 제2화소(P2)의 유기발광다이오드(OLED 2)가 모두 전기적으로 연결될 수 있는 상태이며, 제2화소(P2)의 회로부 불량에 대한 리페어 처리 결과에 따른 연결 패턴이 형성된 상태이다.
- [0049] 이러한 리페어 처리 후 상태는, 표시패널(110)의 제조가 완료된 상태일 수도 있고, 유기발광다이오드(OLED 1, OLED 2)의 제2전극 등 표시패널(110) 또는 유기발광표시장치(100)의 일부 구성에 대한 제조 공정이 아직 남아 있는 상태일 수도 있다.
- [0050] 전술한 바와 같이, 제2화소(P2)의 회로부 불량에 대한 리페어가 되고 난 이후, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)는 제1화소(P1)의 구동회로(DRC 1)를 공유하는 형태가 되고, 제1화소(P1)의 구동회로(DRC 1)는 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)를 병렬 구동할 수 있는 상태이다.
- [0051] 이에 따라, 제2화소(P2)의 회로부 불량에 대한 리페어 처리(웰딩 처리, 커팅 처리)가 된 이후 상태에서는, 제1화소(P1)의 구동회로(DRC 1)에서 출력된 전류(I1)가 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 나누어져 공급된다($I1=I_{oled1}+I_{oled2}$).
- [0052] 이상에서 전술한 바와 같이, 리페어 라인을 별도로 형성해두고 기존 화소 구조와 효율적인 웰딩 처리 및 커팅 처리를 위한 웰딩 포인트(WP) 및 커팅 포인트(CP)를 정의해둠으로써, 기존에는 불가능했던 화소 불량에 대한 리페어가 가능해져서, 불량 화소가 정상 화소로 동작하도록 해줄 수 있다.
- [0053] 도 4는 다른 실시예에 따른 유기발광표시장치(100)의 평면도이다.
- [0054] 도 4를 참조하면, 다른 실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 발광영역(EA 2)이 인접한 화소 배치 유형을 갖는다.
- [0055] 즉, 다른 실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접한 화소 배치 유형을 갖는다.
- [0056] 한편, 도 4를 참조하면, 다른 실시예에 따른 유기발광표시장치(100)에서, 제1화소(P1)와 제2화소(P2) 각각의 유기발광다이오드(OLED 1, OLED 2)의 제1전극(410, 420)은, 리페어 처리를 고려하여 독특한 형태로 형성된다.
- [0057] 즉, 다른 실시예에 따른 유기발광표시장치(100)에서, 제1화소(P1)와 제2화소(P2) 각각의 유기발광다이오드(OLED 1, OLED 2)의 제1전극(410, 420)은, 자신이 속해 있는 화소의 발광영역에 위치한 부분과, 자신이 속해 있는 화소 내부(Internal)의 회로영역까지 연장된 내부 확장 부분(IEP: Internal Extension Part)과, 자신이 속해 있는 화소의 외부(External)에 있는 다른 화소의 회로영역까지 연장된 외부 확장 부분(EEP: External Extension Part)으로 이루어진다.
- [0058] 도 4를 참조하여 더욱 상세하게 예시적으로 설명하면, 제2화소(P2)에서, 유기발광다이오드(OLED 2)의 제1전극(420)은, 제2화소(P2)의 발광영역(EA 2)에 있는 부분과, 제2화소(P2)의 내부에 있는 회로영역(CA 2)까지 연장된 부분(IEP 2)과, 제2화소(P2)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)으로 이루어진다.
- [0059] 이와 마찬가지로, 제1화소(P1)에서, 유기발광다이오드(OLED 1)의 제1전극(410)은, 제1화소(P1)의 발광영역(EA 1)에 있는 부분과, 제1화소(P1)의 내부(Internal)에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과, 제1화소(P1)의 외부(External)에 있는 제0화소(P0)의 회로영역(CA 0)까지 연장된 부분(EEP 1)으로 이루어진다.
- [0060] 리페어 처리(웰딩 처리, 커팅 처리)를 위한 2가지의 지점(웰딩 포인트, 커팅 포인트)이 전술한 구조를 갖는 제1전극(410, 420)과 관련하여 위치한다.
- [0061] 먼저, 제1화소(P1)의 회로부 불량에 대한 리페어 처리로서, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(420)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 1)과 제1화소(P1)의 구동 트랜지스터(DT 1) 간의 연결에 대한 커팅 처리를 하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(420)과 제1화소(P1)의 구동회로(DRC 1)가 전기적으로 단선 된다.

- [0062] 도 4를 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(420)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 1)과 제1화소(P1)의 구동 트랜지스터(DT 1) 간의 연결이 커팅되는 지점(CP1)은, 제1화소(P1)의 구동 트랜지스터(DT 1)의 소스 전극 또는 드레인 전극일 수 있다.
- [0063] 다음으로, 웰딩 포인트(WP)와 관련하여, 제2화소(P2)에서 회로부 불량 발생을 대비하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(310)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(320)이 서로 인접한 지점에 웰딩 포인트(WP1)가 존재한다.
- [0064] 도 4를 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(410)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(420)은 제1화소(P1)의 회로영역(CA 1) 내에서 인접하기 때문에, 제2화소(P2)에서 회로부 불량 발생을 경우 웰딩 처리될 웰딩 포인트(WP1)는 제1화소(P1)의 회로영역(CA 1) 내에 존재한다.
- [0065] 따라서, 제1화소(P1)의 회로영역(CA 1) 내에서, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(410; IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(420; EEP 2)이 인접한 웰딩 포인트(WP1)에, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(410; IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(420; EEP 2) 중 적어도 하나와 절연된 플로팅 패턴(1711)이 형성된다.
- [0066] 이와 마찬가지로, 제2화소(P2)의 회로영역(CA 2) 내에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(420; IEP 2)과 제3화소(P3)의 유기발광다이오드(OLED 3)의 제1전극(EEP 3)이 인접한 웰딩 포인트(WP2)에, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(420; IEP 2)과 제2화소(P3)의 유기발광다이오드(OLED 3)의 제1전극(EEP 3) 중 적어도 하나와 절연된 플로팅 패턴(1721)이 형성된다.
- [0067] 도 5는 다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다. 도 6은 도 5의 AB선 단면도이다. 도 7a 및 도 7b는 다른 예들로서 도 5의 CD선의 단면도들이다. 도 7c는 도 5의 EF선의 단면도이다.
- [0068] 도 5는 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)을 상세하게 나타낸 평면도들이다.
- [0069] 도 5를 참조하면, 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)에는, 구동 트랜지스터(DT), 제1트랜지스터(T1) 및 제2트랜지스터(T2)를 포함하는 3개의 트랜지스터와, 1개의 스토리지 캐패시터(Cstg)가 형성된다.
- [0070] 또한, 제2트랜지스터(T2)는, 게이트라인(500)에서 공급된 스캔신호에 의해 제어되며 데이터라인(510)으로부터 데이터전압을 공급받는다.
- [0071] 제1트랜지스터(T1)는, 게이트라인(500)에서 공급된 스캔신호에 의해 제어되며 기준전압 라인(RVL)과 연결된 제1배선(520)으로부터 기준전압(Vref)을 공급받는다.
- [0072] 제2트랜지스터(T2)는, 게이트라인(500)에서 공급된 스캔신호에 의해 제어되며 데이터라인(510)과 연결된 제2배선(512)으로부터 데이터전압을 공급받는다. 제2트랜지스터(T2)는 플레이트(550)와 연결되고, 이 플레이트(550)는 구동 트랜지스터(DT)의 게이트 전극(560)과 컨택홀로 연결된다.
- [0073] 구동 트랜지스터(DT)는 게이트 전극(560)에 인가된 전압에 의해 제어되며, 구동전압 라인으로부터 구동전압(EVDD)을 드레인 노드로 인가받아 소스 노드로 전류를 출력한다.
- [0074] 도 5는 산화물 트랜지스터(Oxide Transistor) 구조로 설계된 것을 가정한 것으로, 구동 트랜지스터(DT)의 소스 노드 및 제1트랜지스터(T1)의 소스 노드를 형성하기 위하여 액티브 층(Active Layer, 540)이 형성되고, 이 액티브 층(540)은 제2트랜지스터(T2)와 연결된 플레이트(550)와 함께 스토리지 캐패시터(Cstg)를 형성한다.
- [0075] 한편, 제1화소(P1)의 화소영역(CA 1)에는, 트랜지스터 등의 회로를 보호하기 위한 용도로 라이트 쉴드(LS: Light Shield, 570)가 형성되어 있다.
- [0076] 제1화소(P1)의 구동 트랜지스터(DT)의 소스 노드와 연결된 액티브 층(550)과 연결된 제1플로팅 패턴(552)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극이 연장된 제2플로팅 패턴(554)이 플로팅 패턴(WP)을 구성한다.
- [0077] 도 5 내지 도 7c를 참조하면, 기판(600) 상에, 라이트 쉴드(570), 라이트 쉴드(570) 상에 버퍼층(610)이 위치하고, 버퍼층(610) 상에 액티브 층(540) 및 액티브층(540)과 동일한 레이어에 동일한 물질로 이루어진 제2트랜지스터(T2)의 액티브층(542)과 같은 다양한 층들이 위치한다.
- [0078] 액티브 층(540) 상에 게이트절연층(미도시)이 위치하고, 그 위에, 각종 트랜지스터(DT, T1, T2)의 게이트 전극(560) 및 게이트 라인(500), 게이트 전극(560)이 위치한다. 게이트 전극(560) 및 게이트 라인(500) 상에 제1절연층(650)이 위치한다. 제1절연층(650) 상에 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인

(510), 기준전압 라인(RVL), 구동전압 라인, 소스/드레인과 동일한 레이어에 동일한 물질로 이루어진 제1플로팅 패턴(552)과 같은 다양한 배선들이나 패턴들이 위치할 수 있다.

[0079] 예를 들어 데이터라인(510)과 연결된 제2배선(512)은 데이터라인(510)과 일체를 이루므로, 데이터라인(510)과 동일한 레이어에 동일한 물질로 이루어진다. 기준전압 라인(RVL)과 연결된 제1배선(520)은 기준전압 라인(RVL)과 일치를 이루므로, 기준전압 라인(RVL)과 동일한 레이어에 동일한 물질로 이루어진다.

[0080] 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 제1플로팅 패턴(552) 상에 제2절연층(660)이 위치한다.

[0081] 도 7a에 도시한 바와 같이 제2절연층(660) 상에 보호층(670)이 위치하고 보호층(670) 상에 제1전극(580)과 동일한 레이어에 동일한 물질로 이루어진 제2플로팅 패턴(554)이 위치한다. 도 6에 도시한 바와 같이 제2플로팅 패턴(554)의 일부는 제1플로팅 패턴(552)의 일부와 상하로 중첩되고, 중첩되는 제1플로팅 패턴(552)의 일부와 제2플로팅 패턴(554)의 일부를 웰딩 처리하여 연결 패턴을 형성할 수 있다.

[0082] 또한 도 7b에 도시한 바와 같이 제2절연층(660) 상에 보호층 없이 제2플로팅 패턴(554)이 위치할 수도 있다. 제2플로팅 패턴(554)은 제2화소(P2)의 제1전극과 일체로 구성될 수도 있으나 이에 제한되지 않는다.

[0083] 이하에서 도 7b에 도시한 바와 같이 제2절연층(660) 상에 보호층 없이 제2플로팅 패턴(554)이 위치하는 화소구조를 기준으로 실시예들을 설명하나, 도 7a에 도시한 바와 같이 제2절연층(660) 상에 보호층(670)이 위치하고 보호층(670) 상에 제2플로팅 패턴(554)이 위치하는 화소구조도 동일하게 실시예들을 적용할 수 있다.

[0084] 도 7c에 도시한 바와 같이 제1플로팅 패턴(552)과 제2플로팅 패턴(554)은 제2트랜지스터(T2)의 액티브층(542)과 연결되는 플레이트(550)와 인접하게 위치한다. 전술한 바와 같이 플레이트(550)는 구동 트랜지스터(DT)의 게이트 노드(560)와 콘택홀을 통해 연결되어 있다.

[0085] 도 8a 및 도 8b는 도 7a 및 도 7b 각각의 제1배선과 제2배선의 단차부에서 설계적으로 약점이 존재하여 화소 불량 발생을 도 9는 약점에서 화소 불량 발생시 도 7c의 구동 트랜지스터의 플레이트와 제2플로팅 패턴 사이 쇼트가 발생하는 것을 도시하고 있다.

[0086] 도 8a에 도시한 바와 같이 제2배선(512)과 제1, 2플로팅 패턴(552, 554)이 인접하여 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이 웰딩 처리 과정에서 제2배선(512)과 제2플로팅 패턴(554)도 웰딩 처리되어 제2배선(512)과 제2플로팅 패턴(554) 사이 쇼트가 발생할 수 있다. 도 10에 도시한 바와 같이 제2배선(512)과 제2플로팅 패턴(554) 사이 쇼트에 의해 제1화소(P1)에서는 데이터 전압에 대한 보상 에러에 의해 강휘점이 구현되고 제2화소(P2)에서는 데이터 전압 강하에 의해 암점이 구현되는 불량(도 10에서 불량 ①)이 발생할 수 있다.

[0087] 도 8b에 도시한 바와 같이 제1배선(520)과 제1, 2플로팅 패턴(552, 554)이 인접하여 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이 웰딩 처리 과정에서 제1배선(520)과 제2플로팅 패턴(554)도 웰딩 처리되어 제1배선(520)과 제2플로팅 패턴(554) 사이 쇼트가 발생할 수 있다. 도 10에 도시한 바와 같이 제1배선(520)과 제2플로팅 패턴(554) 사이 쇼트에 의해 제1화소(P1)에서는 문턱전압에 대한 보상 에러에 의해 약암점이 구현되고 제2화소(P2)에서는 문턱전압 강하에 의해 휘점이 구현되는 불량(도 10에서 불량 ②)이 발생할 수 있다.

[0088] 도 9에 도시한 바와 같이 제1, 2플로팅 패턴(552, 554)이 구동 트랜지스터(DT)의 게이트 노드(560)와 연결되는 플레이트(550)와 인접하여 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이 웰딩 처리 과정에서 트랜지스터(DT)의 게이트 노드(560)와 제2플로팅 패턴(554)도 웰딩 처리되어 트랜지스터(DT)의 게이트 노드(560)와 제2플로팅 패턴(554) 사이 쇼트가 발생할 수 있다. 도 10에 도시한 바와 같이 트랜지스터(DT)의 게이트 노드(560)와 제2플로팅 패턴(554) 사이 쇼트에 의해 제1화소(P1)에서는 데이터 전압에 대한 보상 에러에 의해 강휘점이 구현되고 제2화소(P2)에서는 데이터 전압 강하에 의해 암점이 구현되는 불량(도 10에서 불량 ①)이 발생할 수 있다.

표 1

	제1화소(P1)	제2화소(P2)
불량 ①	데이터 전압에 대한 보상 에러 (강휘점 구현)	데이터 전압 강하(암점 구현)
불량 ③		
불량 ②	문턱전압에 대한 보상 에러 (약암점 구현)	문턱전압 강하(휘점 구현)

[0090] 결과적으로 제1배선과 제2배선 등의 단차부에서 설계적으로 약점이 존재하여 화소 불량이 발생할 확률이 높다.

제2화소(P2)에서 화소 불량이 있는 경우 제1화소는 정상임에도 불구하고 제2화소(P2)와 연결되어 보상 에러가 발생하는 추가적인 문제로 불량율이 2배로 증가할 수 있다.

[0091] 또한 제1화소(P1)과 제2화소(P2)의 불량이 상하로 연결되어 불량 시인성이 증가할 수 있다.

[0092] 특히 보호층이 없는 구조에서 약점이 최악의 상태가 되어 불량 발생 확률이 기존 대비 매우 증가할 수 있다.

[0093] 도 11a는 실시예들에 따른 유기발광표시장치(100)의 개념을 도시한 도면이다.

[0094] 도 1 및 도 11a에 도시한 바와 같이, 실시예들에 따른 유기발광표시장치(100)는, 일방향으로 형성되는 다수의 데이터 라인(DL1~DLm)과 다수의 데이터 라인(DL1~DLm)과 교차하는 타방향으로 형성되는 다수의 게이트 라인(GL1~GLn)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 통해 데이터 전압을 공급하는 데이터 구동부(120)와, 다수의 게이트 라인(GL1~GLn)을 통해 스캔 신호를 공급하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0095] 전술한 바와 같이, 제1화소(P1)의 구동 트랜지스터(DT)의 소스 노드와 연결된 액티브 층(550)과 연결된 제1플로팅 패턴(552)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극이 연장된 제2플로팅 패턴(554)이 플로팅 패턴을 구성한다.

[0096] 전술한 바와 같이, 제1화소(P1)로부터 연장된 제1플로팅 패턴(552)과 제2화소(P2)로부터 연장된 제2플로팅 패턴(554)이 절연되어 있거나, 제1화소(552)로부터 연장된 제1플로팅 패턴(552)과 제2화소(P2)로부터 연장된 제2플로팅 패턴이 연결 패턴으로 전기적으로 연결되어 있다.

[0097] 특히, 도 11a의 (a)에서 도시한 배선 구조는 도 6 내지 도 9에 도시한 배선 구조를 단순화한 것이다. 도 11a의 (a)에서 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격 거리(L11)과 제2플로팅 패턴(554)과 인접 배선 사이의 이격 거리(L21)는 실질적으로 동일할 수 있다.

[0098] 실시예들에 따른 유기발광표시장치(100)에서 도 11a의 (b) 내지 (e)에 도시한 바와 같이 제1화소(P1)에서 제2플로팅 패턴(554)과 인접 배선 사이의 이격 거리(L22 내지 L25)는 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격 거리(L11)보다 클 수 있다.

[0099] 다양한 인접 배선들과 제1화소(P1)에서 제2플로팅 패턴(554)과 인접 배선 사이의 이격 거리는 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격 거리보다 큰 다양한 화소 구조를 가질 수 있다.

[0100] 인접 배선이, 도 11a의 (b)에 도시한 바와 같이 기판(600)과 버퍼층(610) 사이에 위치하거나, 도 11a의 (c)에 도시한 바와 같이 버퍼층(610)과 제1절연층(650) 사이에 위치할 수 있다.

[0101] 예를 들어 제1플로팅 패턴(552)은, 구동회로에 포함되는 트랜지스터들(DT, T1, T2)의 소스-드레인과 동일한 레이어에 위치하고 소스-드레인 및 동일한 물질이며, 제2플로팅 패턴(554)은, 유기발광다이오드에 포함되는 제1전극과 동일한 레이어에 위치하고 제1전극과 동일한 물질일 수 있다.

[0102] 인접 배선은 기준전압 라인(RVL)과 전기적으로 연결되어 있으며, 인접 배선은 기준전압 라인(RVL)보다 제2플로팅 패턴(554)과 먼 레이어에 위치할 수 있다.

[0103] 이때 기준전압 라인은 구동회로에 포함되는 트랜지스터들(DT, T1, T2)의 소스-드레인 및 동일한 레이어에 위치하고 소스-드레인 및 동일한 물질이며, 인접 배선은 구동회로에 포함되는 트랜지스터들(DT, T1, T2)의 액티브층과 동일한 레이어에 위치하고 액티브층과 동일한 물질일 수 있다. 이와 관련하여, 도 11b 내지 도 12b를 참조하여 이하에서 설명한다.

[0104] 인접 배선은 라이트 쉴드와 동일한 레이어에 위치하고 라이트 쉴드와 동일한 물질일 수 있다. 이와 관련하여 도 12를 참조하여 이하에서 설명한다.

[0105] 인접 배선은 게이트 라인(500)으로 인접한 제3화소(P3)까지 연장되고, 제3화소(P3)의 구동회로에 포함되는 트랜지스터들(DT, T1, T2) 중 센싱 트랜지스터(T1)의 액티브층과 일체를 이룰 수 있다. 이와 관련하여 도 13 및 도 14를 참조하여 이하에서 설명한다.

[0106] 기준전압 라인(RVL)은 구동회로에 포함되는 트랜지스터들(DT, T1, T2)의 소스-드레인 및 동일한 레이어에 위치하고 소스-드레인 및 동일한 물질일 수 있다.

[0107] 도 11a의 (b) 및 (c)에 도시한 바와 같이 인접 배선이 위치하는 레이어를 변경할 수도 있으나, 도 11a의 (d) 및

(e)에 도시한 바와 같이 제2플로팅 패턴(554)과 인접 배선 사이에 다른 층이 삽입되어 제2플로팅 패턴(554)과 인접 배선 사이의 이격 거리(L22 내지 L25)는 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격 거리(L11)보다 크게 할 수도 있다.

- [0108] 예를 들어 인접 배선은 구동회로에 포함되는 트랜지스터들(DT, T1, T2) 중 하나인 구동 트랜지스터(DT)의 게이트와 연결된 플레이트이며, 플레이트와 제2플로팅 패턴(554) 사이에 보호층이 삽입될 수 있다. 이와 관련하여 도 15 및 도 16을 참조하여 이하에서 설명한다.
- [0109] 인접 배선은 기준전압 라인(RVL)과 일체를 이루고, 인접 배선과 기준전압 라인(RVL)은 구동회로에 포함되는 트랜지스터들(DT, T1, T2)의 소스-드레인과 동일한 물질이며, 인접 배선과 제2플로팅 패턴 사이에 컬러필터층이 삽입될 수 있다. 이와 관련하여 도 17 및 도 18을 참조하여 이하에서 설명한다.
- [0110] 이하에서 다양한 인접 배선들과 제1화소(P1)에서 제1플로팅 패턴(552)과 인접 배선 사이의 이격 거리는 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격 거리보다 큰 다양한 화소 구조를 설명한다.
- [0111] 도 11b는 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다. 도 12a 및 도 12b는 다른 예들로서 도 11b의 GH선의 단면도들이다. 도 12c는 변형예로서 도 11b의 GH선의 단면도이다.
- [0112] 도 11b를 참조하면, 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)에는, 구동 트랜지스터(DT), 제1트랜지스터(T1) 및 제2트랜지스터(T2)를 포함하는 3개의 트랜지스터와, 1개의 스토리지 캐패시터(Cstg)가 형성된다.
- [0113] 또한, 제2트랜지스터(T2)는, 게이트라인(500)에서 공급된 스캔신호에 의해 제어되며 데이터라인(510)으로부터 데이터전압을 공급받는다.
- [0114] 제1트랜지스터(T1)는, 게이트라인(500)에서 공급된 스캔신호에 의해 제어되며 기준전압 라인(RVL)과 연결된 제1배선(520)으로부터 기준전압(Vref)을 공급받는다.
- [0115] 제2트랜지스터(T2)는, 게이트라인(500)에서 공급된 스캔신호에 의해 제어되며 데이터라인(510)과 연결된 제2배선(512)으로부터 데이터전압을 공급받는다. 제2트랜지스터(T2)는 플레이트(550)와 연결되고, 이 플레이트(550)는 구동 트랜지스터(DT)의 게이트 전극(560)과 컨택홀로 연결된다.
- [0116] 구동 트랜지스터(DT)는 게이트 전극(560)에 인가된 전압에 의해 제어되며, 구동전압 라인으로부터 구동전압(EVDD)을 드레인 노드로 인가받아 소스 노드로 전류를 출력한다.
- [0117] 도 11b는 산화물 트랜지스터(Oxide Transistor) 구조로 설계된 것을 가정한 것으로, 구동 트랜지스터(DT)의 소스 노드 및 제1트랜지스터(T1)의 소스 노드를 형성하기 위하여 액티브 층(Active Layer, 540)이 형성되고, 이 액티브 층(540)은 제2트랜지스터(T2)와 연결된 플레이트(550)와 함께 스토리지 캐패시터(Cstg)를 형성한다.
- [0118] 한편, 제1화소(P1)의 화소영역(CA 1)에는, 트랜지스터 등의 회로를 보호하기 위한 용도로 라이트 쉴드(LS: Light Shield, 570)가 형성되어 있다.
- [0119] 제1화소(P1)의 구동 트랜지스터(DT)의 소스 노드와 연결된 액티브 층(550)과 연결된 제1플로팅 패턴(552)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극이 연장된 제2플로팅 패턴(554)이 플로팅 패턴을 구성한다.
- [0120] 도 12a 및 도 12b를 참조하면, 기판(600) 상에 버퍼층(610)이 위치하고, 버퍼층(610) 상에 액티브층(540)과 동일한 레이어에 동일한 물질로 이루어진 제2트랜지스터(T2)의 액티브층(542)이 위치한다. 액티브 층(540) 및 제2트랜지스터(T2)의 액티브층(542)과 동일한 레이어에 이들과 동일한 물질의 인접 배선으로 제1배선(1144)이 위치한다.
- [0121] 도 6에 도시한 바와 같이 액티브 층(540) 및 제2트랜지스터(T2)의 액티브층(542), 제1배선(1114) 상에 제1절연층(650)이 위치한다. 제1절연층(650) 상에 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 구동전압 라인, 기준전압 라인(RVL), 소스/드레인과 동일한 레이어에 동일한 물질로 이루어진 제1플로팅 패턴(552)과 같은 다양한 배선들이나 패턴들이 위치할 수 있다. 기준전압 라인(RVL)은 콘택홀을 통해 제1배선(1144)과 연결되어 있다.
- [0122] 제1플로팅 패턴(552)과 동일한 레이어에 제2배선(514)이 위치한다.
- [0123] 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 제1플로팅 패턴(552), 제2배선(514) 상에 제2절연층(660)이 위치한다.

- [0124] 도 12a에 도시한 바와 같이 제2절연층(660) 상에 보호층(670)이 위치하고 보호층(670) 상에 제1전극(580)과 동일한 레이어에 동일한 물질로 이루어진 제2플로팅 패턴(554)이 위치한다. 제2플로팅 패턴(554)의 일부는 제1플로팅 패턴(552)의 일부와 상하로 중첩되고, 중첩되는 제1플로팅 패턴(552)의 일부와 제2플로팅 패턴(554)의 일부를 웰딩 처리하여 연결 패턴을 형성할 수 있다.
- [0125] 또한 도 12b에 도시한 바와 같이 제2절연층(660) 상에 보호층 없이 제2플로팅 패턴(554)이 위치할 수도 있다. 제2플로팅 패턴(554)은 제2화소(P2)의 제1전극과 일체로 구성될 수도 있으나 이에 제한되지 않는다.
- [0126] 도 12a 및 도 12b에 도시한 바와 같이 액티브 층(540) 및 제2트랜지스터(T2)의 액티브층(542)과 동일한 레이어에 이들과 동일한 물질의 인접 배선으로 제1배선(1144)이 위치하는 것으로 설명하였으나, 도 12c에 도시한 바와 같이 제1배선(1244)이 라이트 쉴드(570)와 동일한 레이어에 동일한 물질로 이루어질 수 있다. 제1배선(1244)은 제1절연층의 콘택홀을 통해 기준전압 라인(RVL)과 연결되어 있다.
- [0127] 제1플로팅 패턴(552)과 제1플로팅 패턴과 인접한 인접 배선인 제1배선(1144, 1244)의 이격거리는 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격거리보다 크다. 따라서, 제1플로팅 패턴(552)과 제2플로팅 패턴(554)을 웰딩 처리시 제1플로팅 패턴(552)과 제1플로팅 패턴과 인접한 인접 배선인 제1배선(1144, 1244) 사이 쇼트될 확률이 매우 낮아질 수 있다. 따라서, 제1플로팅 패턴(552)과 제2플로팅 패턴(554)을 웰딩 처리시 제1플로팅 패턴(552)과 제1플로팅 패턴과 인접한 인접 배선인 제1배선(1144, 1244) 사이 쇼트에 의한 화소 불량 발생하지 않을 수 있다.
- [0128] 도 13은 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다. 도 14는 도 13의 KI선의 단면도이다.
- [0129] 도 13은 제1화소(P1) 및 제1화소(P2)과 게이트 라인(500) 상으로 인접한 제3화소(P3)를 동시에 도시한 평면도이다.
- [0130] 도 13에 도시한 바와 같이 제1화소(P1)은 도 11을 참조하여 설명한 제1화소(P1)와 동일하다. 제3화소(P3)는 제1화소(P1)와 전체적인 화소 구조는 동일하다.
- [0131] 특히 도 13 및 도 14에 도시한 바와 같이 액티브층(540a) 및 제2트랜지스터(T2)의 액티브층(542a)과 동일한 레이어에 이들과 동일한 물질의 인접 배선으로 제1배선(1344)이 위치한다. 제3화소(P3)의 제1배선(1344)은 제1화소(P1)의 제1배선(1144)과 동일한 레이어에 동일한 물질로 일체될 수 있다. 따라서 제3화소(P3)의 제1배선(1344)은 일체된 제1화소(P1)의 제1배선(1144)을 통해 기준전압 라인(RVL)과 전기적으로 연결되어 있다.
- [0132] 따라서, 제1플로팅 패턴(552a)과 제1플로팅 패턴(554a)과 인접한 인접 배선인 제1배선(1344)의 이격거리는 제1플로팅 패턴(552a)과 제2플로팅 패턴(554a) 사이의 이격거리보다 크다.
- [0133] 도 12c에 도시한 바와 같이 제1배선(1344)이 라이트 쉴드(570)와 동일한 레이어에 동일한 물질로 이루어질 수 있다. 따라서, 제1플로팅 패턴(552a)과 제2플로팅 패턴(554b)과 인접한 인접 배선인 제1배선(1344)의 이격거리는 제1플로팅 패턴(552)과 제2플로팅 패턴(554) 사이의 이격거리보다 크다.
- [0134] 도 15는 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다. 도 16는 도 15의 OP선의 단면도이다.
- [0135] 도 15 및 도 16을 참조하면, 기판(600) 상에, 버퍼층(610)이 위치하고, 버퍼층(610) 상에 액티브 층(540) 및 액티브층(540)과 동일한 레이어에 동일한 물질로 이루어진 제2트랜지스터(T2)의 액티브층(542)과 같은 다양한 층들이 위치한다.
- [0136] 액티브 층(540) 상에 각종 트랜지스터(DT, T1, T2)의 게이트 전극(560) 및 게이트 라인(500), 게이트 전극(560)이 위치한다. 게이트 전극(560) 및 게이트 라인(500) 상에 제1절연층(650)이 위치한다. 제1절연층(650) 상에 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 기준전압 라인(RVL), 구동전압 라인, 소스/드레인 및 동일한 레이어에 동일한 물질로 이루어진 제1플로팅 패턴(552)과 같은 다양한 배선들이나 패턴들이 위치할 수 있다.
- [0137] 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 제1플로팅 패턴(552) 상에 제2절연층(660)이 위치한다.
- [0138] 제2절연층(660) 상에 제2플로팅 패턴(554)이 위치한다. 제2플로팅 패턴(554)의 일부는 제1플로팅 패턴(552)의 일부와 상하로 중첩된다. 제2플로팅 패턴(554)의 일부와 제1플로팅 패턴(552)의 일부와 상하로 중첩되는 제1플로팅 패턴(552)의 일부와 제2플로팅 패턴(554)의 일부를 웰딩 처리하여 연결 패턴을 형성할 수 있다.

- [0139] 도 16에 도시한 바와 같이 플레이트(550) 상에는 제2절연층(660)이 위치하고, 플레이트(550)와 제2플로팅 패턴(554) 사이에 플레이트(550) 상에 쇼트 방지용 보호층(1510)이 위치한다. 도 7a를 참조하여 설명한 바와 같이 제2절연층(660) 상에 보호층(670)이 위치할 수 있는데, 쇼트 방지용 보호층(1510)은 전술한 보호층(670)과 동일한 레이어에 동일한 물질로 이루어질 수 있다. 또한, 쇼트 방지용 보호층(1510)은 보호층(670)과 일체될 수 있다. 즉 보호층(670)의 일부가 연장되어 쇼트 방지용 보호층(1510)을 이룰 수 있다.
- [0140] 플레이트(550)와 제2플로팅 패턴(554) 사이 쇼트 방지용 보호층(1510)이 위치하므로, 도 7c에 도시한 화소구조와 대비할 때, 플레이트(550)와 제2플로팅 패턴(554) 사이 이격 거리가 길어진다. 따라서, 제1플로팅 패턴(552)과 제2플로팅 패턴(554)을 웰딩 처리시 제2플로팅 패턴(554)과, 인접 배선인 플레이트(550) 사이 쇼트될 확률이 매우 낮아질 수 있다. 따라서, 제1플로팅 패턴(552)과 제2플로팅 패턴(554)을 웰딩 처리시 제2플로팅 패턴(554)과, 인접 배선인 플레이트(550) 사이 쇼트에 의한 화소 불량 발생하지 않을 수 있다.
- [0141] 도 17은 또다른 실시예에 따른 유기발광표시장치(100)의 상세 평면도이다. 도 18은 도 17의 ST선의 단면도이다.
- [0142] 도 17 및 도 18을 참조하면, 기판(600) 상에 버퍼층(610)이 위치하고, 버퍼층(610) 상에 액티브층(540)과 동일한 레이어에 동일한 물질로 이루어진 제2트랜지스터(T2)의 액티브층(542)과 같은 다양한 층들이 위치한다.
- [0143] 액티브 층(540) 상에 각종 트랜지스터(DT, T1, T2)의 게이트 전극(560) 및 게이트 라인(500), 게이트 전극(560)이 위치한다. 게이트 전극(560) 및 게이트 라인(500) 상에 제1절연층(650)이 위치한다. 제1절연층(650) 상에 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 기준전압 라인(RVL), 구동전압 라인, 소스/드레인과 동일한 레이어에 동일한 물질로 이루어진 제1플로팅 패턴(552)과 같은 다양한 배선들이나 패턴들이 위치할 수 있다.
- [0144] 각종 트랜지스터(DT, T1, T2)의 소스/드레인 및 데이터 라인(510), 제1플로팅 패턴(552), 제1배선(520), 제1배선(512) 상에 컬러필터층(1710)이 위치한다.
- [0145] 컬러필터층(1710) 상에 제2절연층(660)이 위치한다. 제2절연층(660) 상에 제1전극(580)과 동일한 레이어에 동일한 물질로 이루어진 제2플로팅 패턴(554)이 위치한다. 컬러필터층(1710)은 유기층이 백색 발광하는 유기층일 경우 제1전극(580) 하부에 위치하는 컬러필터층과 동일한 레이어에 동일한 물질로 이루어질 수 있다.
- [0146] 도 18에 도시한 바와 같이 제1배선(512) 및 제2배선(520)과 제2플로팅 패턴(554) 사이에 제2절연층(660) 하부에 컬러필터층(1710)이 위치하므로 도 7b에 도시한 화소구조와 대비할 때, 제1배선(512) 및 제2배선(520)과, 제2플로팅 패턴(554) 사이 이격 거리가 길어진다. 따라서, 제1플로팅 패턴(552)과 제2플로팅 패턴(554)을 웰딩 처리시 제2플로팅 패턴(554)과, 제1배선(512) 및 제2배선(520) 사이 쇼트될 확률이 매우 낮아질 수 있다. 따라서, 제1플로팅 패턴(552)과 제2플로팅 패턴(554)을 웰딩 처리시 제2플로팅 패턴(554)과 제1배선(512) 및 제2배선(520) 사이 쇼트에 의한 화소 불량 발생하지 않을 수 있다.
- [0147] 도 19는 또다른 실시예에 따른 유기발광표시장치(100)의 회로 보상을 위한 회로도이다.
- [0148] 도 19를 참조하면, 또다른 실시예에 따른 유기발광표시장치(100)는 제2화소(P2)에서 회로부 불량이 발생하여 리페어 처리가 된 상태이다.
- [0149] 도 19를 참조하면, 또다른 따른 유기발광표시장치(100)에서는, 제1화소(P1)의 구동회로(DRC 1)가 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 전류를 병렬로 공급한다.
- [0150] 따라서, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2) 각각이 공급받는 전류량은 원하는 회도를 내기 위해 공급받아야 하는 전류량보다 적게 된다.
- [0151] 이는, 제1화소(P1)와 제2화소(P2) 모두에서의 회도 감소를 발생시킨다.
- [0152] 이에, 또다른 실시예에 따른 유기발광표시장치(100)는, 도 19에 도시된 바와 같이, 제2화소(P2)의 회로부 불량이 리페어 된 경우, 즉, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 연결하는 연결 패턴이 형성된 경우, 제1화소(P1) 및 제2화소(P2) 각각에서의 회도를 보상하는 보상부(1900)를 포함할 수 있다. 여기서, 연결 패턴은 웰딩 포인트(WP)에 형성된 웰딩 패턴이 웰딩되어 형성된 것이다.
- [0153] 이러한 보상부(1900)는, 제1화소(P1)의 구동회로(DRC 1)가 정해진 회도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 보상량을 결정한다.

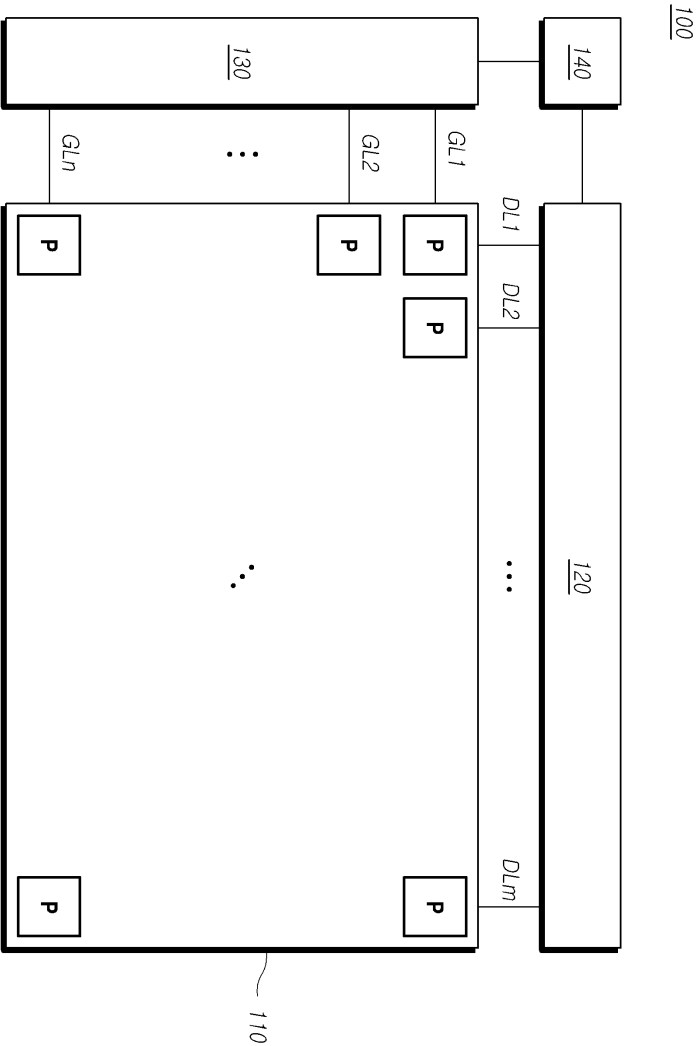
- [0154] 이에 따라, 보상부(1900)는, 결정된 데이터 보상량에 따라 생성된 보상 데이터(Data') 또는 결정된 데이터 보상량을 데이터 구동부(120) 내 데이터 구동 집적회로(Data Driver IC, 1910)로 전달한다.
- [0155] 데이터 구동 집적회로(1910)는 전달받은 보상 데이터(Data') 또는 데이터 보상량에 대응되는 보상 데이터 전압(Vdata')을 해당 데이터 라인을 통해 제1화소(P1)의 구동회로(DRC 1)로 공급한다.
- [0156] 한편, 또다른 실시예에 따른 유기발광표시장치(100)는, 리페어 된 화소(들)에 대한 정보를 메모리(미도시)에 저장해두고, 전술한 휘도 보상시 이용할 수 있다.
- [0157] 전술한 보상부(1900)는, 타이밍 컨트롤러(140) 또는 데이터 구동부(120)의 내부에 포함될 수도 있고, 경우에 따라서, 타이밍 컨트롤러(140) 및 데이터 구동부(120)의 외부에 별도의 구성으로 포함될 수도 있다.
- [0158] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치(100), 화소 불량에 리페어 된 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0159] 또한, 본 발명에 의하면, 유기발광표시장치(100)에서 플로팅 패턴과 인접한 인접 배선 등의 단차부에서 설계적으로 약점이 존재하더라도 화소 불량이 발생할 확률이 낮출 수 있다.
- [0160] 또한 본 발명에 의하면, 유기발광표시장치(100)에서 상하로 인접한 두개의 소들의 불량에 의한 불량 시인성을 감소시킬 수 있다.
- [0161] 또한 본 발명에 의하면, 유기발광표시장치(100)에서 보호층이 없는 화소구조에서 플로팅 패턴과 인접한 인접 배선 등의 단차부에서 설계적으로 약점이 존재하더라도 화소 불량이 발생할 확률이 낮출 수 있다.
- [0162] 또한, 본 발명에 의하면, 회로부 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0163] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

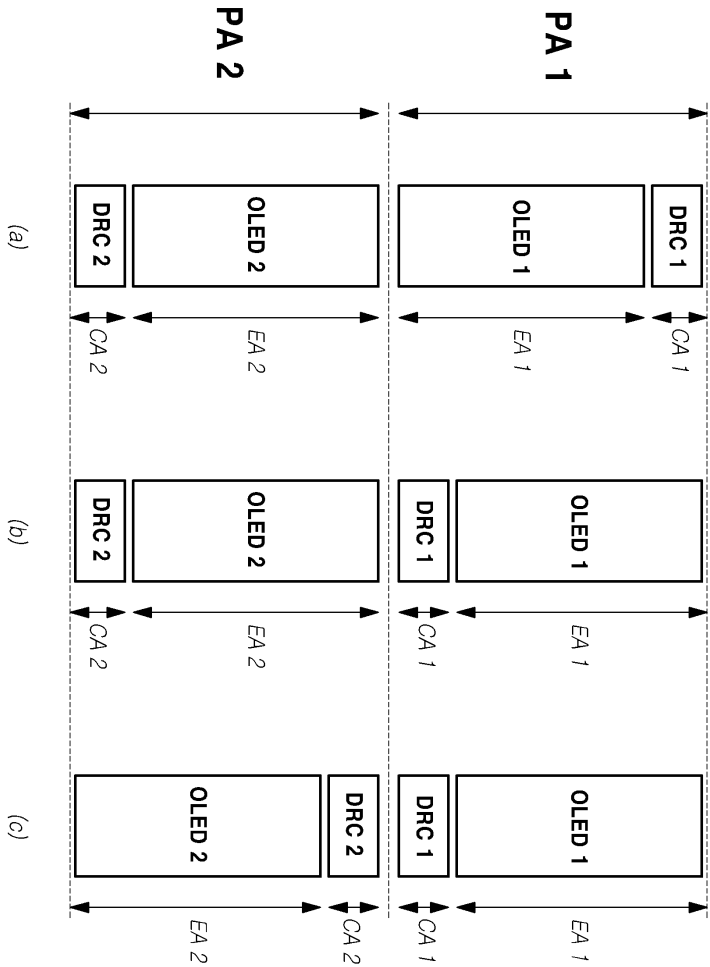
- [0164] 100: 유기발광표시장치 110: 표시패널
 120: 데이터 구동부 130: 게이트 구동부
 140: 타이밍 컨트롤러 1900: 보상부
 1910: 데이터 구동 IC DRC: 구동회로(Driving Circuit)
 PA: 화소영역(Pixel Area)
 EA: 발광영역(Emission Area)
 CA: 회로영역(Circuit Area)
 WP: 웰딩 포인트(Welding Point)
 CP: 커팅 포인트(Cutting Point)

도면

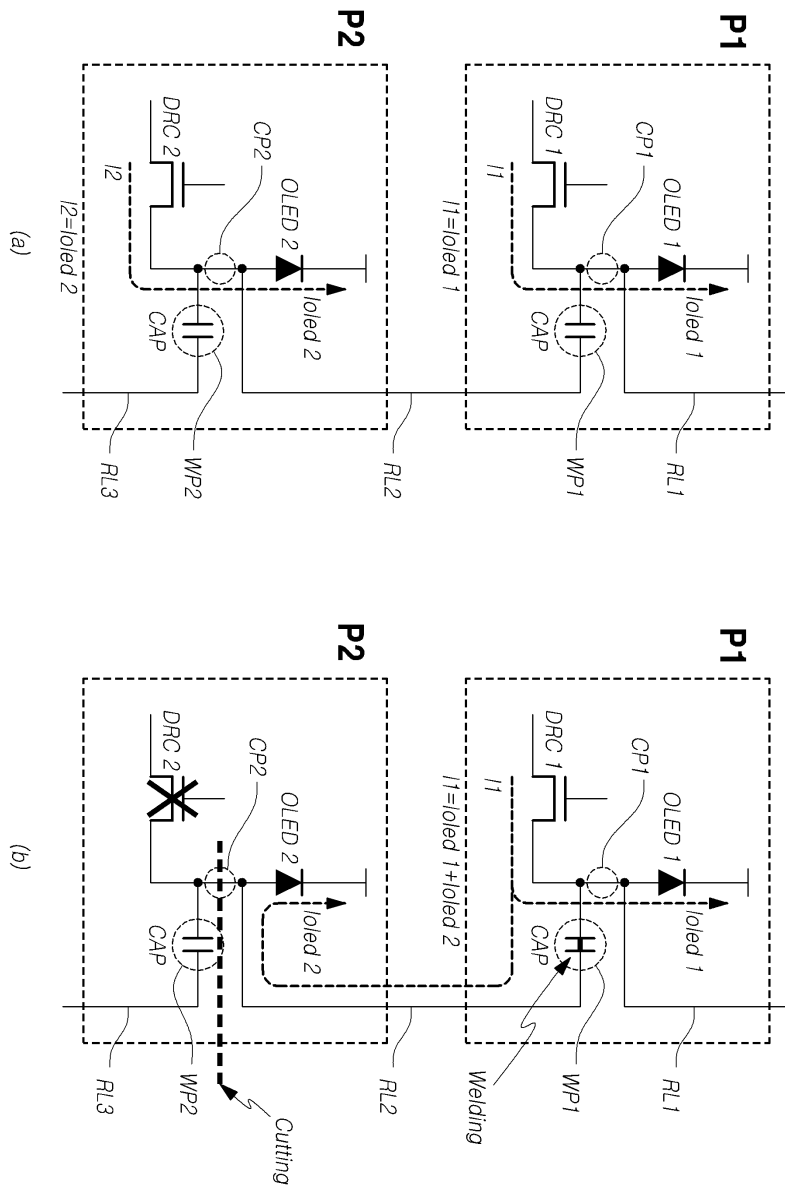
도면1



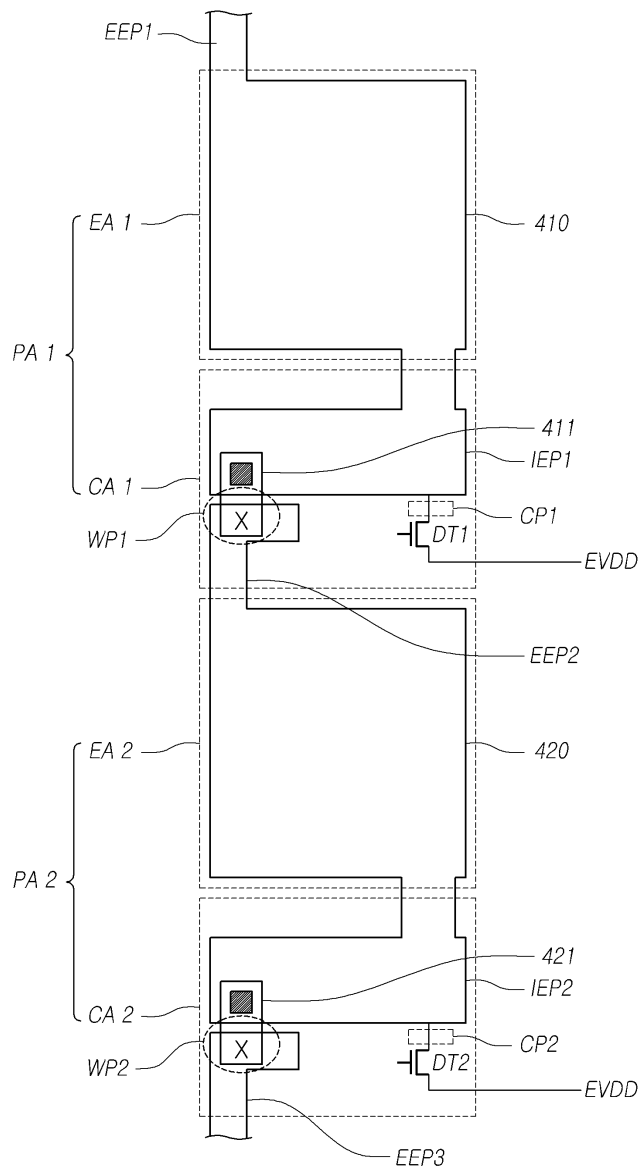
도면2



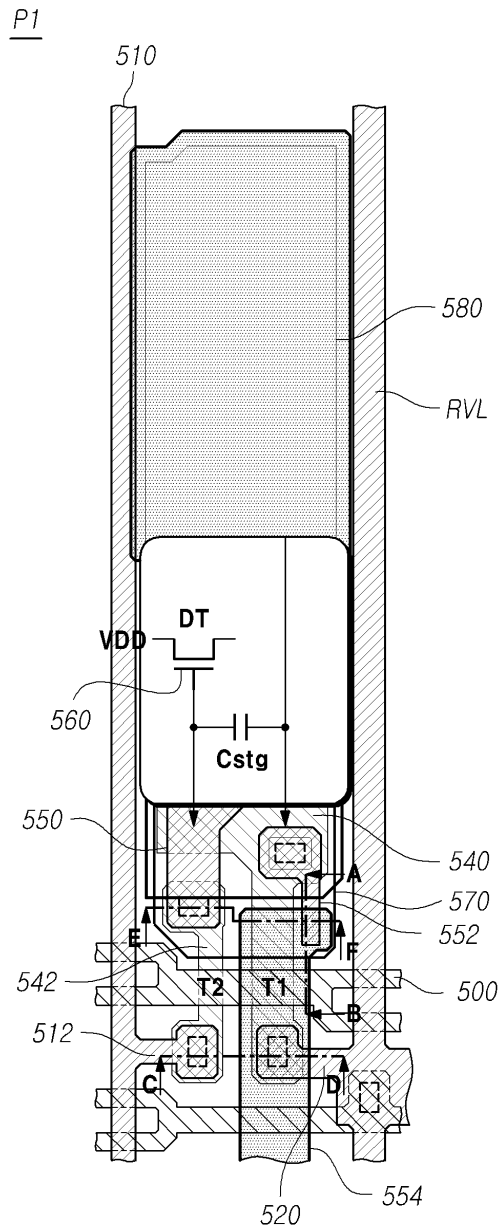
도면3



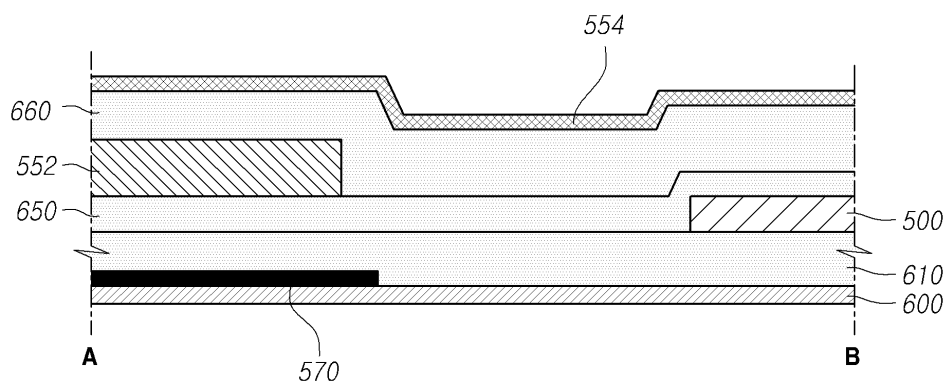
도면4



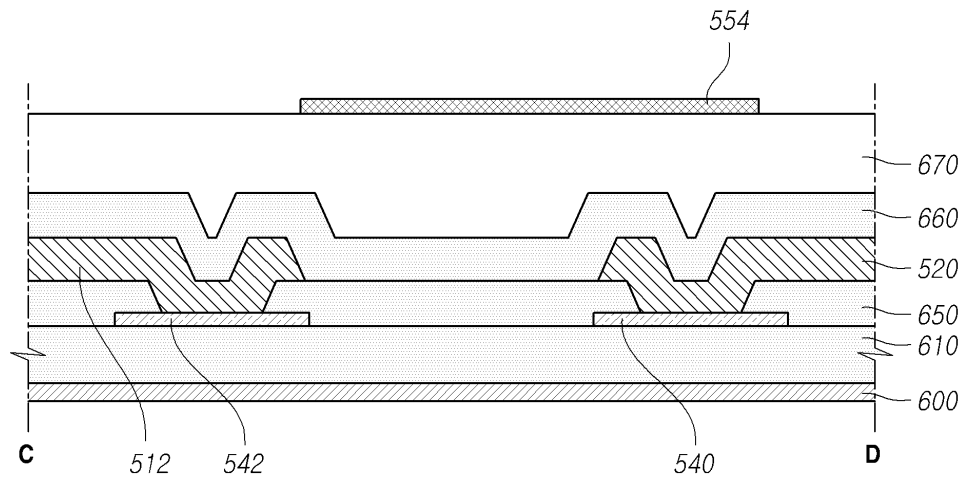
도면5



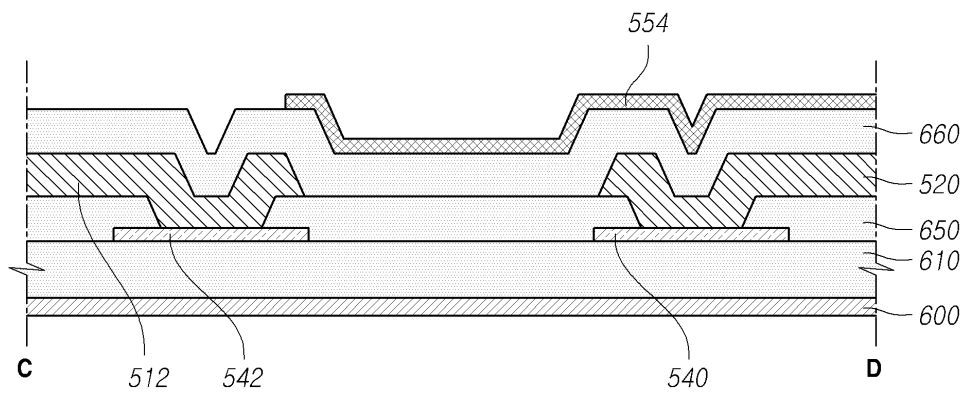
도면6



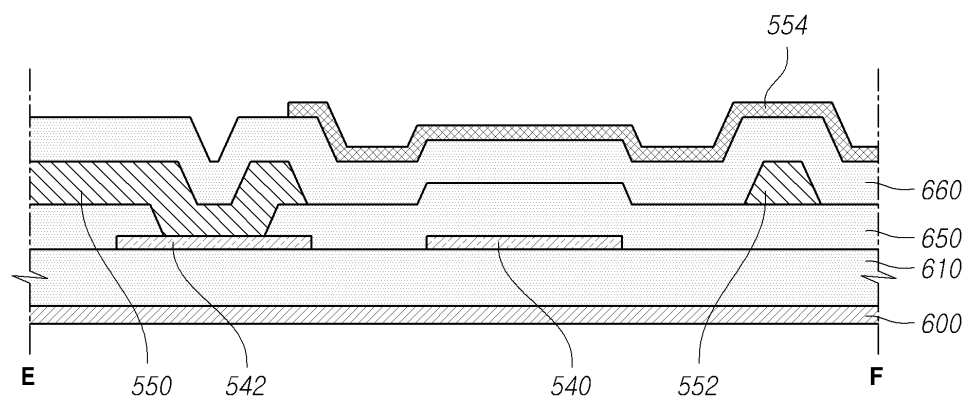
도면7a



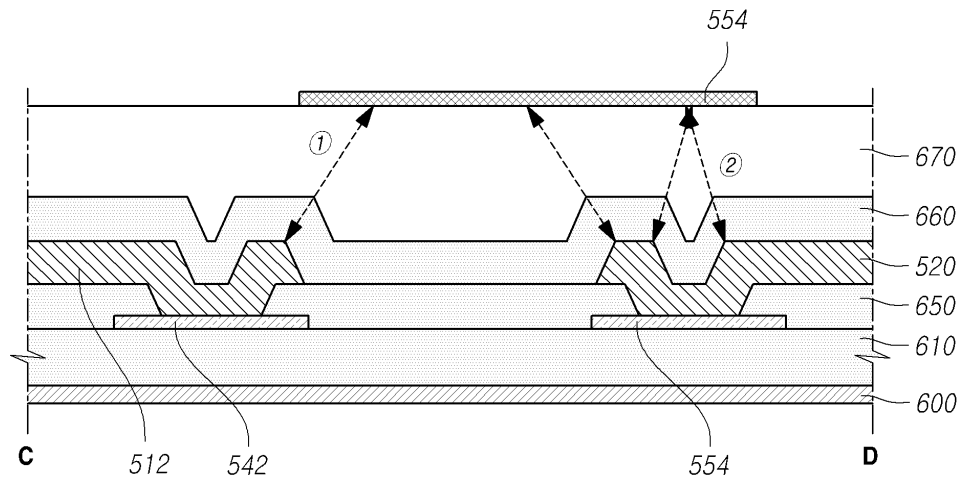
도면7b



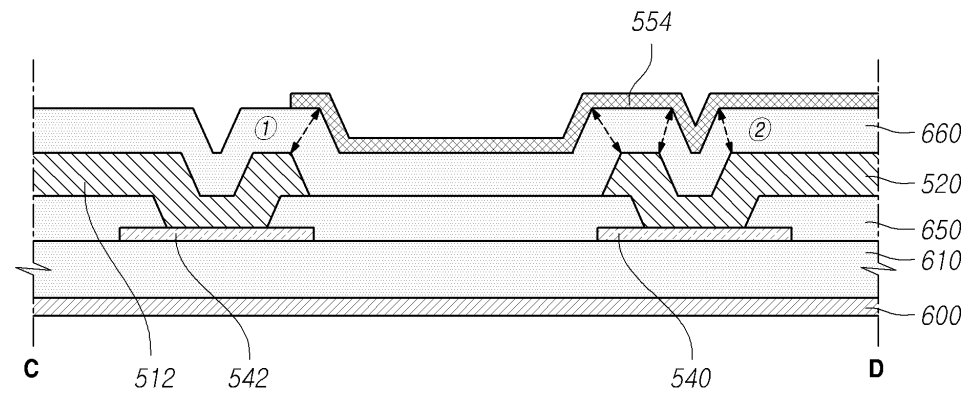
도면7c



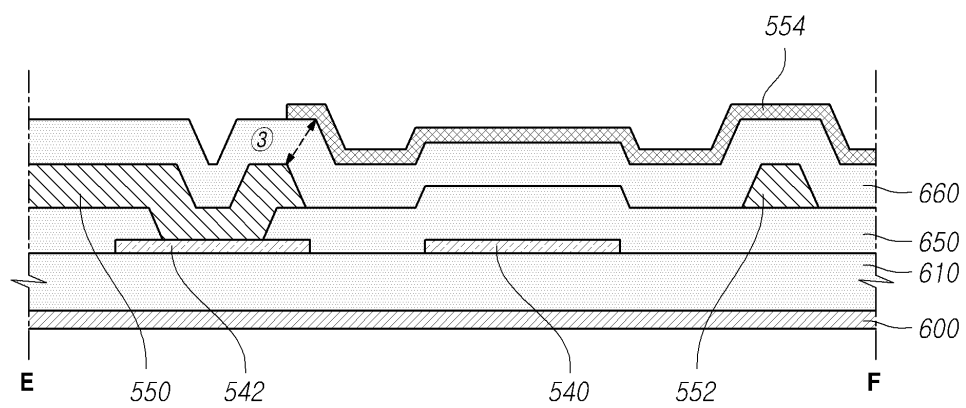
도면8a



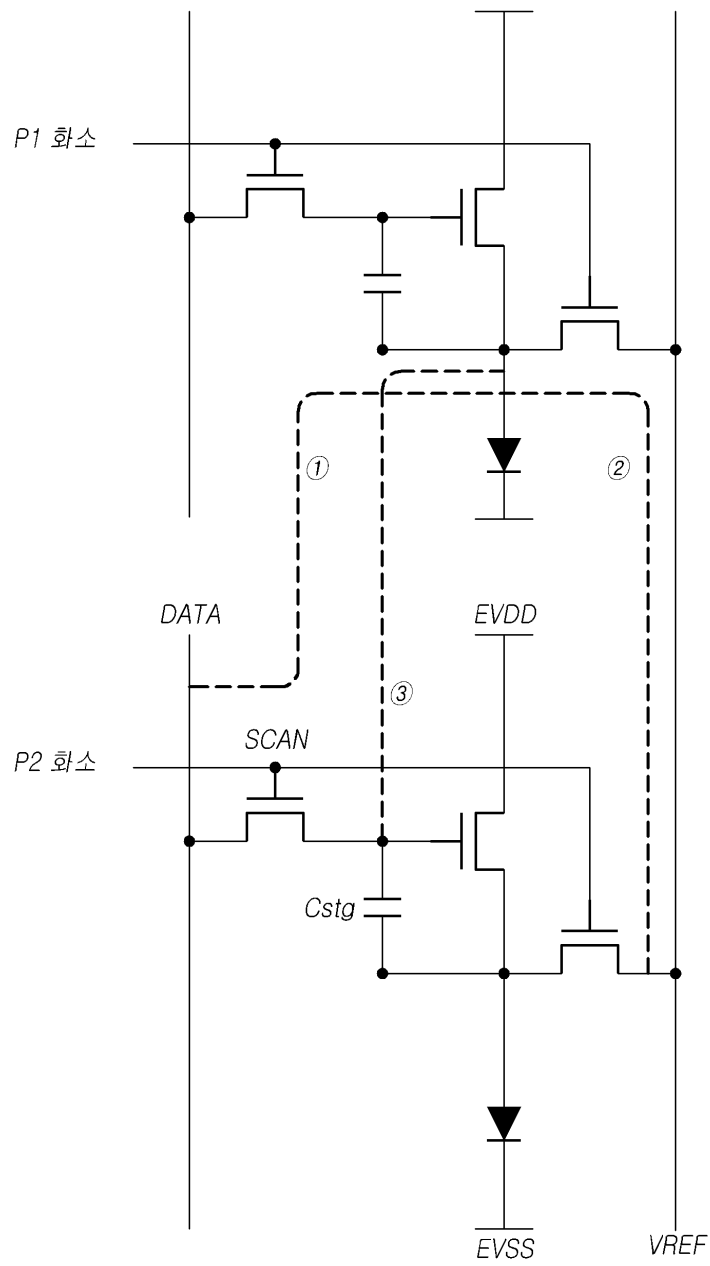
도면8b



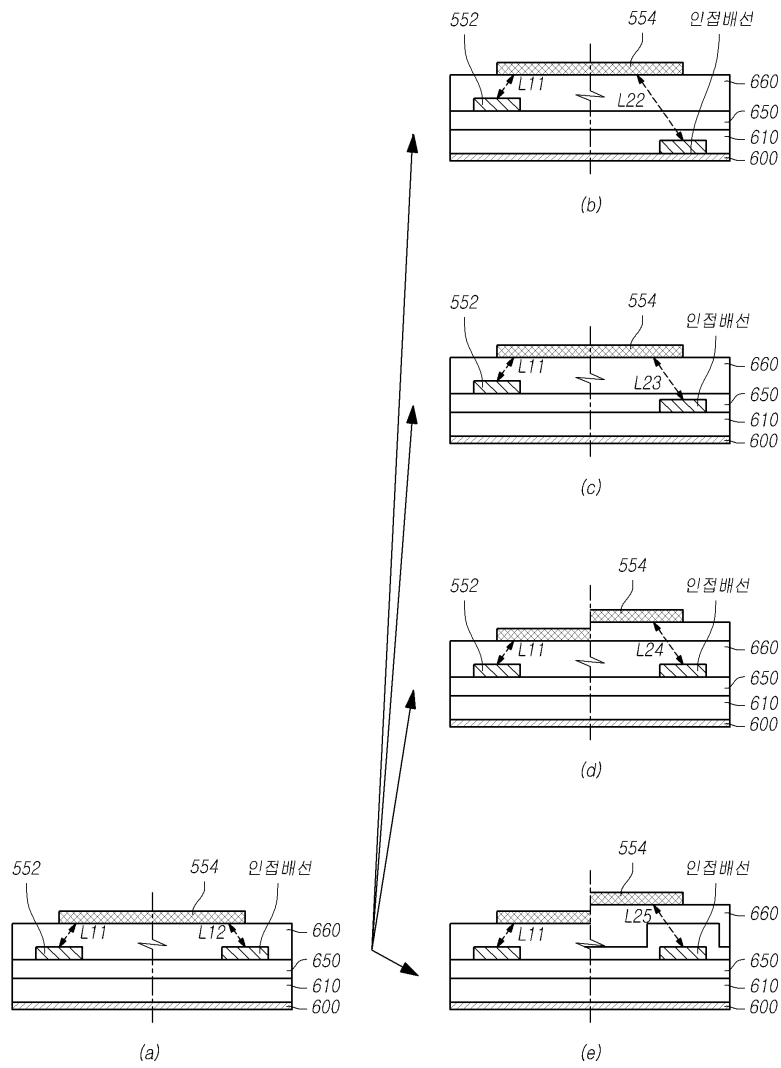
도면9



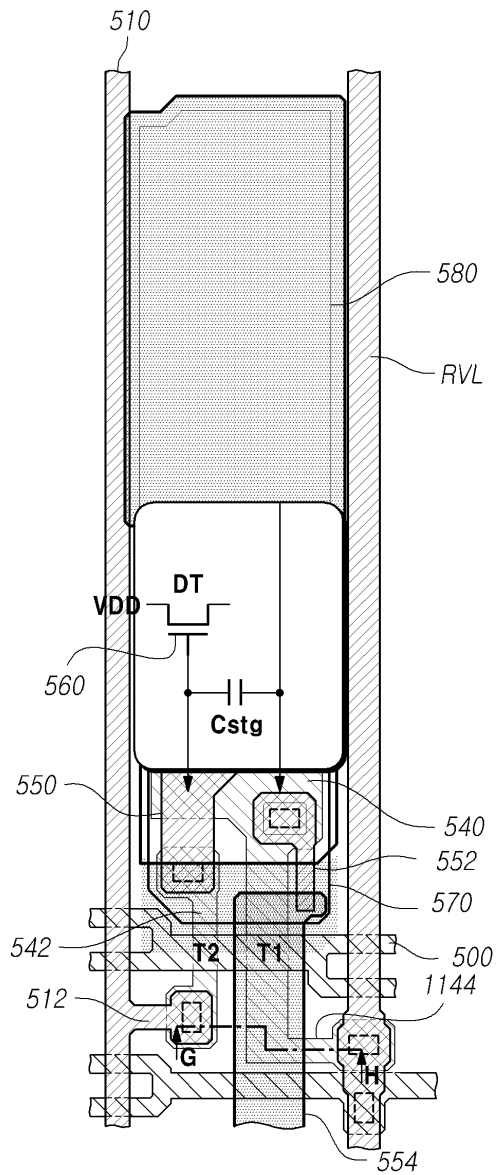
도면10



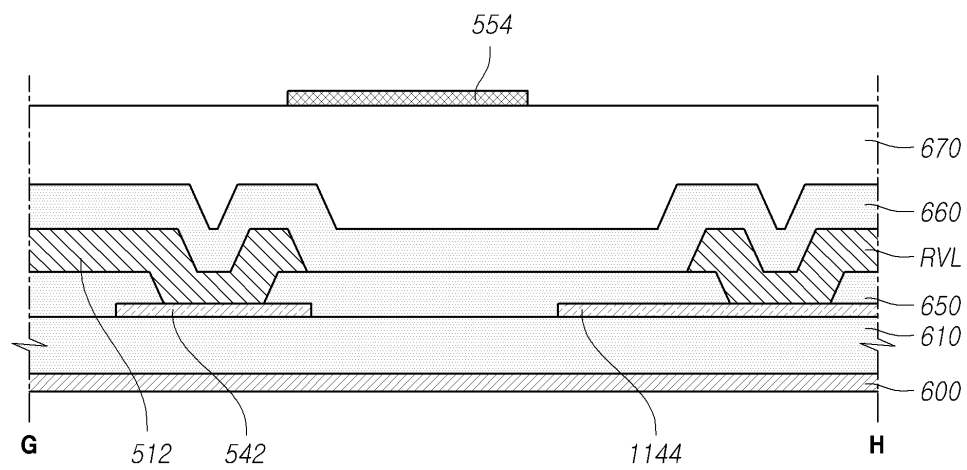
도면11a



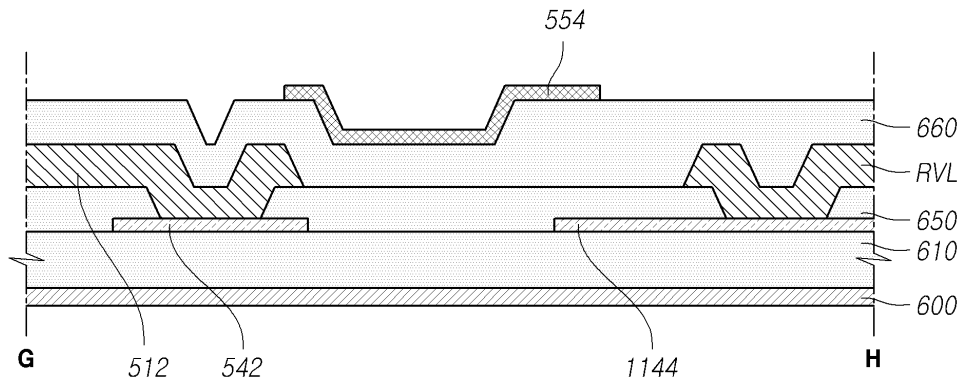
도면11b



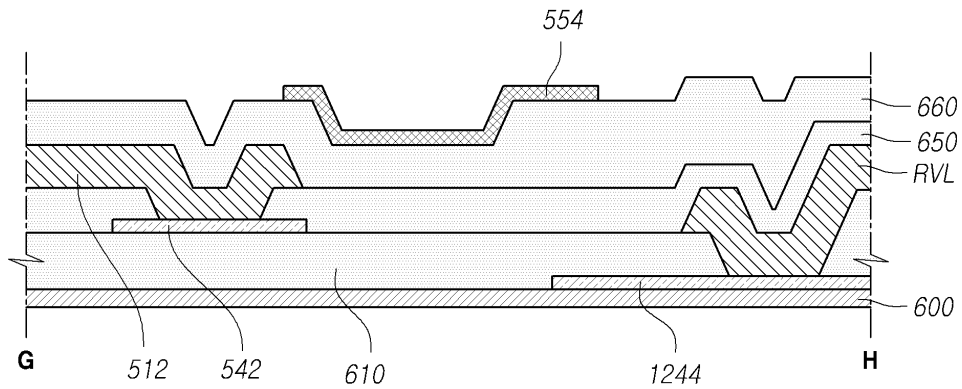
도면12a



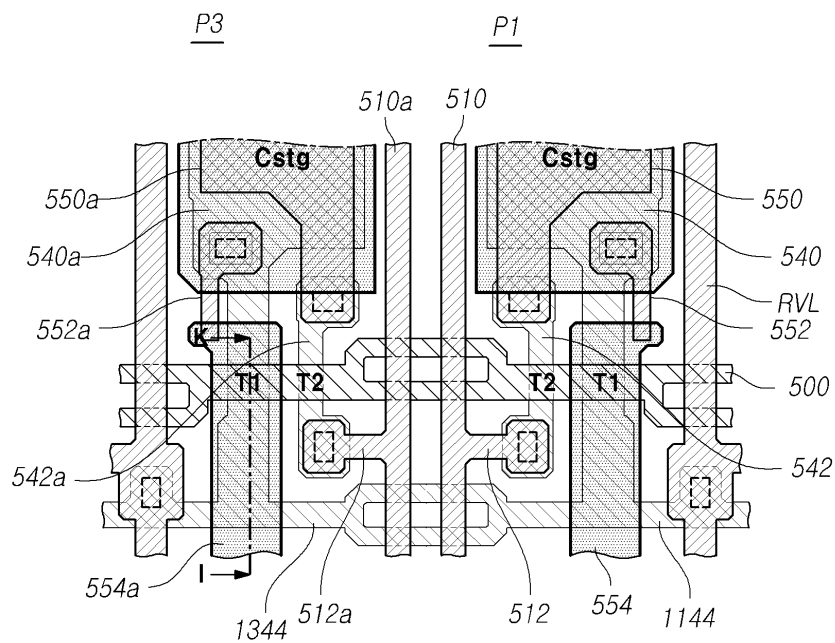
도면12b



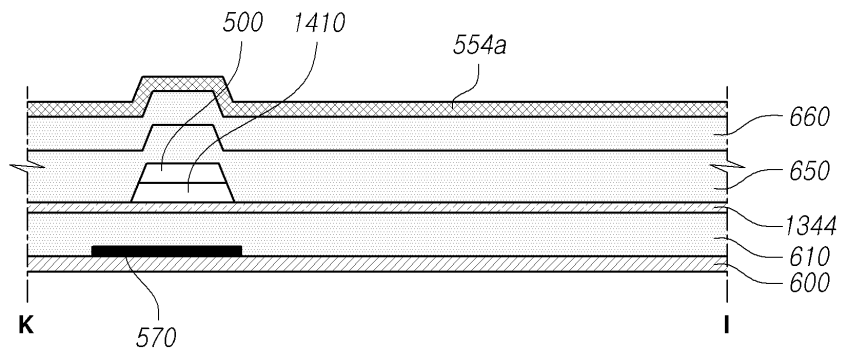
도면12c



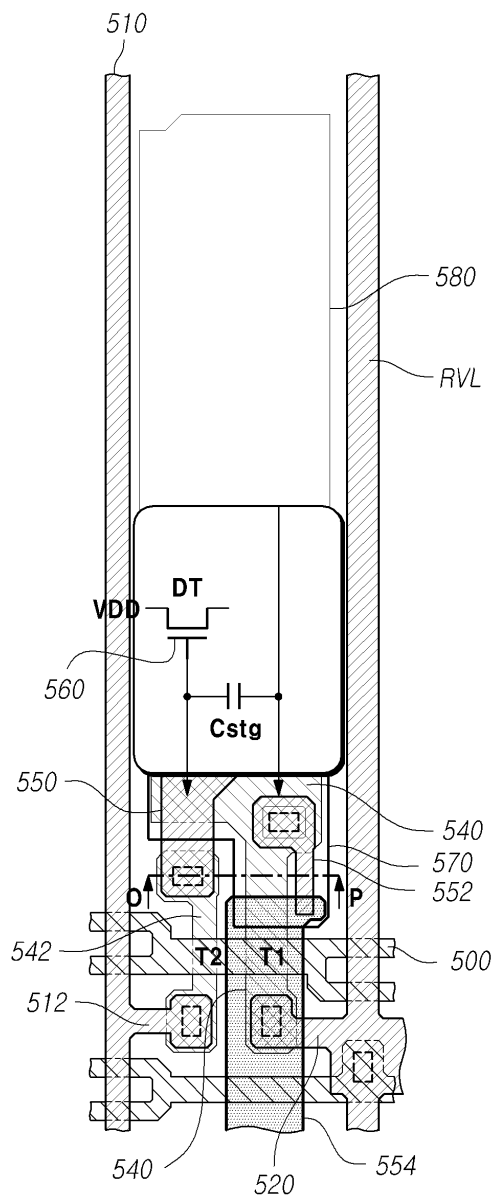
도면13



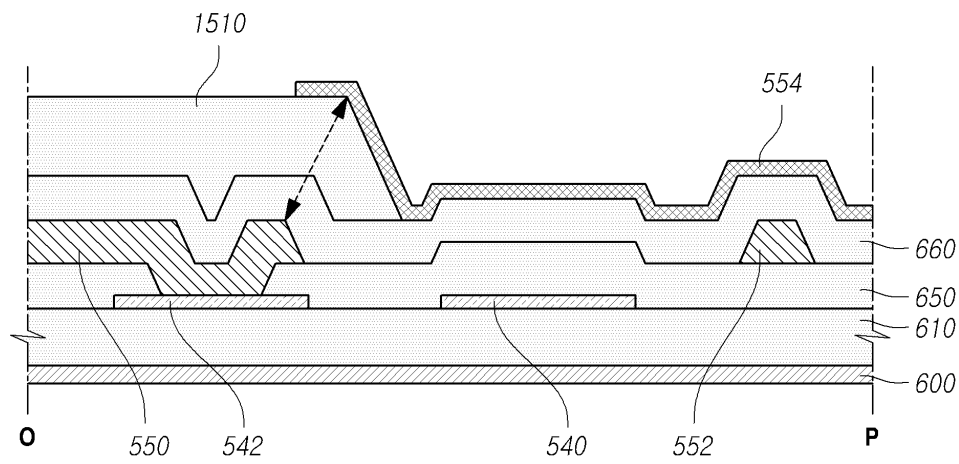
도면14



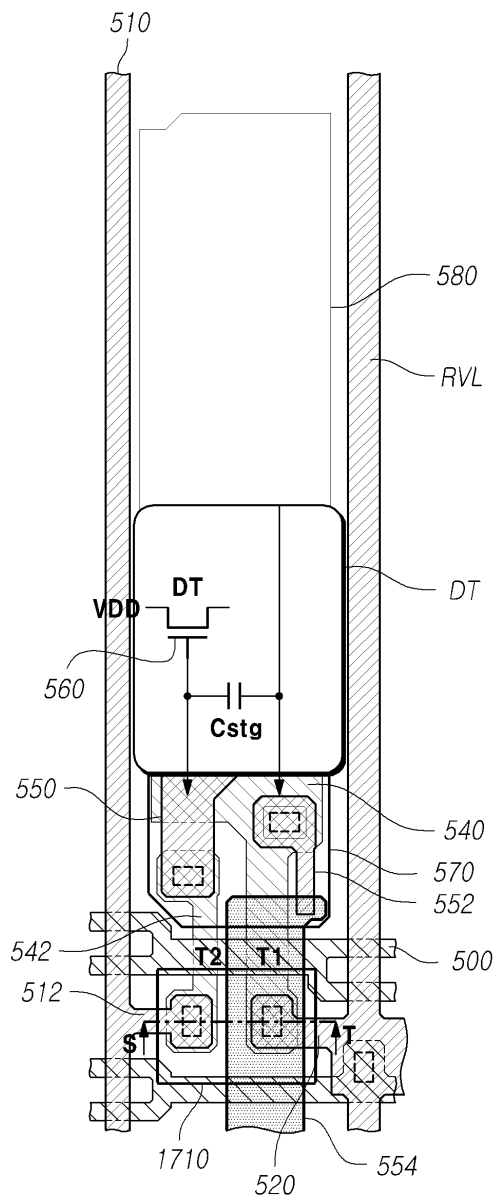
도면15



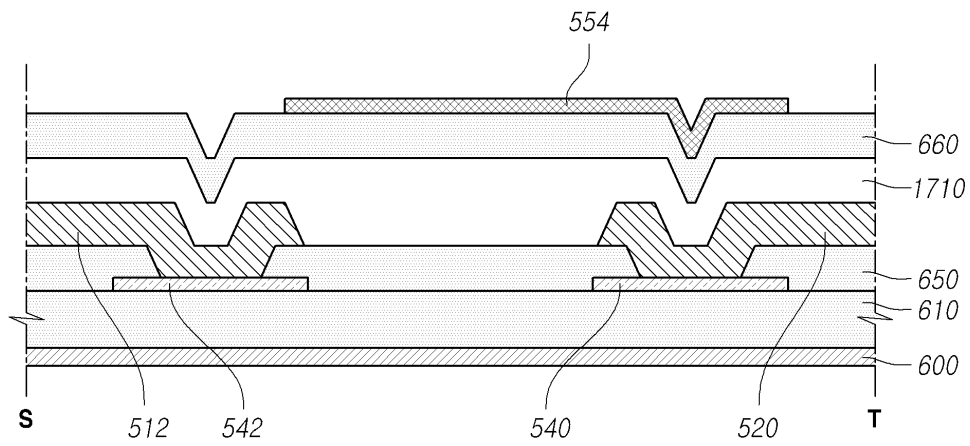
도면16



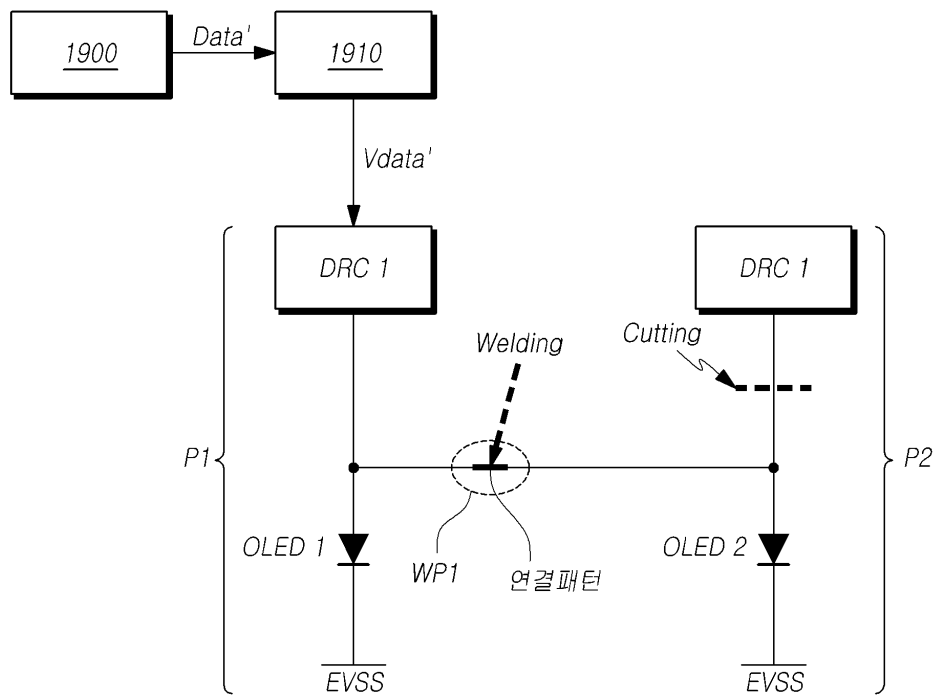
도면17



도면18



도면19



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170017641A	公开(公告)日	2017-02-15
申请号	KR1020150111869	申请日	2015-08-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG KI MOON 정기문		
发明人	정기문		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2330/08		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明涉及第一流动图案与相邻线材之间的分离距离是大型有机发光显示装置，其中第一流动图案与第二浮动图案之间的分离距离在显示面板的第一像素中。其中包括多条图像元素，其中栅极线由数据线形成并且被限定，并且有机发光二极管和驱动电路布置在多个像素中。

